(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/44

(11) 공개번호 특1999-0063743
(43) 공개일자 1999년07월26일

(21) 출원번호 10-1998-0702210
(22) 출원일자 1998년03월25일
번역문제출일자 1998년03월25일
(86) 국제출원번호 PCT/US1996/15201 (87) 국제공개번호 WO 1997/12393
(86) 국제출원출원일자 1996년09월23일 (87) 국제공개일자 1997년04월03일
(81) 지정국 AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 케냐

EA 유라시아특허 : 아르메니아 아제르바이잔 벨라루스

EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 핀랜드 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 오스트리아 스위스 독일 덴마크 스페인 핀랜드 영국

국내특허 : 아일랜드 알바니아 오스트레일리아 보스니아-헤르체고비나 바베이도스 불가리아 브라질 캐나다 중국 쿠바 체크 에스토니아 그루지야 헝가리 이스라엘 아이슬란드 일본

(30) 우선권주장 8/536007 1995년09월29일 미국(US)
(71) 출원인 인텔 코오퍼레이션 피터 엔. 데트킨

미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200

(72) 발명자 바이 펭

미국 오리건 97007 알로하 사우스웨스트 프랭크 코트 18746

카디엔 케네스 시.

미국 오리건 97229 포틀랜드 노스웨스트 크리크사이드 드라이브 12900

쳉 리-예이

미국 캘리포니아 94301 팔로 알토 콜로라도 애비뉴 211

프린스 매튜 제이.

미국 오리건 97210 포틀랜드 노스웨스트 에버렛 2143

(74) 대리인 장용식, 정진상

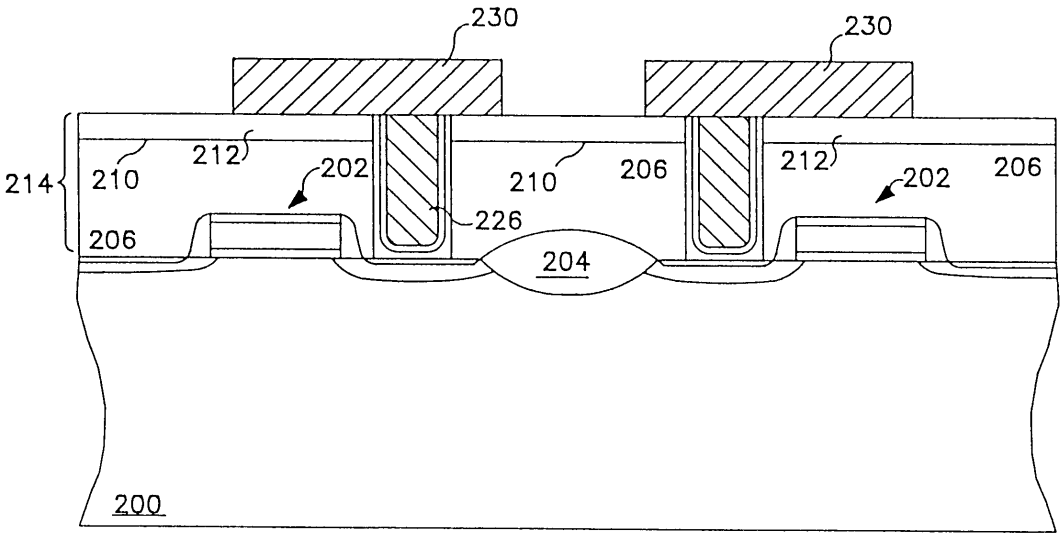
심사청구 : 있음

(54) 화학적 기계적 연마에 사용하는 캡핑된 중간층 절연물

요약

새로운 고밀도 층간접속 구조를 형성하는 방법에 관한 것이다. 본 발명에 따라서, 먼저 절연층(206)이 반도체 기판위에 형성된다. 그 다음, 제1절연층이 평면화된다. 다음에, 제2절연층(212)이 평면화된 제1절연층 위에 형성된다. 그 다음, 제1 및 제2절연층을 관통하여 개방부가 에칭된다. 그 다음, 전도성 물질(226)이 개방부내와 제2절연층의 정상표면부위에 증착된다. 다음에, 전도성 물질은 제2절연층과 실제로 평면인 전도적으로 보충된 개방부를 형성하기 위해 제2절연층으로부터 역으로 폴리싱된다.

대표도



명세서

기술분야

본 발명은 반도체 제조분야에 관한 것이고, 더 상세하게는 집적 회로에 층간접속 구조를 형성하는 방법에 관한 것이다.

배경기술

오늘날, 집적회로는 실리콘 기판 또는 웰(well)의 위 또는 내에 형성된 다수의 능동소자로 사실상 구성되어 있다. 처음에 서로 절연된 능동소자는 마이크로프로세서와 같은 기능적인 회로와 부품을 형성하도록 나중에 서로 결합된다. 그 디바이스는 공지된 다단 층간접속의 사용을 통해서 서로 층간접속되어 있다. 이상적인 다단 층간접속 구조(100)의 단면도가 도 1에 도시되어 있다. 정상적으로, 층간접속 구조는 제1 금속층, 층간접속층(102)(전형적으로 3%내의 구리와의 알루미늄 합금), 제2금속층(104), 및 종종 제3금속층 또는 심지어 제4금속층을 가지고 있다. 실리콘 산화물(SiO_2)과 같은 층간레벨 절연층(106)(ILD)은 실리콘기판 또는 웰(108) 위의 상이한 금속층을 전기적으로 절연시키는데 사용된다. 상이한 층간접속 레벨 사이의 전기접속은 ILD(106)에 형성된 금속 비어(via)(110)를 사용하여 행해진다. 유사한 방식으로, 금속 접촉부(112)는 웰(108)에 형성된 디바이스와 층간접속 레벨 사이에 전기적인 접속을 형성하는데 사용된다. 금속 비어(110)와 접촉부(112), 이하 '비어' 또는 '플러그'라고 하는 것을 일반적으로 텅스텐(114)으로 채워지고 일반적으로 티타늄과 같은 접착층(116)을 사용한다.

초대용량 집적회로의 현재의 바람직한 층간레벨 절연막은 대기 화학 증기 증착법(CVD)에 의해 형성된 붕소인규산염 글라스(BPSG)막이다. 대기 CVD BPSG층은 매우 등각적으로 형성되고 반도체 기판상의 능동소자의 고밀도 배치에 의해 만들어진 높은 종횡비 갭을 채울수 있기 때문에 바람직하게 된다. 대기 BPSG층은 그 위에 틈을 만들지 않고 고 종횡비 갭을 보충할 수 있다. 추가로, 대기 BPSG층은 증착장치가 플라즈마 개선화학 증기증착(PECVD) 장비와 같은 다른 ILD장비와 비교할 때 상대적으로 값싸기 때문에 바람직하다. 추가로, 대기 BPSG층은 양품의 웨이퍼 처리량을 고려하여 상대적으로 빠르게 증착될 수 있다.

ULSI 회로의 초대용량으로 비어(110, 112)상에 플러그를 형성하는 현재의 바람직한 방법은 화학적 기계적 폴리싱을 이용하는 텅스텐 플러그 공정이다. 전형적인 텅스텐 플러그 공정에서, 비어 홀은 ILD를 통해 층간접속 라인 또는 아래에 형성된 반도체 기판에 에칭된다. 다음에, 질화 티타늄과 같은 얇은 접착층은 ILD 위와 비어 홀내에 형성된다. 다음, 등각 텅스텐막은 접착층위와 비어내에 블랭킷 증착된다. 비어층이 텅스텐으로 완전히 채워질 때까지 증착은 계속된다. 다음, ILD 표면의 상부에 형성된 금속막은 화학적 기계적 폴리싱에 의해 제거되고 금속 비어 또는 플러그를 형성한다. 이러한 공정은 아래에 형성된 밀압착 능동소자에 전기적인 접속을 하는데 필요한 고종횡비 비어를 채울 수 있기 때문에 바람직하다.

텅스텐 플러그 공정과 대기 BPSG LID층이 가지고 있는 문제는 서로 상반한다는 것이다. 문제는 텅스텐 폴리싱공정이 대기 BPSG ILD층에 충분하게 선택적이지 않다는 것이다. 그것만으로, 텅스텐 층을 역으로 폴리싱할 때, ILD층의 실제량은 먼저 텅스텐을 클리어한 영역으로 부터 제거될 수 있다. 텅스텐 플로그 공정시 너무 많은 ILD가 상실되면, 능동소자와 제1레벨 금속 사이에서, 또는 금속의 레벨 사이에서 단락(short)이 일어날 수 있다. 따라서 양 대기 BPSG층을 이용하는 본 공정과 화학적 기계적 텅스텐 플러그 공정은 실현 불가능하고 제조 불가능하다.

그것만으로, 바라는 것은 층간접속법이고, 그것에 의해 대기 BPSG층과 텅스텐 플러그 공정은 함께 이용될 수 있다.

발명의 상세한 설명

본 발명은 집적회로의 새로운 층간접속 구조를 형성하는 방법을 설명하고 있다. 본 발명에 따라서, 대기

CVD에 의해 형성된 붕소와 인으로 구성된 제1산화층이 반도체 기판위에 증착된다. 그 다음, 그 제1산화층은 평면화된 표면을 형성하기 위해 화학적 기계적으로 폴리싱된다. 다음, 플라즈마 개선 CVD에 의해 형성된 도핑되지 않은 제2산화층이 평면화된 제1산화층 위에 증착된다. 그 다음, 제1 및 제2산화층을 관통하여 개방부가 에칭된다. 그 다음, 텅스텐으로 구성된 전도층은 개방부로 그리고 제2산화층위에 증착된다. 최종적으로, 전도층은 실제로 제2산화층과 평면인 채워진 개방부를 형성하기 위해 제2산화층으로부터 역으로 폴리싱된다.

도면의 간단한 설명

도 1은 종래의 층간접속 구조를 도시한 단면도.

도 2a는 복수의 소자가 형성된 반도체 기판을 도시한 단면도.

도 2b는 도 2a의 기판위의 제1내부층 절연물을 형성을 도시한 반도체 기판의 단면도.

도 2c는 도 2b의 기판위의 제1중간층 절연물의 평면화를 도시한 단면도.

도 2d는 도 2c의 기판위의 제2중간층 절연물의 형성을 도시한 단면도.

도 2e는 도 2d의 기판에의 개방부 형성을 도시한 단면도.

도 2f는 도 2e의 기판위의 비어 보충물질의 형성을 도시한 단면도.

도 2g는 도 2f의 기판위의 비어 보충물질의 폴리싱으로 보충된 접촉 개방부의 형성을 도시한 단면도.

도 2h는 도 2g의 기판위의 금속레벨의 형성을 도시한 단면도.

실시예

본 발명은 집적회로에 층간접속 구조를 제조하는 새로운 방법이 설명되어 있다. 다음의 설명에서, 본 발명의 완전한 이해를 위해 특정 공정단계, 물질, 및 면적등과 같은 것이 특별히 설명되어 있다. 그러나, 본 발명은 특별한 상세설명 없이도 실행될 수 있다는 것을 당업자는 알수 있을 것이다. 다른 예에서, 공지된 집적회로 제조 단계와 장비는 본 발명의 불필요한 모호함이 없도록 상세히 설명되어 있지 않다.

본 발명은 집적회로의 층간접속 구조를 형성하는 새로운 방법이다. 본 발명의 바람직한 실시예는, 제조가능한 고밀도 층간접속 구조를 제공하기 위해 화학적 기계적 폴리싱(CMP)을 이용하여 대기 화학증착 BPSG층이 텅스텐 플러그 공정에 사용될 수 있게 한다.

본 발명의 바람직한 실시예에 따라서, 반도체 기판(200)이 제공되어 있다. 금속산화물 반도체(MOS) 트랜지스터와 같은 소자(202)가 반도체 기판(200)에 형성되어 있다. 바람직하게, 규소화합물이 접촉저항과 소자성능을 향상시키기 위해 MOS소자의 소스, 드레인 및 폴리 게이트상에 자체 배열공정에 의해 형성된다. 능동소자는 초기에 필드 산화물 영역(204)에 의해 서로 절연되어 있다. MOS트랜지스터만이 도시되어 있음에도 불구하고, 기판(200)은 제한되어 있지 않지만, 양극 트랜지스터, 박막 트랜지스터, 커패시터 및 레지스터등과 같은 다른 완성된 또는 부분적으로 완성된 능동 및 수동소자를 포함할 수 있다. 더욱이, 반도체기판(200)이 바람직하게 단결정 실리콘 기판임에도 불구하고, 기판(200)은 제한되어 있지 않지만, 갈륨비소와 게르마늄과 같은 다른 반도체 물질로 구성될 수 있고, 에피택셜형 실리콘층과 같은 추가 증착된 반도체 물질을 포함할 수 있다.

본 발명에 따른 제1단계는, 도 2에 도시된 바와 같이, 자체에 형성된 소자(202)와 기판(200) 위에 중간층 절연물(ILD)(206)을 형성하는 것이다. ILD(206)의 목적은 소자를 기능회로로 층간접속하는데 사용된 차후 형성 금속으로부터 소자(202)를 전기적으로 절연시키는 것이다. ILD(206)는 바람직하게 대기 화학 증기 증착법(CVD)에 의해 형성된 붕소인규산염 글라스(BPSG)이다. 대기 BPSG층은 기초가 되는 지형에 등각으로 형성될 수 있어서 그위에 공간을 만들지 않고 인접한 소자(202) 사이의 적은 갭을 보충하기 때문에 바람직하다. ILD(206)는 약 3% 붕소와 6.3% 인 농도로 실리콘산화물(SiO_2)막을 만들기 위해 4에틸 정규산염(TEOS), 산소(O_2), 수소화인(PH_3) 및 디보란(B_2H_6) 화학작용을 이용한 WJ999 TEOS 머신의 대기 CVD에 의해 바람직하게 형성된다. 약 18,000Å 산화층이 형성된다.

다음, ILD(206)는 급열공정(RTP)을 사용하여 바람직하게 조밀된다. ILD(206)를 조밀하는 목적중 하나는 안정화시키기 위해 산화물로의 불순물의 혼합을 가속시키는 것이다. RTP 공정을 사용함으로써, 증기흐름 공정이 제거될 수 있다. 증기흐름 공정의 사용은 성장시 규산염의 실질부분을 소모하는 BPSG/규산염 접촉면에서 얇은 산화물을 성장시키기 때문에 바람직하지 않다. 조밀을 위한 N_2 대기로 RTP 공정을 이용함으로써, 어떠한 산화물도 소스 드레인 영역상에 형성된 규산염 두께의 스케일링이 소스 드레인 결합 깊이의 스케일링을 동반하게 하여, BPSG/규산염 접촉면에서 성장하지 않는다. 조밀을 위한 RTP의 사용은 열적 예산을 개선하고, 교대로, 증기로 글라스 흐름 사이클을 넘어서 트랜지스터 성능을 향상시킨다. 더욱이, RTP 공정은 규산염의 응집을 방지하기 위해서 875℃ 보다 적은 온도에서 바람직하게 수행된다. 그것은 규산염(203)이 더 높은 조밀온도를 견디지 못하기 때문이다.

도 2b에 도시된 바와 같이, ILD(206)의 상부표면(208)은 절연영역(204)과 소자(202)에 의해 만들어진 기초가 되는 지형으로 인하여 비평면이다. 비평면 지형은 BPSG(206)의 등각 증착 특성으로 인한 것이다. 추가로, 비평면 지형은 또한 증기흐름 공정이 본 발명에 바람직하게 사용되지 않는다는 사실로 인한 것이다. 증기흐름 단계는 일반적으로 BPSG층의 지형의 평탄화 및 평면화를 돕는다. ILD(206)의 상부표면(208)이 비평면이기 때문에, 도 2c에 도시된 바와 같이 평면화되어 있다. ILD(206)는 역흐름과 에칭 역공정과 연관된 단지 국부 평면화에 반대되는 전체 평면화를 만들기 때문에, 화학적 기계적 폴리싱에 의해 바람직하게 평면화된다. ILD(206)는 평면을 형성하기 위해 디바이스(202) 위에서 18,000Å에서 약 4500Å ±1500Å까지 역으로 바람직하게 폴리싱된다. 초기에, 매우 두껍게 ILD(206)를 형성함으로써, 화학적 기계적 폴리싱공정은 정량의 마진을 제공한다.

본 발명의 바람직한 실시예에 따라서, ILD(206)는 웨스텍 372M 폴리싱기를 사용한 칼륨 수소 산화물과 물의 용해($KOH+H_20$)로 실리카를 구성하는 슬러리를 사용하여 화학적 기계적으로 폴리싱된다. 그러나, 임의의 공지된 CMP공정은 ILD(206)를 평면화하는데 사용될 수 있다는 것을 알수 있다.

ILD(206)의 전체 평면화는 공정에 사용될 수 있는 금속층의 수의 증가 및 금속 라인의 수축을 가능케 하는 고평면인 ILD 표면부(210)를 형성하기 때문에 바람직한다. 서로의 상부에의 추가 층간접속층의 스택은 더 거친 지형을 만든다는 것을 알게 된다. ILD(206)의 평면화, 빈약하게 분해된 접촉/비어 개방과 같은 제조문제, 및/또는 금속라인으로 인하여, 빈약한 금속 단계 범위, 전장이동 및 금속 스팅어(Stinger)는 본 발명에서 감소된다. 추가로, 화학적 기계적 평면화의 사용은 교대로 금속 1면적이 더 균일해지고 부차 ILD 두께가 최소화되게 하는 접촉/비어 보충법의 고평면 텅스텐 플러그 폴리싱 기술의 가능한 부차 사용과 같은 일련의 양의 반향을 세우는 전체 평면을 얻는다.

다음, 본 발명에 따라서, 제2 ILD층(212)은 도 2d에 도시된 ILD층(206)위에 증착된다. ILD(212)는 ILD(206) 보다 상이한 절연물질로 구성되어 있다. 더 상세히 아래에 설명될 바와 같이, ILD(212)는 플러그 형성의 차후 폴리싱 단계시 ILD(206)가 행하는 것보다 상당히 더 느리게(8x) 폴리싱하는 물질이다. ILD(212)와 ILD(206)는 서로 차후 전기 접속부를 절연하는데 사용된 복합 ILD(214)를 형성한다. 이것만으로, 복합 ILD(214)의 최종 총두께는 차후 형성된 금속을 디바이스(202)로부터 전기적으로 절연하기에 충분하여야 한다. ILD(212)는 약 2000Å로 얇게 형성되고, ILD(206)의 평면(210) 위에 형성되기 때문에, 복합 절연물(214)은 추가 평면화없이 고평면 정상표면(215)을 나타낸다.

ILD(206)가 대기 CVD증착 BPSG층으로 구성되어 있는 본 발명의 바람직한 실시예에서, ILD(212)는 바람직하게 AMAT 5000 증착 머신의 TEOS와 O_2 소스가스를 이용한 플라즈마 개선 화학적 증기증착법(PECVD)에 의해 형성된 도핑되지 않은 산화층이다. 플라즈마 개선 도핑되지 않은 TEOS 산화층은 최신의 고밀도 집적회로와 연관된 고종횡비 갭을 보충하기에 충분하게 등각으로 형성되지 않는다는 것을 알게 된다. 그러나, PECVD 도핑되지 않은 산화층(214)은 인접한 디바이스(202) 사이의 고종횡비 갭을 보충하는데 사용된 평면화 ILD층(206)에 평면 캡핑층(212)을 제공하기에 충분하게 균일하고 일정하게 형성될 수 있다. 플라즈마 개선 CVD 공정의 장점은 조밀 절연층을 형성하는 것이다. 조밀 산화층은 대기적으로 증착된 CVD 산화층을 도핑하는 것과 같이 덜 조밀한 산화층이 행하는 것보다 더 느린 비율로 폴리싱하는 경향이 있다.

다음, 도 2e에 도시된 바와같이, 개방부(216)는 ILD(206)와 ILD(212)를 관통하여 형성된다. 개방부(216)는 ILD(206)과 ILD(212)을 관통하여 아래에 형성된 소자(202)로의 전기적 접속을 가능케 하는 비어 또는 접촉 개방부를 제공한다. 임의의 공지된 방법은 프레온계 화학장치을 갖춘 LAM 리서치 4500 에칭기로 반응 이온 에칭(RIE)과 같이 개방부(216)를 형성하는데 사용될 수 있다.

본 발명의 목적이 고밀도 집적회로를 제조하는 것이기 때문에, 소자(202)는 좁고(약 0.4마이크론 폭) 밀접하게 이격된 접촉/비어 개방부(216)의 형성을 필요하게 서로 밀접하게 압축되어야 한다. 복합 ILD(214)는 소자(202)를 절연시키기에 충분히 두꺼워야 하기 때문에, 그리고 좁은 개방부를 형성하고자 하는 바램 때문에, 고종횡비(즉, 깊고 좁은 개방부)가 바람직하게 형성된다. 이러한 고종횡비 개방부를 보충하는데 현재 이용되는 최선의 방법은 플러그 기술을 사용하는 것이다.

다음, 도 2e에 도시된 바와같이, 접촉 보충물질(218)은 도핑되지 않은 산화층(212)위와 개방부(216)내에 블랭킷 증착된다. 텅스텐이 그위에 공간을 만들지 않고 고종횡비 개방부를 보충하는 것을 고려하여 매우 등각으로 형성될 수 있기 때문에 바람직한 접촉 보충물질(218)은 텅스텐이다. 비어 보충을 위해 텅스텐층을 사용할 때, 텅스텐 증착전에 접착층을 형성하는 것이 바람직하다. 접착층은 텅스텐이 복합 ILD에 접착하는 것을 돕고, 접촉 저항을 낮추고, 좋은 옴 접촉을 제공한다.

본 발명의 바람직한 실시예에 따라서, 얇은 복합 티타늄/티타늄 질화 접착층이 사용된다. 먼저, 약 200Å의 티타늄층(222)이 공지된 수단에 의해 ILD(212)위와 개방부(216)의 측면과 하부를 따라서 스퍼터 증착된다. 다음, 약 600Å 티타늄층(224)이 공지된 수단에 의해 티타늄층(222) 위에 스퍼터 증착된다. 다음, 텅스텐(220)의 등각층이 텅스텐 헥사플로리드(WF_6)의 실란(SiH_4) 감소를 이용한 CVD에 의해 약 300Å의 텅스텐의 초기 시드(Seed)층을 먼저 형성하고, 다음 WF_6의 수소(H_2) 감소를 이용한 CVD에 의해 약 4500Å의 텅스텐층의 버드비크가 형성됨으로써 형성된다. 따라서, 본 발명의 바람직한 실시예에 따라서, 접촉 보충물질(218)은 바람직하게 티타늄, 질화 티타늄, 및 텅스텐으로 구성된 3층 금속으로 구성되어 있다. 다른 접촉 보충물질, 물질의 화합물이 개방부(216)를 보충하는데 사용될 수 있다는 것을 알수 있다.

다음, 도 2g에 도시된 바와같이, 접촉 보충물질(218)은 ILD(212)의 정상표면부로부터 접촉 보충물질을 제거하고 그것에 의해 ILD(214)의 정상 표면부와 실제로 평면인 보충된 개방부 또는 플러그(226)를 형성하기 위해 역으로 화학적 기계적으로 폴리싱된다. 접촉 보충물질이 텅스텐일 때, 텅스텐층은 중량의 1-25% 실리카와 0.01-0.3 질량상의 칼륨 페리시아니드(K_3FeCCN_6)로 구성된 화학물을 이용하여 역으로 바람직하게 화학적 기계적으로 폴리싱된다. 텅스텐 슬러리의 (9:1) 비율의 희석된 물은 질화 티타늄 접착층(224)을 폴리싱하는데 사용될 수 있다. 추가로, 약 0.5질량의 칼륨 플로리드와 중량의 약 0.5% 실리카로 구성된 슬러리는 ILD(212)로부터 티타늄 접착층(222)을 폴리싱하는데 바람직하게 사용된다. 상기 슬러리는 텅스텐층(220)과 접착층(222, 224)의 균일하고 일정한 폴리싱과 ILD(212) 아래의 플러그(226)를 실제 오목패임이 없이 또는 플러그(226)의 '에칭아웃'을 유발함이 없이 플러그(226)를 형성하는 것을 고려하기 때문에 본 발명에서 바람직하다. 상기 슬러리를 이용한 텅스텐, 질화 티타늄 및 티타늄막을 폴리싱하는 슬러리와 방법학이 본 양수인에 양수된 미국특허 5,340,370에 충분히 설명되어 있고, 여기서 이것은 참조로서 첨가된다.

본 발명의 중요한 측면은 ILD 캡핑층(212)에 선택될 플러그 폴리싱 공정에 대한 것이다. 즉, ILD 캡핑층(212)이 접촉 보충물질(218) 보다 상당히 더 늦은 비율로 폴리싱하는 것이 중요하다. 이 방법에서, 비균일성이 기판(300)에 걸쳐서 존재하고, 먼저 ILD(212)를 노출시키기 위해 접촉물질을 제거한 영역은 필수적으로 폴리싱을 멈출 것이지만(또는 최소한 폴리싱을 지체), 여전히 존재하는 접촉 보충물질을 가진 다른 영역은 계속해서 폴리싱할 것이다. 캡핑층(212)은 본 발명에 이용될 '오버폴리싱'이 ILD(214)의 국부 영역을 상당히 폴리싱함이 없이, 전체 기판(300)에 걸쳐서 접촉 보충물질(218)의 제거를 실제로 완료하게

한다. 이 방법으로, 플러그 폴리싱 공정은 과도의 ILD 손실을 야기하는 오버폴리싱에 대하여 걱정없이 확실하게 이용될 수 있다. 고폴리싱비가 나타나거나 박막이 형성되는 기판(200)의 일부 영역상에서, 캡핑층(212)은 플러그 형성시 완전히 폴리싱될 수 있다는 것을 알수 있다. 캡핑층(212)은 신뢰성 있는 층간접속을 ILD가 제조하기에 충분하게 보존하는 폴리싱 공정을 충분히 지체시키기에 충분한 선택도를 제공한다. 본 발명의 바람직한 실시예에서, 텅스텐 폴리싱 공정은 32:1의 텅스텐 대 PECVD 산화물 선택도를 나타낸다. ILD 캡핑층(212)의 사용은 본 발명의 층간접속 공정이 모두 제조가능하고 신뢰성이 있게 만든다.

여기서 제공된 폴리싱비와 선택률은 전체 웨이퍼 위에 증착된 박막 블랭킷을 폴리싱함으로써 계산된다는 것을 알수 있다. 기판부분에서 선택도는 플러그 폴리싱시에 일어나는 '디싱(dishing)'효과로 인하여 실제로 더 낮을 것이다. '디싱'은 조밀하게 배치된 접촉부 사이의 ILD가 덜 조밀하게 배치된 접촉부 사이의 ILD가 행하는 것보다 더 빠르게 폴리싱하기 때문이다. 이것만으로, '디싱'은 고밀도의 접촉부를 가진 영역내의 폴리싱 선택도의 실제 감소를 유발한다. 따라서, 캡핑층(212)은 임의의 '디싱'효과를 카운트하기에 충분한 선택도를 제공하는 것이 고려된다.

본 발명의 바람직한 실시예에서, 캡핑층(212)은 플라즈마 개선 CVD에 의해 형성된 도핑되지 않은 산화층이다. 플라즈마 개선 CVD 공정은 조밀한 산화층을 만든다. 반면에, 대기 CVD 공정은 실제로 덜 조밀한 산화층을 만든다. 추가로, 도핑된 산화층은 도핑되지 않은 산화층 보다 덜 조밀한 경향이 있다. 조밀 산화층은 일반적으로 덜 조밀한 산화층 보다 더 느린 비율로 폴리싱한다. 본 발명의 바람직한 실시예에서, 도핑되지 않은 PECVD 산화물 캡핑층(212)은 복합 ILD(214)의 버크에 사용된 도핑된 대기 CVD 산화층(206)이 행하는 것보다 텅스텐 플러그 폴리싱시 약 8배 더 느리게 폴리싱한다.

따라서, 도핑된 대기 CVD 산화층(206)상에 도핑되지 않은 PECVD 산화물 캡핑층(212)을 배치함으로써, 텅스텐 플러그 폴리싱 공정은 도핑된 대기 CVD 산화층이 이용되기만 하면 복합 ILD(214)에서 보다 더 선택적이다. 대기 BPSG층이 텅스텐 폴리싱 공정과 상반되지만 소자(202)의 고밀도 배치에 의해 만들어진 작은 종횡비 갭을 보충하는 것이 필요로 된다는 것을 알수 있다. 추가로, 대기 CVD에 형성된 BPSG층은 덜 비싼 화학장치를 필요로 하고 더 빠르게 형성될 수 있기 때문에(더 좋은 웨이퍼 처리량을 제공), PECVD 산호물보다 상당히 더 경제적이다. 얇은 도핑되지 않은 PECVD 산화물 캡핑층(212)의 사용은 텅스텐 플러그 공정으로 저밀도 고종횡비 보충 대기 CVD BPSG층의 사용을 가능케 한다.

대기 CVD BPSG층과 텅스텐 플러그 공정 모두는 최신의 초고밀도 집적회로를 제조하는데 필요하다는 것을 알 수 있다. 대기 BPSG층은 소자(202)의 조밀배치에 의해 만들어진 고종횡비 갭을 보충하는데 사용되고, 텅스텐 플러그는 조밀하게 배치된 소자(202)에 접촉하는데 필요한 고종횡비 접촉 개방부를 보충하는데 사용된다.

다음, 2h에 도시된 바와같이, 금속 층간접속은 ILD 캡핑층(212)상에, 그리고 플러그(226)와의 전기적인 접촉부위에 형성된다. 층간접속(230)은 알루미늄층(및 원하면 접착층)을 ILD(212)와 플러그(226)위에 블랭킷 증착하고, 그 다음 공지된 사진 석판 기술을 이용하여 개별 금속라인(230)에 알루미늄층을 에칭하는 공지된 수단에 의해 형성될 수 있다. 이 점에서, 본 발명의 층간접속 구조는 완성된다.

도 2h에 도시된 바와같이, 고평면의 고밀도 층간접속 구조가 제조되었다. 플러그(226)는 ILD(214)와 실제로 평면이기 때문에, 평면의 층간접속층(230)이 형성된다. 본 발명은 원하다면 추가 층간접속 및 비어/접촉층을 형성하는데 이용될 수 있다는 것을 알수 있다. 본 발명의 층간접속법의 고평면성 때문에, 거의 무제한의 금속층이 ULSL 회로에 필요한 반도체 기판에 형성된 다수의 절연소자의 층간접속을 고려하여 제조될 수 있다. 더욱이, 본 발명은 PECVD 산화물 캡핑층이 텅스텐 플러그 공정에서 ILD 선택도를 증가시키기 위해 대기 CVD BPSG층 위에 형성되는 바람직한 실시예에 관하여 설명되었지만, 본 발명의 개념은 다른 반도체 공정에도 적용될 수 있다는 것이 예상된다. 즉, 본 발명은 제2물질로 개방부를 보충하기 위해 하나의 물질을 역으로 폴리싱하는 화학적 기계적 폴리싱(CMP) 공정을 이용하는 임의의 공정에, 그리고 그 폴리싱 공정의 선택도가 튼튼한 공정을 제공하는 제2물질에서 충분히 선택되지 않은 곳에 일반적으로 적용될 수 있다. 이 경우에, 적당한 캡핑층이 신뢰도 있는 공정을 제공하는 폴리싱 공정의 선택도를 증가시키기 위해 제공된다. 예를 들어, 본 발명은 자체에 형성된 개방부를 가진 ILD 위에 알루미늄층을 블랭킷 증착시키고, 그 다음 금속 층간접속을 형성하기 위해 그 알루미늄층을 역으로 폴리싱함으로써, 층간접속(230)와 같은 층간접속을 형성하는데 사용될 수 있다. 추가로, 본 발명은 절연을 위해 트렌치를 보충하거나 커패시터를 형성하는데 사용된 CMP 공정내의 선택도를 증가시키는데 사용될 수 있다.

앞의 명세서에서, 본 발명은 특정예의 실시예를 기준으로 설명되었다. 그러나, 본 발명의 사상과 범위내에서 여러 수정과 변경이 될 수 있다는 것을 알수 있을 것이다. 본 발명은 여기서 설명된 특정치수, 물질 및 슬러리에 제한을 두지 않고자 한다. 본 명세서와 도면은 따라서 제한적이기 보다는 예시적이다.

따라서, 텅스텐 플러그의 화학적 기계적 폴리싱 공정으로 BPSG층의 사용을 가능케하는 방법과 구조가 설명되었다.

(57) 청구의 범위

청구항 1

층간접속 구조를 제조하는 방법에 있어서:

제1절연층을 형성하는 단계;

상기 제1절연층을 평면화하는 단계;

제2절연층을 상기 제1평면화한 절연층위에 형성하는 단계;

상기 제1 및 제2절연층에 개방부를 형성하는 단계;

전도성 물질을 상기 개방부와 상기 제2절연층 위에 증착시키는 단계; 및

상기 제2절연층 보다 더 빠르게 상기 제1절연층을 폴리싱하는 폴리싱 공정을 이용하며,

상기 제2절연층과 실제로 평면인 전도성의 보충된 개방부를 형성하기 위해 상기 전도성 물질을 상기 제2절연층으로부터 폴리싱하는 단계로 구성되어 있는 것을 특징으로 하는 방법.

청구항 2

제 1 항에 있어서, 상기 제2절연층은 플라즈마 증강 CVD 층으로 구성되어 있는 것을 특징으로 하는 방법.

청구항 3

제 1 항에 있어서, 상기 제1절연층은 TEOS 소스가스를 이용한 대기 화학증기 증착에 의해 형성된 BPSG층인 것을 특징으로 하는 방법.

청구항 4

제 1 항에 있어서, 상기 제 2 절연층은 TEOS 소스가스를 이용한 플라즈마 개선 화학증기 증착에 의해 형성된 도핑되지 않은 산화층으로 구성되어 있는 것을 특징으로 하는 방법.

청구항 5

제 1 항에 있어서, 상기 전도층은 텅스텐으로 구성되어 있는 것을 특징으로 하는 방법.

청구항 6

제 1 항에 있어서, 상기 제1절연층은 대기 CVD 산화층이고, 상기 제2절연층은 플라즈마 개선 CVD 산화층인 것을 특징으로 하는 방법.

청구항 7

층간접속 구조를 반도체 기판상에 형성하는 방법에 있어서:

붕소와 인으로 구성된 제1산화층을 상기 기판위에 형성하는 단계;

상기 제1산화층을 평면화하는 단계;

산화층을 상기 평면화된 제1산화층 위에 형성하는 단계;

상기 제1산화층과 상기 도핑되지 않은 산화층에 개방부를 형성하는 단계;

텅스텐으로 구성된 전도층을 상기 개방부와 상기 도핑되지 않은 산화층 위에 증착하는 단계; 및

상기 전도층을 상기 도핑되지 않은 산화층으로부터 제거하여 상기 도핑되지 않은 산화층과 실제로 평면인 보충된 개방부를 형성하기 위해서, 상기 전도층을 폴리싱하는 단계로 구성되어 있는 것을 특징으로 하는 방법.

청구항 8

제 7 항에 있어서, 상기 제1산화층은 TEOS 소스가스를 이용한 대기 화학 증기 증착에 의해 형성되는 것을 특징으로 하는 방법.

청구항 9

제 7 항에 있어서, 상기 도핑되지 않은 산화층은 TEOS 소스가스를 이용한 플라즈마 개선 화학 증기 증착에 의해 형성되는 것을 특징으로 하는 방법.

청구항 10

제 7 항에 있어서, 층간접속을 상기 도핑되지 않은 산화층 위와 상기 보충된 개방부 위에 형성하는 단계로 더 구성되어 있는 것을 특징으로 하는 방법.

청구항 11

제 7 항에 있어서, 상기 폴리싱 단계는 상기 제2산화층 보다 더 빠르게 상기 제1산화층을 폴리싱하는 슬러리를 이용하는 것을 특징으로 하는 방법.

청구항 12

제 11 항에 있어서, 상기 슬러리는 (?)로 구성되어 있는 것을 특징으로 하는 방법.

청구항 13

제 7 항에 있어서, 상기 제1산화층을 조밀하게 하기 위해서 N_2 대기에서 상기 제1산화층을 평면화하기에 앞서 급열 처리하는 단계로 더 구성되어 있는 것을 특징으로 하는 방법.

청구항 14

제 7 항에 있어서, 상기 제1산화층은 화학적 기계적으로 폴리싱함으로써 평면화되는 것을 특징으로 하는 방법.

청구항 15

반도체 기판상에 형성된 소자에 접촉부를 형성하는 방법에 있어서:

붕소와 인으로 구성되고 TEOS 소스가스를 이용한 대기 CVD에 의해 형성되는 제1산화층을 상기 기판상에 그리고 상기 소자 위에 형성하는 단계;

평면화된 제1산화층을 형성하기 위해 상기 제1산화층을 화학적 기계적으로 폴리싱하는 단계;

실제로 도핑되어 있지 않고 TEOS 소스가스를 이용한 플라즈마 개선 화학 증기 증착에 의해 형성되는 캡핑 산화층을 상기 평면화된 제1산화층에 증착하는 단계;

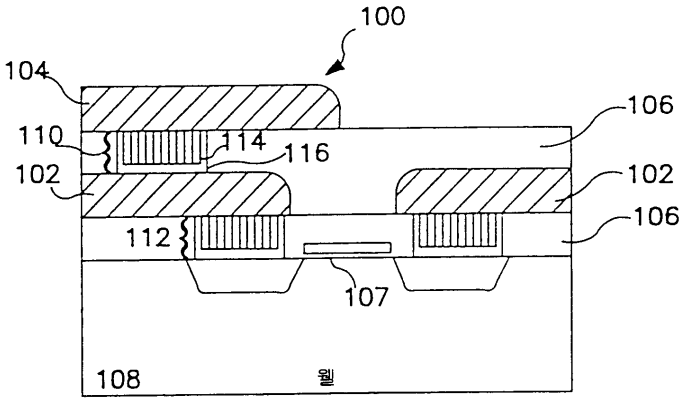
상기 캡핑층과 상기 평면화된 제1산화층을 관통하여 접촉 개방부를 상기 소자에 에칭하는 단계;

텅스텐으로 구성된 전도 보충 물질을 상기 캡핑층 위에 그리고 상기 접촉 개방부에 블랭킷 증착하는 단계; 및

상기 캡핑층으로부터 상기 전도 보충 물질을 제거하여 보충된 접촉부를 형성하기 위해 상기 전도 보충 물질을 상기 캡핑 산화층 보다 더 빠르게 상기 제1산화층을 폴리싱하는 화학적 기계적으로 폴리싱하는 단계로 구성되어 있는 것을 특징으로 하는 방법.

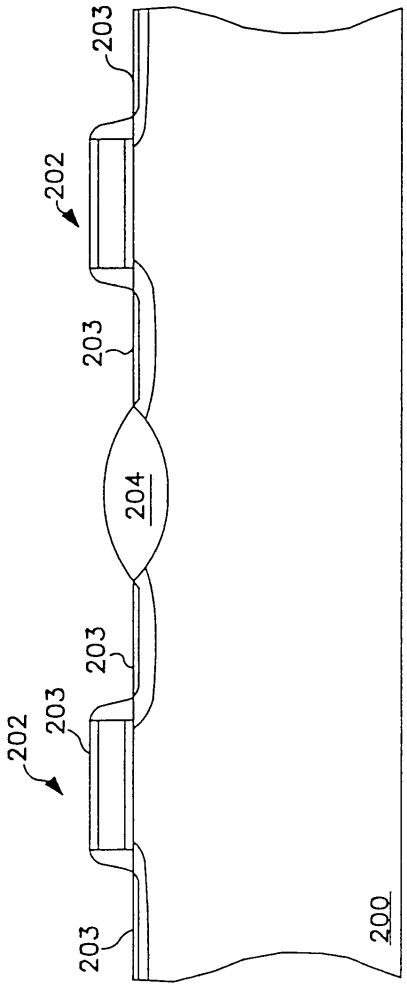
도면

도면1

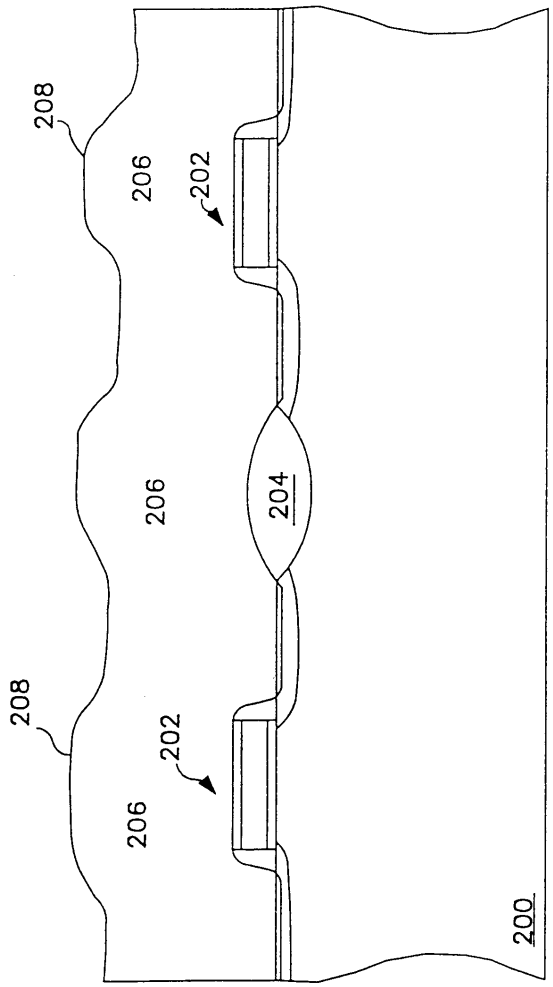


종래기술

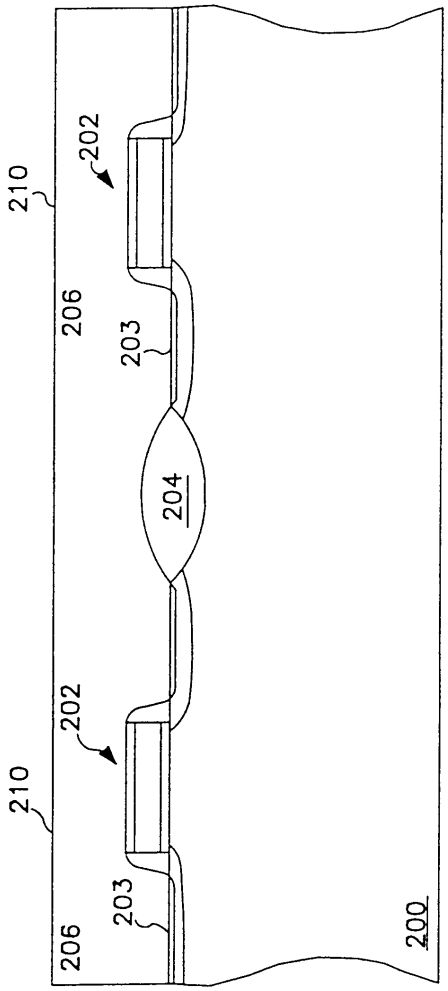
도면2a



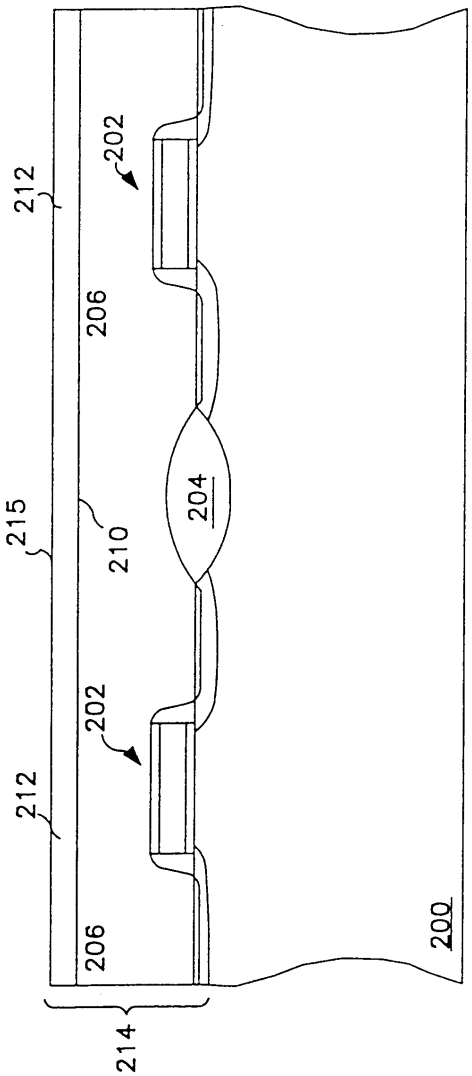
도면2b



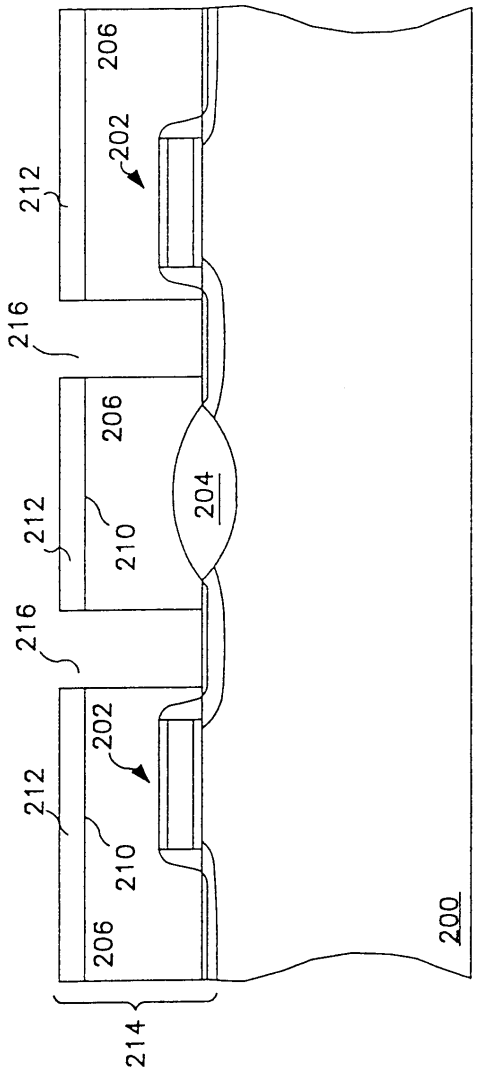
도면2c



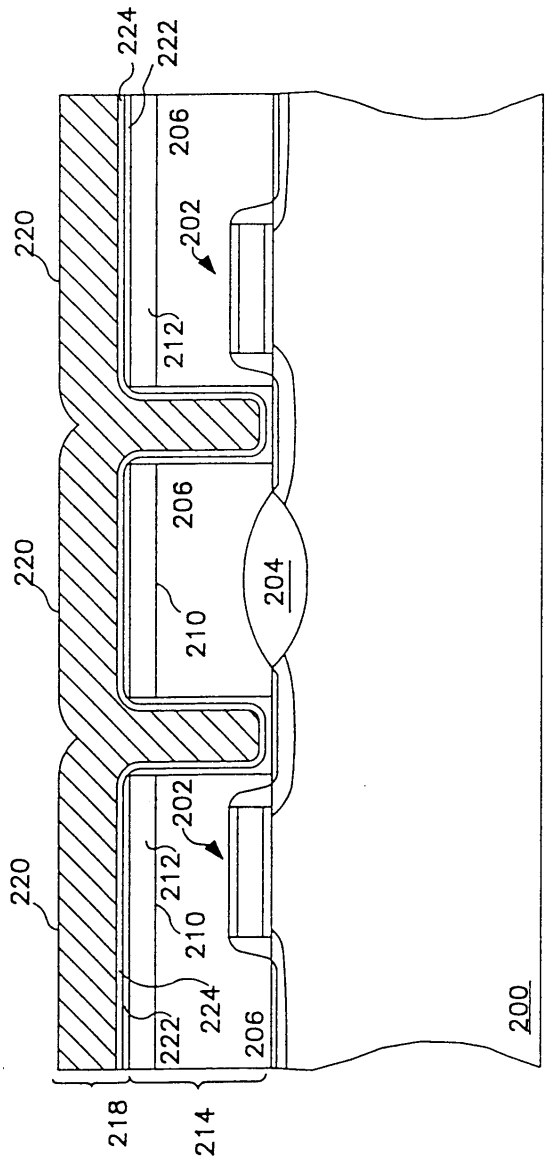
도면2d



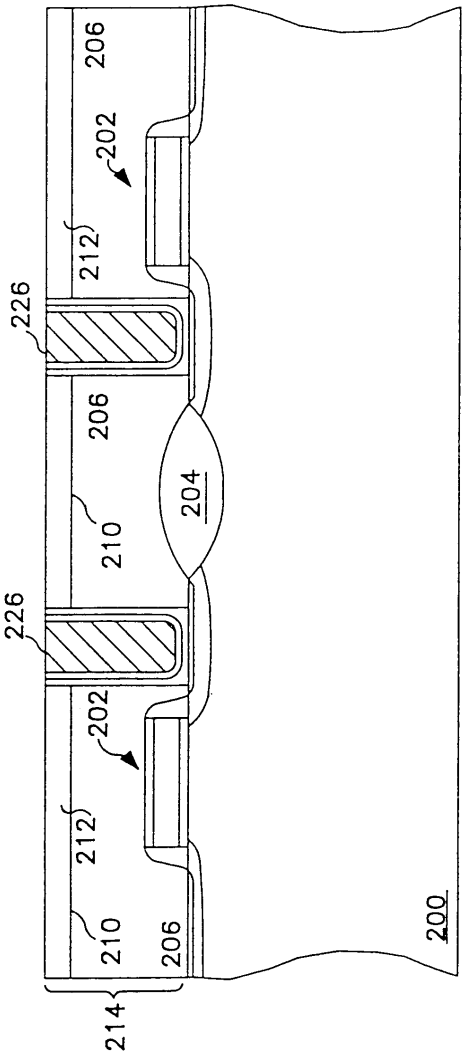
도면2e



도면2f


224
222
206
202
220
212
206
204
220
210
202
212
220
210
224
222
206
200
218
214

도면2g



도면2h

