(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4938221号
(P4938221)
(45)発行日　平成24年5月23日(2012.5.23)　(24)登録日　平成24年3月2日(2012.3.2)

(51)Int.Cl.　F I
H01L 31/107 (2006.01)　H01L 31/10 B

請求項の数 7 (全 7 頁)

(21)出願番号	特願2003-564912(P2003-564912)
(86)(22)出願日	平成15年2月3日(2003.2.3)
(65)公表番号	特表2005-539368(P2005-539368A)
(43)公表日	平成17年12月22日(2005.12.22)
(86)国際出願番号	PCT/US2003/003323
(87)国際公開番号	WO2003/065418
(87)国際公開日	平成15年8月7日(2003.8.7)
審査請求日	平成17年12月20日(2005.12.20)
審判番号	不服2010-23014(P2010-23014/J1)
審判請求日	平成22年10月12日(2010.10.12)
(31)優先権主張番号	60/353,530
(32)優先日	平成14年2月1日(2002.2.1)
(33)優先権主張国	米国(US)
(31)優先権主張番号	60/353,765
(32)優先日	平成14年2月1日(2002.2.1)
(33)優先権主張国	米国(US)

(73)特許権者　504187939
ピコメトリックス　インコーポレイテッド
アメリカ合衆国　４８１１３－０２４３
ミシガン、アナーバー、　ピー．オー．ボックス　１３０２４３
(74)代理人　100066692
弁理士　浅村　皓
(74)代理人　100072040
弁理士　浅村　肇
(74)代理人　100091339
弁理士　清水　邦明
(74)代理人　100094673
弁理士　林　鈺三

最終頁に続く

(54)【発明の名称】プレーナ・アバランシェ・フォトダイオード

(57)【特許請求の範囲】
【請求項１】
プレーナ・アバランシェ・フォトダイオードにおいて、
第１のｎ型半導体層と、
前記第１のｎ型半導体層上の第１の接触層と、
ｐ型半導体拡散領域を有する第２のｎ型半導体層であって、当該ｐ型半導体拡散領域は均質のｎ型半導体吸収層よりも狭い領域である、第２のｎ型半導体層と、
前記第１及び第２のｎ型半導体層の間に配置されたｎ型半導体多重層と、
前記ｎ型半導体多重層と前記第２のｎ型半導体層との間に配置された前記ｎ型半導体吸収層と、
ｐ型接触層とを備え、
前記ｐ型半導体拡散領域が該ｐ型接触層に直接近接して配置され、さらに、前記ｎ型半導体吸収層と前記ｎ型半導体多重層との間に配置され、均一の厚さと、前記ｐ型半導体拡散領域よりも面積の大きいｐ型電荷制御層とを有するプレーナ・アバランシェ・フォトダイオード。
【請求項２】
前記ｎ型半導体吸収層に近接して配置された少なくとも１つの段階層をさらに含んだ請求項１に記載のプレーナ・アバランシェ・フォトダイオード。
【請求項３】
少なくとも１つのｎ型接触層をさらに含んだ請求項１に記載のプレーナ・アバランシェ

・フォトダイオード。
【請求項４】
前記第１のｎ型半導体層はＩｎＡｌＡｓである請求項１に記載のプレーナ・アバランシェ・フォトダイオード。
【請求項５】
前記第２のｎ型半導体層はＩｎＡｌＡｓである請求項１に記載のプレーナ・アバランシェ・フォトダイオード。
【請求項６】
前記ｎ型半導体多重層はＩｎＡｌＡｓである請求項１に記載のプレーナ・アバランシェ・フォトダイオード。
【請求項７】
前記ｎ型半導体吸収層はＩｎＧａＡｓである請求項１に記載のプレーナ・アバランシェ・フォトダイオード。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、アバランシェ・フォトダイオードに関し、特に、プレーナｐｎ接合を有するメサ構造アバランシェ・フォトダイオードに関する。
【背景技術】
【０００２】
光子と電子との間の知られている相互作用おかげで、近年光検出器、特に、半導体材料を利用する光検出器の分野は大きく進歩した。あるタイプの半導体ベースの光検出器はアバランシェ・フォトダイオードと呼ばれる。このタイプの構造は一般に、吸収及び多重といった種々の目的に役立つ多数の固体半導体材料から成っている。
【０００３】
アバランシェ・フォトダイオード構造は、多重層において多数の電子－正孔対を産み出す電荷担体の作用の間の利得が大きいという主要な利点を提供する。しかし、アバランシェ・フォトダイオードは多数の電荷担体を産み出す効率が非常に高いために飽和してしまうリスクがあるので、この装置の帯域に悪影響を及ぼす。電荷担体の崩壊を防ぐには、アバランシェ・フォトダイオード自身内の電界を調節する必要があり、特に、吸収層の電界よりも多重層の電界を著しく高くすることが好ましい。
【０００４】
メサ型アバランシェ・フォトダイオードは、絶縁材料の層を用いて不動態化することが難しい高電界ｐｎ接合を露出している。このため、標準的な市販のＩｎＰ／ＩｎＧａＡｓアバランシェ・フォトダイオードは、ｐｎ接合を埋めるプレーナ拡散構造を使用し、これによりロバスト(robust)で長寿命の装置が得られる。しかし、これらＩｎＰアバランシェ・フォトダイオードは、ｐ型半導体領域の深さ及びドーピング密度の両方の極めて正確な拡散制御を要する。この拡散は多重領域の電界の大きさ、アバランシェ領域の長さのほか電荷制御を制御するため、この重要な制御が不可欠となる。
【０００５】
提唱されてきたプレーナＩｎＡｌＡｓアバランシェ・フォトダイオードは実際には存在しない。既存のアバランシェ・フォトダイオードは、エッチ・ダウンされて高電界アバランシェ領域の頂部が露出され、続いて深いチタン・インプラントが行われてさらにその高電界領域を絶縁される、エッチングされた絶縁リングを備えている。続いて、ｐ型半導体領域と接触させるために、この絶縁リングは亜鉛拡散が行われる。これは重要なエッチング及びインプラント工程を必要とする非常に複雑な構造である。このような努力にも関わらず、このアバランシェ・フォトダイオードの寿命は標準的なプレーナ・アバランシェ・フォトダイオードの寿命の１／１０の長さであるため、通信用途には十分ではない。
【０００６】
したがって、当該技術においては、安価で、効果的で重要な制御で製造することのでき

る単純かつ効果的なアバランシェ・フォトダイオードの必要がある。したがって、本発明は、プレーナ接触領域を定める第１のｎ型半導体層及びｐ型拡散領域を有する第２のｎ型半導体層を有するプレーナ・アバランシェ・フォトダイオードを備える。本発明の構造のさらなる特徴は、ｎ型半導体多重層、ｎ型半導体吸収層、及びｐ型接触層を含む。ｐ型拡散領域はｐ型接触層に直接近接して配置されているため、構造の速度、寿命及び費用対効果を高めるとともに、プレーナ・アバランシェ・フォトダイオードの静電容量が低減される。本発明のさらなる実施形態及び利点について、以下図面を参照して記載する。

【実施例】

【０００７】

本発明の好適な実施形態によれば、光導電性のためにエピタキシャル構造が提供される。この光導電構造は、ｐｎ接合の拡散ｐ型ドーピングを通して高められる性能のために最適化されたアバランシェ・フォトダイオードである。本発明の構造及び製造方法の詳細については、本願明細書において以下で考察する。

【０００８】

図１を参照すると、本発明の第１の実施形態によるプレーナ・アバランシェ・フォトダイオード１０の断面が示されている。このプレーナ・アバランシェ・フォトダイオード１０は、ｐ型接触層１２及びプレーナ接触領域を提供する第１のｎ型半導体層２８を含んでいる。ｐ型接触層１２は第２のｎ型半導体層１６上に配置され、この層１６はｐ型接触層１２及び第２のｎ型半導体層１６によって形成されたｐｎ接合部の電界を調節するｐ型拡散領域１４を備えている。

【０００９】

プレーナ・アバランシェ・フォトダイオード１０は、段階層１８ａによって第２のｎ型半導体層から分離されたｎ型半導体吸収層２０をさらに含んでいる。このｎ型吸収層２０はｎ型半導体多重層２４上に配置されている。好適な実施形態では、ｎ型半導体吸収層２０は、ｐ型半導体電荷制御層２２によってｎ型多重層２４から、好適には第２の段階層１８ｂから分離されている。電子を集める１対のｎ型接触層２６が、第１のｎ型半導体層２８上に配置されているのが示されている。

【００１０】

第１のｎ型半導体層２８は、第三の半導体からなるグループあるいはグループＩＩＩ～Ｖの半導体から選択される。したがって、第１のｎ型半導体層２８は、グループＶからの１つの元素と組み合わされたグループＩＩＩからの２つの元素、あるいはこれとは反対に、グループＩＩＩからの１つの元素と組み合わされたグループＶからの２つの元素のいずれか一方から選択される。周期表の代表的なグループの表を以下に示す。

【００１１】

【表１】

グループ II	グループ III	グループ IV	グループ V
亜鉛 (Zn)	アルミニウム (Al)	ケイ素 (Si)	リン (P)
カドミウム (Cd)	ガリウム (Ga)	ゲルマニウム (Ge)	ヒ素 (As)
水銀 (Hg)	インジウム (In)		アンチモン (Sb)

【００１２】

上記の好適な実施形態では、第１のｎ型半導体層２８はＩｎＡｌＡｓである。しかし、第１のｎ型半導体層２８は、プレーナ・アバランシェ・フォトダイオード１０の動作の最適化に必要なバンドギャップを提供する任意の第三の半導体であってよいことが理解される。

【００１３】

ｎ型半導体多重層２４もまた、第三の半導体を含むグループ又はグループＩＩＩ～Ｖの半導体から選択される。この好適な実施形態では、ｎ型半導体多重層２４はＩｎＡｌＡｓである。好適には、ｎ型半導体吸収層２０もまた第三の半導体を含むグループ又はグループＩＩＩ～Ｖの半導体から選択される。この好適な実施形態では、ｎ型半導体吸収層２０はＩｎＧａＡｓである。しかし、ｎ型半導体吸収層２０及びｎ型半導体多重層２４の両方は、プレーナ・アバランシェ・フォトダイオード１０の動作の最適化に必要なバンドギャップを提供する任意の第三の半導体であってよいことが理解される。

【００１４】

第２のｎ型半導体層１６もまた、第三の半導体を含むグループ又はグループＩＩＩ～Ｖの半導体から選択される。前述したように、第２のｎ型半導体層１６は、グループＶからの１つの元素と組み合わされたグループＩＩＩからの２つの元素、あるいはこれとは反対に、グループＩＩＩからの１つの元素と組み合わされたグループＶからの２つの元素のいずれか一方である。この好適な実施形態では、第２のｎ型半導体層１６はＩｎＡｌＡｓである。しかし、第２のｎ型半導体層１８は、プレーナ・アバランシェ・フォトダイオード１０の動作の最適化に必要なバンドギャップを提供する任意の第三の半導体であってよいことが理解される。

【００１５】

上記のように、第２のｎ型半導体層１６は部分的には、第２のｎ型半導体層１６とｐ型接触領域１２との間の接合部近傍のｐ型拡散領域１４を定めている。ｐ型拡散領域１４は、前記ｐｎ接合部のプレーナ・アバランシェ・フォトダイオード１０の静電容量を低下させるので、この構造の全体的速度は上昇する。

【００１６】

プレーナ・アバランシェ・フォトダイオード１０の一実施形態は、重要な層の厚さ及びドーピング濃度の全体が最初の結晶成長において調節され、このために優れた制御下にあり、再生可能に成長させることができ、ウエハ全体にわたって均一である。したがって、製造中の工程の制御に関する問題、特に拡散工程に関連する問題は、本発明ではみられない。

【００１７】

図２に示した別の実施形態では、プレーナ・アバランシェ・フォトダイオード１１０は、ｎ型インプラント又はディープ・ドナーなどの界磁制御構造３０を備えている。この界磁制御構造３０をプレーナ・アバランシェ・フォトダイオード１１０への１対の貫入部として図に示している。しかし、本願明細書において以降で考察するように、実際に適用する場合、界磁制御構造３０はインプラント工程を受けたプレーナ・アバランシェ・フォトダイオード１１０のある領域から構成されてよい。

【００１８】

本発明の第１の実施形態のように、プレーナ・アバランシェ・フォトダイオード１１０はｐ型接触層１２及びプレーナ接触領域を提供する第１のｎ型半導体層２８を含んでいる。ｐ型接触領域１２は第２のｎ型半導体層１６上に配置されており、第２のｎ型半導体層１６はｐ型接触層１２及び第２のｎ型半導体層１６により形成されたｐｎ接合部の電界を調節するｐ型拡散領域１４を含んでいる。界磁制御構造３０は、前記ｐｎ接合部周囲で電界を付加的に低減する。

【００１９】

界磁制御構造３０は、インプラントされたｎ型半導体又はイオンの形態を取ることが好ましい。例えば、界磁制御構造３０はプレーナ・アバランシェ・フォトダイオード１１０に注入されたＳｉを有する領域の形態を取ってよい。択一的には、水素又はヘリウムなどのディープ・ドナーが、界磁制御構造３０によって示された領域内にインプラントされてよい。界磁制御構造３０の効果は、ドナーの注入領域における水素の不活化を通して実現されてもよい。この領域で高電界を維持することが好ましいため、種々の形態の界磁制御構造３０はｎ型半導体多重層２４を貫通しないであろう。

【００２０】

図３に示した代替的実施形態では、プレーナ・アバランシェ・フォトダイオード２１０は小さなメサ型構造を含んでいる。このように、上記の第２のｎ型半導体層は、エピタキシャル的に成長するｐ型半導体層３２に置き換えられる。好適には、ｐ型半導体層３２はＩｎＡｌＡｓであるが、ｐ型半導体層３２は動作の最適化に必要なバンドギャップを提供する任意のＩＩＩ～Ｖのタイプの半導体であってよいことが理解される。

【００２１】

上記の実施形態のように、プレーナ・アバランシェ・フォトダイオード２１０もｐ型接触層１２及びプレーナ接触領域を提供する第１のｎ型半導体層２８を含んでいる。ｐ型接触層１２はｐ型半導体層３２上に設けられている。不動態化された領域３４は、ｐ型半導体層３２及びプレーナ・アバランシェ・フォトダイオードの残りの構造の周囲に対称的に配置されている。

【００２２】

図３に示した実施形態では、全体の構造は最初にｐ型半導体層３２を含んで成長し、次いで第１のｎ型半導体吸収層２０までエッチ・ダウンされる。この工程は関連する静電容量領域を制御する局在化されたｐ型接触領域を定めるため、結果として静電容量は小さくなりアバランシェ・フォトダイオードの速度は速くなる。さらに、プレーナ・アバランシェ・フォトダイオード３２全体がエピタキシャル的に成長し、任意のｐ型拡散を必要としない。

【００２３】

不動態化された領域３４を形成するための特定の有利な方法は、ウェット酸化を用いる方法である。ｐ型半導体層３２は、ｎ型半導体吸収層２０又は第１の段階層１８ａの１つまで酸化されてよい。同様に、図３に示したように、ｎ型半導体多重層２４、ｐ型半導体電荷制御層２２及び第２の段階層１８ｂを含む外部メサの側面が酸化されてよい。最終的に、非酸化層と酸化層との間に段階的な接合部分ができるように、第１ｎ型半導体層２８を酸化することが可能である。これにより、第１のｎ型半導体層２８とｎ型半導体多重層２４との間の接合部分の電解が低減されて、よりよい不動態化が得られる。

【００２４】

この不動態化の取組は、ｐ型半導体電荷制御層２２を付加的に制御し、かつ不動態化をさらに高めるために外部のメサの端部の電界を低減し、光子又は酸素のインプラントと組み合わされてよい。適切な不動態化技術には、ＢＣＢ（ジビニルシロキサン・ビス・ベンゾシクロブテン）などの表面不動態化材料を使用することを含む。択一的には、プレーナ・アバランシェ・フォトダイオード２１０の外部を不動態化するために、二酸化ケイ素、窒化珪素又はポリイミドなどのその他の表面不動態化材料を用いてよい。

【００２５】

上記のように、本発明は既存のアバランシェ・フォトダイオードに対して多数の利点を提供する。本発明の構造が実際にプレーナであることは明白である。さらに、従来のアバランシェ・フォトダイオードに見られるように、ＩｎＰ多重領域に孔をアバランシェするのとは対照的に、ｎ型半導体多重層２４において電子がアバランシェされているため、図１に示したプレーナ・アバランシェ・フォトダイオード１０の構造は、典型的なＩｎＰ／ＩｎＧａＡｓアバランシェ・フォトダイオードの幾何学的形状を反転したものである。この構造の反転によって、ＩｎＧａＡｓ吸収層においては低電界解領域になるが、標準的なＩｎＰアバランシェ・フォトダイオードにおいては高電界アバランシェ領域となる。

【００２６】

本発明の上記の実施形態は、本発明の多数の可能性のある実施形態のほんの数例を説明したに過ぎないことが当業者には明らかである。多数の及び種々の他の構成が、添付の特許請求の範囲に定められた本発明の精神及び範囲から逸脱しない範囲で、当業者によって容易に考案される。

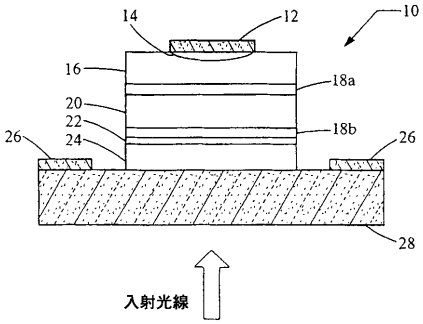
【図面の簡単な説明】

【００２７】

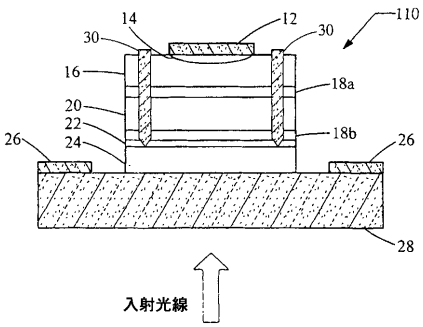
【図１】本発明の第１の実施形態によるプレーナ・アバランシェ・フォトダイオードの断

面図である。
【図２】本発明の代替的実施形態によるプレーナ・アバランシェ・フォトダイオードの断面図である。
【図３】本発明の代替的実施形態による小さなメサ型プレーナ・アバランシェ・フォトダイオードの断面図である。

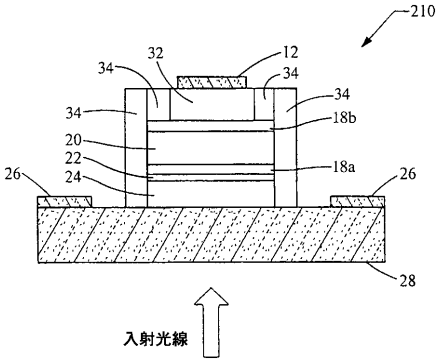
【図１】



【図２】



【図３】



フロントページの続き

(72)発明者　コー、チェン、シー.
アメリカ合衆国、ミシガン、アナーバー、スカイノブ　ドライブ　７１３
(72)発明者　レヴァイン、バリー
アメリカ合衆国、ニュージャージー、リヴィングストン、　ベアー　ブルック　レーン　２２

合議体
審判長　稲積　義登
審判官　北川　創
審判官　江成　克己

(56)参考文献　特開平０３－２６８４６７号公報
特開平０９－１９９７５３号公報
特開平０６－２９１３５９号公報
特開平０６－０６１５２１号公報

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 31/10