

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5778914号
(P5778914)

(45) 発行日 平成27年9月16日(2015.9.16)

(24) 登録日 平成27年7月17日(2015.7.17)

(51) Int.Cl.	F 1
B 8 1 C 1/00	(2006.01) B 8 1 C 1/00
H 0 1 L 29/84	(2006.01) H 0 1 L 29/84 Z
B 8 1 B 3/00	(2006.01) B 8 1 B 3/00
A 6 1 B 8/00	(2006.01) A 6 1 B 8/00

請求項の数 4 (全 10 頁)

(21) 出願番号 特願2010-246980 (P2010-246980)
 (22) 出願日 平成22年11月4日 (2010.11.4)
 (65) 公開番号 特開2012-96329 (P2012-96329A)
 (43) 公開日 平成24年5月24日 (2012.5.24)
 審査請求日 平成25年11月1日 (2013.11.1)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100086483
 弁理士 加藤 一男
 (72) 発明者 正木 裕一
 東京都大田区下丸子3丁目30番2号 キ
 ャノン株式会社内

審査官 矢澤 周一郎

最終頁に続く

(54) 【発明の名称】電気機械変換装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

電気機械変換装置の製造方法であって、
 支持基板上に、絶縁層を介して表面が平坦化処理された活性層を備えたSOI基板を用意する工程と、

前記活性層をキャビティ形状にパターニングする工程と、

前記パターニングされた活性層上に第1の絶縁膜を形成する工程と、

前記第1の絶縁層を形成する前に、前記パターニングされた活性層の表層に熱酸化により第2の絶縁層を形成する工程と、

前記第1及び第2の絶縁膜を貫通して前記活性層に連通するエッチング孔を形成する工程と、

前記エッチング孔を介して前記活性層をエッチング除去してキャビティを形成する工程と、

前記エッチング孔を封止する層を形成する工程と、
 を有し、

前記第1の絶縁層と前記エッチング孔を封止する層は100MPa以下の引張り応力を有することを特徴とする電気機械変換装置の製造方法。

【請求項 2】

前記第1の絶縁膜と前記エッチング孔を封止する層は、それぞれ、SiN膜であることを特徴とする請求項1に記載の電気機械変換装置の製造方法。

10

20

【請求項 3】

前記キャビティ上部に上部電極パターンを形成する工程を更に含むことを特徴とする請求項1または2に記載の電気機械変換装置の製造方法。

【請求項 4】

前記第1の絶縁層と前記エッチング孔を封止する層は、気相成長法により成膜されることを特徴とする請求項1から3の何れか1項に記載の電気機械変換装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、機械振動を電気振動に変換する又は電気信号を機械振動に変換するマイクロマシニング工程を用いた容量型超音波トランスデューサなどの電気機械変換装置及びその製造方法に関する。 10

【背景技術】**【0002】**

近年、マイクロマシニング工程により作製された容量型超音波トランスデューサ(CMUT)を医用イメージングの超音波探触子として用いる研究が行われている。CMUTはCapacitive-Micromachined-Ultrasonic-Transducerの略称である。CMUTは、例えば、下部電極と所定の間隔を保って支持された軽量の振動膜と振動膜表面に配設された上部電極とを有し、振動膜において超音波を送信、受信し、優れた広帯域特性と高感度特性を持つ。このことから、従来の圧電素子を用いた医用診断より高精度な診断が可能となる。CMUTの動作原理は次の様なものである。下部電極と上部電極間にDC電圧に微小なAC電圧を重畠して印加すると振動膜から超音波が送信される。反対に、超音波を受信する際には、振動膜が超音波により変形するので、変形に伴う下部電極と上部電極間の容量変化による信号が検出される。 20

【0003】

CMUTの製造方法として、シリコン基板上にキャビティ構造を形成し、SOI(Silicon-On-Insulator)基板を真空中で接合させ、SOI基板のシリコン単結晶膜のみを残して振動膜とする提案がある(特許文献1参照)。また、別の製造方法として、成膜されたシリコン窒化(SiN)膜を振動膜とし、エッチングホール形成後に犠牲層をエッチング除去してキャビティを形成し、最後にエッチングホールを真空中成膜で封止する提案もある(特許文献2参照)。 30

【先行技術文献】**【特許文献】****【0004】**

【特許文献1】米国特許第6,958,255号明細書

【特許文献2】米国特許第5,619,476号明細書

【発明の概要】**【発明が解決しようとする課題】****【0005】**

CMUTは、基板上に多数配設したキャビティからなる静電容量群が均一に動作することによりセンサー性能が決定される。均一な静電容量群となる要因には、夫々のキャビティにおける上下電極間ギャップが均一である事、対向面の表面粗さが平滑である事、振動膜の機械特性(ヤング率、ポアソン比、密度等)が均一である事が挙げられる。また、CMUTにおいては、DCバイアス印加を増大していくと、静電引力で振動膜が変形を起こし、キャビティの下部面に接触した場合には電荷の移動による帯電現象が起り、特性の変動が発生してデバイスとしての性能を大きく劣化させる。特許文献1の様にシリコン単結晶膜を振動膜として用いた構成では、CMP(Chemical-Mechanical-Polish)により平坦化されたシリコン表面がそのままキャビティの内壁面として用いられる。よって、各々のキャビティにおいても均一なギャップが得られる。しかしながら、作製時の接合工程においては極めて精密な洗浄によりパーティクルの完全除去が求められ、更には高温(約1000)によ 40

るアニール工程が必要である。従って、その際に接合界面に発生するガスが振動膜に悪影響を与えるなど、歩留り向上に関して課題を有している。特許文献2の様にサーフェイスマイクロマシニングを用いた製造方法では、次の点が指摘される。薄膜成膜とパターニングを多用したプロセスで、特に振動膜として用いるSiN膜をプラズマCVD (Chemical-Vapor-Deposition) 装置で残留応力を制御しながら成膜することにより、均一なキャビティ形成の歩留りは比較的良好。しかしながら、薄膜を積層することで、キャビティの一部を構成する振動膜又は側壁の膜厚均一性が悪くなる場合があり、膜厚の均一性は、一般に、前記接合により作製されたCMUTの性能には及ばない。

【課題を解決するための手段】

【0006】

上記課題に鑑み、本発明の容量型超音波トランステューサなどの電気機械変換装置の製造方法は少なくとも次の工程を含む。支持基板上に、絶縁層を介して表面が平坦化処理された活性層を備えたSOI基板を用意する工程。前記活性層をキャビティ形状にパターニングする工程。前記パターニングされた活性層上に第1の絶縁膜を形成する工程。前記第1の絶縁層を形成する前に、前記パターニングされた活性層の表層に熱酸化により第2の絶縁層を形成する工程。前記第1及び第2の絶縁膜を貫通して前記活性層に連通するエッチング孔を形成する工程。前記エッチング孔を利用して前記活性層をエッチング除去してキャビティを形成する工程。前記エッチング孔を封止する層を形成する工程。ここにおいて、前記第1の絶縁層と前記エッチング孔を封止する層は100 MPa以下の引張り応力を有する。

10

【0007】

また、上記課題に鑑み、本発明の容量型超音波トランステューサなどの電気機械変換装置は、基板と、振動膜と、振動膜支持部と、で形成されるセルを少なくとも1つ含むエレメントを複数有する。前記基板は、活性層が除去されたSOI基板からなる。前記振動膜支持部は、前記基板の絶縁層の表面と前記振動膜との間にキャビティが形成されるように前記振動膜を支持する。

20

【発明の効果】

【0008】

本発明によれば、接合工程が不要となり、パーティクルや接合界面に発生するガスによる影響も無く、歩留りの向上が可能となる。また、平坦性の得られたSOI基板の活性層をキャビティ形成の犠牲層として用いるので、キャビティ内部の表面粗さの向上が可能となる。

30

【図面の簡単な説明】

【0009】

【図1】本発明の実施例1のCMUTを説明する図。

【図2-1】本発明の実施例1における製造方法を説明する断面図。

【図2-2】本発明の実施例1における製造方法を説明する断面図。

【図3】本発明の実施例2のCMUT及びその製造方法を説明する断面図。

【図4】本発明の実施例3のCMUT及びその製造方法を説明する断面図。

【図5】CMUTの特性測定方法、動作原理及び特性結果のデータ例を示す図。

40

【発明を実施するための形態】

【0010】

本発明の電気機械変換装置及びその製造方法は、CMPなどにより平坦性の得られたSOI基板の活性層をキャビティ形成の犠牲層として用いることを特徴とする。こうした考え方に基づき、本発明の電気機械変換装置及びその製造方法は、課題を解決するための手段のところで述べた様な基本的な構成を有する。典型的には、更に、活性層の表層にCVD法、スパッタ法等の気相成長法、熱酸化等によりSiO₂膜を形成してから他の絶縁膜を成膜後にSi活性層を除去して電気機械変換装置をサーフェイスマイクロマシニングにより作製することを特徴とする。

【0011】

50

本発明を実施するための形態を以下の実施例により説明する。

(実施例 1)

図 1 から図 2 - 2 を用いて、実施例 1 における CMUT の製造方法について説明する。本実施例では、CMUT の一エレメント 200 全体の一例の上面図である図 1 (a) に示す様に、下部電極を兼ねた SOI 基板の支持基板上に 8×8 のキャビティ 202 の群が配置されている。ここでは、2 個のキャビティ 202 の組毎に共用したエッティング孔 203 を有し、最上層にはアルミ上部電極 204 が形成されている。この構造は、図 1 (a) の A-A' 断面図である図 1 (b) にも示されている。図 1 (b) には、支持基板 201 上の SiO_2 層 205、熱酸化膜 (SiO_2 膜) 206、 SiN 振動膜 207、 SiN 封止兼振動膜 208 も示されている。

10

【 0012 】

図 2 - 1 及び図 2 - 2 に沿って、本実施例における製造方法を説明する。図 2 - 1 及び図 2 - 2 の工程図は、説明の簡略化のために、部分的な断面を示しているが、他の部分も同様に作製される。まず、SOI 基板を用意する。図 2 - 1 (a) は本実施例に用いる 4 インチ SOI 基板 209 を示す。この基板では、活性層 210 の膜厚が 200 nm、絶縁層 (SiO_2 層) 205 の膜厚が 100 nm、支持基板 201 の膜厚が 400 μm である。支持基板 201 は、リン拡散され比抵抗値が $10 \text{ m}^{-\cdot\text{cm}}$ の n 型シリコンである。この様に、SOI 基板 209 は、支持基板 201 上に、絶縁層 205 を介して表面が平坦化処理された活性層 210 を備えている。これらの仕様は説明の為の一例であり、CMUT としての動作設計により変更されるべきものである。また、支持基板として、ボロン拡散の p 型シリコンを用いても構わないのである。

20

【 0013 】

次に、活性層 210 をキャビティ形状にパターニングする。図 2 - 1 (b) は、40 μm のキャビティ 2 個と、その間を連通している幅 10 μm 、長さ 10 μm の流路との形状に活性層 210 をパターニング完了した状態を示す。具体的には、ホトリソプロセスにより形成したレジスト像からドライエッティングによりシリコンの活性層 210 をエッティングしている。ドライエッティングの条件としては、エッティングガスとして SF_6 を流量 200 sccm で流して、圧力 3 Pa、RF パワー 400 W で 200 秒間のエッティングを行った。

【 0014 】

図 2 - 1 (c) は、熱酸化による絶縁膜 206 の形成を完了した状態を示す。具体的には、洗浄として、硫酸と過酸化水素水を 90 : 10 で混合した溶液を 120 ℃ に加温した中に 20 分間浸漬後、充分な純水洗浄・乾燥を行って、レジスト残渣や有機物パーティクルの除去を完了する。次に基板を酸化炉に入れ、温度 1000 ℃、酸素ガス : 3 リットル/分にて、15 分間で 100 nm の SiO_2 膜 206 を形成する。

30

【 0015 】

図 2 - 2 (d) は、プラズマ CVD 装置 (ULVAC 製の型式 CC200) により、 SiO_2 膜 206 及び絶縁層 (SiO_2 層) 205 上に SiN 膜 207 を 200 nm 成膜した状態を示す。成膜条件としては、 SiH_4 ガス : 42 sccm、 NH_3 ガス : 20 sccm、 N_2 ガス : 80 sccm を流し、基板温度を 350 ℃ として RF パワー 300 W で 120 秒の成膜をした。本実施例のプラズマ CVD 装置においては、 SiN 膜 207 の残留応力を低引張り応力 (約 100 MPa 以下) とするプロセス条件であるが、他のパラメーターを変えることでも応力制御をすることができる。また、プラズマ CVD の代わりに低压 CVD 装置を使って成膜してもよい。

40

【 0016 】

図 2 - 2 (e) は、犠牲層となる活性層 210 のシリコンを除去する為の開孔径 6 μm のエッティング孔 203 を形成した状態を示す。ホトリソプロセスにより所定のエッティング孔レジスト像を形成後、 SiN 膜 207 と SiO_2 膜 206 をエッティングしたものである。具体的には、ケミカルドライエッチャーより、エッティングガスとして CF_4 : 300 sccm、 O_2 : 240 sccm、 N_2 : 80 sccm を流し、圧力 60 Pa、RF パワー 700 W で 180 秒間エッティングを行った。こうして、絶縁膜を貫通して活性層に連通するエッティング孔が形成される。

【 0017 】

50

図2-2(f)はキャビティ202の形成を完了した状態を示す。プロセス条件は、ドライエッチャーにより、エッチングガスとしてXeF₂:8 sccmを流し圧力40Pa、エッチング時間3分で、犠牲層としてのシリコン210がエッチング孔203を介して完全にエッチング除去できる。ここでは、エッチング孔203からXeF₂ガスによりシリコン犠牲層の除去を行ったが、アルカリ溶液等のウェットエッチングプロセスでも除去は可能である。

【0018】

図2-2(g)は、プラズマCVD装置により再度SiN膜208を500nm成膜して、エッチング孔203の封止を完了した状態を示す。図2-2(d)のSiN膜207の成膜条件と同じで、成膜時間を300秒とした。ここでのSiN膜208もCMUTの振動膜に加えられる為、膜208の残留応力を引張り応力とする必要がある。

10

【0019】

図2-2(h)は最終工程を示す図であり、キャビティ上部にアルミ膜(100nm厚)の上部電極パターン204が形成された状態を示す。スパッタリング装置において、アルミターゲットを用いてArガス:30sccm、圧力0.7Pa、RFパワー400Wにより成膜時間200秒で100nm厚の成膜を完了する。その後、ホトリソプロセスにより所定の上部電極パターンにレジスト像を形成し、混酸アルミエッチャント(林純薬工業製のエッチャント液TSL)を45℃に加温して60秒のエッチング時間でエッチングを実施する。尚、裏面側も、希フッ酸液で酸化膜の除去を行い、同じくスパッタリング装置にてSUS製ステンシルマスクを介して下部電極の取り出しパッド211を形成する。以上の工程により、本実施例のCMUTの作製プロセスが完了する。この様にして、活性層が除去されたSOI基板からなる基板と、振動膜と、振動膜支持部と、で形成されるセルを少なくとも1つ含むエレメントを複数有する電気機械変換装置が製造される。振動膜支持部は、基板の絶縁層の表面と振動膜との間にキャビティが形成されるように振動膜を支持している。また、本実施例では、振動膜は、熱酸化で形成された絶縁膜と該絶縁膜上にCVD法、スパッタ法等の気相成長法により成膜された他の絶縁膜を含んでいる。

20

【0020】

ところで、作製歩留りで有利なサーフェイスマイクロマシニングによる従来のCMUTの課題は以下の二項目に集約される。第一の項目は、作製されたキャビティ内部の平坦性が悪い事である。このことは、CMP処理により平坦性が得られたシリコン基板上に各種薄膜を成膜して、薄膜の表面粗さをSPMにて計測を行った結果、シリコン表面から表面粗さを劣化させてしまうことが分かったことから言える。SPMはScanning-Probe-Microscopeの略称である。これについて、CMUTの特性測定方法と動作原理などを示す図5を用いて更に説明すると次の様になる。図5(a)に示す様に、外部電源101よりDCバイアスを印加しながら、CMUT102について、エレメント単位でインピーダンスアナライザー103にて周波数特性を測定する。この測定の際に、図5(b)~(d)の如くDCバイアスを変えていく。このとき、静電引力により振動膜104が下部電極105に接触するDCバイアス値をコラプラス電圧(=Vcollapse)と称する。このコラプラス電圧直前の共振周波数のピークカーブ106(図5(e)に示す)から、エレメント内キャビティ群のバラツキを表すQ値(=中心周波数fc÷ピークの半値幅f)が求められる。ギャップの均一性が高い場合に、Q値は高い値となる。こうした測定により、形成された薄膜の表面粗さを改善する策として行われた研磨でも、材料の粒塊により、単結晶シリコンのCMP処理面までは改善できないことが分かった。更に、GCIB技術による気体原子集団を加速して薄膜表面に照射する方法でも、低周波(空間波長0.1~1.0μm)の表面粗さは改善効果が見られるが、課題である微細な粗さの改善には充分至らないことが分かった。GCIBはGas-Cluster-Ion-Beamの略称である。

30

【0021】

第二の項目は、キャビティを構成する絶縁材料の電荷注入量が大きい事である。従来、サーフェイスマイクロマシニングにおける絶縁膜材料は、基板にシリコンを用いた場合でも、基板表面以外は熱酸化によるSiO₂膜が形成できないので、プラズマCVDや低圧CVDによ

40

50

るSiN膜あるいはSiO₂膜に限定されてしまう。一般的に、熱酸化によるSiO₂膜は、単結晶シリコンからの酸化により、欠陥の少ない良質な酸化膜として作製される。よって、外部からの電荷に対しては、少量の欠陥に電荷がトラップされるのみで、SiNなどの他の薄膜絶縁材料に比べて電荷注入量が少ない。このSiO₂の特性から、微小ギャップで対向面が構成されるCMUTにおいて、印加DCバイアスによる静電引力で変形する振動膜がキャビティ底面に接触した場合でも、帶電量が微量で、多数のキャビティ内での特性ばらつきを抑えることが可能となる。

【0022】

上記第一及び第二の項目に関して、本実施例では、課題を克服することができる。すなわち、本実施例のCMUTにおいて形成されたキャビティ202を分解して、内壁が熱酸化膜(SiO₂膜206)で覆われていることを断面TEM(Transparent-Electro-Microscope)で確認できた。また、キャビティ202内の下部面における表面粗さと上部面の表面粗さも、SPMによりRa=約0.2nmと極めて平坦に作製されることを確認できた。また、キャビティを構成する絶縁材料のSiO₂膜206の上記電荷注入量も少なくなる(帶電特性が良くなる)。更に、本実施例では、基板の接合工程が不要となり、今まで不良の原因となった接合界面のパーティクルや発生ガスの影響が無くなり、歩留まりを向上させることが可能となる。

【0023】

この様に、本実施例によれば、接合により作製されたCMUTと同等のキャビティ内部の表面粗さと同質の絶縁膜材料で構成が可能となり、極めて高性能なCMUTがサーフェイスマイクロマシニングによる工法で実現できる。よって、歩留り良く特性の良好な容量型超音波トランステューサなどの電気機械変換装置を提供することができる。

【0024】

(実施例2)

実施例2のCMUTの製造方法について説明する。実施例2は、熱酸化SiO₂膜206を形成しない例に関する。実施例2で作製されたCMUTの一要素全体の上面図は図1(a)と同じである。図3(a)は実施例2のA-A'断面図を表すものである。図3(a)には、SOI基板の支持基板201、SOI基板のSiO₂層205、キャビティ202、キャビティエッティング孔203、SiN振動膜207、SiN封止兼振動膜208、アルミ上部電極204も示されている。

【0025】

次に、実施例2における製造方法を説明する。実施例2で使用するSOI基板209では、活性層210の膜厚を160nmとする。これはCMUT完成時のキャビティのギャップ値を実施例1と同一にする為である。同一にする必要はないが、後述する両実施例の性能の比較の為に同一にしている。本実施例でも、実施例1で示した図2-1(a)から図2-1(b)で説明した工程と同様な工程を実施し、活性層のキャビティパターンの作製までを行う。

【0026】

図3(b)は、プラズマCVD装置(ULVAC製の型式CC200)によりSiN膜207を300nm成膜した状態を示す。実施例1と同じ膜厚の絶縁膜とした。成膜条件としては、SiH₄ガス:42sccm、NH₃ガス20sccmを流し、基板温度を350としてRFパワー300Wで180秒とした。実施例2においても、SiN膜の残留応力を引張り応力(約100MPa以下)とするプロセス条件である。また、ここでもプラズマCVDの代わりに低圧CVD装置を使ってSiN膜を成膜してもよい。

【0027】

次工程以降は、実施例1で説明した図2-2(e)から図2-2(h)のプロセスと同じに作製し、実施例2のCMUTの作製プロセスが完了する。この様に、本実施例では、熱酸化SiO₂膜206は形成せず、パターニングされた活性層上に絶縁膜208を形成する工程の前に、パターニングされた活性層上に他の絶縁膜207を成膜する工程を実施する。本実施例のCMUTでは、形成されたキャビティ内の下部面における表面粗さはRa=約0.2nmと極

10

20

30

40

50

めて平坦であったが、上部面はRa=約0.8 nmと実施例1よりは劣った。犠牲層エッチング時のSi(活性層)とSiNの選択比が、Si(活性層)と熱酸化のSiO₂の選択比より低いことが原因で、表面の粗さとなつたと考えられる。

【0028】

(実施例3)

実施例3のCMUTの製造方法について説明する。実施例3は、熱酸化SiO₂膜206の代わりにSiO₂膜212を成膜する例に関する。実施例3として作製されたCMUTの一エレメント全体の上面図は図1(a)と同じである。図4(a)は実施例3のA-A'断面図を表すものである。図4(a)には、SOI基板の支持基板201、SiO₂層205、キャビティ202、キャビティエッチング孔203、SiO₂膜206、SiN振動膜207、SiN封止兼振動膜208、アルミ上部電極204も示されている。

10

【0029】

次に、実施例3における製造方法を説明する。実施例3で使用するSOI基板209も、活性層210の膜厚を160 nmとする。これはCMUT完成時のキャビティ202のギャップ値を上記実施例と同一にする為である。実施例1で示した活性層のキャビティパターンまで同条件で作製する。次に、図4(b)は、プラズマCVD装置(ULVAC製の型式CC200)によりSiO₂膜212を100 nm成膜した状態を示す。成膜条件としては、SiH₄ガス：45 sccm、N₂Oガス90 sccmを流し、基板温度を350 ℃としてRFパワー400 Wで30秒とした。

20

【0030】

次工程以降は、実施例1で説明した図2-2(e)から図2-2(h)のプロセスと同じに作製し、実施例3のCMUTの作製プロセスが完了する。この様に、本実施例では、熱酸化SiO₂膜206の代わりにSiO₂膜212を成膜し、パターニングされた活性層上に絶縁膜208を形成する工程の前に、パターニングされた活性層上に他の絶縁膜207を成膜する工程を実施する。本実施例のCMUTで形成されたキャビティ内の下部面における表面粗さと上部面の表面粗さはRa=約0.2 nmと極めて平坦に作製することができた。振動膜の帯電特性(帯電電圧)については、実施例1よりは劣る。

30

【0031】

以上の3つの実施例に従って作製した3サンプル(実施例1品、実施例2品、実施例3品)について性能評価を行った結果を下記の表1に示す。初期特性として実施例2品はQ値が比較的悪く、犠牲層エッチング時のXeF₂ガスがSiN膜表面の荒れを引き起こしていることが分かる。帯電特性についても、上述の第二の項目の説明から分かる様に、実施例2品と実施例3品は実施例1品より劣る結果であった。これは、上述した様に、絶縁膜として熱酸化SiO₂膜が優位であることを示している。ただし、実施例2品と実施例3品も、平坦性の得られたSOI基板の活性層をキャビティ形成の犠牲層として用いるので、従来のサーフェイスマイクロマシニングによるものよりは、キャビティ内部の表面粗さが良好となる。

【0032】

【表1】

40

	キャビティ内部の表面粗さ		コラプス電圧	Q値	共振周波数	半値幅	帯電電圧
	下部面	上部面					
本発明の実施例1	0.22	0.19	78	264	1.56	0.0059	0.7
実施例2	0.21	0.85	76	112	1.68	0.0105	10
実施例3	0.24	0.22	76	245	1.52	0.0062	5

[nm]

[V]

[MHz]

[V]

【符号の説明】

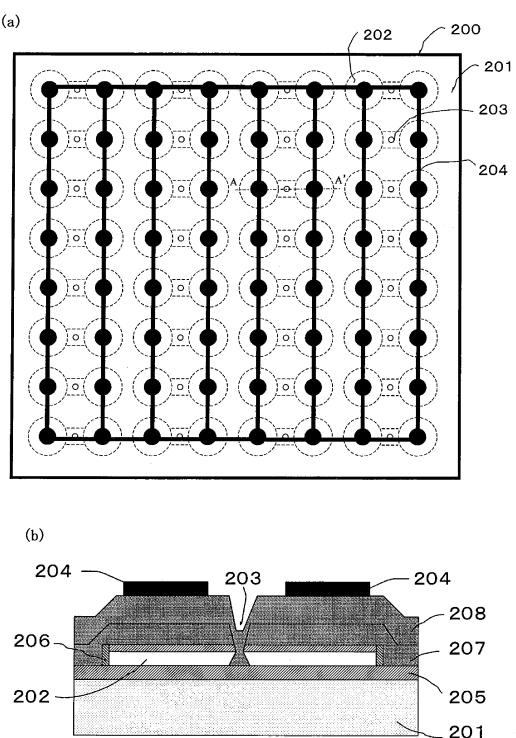
【0033】

200: CMUTの一エレメント、201: 支持基板、202: キャビティ、203: エッチ

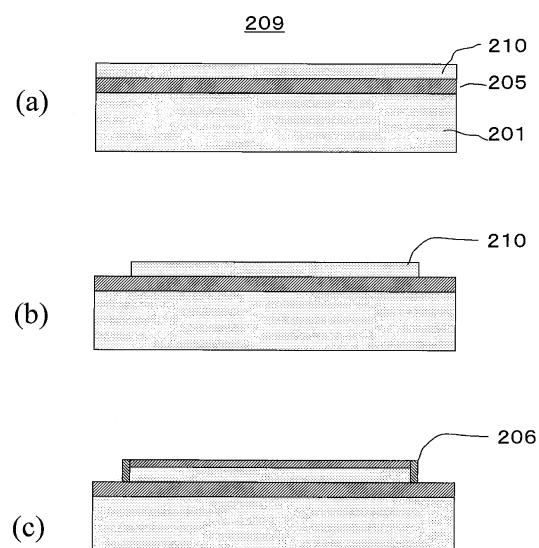
50

シングル孔、205:SiO₂層(絶縁層)、206:熱酸化膜(活性層の熱酸化による絶縁膜)、207:振動膜(絶縁膜)、209:SOI基板、210:活性層

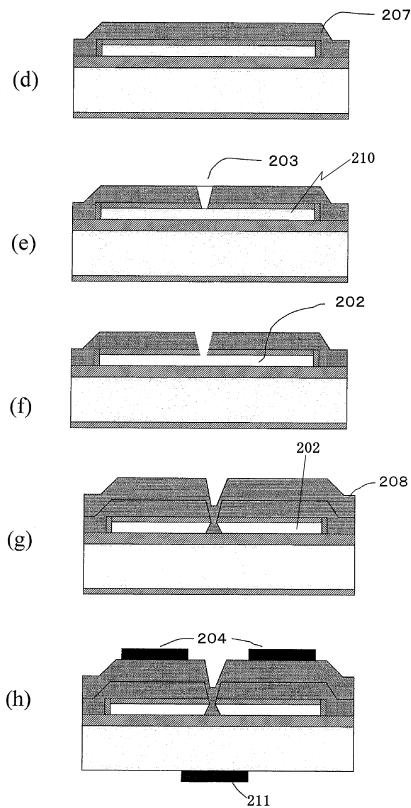
【図1】



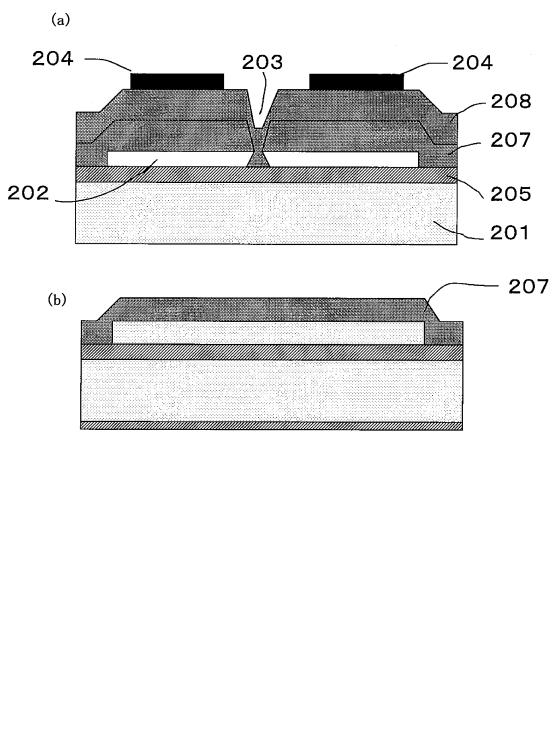
【図2-1】



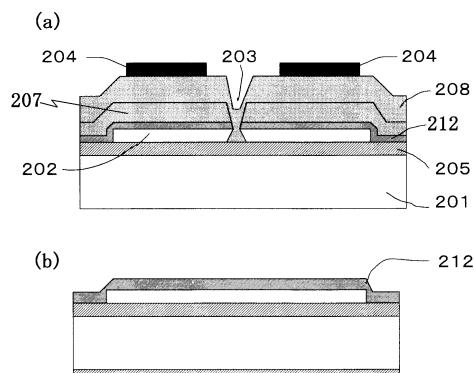
【図2-2】



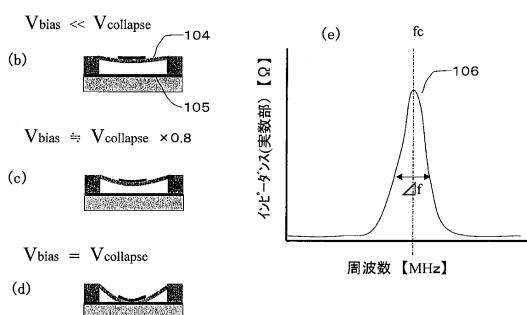
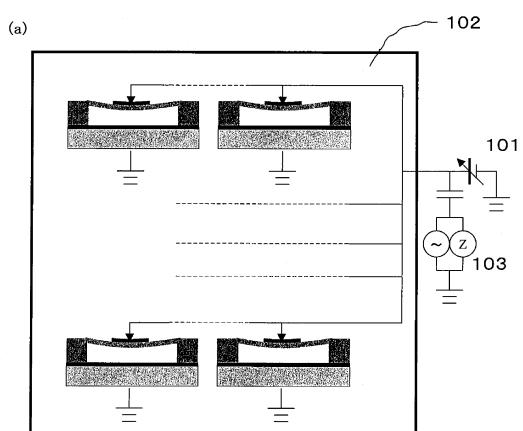
【図3】



【図4】



【図5】



フロントページの続き

(56)参考文献 米国特許出願公開第2005/0098840(US,A1)
米国特許出願公開第2007/0284682(US,A1)
米国特許出願公開第2007/0145523(US,A1)

(58)調査した分野(Int.Cl., DB名)

B 8 1 C 1 / 0 0
B 8 1 B 3 / 0 0
A 6 1 B 8 / 0 0
H 0 1 L 2 9 / 8 4