



POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

61894

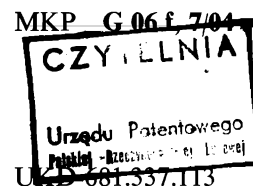
Patent dodatkowy
do patentu

Zgłoszono: 24.VI.1967 (P 121 339)

Pierwszeństwo:

Opublikowano: 10.II.1971

Kl. 42 m³, 7/04



Twórca wynalazku: Edward Żaboklicki

Właściciel patentu: Instytut Tele- i Radiotechniczny, Warszawa (Polska)

Komparator cyfrowy

1

Przedmiotem wynalazku jest komparator cyfrowy pracujący w kodzie dziesiętnym, który umożliwia wykrycie odchylenia wartości liczbowej, otrzymanej z cyfrowego przyrządu pomiarowego, od nastawionej cyfrowo wartości granicznej. Komparator może znaleźć zastosowanie w cyfrowych urządzeniach centralnej rejestracji danych oraz w cyfrowych urządzeniach sortujących.

Stosowane dotychczas układy automatycznego porównywania wartości cyfrowych pracują w kodzie dwójkowym lub dwójkowo-dziesiętnym i wymagają stosowania złożonych kombinacji z wielu elementów logicznych. I tak np. stosowane są układy oparte na cyfrowym odejmowaniu od siebie dwóch liczb dziesiętnych (zakodowanych dwójkowo): wartości zmierzonej i wartości granicznej.

Uproszczona odmiana tej metody, znana obecnie, polega na kolejnym podawaniu (przez poszczególne obwody wejściowe) każdej pary cyfr na czterobitowe urządzenie odejmujące (cyfra składa się z czterech bitów). Po każdorazowym odejmowaniu każdy wytworzony bit „pożyczony” zostaje zmagazynowany i wprowadzony jako „pożyczka” (z poprzedniej cyfry) do następnego procesu odejmowania. Występowanie lub niewystępowanie „pożyczonych” bitów po przeprowadzeniu odejmowania wszystkich cyfr wyniku pomiarowego wskazuje na to, czy wartość zmierzona jest większa czy mniejsza od nastawionej wartości granicznej.

Celem wynalazku jest opracowanie komparatora cyfrowego przeznaczonego do porównywania liczb poda-

2

wanych w kodzie dziesiętnym lub kodzie dwójkowo-dziesiętnym, odznaczającego się prostą budową i małą liczbą stosowanych elementów, szczególnie wówczas, gdy stosuje się kilka nastawianych wartości granicznych porównywanych jednocześnie z wartością zmierzoną.

Istota wynalazku polega na jednoczesnym porównywaniu wszystkich cyfr, przy czym każda para cyfr jednakowego rzędu — utworzona z jednej cyfry wyniku pomiarowego i z jednej cyfry wartości granicznej — jest porównywana niezależnie od pozostałych par cyfr, a wyniki poszczególnych porównań są dostarczane do układu logicznego. Komparator cyfrowy składa się ze specjalnie zmodyfikowanych deszyfratorów, z których każdy posiada 10 wyjść w kodzie dziesiętnym, oraz z przełączników służących do nastawiania wartości granicznej w kodzie dziesiętnym, przy czym przełączniki te wybierają odpowiednie dwa sąsiednie wyjścia z każdego deszyfratora — z wyjątkiem deszyfratora najniższego rzędu, z którego wybierane jest tylko jedno wyjście — łącząc je z wejściami układu logicznego. Układ logiczny stwierdza, czy została przekroczona cyfra najwyższego rzędu albo czy została przekroczona następna z kolei cyfra pod warunkiem, że cyfra najwyższego rzędu jest nominalna itd.

Rozwiązanie układu według wynalazku polega na wprowadzeniu do układu deszyfratorów dziesiętnych, które mają 10 zacisków wejściowych, 10 zacisków wyjściowych oraz wspólny zacisk uziemienia, przy czym zacisk wejściowy o danym numerze jest połączony poprzez diodę z zaciskiem wyjściowym o tym samym nu-

merze oraz każdy zacisk wyjściowy o danym numerze X , z wyjątkiem zacisku zerowego, jest połączony poprzez diodę z zaciskiem wyjściowym o numerze $X-1$. Każdy taki deszyfrator przeznaczony dla pojedynczej cyfry wyniku pomiarowego zamienia kod dziesiętny prosty na kod dziesiętny zmodyfikowany w ten sposób, że przyłożenie napięcia między zacisk uziemienia a jeden z dziesięciu zacisków wejściowych o numerze m spowoduje wystąpienie napięć (względem zacisku uziemienia) na zaciskach wyjściowych o numerach x spełniających nierówność: $x \leq m$.

Wykrywanie przekroczeń jednej cyfry względem drugiej można przeprowadzić przez stwierdzenie stanu napięć na dwóch kolejnych, wybieranych przełącznikiem, zaciskach wyjściowych deszyfratora. Wykrywanie przekroczeń kilkucyfrowej wartości zmierzonej względem kilkucyfrowej wartości granicznej zostało zrealizowane za pomocą kilku deszyfratorów, przełączników i układu logicznego. Każdy z deszyfratorów jest połączony poprzez nastawny przełącznik z układem logicznym. Układ logiczny składa się z układów iloczynu logicznego oraz z układu sumy logicznej, przy czym każdemu deszyfratorowi, z wyjątkiem deszyfratora najwyższego rzędu, przyporządkowany jest jeden układ iloczynu logicznego. Wyjście każdego układu iloczynu logicznego stanowi jednocześnie wejście układu sumy logicznej. Pojawienie się napięcia na obydwóch wyjściowych zaciskach przełącznika świadczy o tym, że wartość zmierzona w postaci cyfry jest większa od wartości nastawionej dla danej dekady.

Jeżeli napięcie wystąpi tylko na jednym z dwóch zacisków wyjściowych przełącznika, znaczy to, że porównywane ze sobą cyfry są sobie równe, natomiast jeżeli na obydwóch wyjściowych zaciskach przełącznika nie wystąpią napięcia, znaczy to, że wartość zmierzona w postaci cyfry jest mniejsza od wartości nastawionej dla jednej dekady. Dzięki układowi deszyfratora dziesiętnego według wynalazku uzyskano jednoznaczne określenie, czy dana cyfra wyniku pomiarowego podana w kodzie dziesiętnym jest większa, równa czy mniejsza od nastawionej cyfry. Układ logiczny według wynalazku wykorzystuje napięcia wyjściowe ze zmodyfikowanych deszyfratorów dziesiętnych, podawane poprzez przełączniki o dwóch zaciskach wyjściowych i umożliwia stwierdzenie, czy zmierzona liczba kilkucyfrowa jest większa od nastawionej liczby kilkucyfrowej.

Komparator cyfrowy według wynalazku zostanie objaśniony bliżej za pomocą rysunku, na którym fig. 1 przedstawia schemat blokowy, fig. 2 — przykład wykorzystania dla porównywania liczb trzycyfrowych, fig. 3 — przykład wykorzystania deszyfratora ze zmodyfikowanym przełącznikiem, fig. 4 — przykład wykonania z fig. 3, gdzie zamiast przełącznika zastosowano tablicę wtykową, fig. 5 — układ logiczny dla pięciocyfrowej liczby, fig. 6 — przykład wykonania deszyfratora do wykrywania przekroczeń wyników pomiarowych podawanych w kodzie 8-4-2-1, a fig. 7 — inny przykład wykonania z fig. 2 i 3 deszyfratora i przełącznika.

Na fig. 1 komparator składa się ze zmodyfikowanych deszyfratorów $D_1, D_2, D_3 \dots D_{n-1}, D_n$ połączonych z przełącznikami $K_1, K_2, K_3, \dots K_{n-1}, K_n$. Wyjścia przełączników $K_1 \dots K_n$ są połączone z układem logicznym UL. Każdy deszyfrator ma 10 zacisków wejściowych X_{we} (o numerach 0—9) i 10 zacisków wyjściowych X_{wy} (też o numerach 0—9) i działa w ten sposób, że gdy zostanie

przyłożone napięcie na jeden z jego zacisków wejściowych o danym numerze (jednym z wymienionych 0, 1, 2, ..., 9), to na wyjściu tego deszyfratora występuje również napięcie na zacisku o tym samym numerze oraz na wszystkich pozostałych zaciskach o numerach niższych (np. gdy przyłożono napięcie na zacisk wejściowy numer 3, to na wyjściu deszyfratora wystąpi napięcie na zaciskach numer: 0, 1, 2, 3). Występowanie lub niewystępowanie napięć na dwóch kolejnych zaciskach wyjściowych deszyfratora pozwala jednoznacznie określić rezultat porównania pojedynczej cyfry wyniku pomiarowego z odpowiednią cyfrą wartości granicznej. Dwa kolejne zaciski wyjściowe deszyfratora są wybierane przy pomocy przełącznika K (lub tablicy wtykowej). Sposób określania wyniku porównania jest przedstawiony w tabl. 1.

Przekroczenie wartości granicznej (przy porównywaniu jednej cyfry wyniku z jedną tego samego rzędu cyfrą wartości granicznej) nastąpi tylko w tym przypadku, gdy na obydwóch zaciskach A i B pojawi się sygnał.

Połączenie grupy deszyfratorów z układem logicznym UL pozwala (na podstawie występowania odpowiedniej kombinacji napięć) na porównanie liczb wielocyfrowych. Układ logiczny przekazuje na zewnątrz komparatora sygnał przekroczenia nastawionej kilkucyfrowej wartości granicznej tylko w tym przypadku, kiedy nastąpi spełnienie zależności logicznych między napięciami pobieranymi z dwóch zacisków wyjściowych każdego deszyfratora, z wyjątkiem deszyfratora najniższego stopnia, z którego pobierane jest napięcie tylko z jednego zacisku wyjściowego. Zależności te zostaną omówione na podstawie przykładu przedstawionego na fig. 2.

Na fig. 2 przedstawiono schemat komparatora cyfrowego złożonego przykładowo z trzech układów zmodyfikowanych deszyfratorów diodowych D_1, D_2, D_3 (umożliwiających łącznie wykrywanie przekroczeń liczby trzycyfrowej) i trzech układów przełączników K_1, K_2, K_3 , umożliwiających porównywanie dostarczonego na zaciski wejściowe deszyfratorów wyniku trzycyfrowego z jedną (trzycyfrową) wartością graniczną, która w położeniu przełączników oznaczonym na fig. 2 odpowiada liczbie 336. Przełączniki K_2 i K_3 złożone są z dwóch sekcji A i B , a przełącznik K_1 tylko z jednej sekcji B . Układ logiczny dla wykrycia przekroczenia liczby trzycyfrowej składa się z dwóch bramek typu „i” (iloczyn logiczny) b_1, b_2 oraz jednej bramki typu „lub” (suma logiczna) b_0 . Wyjścia bramek b_1 i b_2 oraz zacisk B_3 stanowią wejścia bramki b_0 . Zacisk B_1 połączony jest z wejściem bramki b_1 , a B_2 — z wejściem b_2 . Zacisk A_2 połączony jest z wejściem bramki b_1 , a A_3 — z wejściem b_2 i wejściem b_1 .

Po przekazaniu wyniku pomiarowego na wejście zmodyfikowanych deszyfratorów D_1, D_2, D_3 , tzn. po przyłożeniu napięcia ujemnego na jeden z dziesięciu zacisków wejściowych każdego z deszyfratorów, występują lub nie występują napięcia na zaciskach wyjściowych przełączników A_2, A_3, B_1, B_2, B_3 , zależnie od różnicy między wartością porównywanego wyniku a nastawioną wartością graniczną. Układ logiczny wysyła sygnał przekroczenia wartości granicznej w przypadku, kiedy wynik pomiaru przekroczy wartość graniczną w zakresie setek; wówczas pojawia się napięcie w punkcie B_3 , które skierowane do bramki „lub” b_0 uruchamia sygnał

przekroczenia wartości granicznej. Natomiast, gdy wynik pomiaru przekroczy wartość graniczną w zakresie dziesiątek, pod warunkiem, że wartość setek wyniku pomiarowego jest równa ustawionej wartości granicznej (w zakresie setek), wówczas pojawiają się napięcia w punktach B_2 i A_3 , które — jeśli będą trwały jednocześnie na zaciskach wejściowych bramki b_2 — uruchomią sygnał przekroczenia wartości granicznej. W przypadku przekroczenia jednostek (pod dwoma warunkami, że wartość wyniku pomiarowego jest równa ustawionej wartości granicznej w zakresie setek i w zakresie dziesiątek) pojawiają się napięcia w punktach B_1 , A_3 i A_2 , które — jeśli będą trwały jednocześnie na zaciskach wejściowych bramki b_1 — uruchomią sygnał przekroczenia wartości granicznej.

Kilka przykładów porównania 3-cyfrowego wyniku pomiarowego x z 3-cyfrową wartością graniczną $y = 336$ (której odpowiada ustawienie przełączników na fig. 2) przedstawiono w tabl. 2.

Dla zwiększenia napięć wyjściowych $B_1, B_2, \dots, B_n$ można zamiast przełączników $K_1, K_2, \dots, K_n$ umieszczonych na fig. 2 zastosować zmodyfikowany przełącznik K przedstawiony na fig. 3, dzięki któremu sygnał wejściowy deszyfratora przechodzi przez co najwyżej cztery szeregowo połączone diody.

Zamiast tego przełącznika można również stosować tablicę wtykową TW połączoną np. jak na fig. 4, przy czym wyjścia B_{1a} i B_{1b} połączone są z bramką b typu „lub“, skąd wyprowadzone jest właściwe wyjście B_1 . Przewody A_{1a}, B_{1a}, B_{1b} są zakończone (z przeciwnej strony niż bramka b) wtykiem 3-biegunowym umożliwiającym połączenie ich z tablicą TW . Nastawianie wartości granicznej odbywa się tu przez wsadzanie wtyku w odpowiednie (zanumerowane) miejsce na tablicy TW .

Dla porównywania liczb o większej ilości cyfr należy zastosować więcej deszyfratorów D i przełączników K (fig. 1) oraz bardziej złożony układ logiczny. I tak np. dla liczby 5-cyfrowej układ logiczny przedstawiono na fig. 5.

Dla jednoczesnego porównywania wyniku pomiarowego z kilkoma wartościami granicznymi (zastosowanie np. w urządzeniach sortujących) należy zwieliokrotnić przełączniki K i układy logiczne. Np. dla jednoczesnego porównywania n -cyfrowego wyniku pomiarowego z dwiema n -cyfrowymi wartościami granicznymi należy w układzie wg fig. 1 zastosować dodatkowe przełączniki $K_1, K_2, \dots, K_n$ (do nastawiania drugiej wartości granicznej) i dodatkowy układ logiczny UL , przy czym wejścia każdego dodatkowego przełącznika należy połączyć równolegle do wejść przełącznika K z fig. 1, a wejścia A i B dodatkowego układu logicznego UL należy połączyć z wyjściami A i B dodatkowych przełączników.

Dla zapewnienia współpracy komparatora cyfrowego według wynalazku (pracującego w kodzie dziesiętnym) z cyfrowymi przyrządami pomiarowymi o wyjściu w kodzie dwójkowo-dziesiętnym należy zastosować na wejściu komparatora dodatkowe deszyfratory do zmiany kodu. I tak np. na fig. 6 dla wykrywania przekroczeń wyników pomiarowych podawanych w kodzie 8-4-2-1 zastosowano dodatkowo na wejściu każdego deszyfratora D_n , będącego odmianą deszyfratora D_n , dodatkowy deszyfrator D'_n , który stanowi układ złożony z 5 bramek typu „i“, $b^1, b^2, \dots, b^5$, przy czym w każdym z deszyfratorów $D_1, D_2, \dots, D_n$ sygnał przechodzi przez

co najwyżej dwie szeregowo połączone diody. Wyjście iloczynu logicznego b^1 połączone jest z wejściem 9 deszyfratora dziesiętnego D_n lub D'_n , wyjście b^2 — z wyjściem 7, wyjście b^3 — z wejściem 6, wyjście b^4 — z wejściem 5, a wyjście b^5 — wejściem 3.

Zastrzeżenia patentowe

1. Komparator cyfrowy **znamienny tym**, że składa się z deszyfratorów ($D_1, D_2, D_3, \dots, D_n$), z których każdy posiada 10 wyjść w kodzie dziesiętnym, oraz z przełączników ($K_1, K_2, K_3, \dots, K_n$) służących do nastawiania wartości granicznej w kodzie dziesiętnym, przy czym przełączniki te wybierają odpowiednie dwa sąsiednie wyjścia z każdego deszyfratora ($D_2, D_3, \dots, D_n$) — z wyjątkiem deszyfratora najniższego rzędu (D_1), z którego wybierane jest jedno wyjście — łącząc je z wejściami układu logicznego (UL).

2. Komparator według zastrz. 1 **znamienny tym**, że deszyfratory ($D_1, D_2, D_3, \dots, D_n$) są wykonane na diodach lub innych elementach o jednokierunkowym przewodzeniu i posiadają 10 zacisków wejściowych (X_{we}) o numerach 0—9 związanych z wprowadzaną cyfrą w systemie dziesiętnym i 10 zacisków wyjściowych (X_{wy}) o numerach 0—9 związanych z wyprowadzaną cyfrą w zmodyfikowanym systemie dziesiętnym, przy czym każdy zacisk wejściowy o danym numerze jest połączony poprzez diodę z zaciskiem wyjściowym o tym samym numerze oraz każdy zacisk wyjściowy o danym numerze X — z wyjątkiem zacisku nr 0 — jest połączony poprzez diodę z zaciskiem wyjściowym o numerze $X-1$.

3. Komparator według zastrz. 1, **znamienny tym**, że przełączniki ($K_2, \dots, K_n$) — z wyjątkiem przełącznika najniższego rzędu — mają co najmniej po dwa wyjścia ($A_2, B_2, \dots, A_n, B_n$).

4. Komparator według zastrz. 1, **znamienny tym**, że układ logiczny UL zawiera $n-1$ układów iloczynu logicznego ($b_1, b_2, \dots, b_{n-1}$), gdzie iloczyn logiczny najniższego rzędu (b_1) sygnalizuje przekroczenie jednostek, iloczyn następny wyższego rzędu (b_2) — setek, jeszcze następny iloczyn wyższego rzędu (b_3) — tysięcy itd., a wyjścia poszczególnych iloczynów stanowią wejście układu sumy logicznej (b_0), przy czym każdy układ iloczynu logicznego stwierdza, czy podporządkowana mu cyfra porównywanej wartości zmierzanej jest większa lub w innym połączeniu mniejsza od ustawionej, pod warunkiem, że wszystkie cyfry wyższego rzędu są jednocześnie równe poszczególnym nastawionym cyfrom wartości granicznej.

5. Komparator według zastrz. 1—4, **znamienny tym**, że wyjście (B_n) przełącznika najwyższego rzędu (K_n) jest połączone bezpośrednio z wejściem układu sumy logicznej (b_0).

6. Komparator według zastrz. 1 i 5, **znamienny tym**, że wyjścia ($A_2, \dots, A_n$) przełączników połączone są z wejściami iloczynów logicznych ($B_1, \dots, b_{n-1}$).

7. Komparator według zastrz. 1, 4 i 5 **znamienny tym**, że zamiast przełącznika ma tablicę wtykową (TW).

8. Komparator według zastrz. 1 przeznaczony do współpracy z przyrządami pomiarowymi o wyjściu w kodzie dwójkowo-dziesiętnym 8-4-2-1 **znamienny tym**, że ma na wejściu włączone dodatkowe deszyfratory ($D'_1, D'_2, \dots, D'_n$) kodu dwójkowo-dziesiętnego 8-4-2-1, z których każdy składa się z 5 bramek iloczynu logicz-

nego ($b^1, b^2 \dots b^5$), przy czym iloczyn logiczny (b^1), którego jedno wejście przeznaczone jest dla bitu o wadze 8, a drugie — o wadze 1, ma wyjście połączone z wejściem (9) przeznaczonym do przyjmowania cyfry 9 deszyfratora dziesiętnego (D_n) lub (D'_n), iloczyn logiczny (b^2) przyjmujący na wejściach bity o wagach 1, 2, 4 ma wyjście połączone z wejściem (7), przeznaczonym do przyjmowania cyfry 7, iloczyn logiczny (b^3) przyjmują-

cy na wejściach bity o wagach 2, 4 ma wyjście połączone z wejściem (6), przeznaczonym do przyjmowania cyfry 6, iloczyn logiczny (b^4) przyjmujący na wejściach bity o wagach 1, 4 ma wyjście połączone z wejściem (5) przeznaczonym do przyjmowania cyfry 5, a iloczyn logiczny (b^5) przyjmujący na wejściach bity o wagach 1, 2 ma wyjście połączone z wejściem (3) przeznaczonym do przyjmowania cyfry 3.

Tablica 1

Wynik porównania cyfr	Sygnał na zaciskach wyjściowych przełącznika	
	A	B
$x < m$	0	0
$x = m$	1	0
$x > m$	1	1

gdzie: x — cyfra porównywanego wyniku
 m — cyfra nastawianej wartości granicznej

Tablica 2

$y - 336$	Wynik pomiaru x	Przekroczenia	Sygnały wejściowe elementów logicznych				Sygnały wejściowe elementów logicznych			
			A_3	B_3	A_2	B_2	B_1	b_2	b_1	b_0 (zacisk G_1)
$x < y$	021	nie	1	0	0	0	0	0	0	0
	128	jednostek	0	0	0	0	1	0	0	0
	091	dziesiątek	0	0	1	1	0	0	0	0
$x = y$	336	nie	1	0	1	0	0	0	0	0
$x > y$	337	jednostek	1	0	1	0	1	0	1	1
	382	dziesiątek	1	0	1	1	0	1	0	1
	411	setek	1	1	0	0	0	0	0	1

1 — sygnał z przełącznika wykorzystywany do wytworzenia sygnału B_1 przekroczenia wartości granicznej.

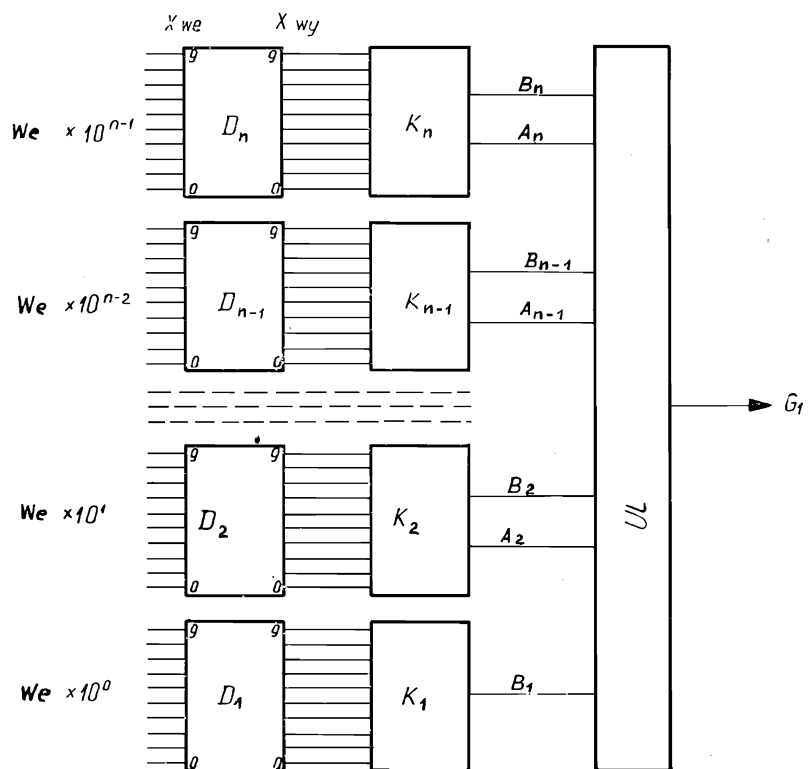


fig. 1

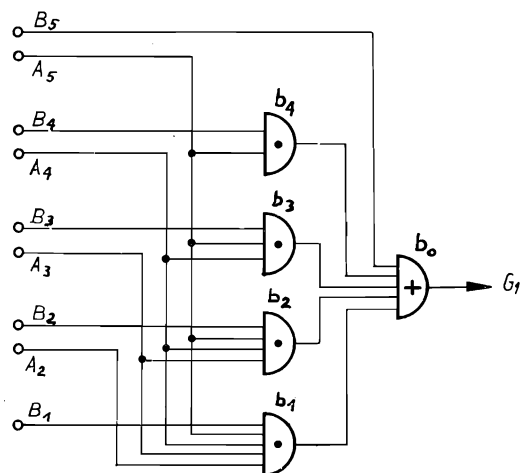
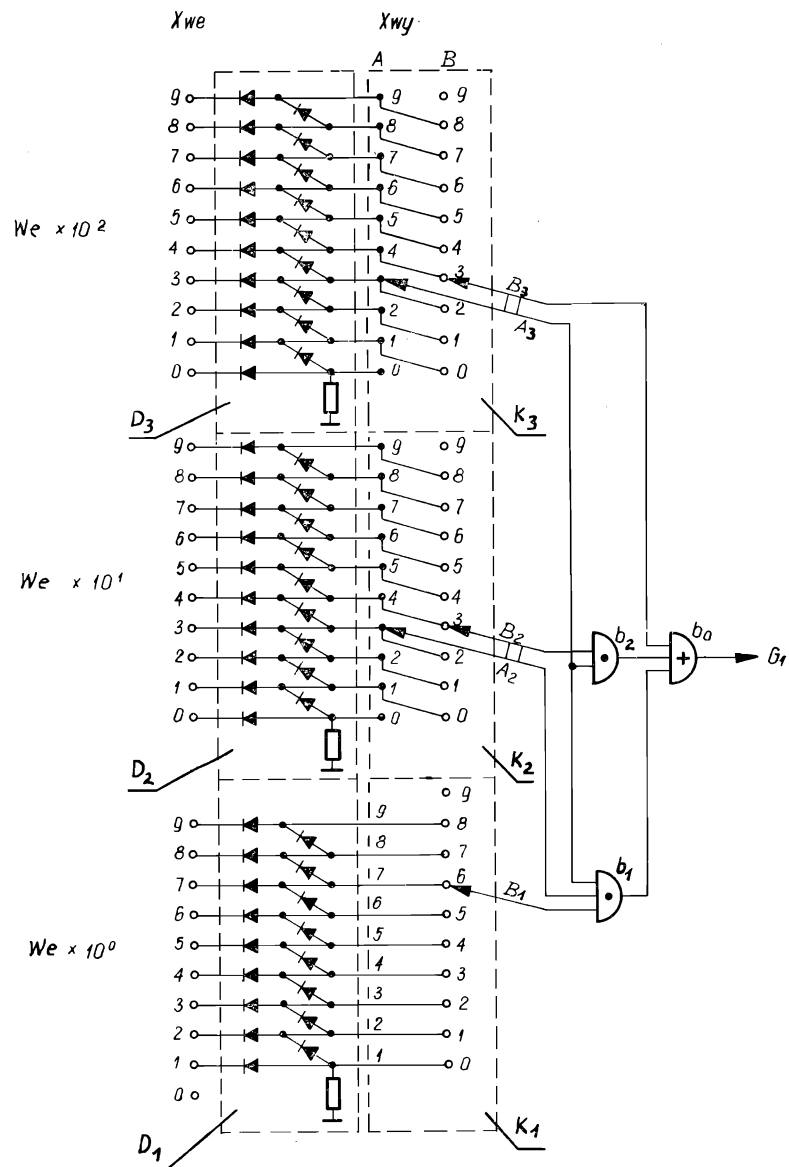


fig. 5

*fig. 2*

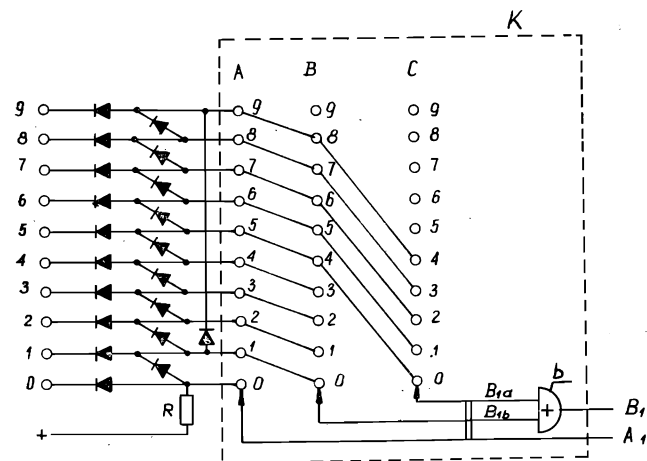


fig. 3

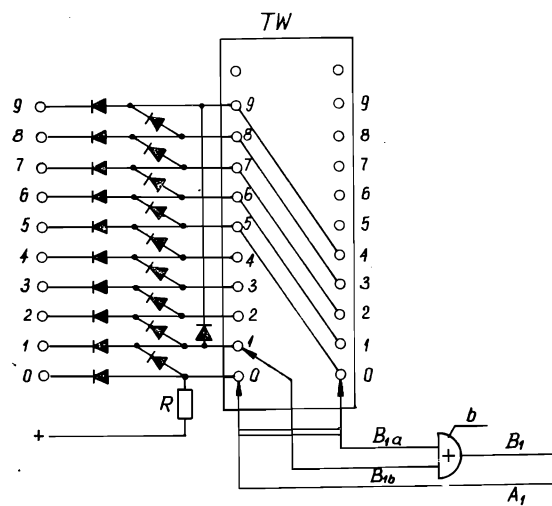
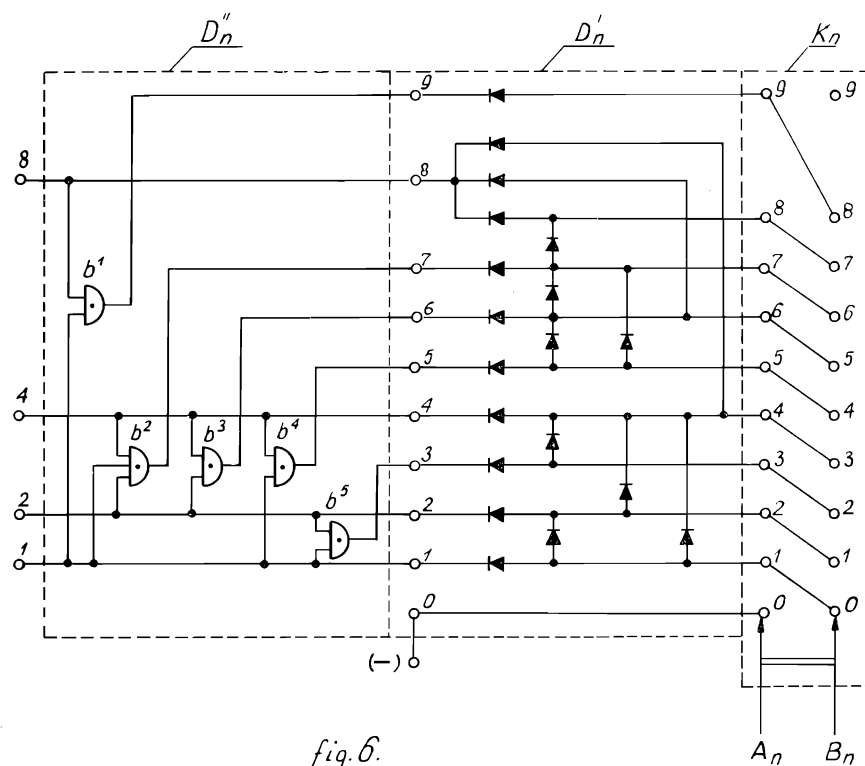
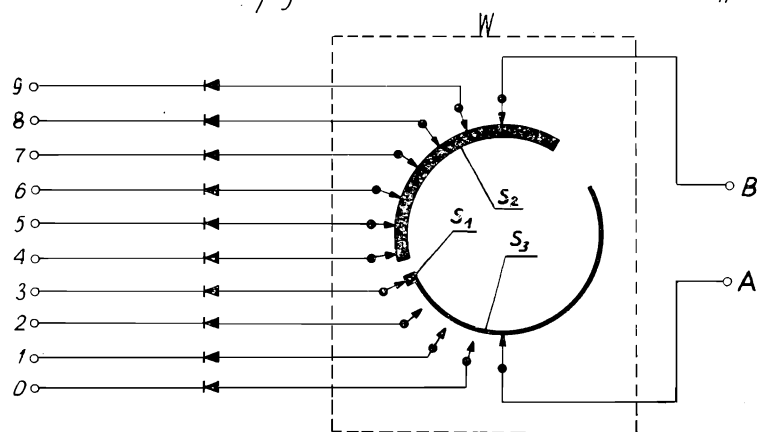


fig. 4

*fig. 6.**fig. 7.*