

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4007776号  
(P4007776)

(45) 発行日 平成19年11月14日(2007.11.14)

(24) 登録日 平成19年9月7日(2007.9.7)

(51) Int. Cl.	F I
<b>G 1 1 C 11/407 (2006.01)</b>	G 1 1 C 11/34 3 6 2 S
<b>G 1 1 C 11/4076 (2006.01)</b>	G 1 1 C 11/34 3 5 4 C
<b>G O 6 F 12/00 (2006.01)</b>	G O 6 F 12/00 5 9 7 C
<b>G O 6 F 12/02 (2006.01)</b>	G O 6 F 12/02 5 9 0 A
<b>G 1 1 C 11/401 (2006.01)</b>	G 1 1 C 11/34 3 6 2 C

請求項の数 10 (全 16 頁)

(21) 出願番号	特願2001-223565 (P2001-223565)	(73) 特許権者	390019839
(22) 出願日	平成13年7月24日(2001.7.24)		三星電子株式会社
(65) 公開番号	特開2002-133866 (P2002-133866A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成14年5月10日(2002.5.10)		C o . , L t d .
審査請求日	平成15年1月15日(2003.1.15)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2000P-62608	(74) 代理人	100086368
(32) 優先日	平成12年10月24日(2000.10.24)		弁理士 萩原 誠
(33) 優先権主張国	韓国 (KR)	(72) 発明者	羅 元 均
			大韓民国京畿道水原市八達区靈通洞105
			3-2番地 鳳谷マウル 豊林アパート2
			32棟1103号
		審査官	園田 康弘

最終頁に続く

(54) 【発明の名称】 ポステッドC A S機能を有する同期式半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

クロック信号に同期して動作し、ロウアドレスストロープ活性命令の入力後、 $t_{RCD}$  時間後に読出し又は書込み命令が入力される必要のある同期式半導体メモリ装置において、

外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、

前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、

書込み命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第1制御信号、第2制御信号、第3制御信号により制御されて書込み命令語の伝送を制御する伝送ゲートとからなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち書込み命令語を受信し、前記第1制御信号、第2制御信号、第3制御信号に応じて、前記書込み命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力する書込み命令語の追加的なレイテンシの制御部とを備え、

前記第1制御信号、第2制御信号、第3制御信号は拡張モードレジスタセットの設定値に応答して活性化され、

この第1、第2、第3制御信号によって制御される前記制御部により、前記ロウアドレスストロープ活性命令の入力後、 $t_{RCD}$  時間後に前記書込み命令語が得られるように前記書込み命令語のタイミングが制御され、

前記書込み命令語の追加的なレイテンシの制御部は、

10

20

前記書込み命令語を1クロック遅延させて第1予備書込み命令語を出力する第1書込み遅延素子と、

前記第1予備書込み命令語を1クロック遅延させて第2予備書込み命令語を出力する第2書込み遅延素子と、

前記第1制御信号に 응답して、前記書込み命令語を遅延なしに出力に伝送する第1書込み伝送ゲートと、

前記第2制御信号に 응답して、前記第1予備書込み命令語を出力に伝送する第2書込み伝送ゲートと、

前記第3制御信号に 응답して、前記第2予備書込み命令語を出力に伝送する第3書込み伝送ゲートとを備える

ことを特徴とするポストッドC A S機能を有する同期式半導体メモリ装置。

【請求項2】

前記書込み命令語の追加的なレイテンシの制御部は、

前記第1制御信号に 응답して、前記書込み命令語を前記第1書込み遅延素子の入力信号として出力する第4書込み伝送ゲートをさらに備えることを特徴とする請求項1に記載のポストッドC A S機能を有する同期式半導体メモリ装置。

【請求項3】

クロック信号に同期して動作し、ロウアドレスストロブ活性命令の入力後、 $t_{RC D}$ 時間後に読出し又は書込み命令が入力される必要のある同期式半導体メモリ装置において、

外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、

前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、

読出し命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第1制御信号、第2制御信号、第3制御信号により制御されて読出し命令語の伝送を制御する伝送ゲートとからなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち読出し命令語を受信し、前記第1制御信号、第2制御信号、第3制御信号に応じて、前記読出し命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力する読出し命令語の追加的なレイテンシの制御部とを備え、

前記第1制御信号、第2制御信号、第3制御信号は拡張モードレジスタセットの設定値に 응답して活性化され、

この第1、第2、第3制御信号によって制御される前記制御部により、前記ロウアドレスストロブ活性命令の入力後、 $t_{RC D}$ 時間後に前記読出し命令語が得られるように前記読出し命令語のタイミングが制御され、

前記読出し命令語の追加的なレイテンシの制御部は

前記読出し命令語を1クロック遅延させて第1予備読出し命令語を出力する第1読出し遅延素子と、

前記第1予備読出し命令語を1クロック遅延させて第2予備読出し命令語を出力する第2読出し遅延素子と、

前記第1制御信号に 응답して、前記読出し命令語を遅延なしに出力に伝送する第1読出し伝送ゲートと、

前記第2制御信号に 응답して、前記第1予備読出し命令語を出力に伝送する第2読出し伝送ゲートと、

前記第3制御信号に 응답して、前記第2予備読出し命令語を出力に伝送する第3読出し伝送ゲートとを備える

ことを特徴とするポストッドC A S機能を有する同期式半導体メモリ装置。

【請求項4】

前記読出し命令語の追加的なレイテンシの制御部は、

前記第1制御信号に 응답して、前記読出し命令語を前記第1読出し遅延素子の入力信号として出力する第4読出し伝送ゲートをさらに備えることを特徴とする請求項3に記載の

10

20

30

40

50

ポストッドC A S機能を有する同期式半導体メモリ装置。

【請求項5】

クロック信号に同期して動作し、ロウアドレスストロープ活性命令の入力後、t R C D時間後に読出し又は書込み命令が入力される必要のある同期式半導体メモリ装置において、

外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、

前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、

書込み命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第1制御信号、第2制御信号、第3制御信号により制御されて書込み命令語の伝送を制御する伝送ゲートとからなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち書込み命令語を受信し、前記第1制御信号、第2制御信号、第3制御信号に応じて、前記書込み命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力する書込み命令語の追加的なレイテンシの制御部と、

10

読出し命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第1制御信号、第2制御信号、第3制御信号により制御されて読出し命令語の伝送を制御する伝送ゲートとからなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち読出し命令語を受信し、前記第1制御信号、第2制御信号、第3制御信号に応じて、前記読出し命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力する読出し命令語の追加的なレイテンシの制御部とを備え、

20

前記第1制御信号、第2制御信号、第3制御信号は拡張モードレジスタセットの設定値に应答して活性化され、

この第1、第2、第3制御信号によって制御される前記制御部により、前記ロウアドレスストロープ活性命令の入力後、t R C D時間後に前記書込み命令語または前記読出し命令語が得られるように前記書込み命令語または前記読出し命令語のタイミングが制御され、

前記書込み命令語の追加的なレイテンシの制御部は、

前記書込み命令語を1クロック遅延させて第1予備書込み命令語を出力する第1書込み遅延素子と、

前記第1予備書込み命令語を1クロック遅延させて第2予備書込み命令語を出力する第2書込み遅延素子と、

30

前記第1制御信号に应答して、前記書込み命令語を遅延なしに出力に伝送する第1書込み伝送ゲートと、

前記第2制御信号に应答して、前記第1予備書込み命令語を出力に伝送する第2書込み伝送ゲートと、

前記第3制御信号に应答して、前記第2予備書込み命令語を出力に伝送する第3書込み伝送ゲートとを含み、

前記読出し命令語の追加的なレイテンシの制御部は、

前記読出し命令語を1クロック遅延させて第1予備読出し命令語を出力する第1読出し遅延素子と、

40

前記第1予備読出し命令語を1クロック遅延させて第2予備読出し命令語を出力する第2読出し遅延素子と、

前記第1制御信号に应答して、前記読出し命令語を遅延なしに出力に伝送する第1読出し伝送ゲートと、

前記第2制御信号に应答して、前記第1予備読出し命令語を出力に伝送する第2読出し伝送ゲートと、

前記第3制御信号に应答して、前記第2予備読出し命令語を出力に伝送する第3読出し伝送ゲートとを含む

ことを特徴とするポストッドC A S機能を有する同期式半導体メモリ装置。

【請求項6】

50

前記書込み命令語の追加的なレイテンシの制御部は前記第 1 制御信号に応答して、前記書込み命令語を前記第 1 書込み遅延素子の入力信号として出力する第 4 書込み伝送ゲートをさらに含み、

前記読出し命令語の追加的なレイテンシの制御部は前記第 1 制御信号に応答して、前記読出し命令語を前記第 1 読出し遅延素子の入力信号として出力する第 4 読出し伝送ゲートをさらに含むことを特徴とする請求項 5 に記載のポストド C A S 機能を有する同期式半導体メモリ装置。

【請求項 7】

クロック信号に同期して動作し、ロウアドレスストロブ活性命令の入力後、 $t_{RC D}$  時間後に読出し又は書込み命令が入力される必要のある同期式半導体メモリ装置において 10

外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、

外部から印加されるアドレス信号を受信する一つ以上のアドレス入力ピンと、

前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、

書込み命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第 1 制御信号、第 2 制御信号、第 3 制御信号により制御されて書込み命令語の伝送を制御する伝送ゲートとからなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち書込み命令語を受信し、前記第 1 制御信号、第 2 制御信号、第 3 制御信号に応じて、前記書込み命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力 20

する書込み命令語の追加的なレイテンシの制御部と、  
読出し命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第 1 制御信号、第 2 制御信号、第 3 制御信号により制御されて読出し命令語の伝送を制御する伝送ゲートとからなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち読出し命令語を受信し、前記第 1 制御信号、第 2 制御信号、第 3 制御信号に応じて、前記読出し命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力 30

する読出し命令語の追加的なレイテンシの制御部と、  
前記アドレス信号を受信して、前記アドレス信号がカラムアドレス信号であれば、前記アドレス信号をカラムアドレス信号としてカラムアドレス経路に出力するカラムアドレス決定部と、

カラムアドレス信号を遅延させる遅延素子と、追加的なレイテンシを制御する第 1 制御信号、第 2 制御信号、第 3 制御信号により制御されてカラムアドレス信号の伝送を制御する伝送ゲートとからなり、前記カラムアドレス経路上に位置し、前記第 1 制御信号、第 2 制御信号、第 3 制御信号に応じて、前記カラムアドレス信号を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力するカラムアドレスの追加的なレイテンシの制御部とを備え、

前記第 1 制御信号、第 2 制御信号、第 3 制御信号は拡張モードレジスタセットの設定値に 40

応答して活性化され、  
この第 1、第 2、第 3 制御信号によって制御される前記制御部により、前記ロウアドレスストロブ活性命令の入力後、 $t_{RC D}$  時間後に前記書込み命令語、前記読出し命令語または前記カラムアドレス信号が得られるように前記書込み命令語、前記読出し命令語または前記カラムアドレス信号のタイミングが制御され、

前記書込み命令語の追加的なレイテンシの制御部は、

前記書込み命令語を 1クロック遅延させて第 1 予備書込み命令語を出力する第 1 書込み遅延素子と、

前記第 1 予備書込み命令語を 1クロック遅延させて第 2 予備書込み命令語を出力する第 2 書込み遅延素子と、

前記第 1 制御信号に 50

応答して、前記書込み命令語を遅延なしに出力に伝送する第 1 書込み伝送ゲートと、  
前記第 2 制御信号に 50

応答して、前記第 1 予備書込み命令語を出力に伝送する第 2 書込み

伝送ゲートと、

前記第 3 制御信号にตอบสนองして、前記第 2 予備書込み命令語を出力に伝送する第 3 書込み伝送ゲートとを含み、

前記読出し命令語の追加的なレイテンシの制御部は、

前記読出し命令語を 1 クロック遅延させて第 1 予備読出し命令語を出力する第 1 読出し遅延素子と、

前記第 1 予備読出し命令語を 1 クロック遅延させて第 2 予備読出し命令語を出力する第 2 読出し遅延素子と、

前記第 1 制御信号にตอบสนองして、前記読出し命令語を遅延なしに出力に伝送する第 1 読出し伝送ゲートと、

前記第 2 制御信号にตอบสนองして、前記第 1 予備読出し命令語を出力に伝送する第 2 読出し伝送ゲートと、

前記第 3 制御信号にตอบสนองして、前記第 2 予備読出し命令語を出力に伝送する第 3 読出し伝送ゲートとを含み、

前記カラムアドレスの追加的なレイテンシの制御部は、

前記カラムアドレス信号を 1 クロック遅延させて第 1 予備カラムアドレス信号を出力する第 1 カラムアドレス遅延素子と、

前記第 1 予備カラムアドレス信号を 1 クロック遅延させて第 2 予備カラムアドレス信号を出力する第 2 カラムアドレス遅延素子と、

前記第 1 制御信号にตอบสนองして、前記カラムアドレス信号を遅延なしに出力に伝送する第 1 カラムアドレス伝送ゲートと、

前記第 2 制御信号にตอบสนองして、前記第 1 予備カラムアドレス信号を出力に伝送する第 2 カラムアドレス伝送ゲートと、

前記第 3 制御信号にตอบสนองして、前記第 2 予備カラムアドレス信号を出力に伝送する第 3 カラムアドレス伝送ゲートとを含む

ことを特徴とするポストド C A S 機能を有する同期式半導体メモリ装置。

**【請求項 8】**

前記書込み命令語の追加的なレイテンシの制御部は前記第 1 制御信号にตอบสนองして、前記書込み命令語を前記第 1 書込み遅延素子の入力信号として出力する第 4 書込み伝送ゲートをさらに含み、

前記読出し命令語の追加的なレイテンシの制御部は前記第 1 制御信号にตอบสนองして、前記読出し命令語を前記第 1 読出し遅延素子の入力信号として出力する第 4 読出し伝送ゲートをさらに含み、

前記カラムアドレスの追加的なレイテンシの制御部は前記第 1 制御信号にตอบสนองして、前記カラムアドレス信号を前記第 1 カラムアドレス遅延素子の入力信号として出力する第 4 カラムアドレス伝送ゲートをさらに備えることを特徴とする請求項 7 に記載のポストド C A S 機能を有する同期式半導体メモリ装置。

**【請求項 9】**

前記ポストド C A S 機能を有する同期式半導体メモリ装置は前記カラムアドレス信号のレベルを変換するカラムアドレスバッファをさらに備え、

前記カラムアドレスの追加的なレイテンシの制御部は前記カラムアドレスバッファ内に含まれることを特徴とする請求項 7 に記載のポストド C A S 機能を有する同期式半導体メモリ装置。

**【請求項 10】**

前記ポストド C A S 機能を有する同期式半導体メモリ装置は前記カラムアドレス信号をデコーディングするカラムアドレスデコーダをさらに備え、

前記カラムアドレスの追加的なレイテンシの制御部は前記カラムアドレスデコーダ内に含まれることを特徴とする請求項 7 に記載のポストド C A S 機能を有する同期式半導体メモリ装置。

**【発明の詳細な説明】**

10

20

30

40

50

## 【0001】

## 【発明の属する技術分野】

本発明は半導体装置に係り、特にクロック信号に同期して動作する同期式DRAM (SDRAM; Synchronous Dynamic Random Access Memory) に関する。

## 【0002】

## 【従来の技術】

一般に、SDRAMは、外部から入力されるクロック信号に同期して読出しまたは書込み動作が制御される。半導体メモリ装置のうち、DRAMでは、ロウアドレスストロブ (Row Address Strobe; RAS) 活性命令を与えた後、一定の時間が経過してから読出しまたは書込み命令などのCAS命令 (CAS Command, CAS; Column Address Strobe) を与える。この時間がtRCDで表わされる時間である。すなわち、RAS活性命令を与えた後、tRCD時間が経過しなければ、読出しまたは書込み命令を与えることができない。SDRAMの場合、tRCDは通常2~3クロックサイクルが要求される。一つのクロックサイクルをtCCで表わすため、tRCDは2~3tCCとなる。

10

## 【0003】

## 【発明が解決しようとする課題】

したがって、従来のSDRAMでは、SDRAMを制御するコントローラでtRCDを考慮して、RAS活性命令後に適切なタイミングで読出しまたは書込み命令を与えなければならない。かかる従来の方式はSDRAMを制御するコントローラまたはユーザがSDRAMのtRCD仕様を一々考慮しなければならないという面倒さがあるだけでなく、コントローラとSDRAMの命令語入力ピンまでのバス使用の効率を落とすという短所がある。これらの問題により、国際電子標準化機構であるJEDEC (Joint Electronic Device Engineering Council) で追加的なCASレイテンシ機能 (ポストッドCAS機能とも呼ぶ) を要求して、規格化するに至った。JEDECはDDR (Double Data Rate) SDRAMのアップグレードされたバージョンであるDDR2 SDRAMにポストッドCAS機能を加えることを要求している。また、JEDEC規格では、SDRAMの拡張モードレジスタセット (Extended Mode Register Set、以下、EMRS) を通じて追加的なCASレイテンシを何tCCとするかを予め設定できるように要求している。

20

30

## 【0004】

本発明は上記の点に鑑みなされたもので、その目的は、同期式DRAMと外部コントローラとの間のバス使用の効率を高めると共に、JEDECのポストッドCAS機能に対する要求事項を満足する同期式DRAMを提供することにある。

## 【0005】

## 【課題を解決するための手段】

本発明によれば、クロック信号に同期して動作する同期式半導体メモリ装置、特にポストッドCAS機能を有する同期式半導体メモリ装置が提供される。

## 【0006】

本発明の第1のポストッドCAS機能を有する同期式半導体メモリ装置は、クロック信号に同期して動作し、ロウアドレスストロブ活性命令の入力後、tRCD時間後に読出し又は書込み命令が入力される必要のある同期式半導体メモリ装置において、外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、書込み命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第1制御信号、第2制御信号、第3制御信号により制御されて書込み命令語の伝送を制御する伝送ゲートとからなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち書込み命令語を受信し、前記第1制御信号、第2制御信号、第3制御信号に応じて、前記書込み命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力す

40

50

る書込み命令語の追加的なレイテンシの制御部とを備え、前記第1制御信号、第2制御信号、第3制御信号は拡張モードレジスタセットの設定値にตอบสนองして活性化され、この第1、第2、第3制御信号によって制御される前記制御部により、前記ロウアドレスストロブ活性命令の入力後、t R C D時間後に前記書込み命令語が得られるように前記書込み命令語のタイミングが制御され、前記書込み命令語の追加的なレイテンシの制御部は、前記書込み命令語を1クロック遅延させて第1予備書込み命令語を出力する第1書込み遅延素子と、前記第1予備書込み命令語を1クロック遅延させて第2予備書込み命令語を出力する第2書込み遅延素子と、前記第1制御信号にตอบสนองして、前記書込み命令語を遅延なしに出力に伝送する第1書込み伝送ゲートと、前記第2制御信号にตอบสนองして、前記第1予備書込み命令語を出力に伝送する第2書込み伝送ゲートと、前記第3制御信号にตอบสนองして、前記第2予備書込み命令語を出力に伝送する第3書込み伝送ゲートとを備えることを特徴とする。

10

**【0007】**

本発明の第2のポストッドC A S機能を有する同期式半導体メモリ装置は、クロック信号に同期して動作し、ロウアドレスストロブ活性命令の入力後、t R C D時間後に読出し又は書込み命令が入力される必要のある同期式半導体メモリ装置において、外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、読出し命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第1制御信号、第2制御信号、第3制御信号により制御されて読出し命令語の伝送を制御する伝送ゲートと

20

からなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち読出し命令語を受信し、前記第1制御信号、第2制御信号、第3制御信号に応じて、前記読出し命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力する読出し命令語の追加的なレイテンシの制御部とを備え、前記第1制御信号、第2制御信号、第3制御信号は拡張モードレジスタセットの設定値にตอบสนองして活性化され、この第1、第2、第3制御信号によって制御される前記制御部により、前記ロウアドレスストロブ活性命令の入力後、t R C D時間後に前記読出し命令語が得られるように前記読出し命令語のタイミングが制御され、前記読出し命令語の追加的なレイテンシの制御部は前記読出し命令語を1クロック遅延させて第1予備読出し命令語を出力する第1読出し遅延素子と、前記第1予備読出し命令語を1クロック遅延させて第2予備読出し命令語を

30

**【0008】**

本発明の第3のポストッドC A S機能を有する同期式半導体メモリ装置は、クロック信号に同期して動作し、ロウアドレスストロブ活性命令の入力後、t R C D時間後に読出し又は書込み命令が入力される必要のある同期式半導体メモリ装置において、外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、書込み命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第1制御信号、第2制御信号、第3制御信号により制御されて書込み命令語の伝送を制御する伝送ゲートと

40

からなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち書込み命令語を受信し、前記第1制御信号、第2制御信号、第3制御信号に応じて、前記書込み命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力する書込み命令語の追加的なレイテンシの制御部と、読出し命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第1制御信号、第2制御信号、第3制御信号により制御されて読出し命令語の伝送を制御する伝送ゲートとからなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち読出し命令語を受信し、前記第1制御信

50

号、第2制御信号、第3制御信号に応じて、前記読出し命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力する読出し命令語の追加的なレイテンシの制御部とを備え、前記第1制御信号、第2制御信号、第3制御信号は拡張モードレジスタセットの設定値に应答して活性化され、この第1、第2、第3制御信号によって制御される前記制御部により、前記ロウアドレスストロープ活性命令の入力後、 $t_{RC D}$ 時間後に前記書込み命令語または前記読出し命令語が得られるように前記書込み命令語または前記読出し命令語のタイミングが制御され、前記書込み命令語の追加的なレイテンシの制御部は、前記書込み命令語を1クロック遅延させて第1予備書込み命令語を出力する第1書込み遅延素子と、前記第1予備書込み命令語を1クロック遅延させて第2予備書込み命令語を出力する第2書込み遅延素子と、前記第1制御信号に应答して、前記書込み命令語を遅延なしに出力に伝送する第1書込み伝送ゲートと、前記第2制御信号に应答して、前記第1予備書込み命令語を出力に伝送する第2書込み伝送ゲートと、前記第3制御信号に应答して、前記第2予備書込み命令語を出力に伝送する第3書込み伝送ゲートとを含み、前記読出し命令語の追加的なレイテンシの制御部は、前記読出し命令語を1クロック遅延させて第1予備読出し命令語を出力する第1読出し遅延素子と、前記第1予備読出し命令語を1クロック遅延させて第2予備読出し命令語を出力する第2読出し遅延素子と、前記第1制御信号に应答して、前記読出し命令語を遅延なしに出力に伝送する第1読出し伝送ゲートと、前記第2制御信号に应答して、前記第1予備読出し命令語を出力に伝送する第2読出し伝送ゲートと、前記第3制御信号に应答して、前記第2予備読出し命令語を出力に伝送する第3読出し伝送ゲートとを含むことを特徴とする。

10

20

#### 【0009】

本発明の第4のポストッドCAS機能を有する同期式半導体メモリ装置は、クロック信号に同期して動作し、ロウアドレスストロープ活性命令の入力後、 $t_{RC D}$ 時間後に読出し又は書込み命令が入力される必要のある同期式半導体メモリ装置において、外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、外部から印加されるアドレス信号を受信する一つ以上のアドレス入力ピンと、前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、書込み命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第1制御信号、第2制御信号、第3制御信号により制御されて書込み命令語の伝送を制御する伝送ゲートとからなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち書込み命令語を受信し、前記第1制御信号、第2制御信号、第3制御信号に応じて、前記書込み命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力する書込み命令語の追加的なレイテンシの制御部と、読出し命令語を遅延させる遅延素子と、追加的なレイテンシを制御する第1制御信号、第2制御信号、第3制御信号により制御されて読出し命令語の伝送を制御する伝送ゲートとからなり、前記命令語デコーダから出力される前記デコーディングされた命令語のうち読出し命令語を受信し、前記第1制御信号、第2制御信号、第3制御信号に応じて、前記読出し命令語を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力する読出し命令語の追加的なレイテンシの制御部と、前記アドレス信号を受信して、前記アドレス信号がカラムアドレス信号であれば、前記アドレス信号をカラムアドレス信号としてカラムアドレス経路に出力するカラムアドレス決定部と、カラムアドレス信号を遅延させる遅延素子と、追加的なレイテンシを制御する第1制御信号、第2制御信号、第3制御信号により制御されてカラムアドレス信号の伝送を制御する伝送ゲートとからなり、前記カラムアドレス経路上に位置し、前記第1制御信号、第2制御信号、第3制御信号に応じて、前記カラムアドレス信号を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して出力するカラムアドレスの追加的なレイテンシの制御部とを備え、前記第1制御信号、第2制御信号、第3制御信号は拡張モードレジスタセットの設定値に应答して活性化され、この第1、第2、第3制御信号によって制御される前記制御部により、前記ロウアドレスストロープ活性命令の入力後、 $t_{RC D}$ 時間後に前記書込み命令語、前記読出し命令語または前記カラムアドレス信号が得られるように前記書込み命令語、前記読出し命令語または前記カラムアドレス信号のタイミン

30

40

50

グが制御され、前記書込み命令語の追加的なレイテンシの制御部は、前記書込み命令語を1クロック遅延させて第1予備書込み命令語を出力する第1書込み遅延素子と、前記第1予備書込み命令語を1クロック遅延させて第2予備書込み命令語を出力する第2書込み遅延素子と、前記第1制御信号に 응답して、前記書込み命令語を遅延なしに出力に伝送する第1書込み伝送ゲートと、前記第2制御信号に 응답して、前記第1予備書込み命令語を出力に伝送する第2書込み伝送ゲートと、前記第3制御信号に 응답して、前記第2予備書込み命令語を出力に伝送する第3書込み伝送ゲートとを含み、前記読出し命令語の追加的なレイテンシの制御部は、前記読出し命令語を1クロック遅延させて第1予備読出し命令語を出力する第1読出し遅延素子と、前記第1予備読出し命令語を1クロック遅延させて第2予備読出し命令語を出力する第2読出し遅延素子と、前記第1制御信号に 응답して、前記読出し命令語を遅延なしに出力に伝送する第1読出し伝送ゲートと、前記第2制御信号に 응답して、前記第1予備読出し命令語を出力に伝送する第2読出し伝送ゲートと、前記第3制御信号に 응답して、前記第2予備読出し命令語を出力に伝送する第3読出し伝送ゲートとを含み、前記カラムアドレスの追加的なレイテンシの制御部は、前記カラムアドレス信号を1クロック遅延させて第1予備カラムアドレス信号を出力する第1カラムアドレス遅延素子と、前記第1予備カラムアドレス信号を1クロック遅延させて第2予備カラムアドレス信号を出力する第2カラムアドレス遅延素子と、前記第1制御信号に 응답して、前記カラムアドレス信号を遅延なしに出力に伝送する第1カラムアドレス伝送ゲートと、前記第2制御信号に 응답して、前記第1予備カラムアドレス信号を出力に伝送する第2カラムアドレス伝送ゲートと、前記第3制御信号に 응답して、前記第2予備カラムアドレス信号を出力に伝送する第3カラムアドレス伝送ゲートとを含むことを特徴とする。

10

20

【0011】

【発明の実施の形態】

以下、添付した図面に基づき本発明の望ましい実施の形態を説明するが、その前にポストッドCAS機能について詳細に説明する。

【0012】

前述のように、ポストッドCAS機能はJEDEC規格でその値を何tCCにするかをEMRSを利用してユーザが予め設定するようにしている。例えば、tRCDが3CLKであるSDRAMを使用するユーザを仮定する。ここで、単位CLKはクロックサイクルを表わす。SDRAMのユーザがRAS活性化命令から3CLK後に書込みまたは読出し命令を与えたい場合には、EMRSでポストッドCASモードをモード0として設定すれば良い。この場合、SDRAMは内部的に書込みまたは読出し命令に追加的なCASレイテンシを与えない。ユーザがRAS活性化命令から2CLK後に書込みまたは読出し命令を与えたい場合には、EMRSでポストッドCASモードをモード1として設定すれば良い。この場合、SDRAMは内部的に書込みまたは読出し命令に追加的な1CLKのCASレイテンシを与える。ユーザがポストッドCASモードをモード2として設定すれば、SDRAMは内部的に書込みまたは読出し命令に追加的な2CLKのCASレイテンシを与える。このポストッドCAS機能を有するSDRAMの動作は、図1によく示してある。

30

【0013】

図1は、SDRAMのポストッドCAS機能を説明するための図である。ここではtRCDを3CLK、CASレイテンシを3、バースト長を4と仮定する。そして、図1は読出し命令に対して追加的なCASレイテンシを与える場合の図である。

40

【0014】

図1(A)は、ポストッドCASモードをモード0として設定した場合のタイミング図である。モード0とは、追加的なCASレイテンシを与えない場合である。したがって、読出し命令RDはRAS活性化命令RAからtRCDの3CLK後に印加されなければならない。そして、読出しデータDQは読出し命令RDからCASレイテンシである3CLK後に出力される。

【0015】

図1(B)は、ポストッドCASモードをモード1として設定した場合のタイミング図で

50

ある。モード1とは、追加的なCASレイテンシを1CLKとして与えた場合である。したがって、読出し命令RDはRAS活性化命令RAから2CLK後に印加されなければならない。そして、読出しデータDQは読出し命令RDからCASレイテンシ3CLKに追加的なCASレイテンシ1CLKを加えた4CLK後に出力される。

【0016】

図1(C)は、ポストッドCASモードをモード2として設定した場合のタイミング図である。モード2とは、追加的なCASレイテンシを2CLKとして与えた場合である。したがって、読出し命令RDはRAS活性化命令RAから1CLK後に印加されなければならない。そして、読出しデータDQは読出し命令RDからCASレイテンシ3CLKに追加的なCASレイテンシ2CLKを加えた5CLK後に出力される。これから分かるように、RAS活性化命令RAから読出しデータDQが出力される時点は一定である。しかし、ポストッドCAS機能を使用すれば、RAS活性化命令RAから読出し命令RDを印加する時点を調節できる。

【0017】

図2は、本発明の一実施の形態によるポストッドCAS機能を有する同期式DRAMを示した図である。これを説明すれば、本発明の一実施形態によるポストッドCAS機能を有する同期式DRAMは、一つ以上の命令語入力ピン110、命令語入力バッファ182、184、186、188、命令語デコーダ120、書込み命令語レイテンシ制御部140及び読出し命令語レイテンシ制御部160を備える。

【0018】

命令語入力ピン110には外部から命令語信号/CAS、/RAS、/WEが印加される。TTL(Transistor-Transistor Logic)に入力される命令語信号/CAS、/RAS、/WEは各々の命令語入力バッファ182、184、186、188でCMOS(Complementary MOS)レベルに変換される。命令語デコーダ120は命令語入力バッファ182、184、186、188を通じて入力される命令語信号PCS、PRAS、PCAS、PWSを受信しかつデコーディングして、命令語信号PCS、PRAS、PCAS、PWEに対応するデコーディングされた命令語PRAS\_ACT、PREF、...、PREAD、PWRITEを出力する。

【0019】

書込み命令語レイテンシ制御部140は命令語デコーダ120から出力されるデコーディングされた命令語PRAS\_ACT、PREF、...、PREAD、PWRITEのうち書込み命令語PWRITEを受信し、所定のレイテンシ制御信号にตอบสนองして、書込み命令語PWRITEを、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して書込み命令語PWA(書込み命令語PWRITEと区別するため、以下、遅延書込み命令語PWAという)として出力する。

【0020】

書込み命令語レイテンシ制御部140を具体的に調べてみれば、書込み命令語レイテンシ制御部140は第1、第2書込み遅延素子142、144及び第1ないし第4書込み伝送ゲートTGW1~TGW4を含む。第1および第2書込み遅延素子142、144は各々、入力される信号をクロック信号の1サイクル1CLKだけ遅延させて出力する遅延素子である。そして、第1ないし第4書込み伝送ゲートTGW1~TGW4は入力される制御信号にตอบสนองしてゲートされる。第1ないし第4書込み伝送ゲートTGW1~TGW4はPMOSトランジスタ及びNMOSトランジスタが並列接続された構造である。すなわち、PMOSトランジスタのドレインとNMOSトランジスタのソース、PMOSトランジスタのソースとNMOSトランジスタのドレインとが相互接続される。そして、PMOSトランジスタ及びNMOSトランジスタのゲートには制御信号及びその反転信号、または制御信号の反転信号及びその制御信号が各々入力される。

【0021】

第1書込み伝送ゲートTGW1のNMOSトランジスタには第1制御信号PRCD0が入

10

20

30

40

50

力され、第1書込み伝送ゲートTGW1のPMOSトランジスタには第1制御信号PRCD0の反転信号(インバータIVW1の出力)が入力される。したがって、第1書込み伝送ゲートTGW1は第1制御信号PRCD0が'ハイレベル'に活性化されればターンオンされ、第1制御信号PRCD0が'ローレベル'に非活性化されれば、ターンオフされる。第1伝送ゲートTGW1がターンオンされれば、書込み命令語PWRITEが直ちに遅延書込み命令語PWAに出力される。

【0022】

第2書込み伝送ゲートTGW2のNMOSトランジスタには第2制御信号PRCD1が入力され、第2書込み伝送ゲートTGW2のPMOSトランジスタには第2制御信号PRCD1の反転信号(インバータIVW2の出力)が入力される。したがって、第2書込み伝送ゲートTGW2は第2制御信号PRCD1が'ハイレベル'に活性化されればターンオンされ、第2制御信号PRCD1が'ローレベル'に非活性化されれば、ターンオフされる。第2書込み伝送ゲートTGW2がターンオンされれば、第1書込み遅延素子142の出力信号(第1予備書込み命令語)PREW1が遅延書込み命令語PWAに出力される。第3書込み伝送ゲートTGW3のNMOSトランジスタには第3制御信号PRCD2が入力され、第3書込み伝送ゲートTGW3のPMOSトランジスタには第3制御信号PRCD2の反転信号(インバータIVW3の出力)が入力される。したがって、第3書込み伝送ゲートTGW3は第3制御信号PRCD2が'ハイレベル'に活性化されればターンオンされ、第3制御信号PRCD2が'ローレベル'に非活性化されれば、ターンオフされる。第3書込み伝送ゲートTGW3がターンオンされれば、第2書込み遅延素子144の出力信号(第2予備書込み命令語)PREW2が遅延書込み命令語PWAに出力される。

【0023】

第4書込み伝送ゲートTGW4のPMOSトランジスタには第1制御信号PRCD0が入力され、第4書込み伝送ゲートTGW4のNMOSトランジスタには第1制御信号PRCD0の反転信号(インバータIVW4の出力)が入力される。したがって、第4書込み伝送ゲートTGW4は第1制御信号PRCD0が'ハイレベル'に活性化されればターンオフされ、第1制御信号PRCD0が'ローレベル'に非活性化されればターンオンされる。第4書込み伝送ゲートTGW4がターンオンされれば、書込み命令語PWRITEが第1書込み遅延素子142に入力される。

【0024】

追加的なCASレイテンシは同期式DRAM内のEMRSに貯蔵される情報ビットによって設定される。例えば、同期式DRAMのEMRS命令入力時に所定のアドレス信号に印加される値がEMRSに貯蔵されて追加的なCASレイテンシ値が決定される。そして、決定された追加的なCASレイテンシの値によって、これを制御するためのレイテンシ制御信号が活性化される。第1ないし第3制御信号がレイテンシ制御信号であって、EMRSに設定された追加的なCASレイテンシの値により、第1ないし第3制御信号のうち該当する一つの制御信号だけが'ハイレベル'に活性化され、残りは非活性化される。

【0025】

遅延書込み命令語PWAは本発明のポストッドCAS機能を有するSDRAMのデータ書込み動作過程を制御する書込み動作のマスタ信号であって、ポストッドCAS機能を有しない一般的なSDRAMにおける書込み命令語に該当する信号である。したがって、一般のSDRAMにおいて書込み命令語PWRITEが用いられる所に遅延書込み命令語PWAを使用することにより、本発明によるポストッドCAS機能を有するSDRAMの書込み動作過程は一般のSDRAMの書込み動作過程と内部的に同一になる。

【0026】

読出し命令語レイテンシ制御部160は命令語デコーダ120から出力されるデコーディングされた命令語のうち読出し命令語PREADを受信し、レイテンシ制御信号に应答して、読出し命令語PREADを、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択して読出し命令語PCA(読出し命令語PREADと区別するため、以下、遅延読出し命令語PCAという)として出力する。

10

20

30

40

50

## 【0027】

読出し命令語レイテンシ制御部160の構成は書込み命令語レイテンシ制御部140のそれと同一である。但し、読出し命令語レイテンシ制御部160に入出力される信号が読出し命令語PREAD及び遅延読出し命令語PCAであるという点で書込み命令語レイテンシ制御部140と違いがある。

## 【0028】

読出し命令語レイテンシ制御部160を具体的に調べてみれば、読出し命令語レイテンシ制御部160は第1、第2読出し遅延素子162, 164及び第1ないし第4読出し伝送ゲートTGR1~TGR4を含む。第1および第2読出し遅延素子162, 164は第1および第2書込み遅延素子142, 144と同様に、入力される信号を各々、クロック信号の1サイクルCLKだけ遅延させて出力する遅延素子である。第1ないし第4読出し伝送ゲートTGR1~TGR4の構造は各々第1ないし第4書込み伝送ゲートTGW1~TGW4と同一である。

10

## 【0029】

さらに、第1ないし第4読出し伝送ゲートTGR1~TGR4に入力される各々の制御信号も第1ないし第4書込み伝送ゲートTGW1~TGW4に入力される各々の制御信号と同一である。したがって、第1制御信号PRCD0が活性化されれば、第1読出し伝送ゲートTGR1がターンオンされ、読出し命令語PREADが直ちに遅延読出し命令語PCAに出力される。このとき、第4読出し伝送ゲートTGR4はターンオフされて、第1読出し遅延素子162には読出し命令語PREADが伝達されない。

20

## 【0030】

第2制御信号PRCD1が活性化されれば、第1制御信号PRCD0は非活性状態であるため、第4読出し伝送ゲートTGR4がターンオンされて、第1読出し遅延素子162に読出し命令語PREADが伝達される。また、第2読出し伝送ゲートTGR2がターンオンされて、第1読出し遅延素子162の出力信号(第1予備読出し命令語)PRER1が遅延読出し命令語PCAに出力される。

## 【0031】

第3制御信号PRCD2が活性化されれば、第2読出し遅延素子164の出力信号(第2予備読出し命令語)PRER2が遅延読出し命令語PCAに出力される。

## 【0032】

遅延読出し命令語PCAは本発明のSDRAMのデータ読出し動作過程を制御する読出し動作のマスタ信号であって、ポストッドCAS機能を有しない一般的なSDRAMにおける読出し命令語に該当する信号である。したがって、一般的なSDRAMにおいて読出し命令語PREADが用いられる所に遅延読出し命令語PCAを使用することにより、本発明によるポストッドCAS機能を有するSDRAMの読出し動作過程は一般のSDRAMの読出し動作過程と内部的に同一になる。

30

## 【0033】

図3は、本発明の他の実施の形態によるポストッドCAS機能を有する同期式DRAMを示した図である。これを説明すれば、本発明の他の実施の形態によるポストッドCAS機能を有する同期式DRAMは一つ以上のアドレス入力ピン210、アドレス入力バッファ200、ロウアドレス決定部242、カラムアドレス決定部244、カラムアドレスレイテンシ制御部220を備える。

40

## 【0034】

アドレス入力ピン210には外部からアドレス信号ADDRが印加される。アドレス入力バッファ200はアドレス入力ピン210を通じて入力されるTTLレベルであるアドレス信号ADDRをCMOSレベルに変換する。

## 【0035】

ロウアドレス決定部242は受信されるアドレス信号ADDRがロウアドレス信号であれば、これをロウアドレス経路に出力する。同様に、カラムアドレス決定部244は受信されるアドレス信号がカラムアドレスであれば、これをカラムアドレス経路に出力する。ロ

50

ウアドレス信号 R A D D R はロウアドレス経路に沿って、ロウアドレスデコーダ（図示せず）に入力される。カラムアドレス信号 C A D D R はカラムアドレス経路に沿って最終的にはカラムアドレスデコーダ（図示せず）に入力される。

【 0 0 3 6 】

ところで、本発明の他の実施の形態による同期式 D R A M はカラムアドレス経路上に、すなわち、カラムアドレス決定部 2 4 4 の出力後、カラムアドレスデコーダ（図示せず）の前方にカラムアドレスレイテンシ制御部 2 2 0 を備える。

【 0 0 3 7 】

カラムアドレスレイテンシ制御部 2 2 0 はカラムアドレス決定部 2 4 4 から出力されるカラムアドレス信号 C A D D R を受信して、レイテンシ制御信号に応答して、カラムアドレス信号 C A D D R を、遅延なし、1クロック遅延、2クロック遅延のいずれかを選択してカラムアドレス信号 P C A D D R（カラムアドレス信号 C A D D R と区別するため、以下、遅延カラムアドレス信号 P C A D D R という）として出力する。

10

【 0 0 3 8 】

カラムアドレスレイテンシ制御部 2 2 0 の構成も書込み命令語レイテンシ制御部 1 4 0 及び読出し命令語レイテンシ制御部 1 6 0 のそれと同一である。但し、カラムアドレスレイテンシ制御部 2 2 0 に入出力される信号がカラムアドレス信号 C A D D R 及び遅延カラムアドレス信号 P C A D D R であるという点で書込み命令語レイテンシ制御部 1 4 0 及び読出し命令語レイテンシ制御部 1 6 0 と違いがある。

【 0 0 3 9 】

カラムアドレスレイテンシ制御部 2 2 0 を具体的に調べてみれば、カラムアドレスレイテンシ制御部 2 2 0 は第 1、第 2 カラムアドレス遅延素子 2 2 2、2 2 4 及び第 1 ないし第 4 カラムアドレス伝送ゲート T G A 1 ~ T G A 4 を含む。第 1 および第 2 カラムアドレス遅延素子 2 2 2、2 2 4 の機能は第 1 および第 2 書込み遅延素子 1 4 2、1 4 4 の機能と同一である。また、第 1 ないし第 4 カラムアドレス伝送ゲート T G A 1 ~ T G A 4 は第 1 ないし第 4 書込み伝送ゲート T G W 1 ~ T G W 4 と同一の構造及び機能を有する。このため、ここでは、カラムアドレスレイテンシ制御部 2 2 0 の構成及び機能に対する詳細な説明は省略する。

20

【 0 0 4 0 】

遅延カラムアドレス信号 P C A D D R はカラムアドレスデコーダ（図示せず）でデコーディングされて、データが書込みまたは読み出されるメモリセルのカラムを選ぶ。

30

【 0 0 4 1 】

カラムアドレスレイテンシ制御部 2 2 0 は、図 3 の位置ではなく、カラムアドレス信号を受信する他の回路部に含まれうる。図 3 では、アドレス入力バッファ 2 0 0 後にロウアドレス信号であるか、それともカラムアドレス信号であるかが決定される。しかし、ロウアドレスバッファ及びカラムアドレスバッファが別々に具備される場合もある。この場合、カラムアドレスレイテンシ制御部 2 2 0 はカラムアドレスバッファに含まれうる。カラムアドレスデコーダがメインデコーダ及びプリデコーダに分けられれば、カラムアドレスレイテンシ制御部 2 2 0 はカラムアドレスメインデコーダまたはカラムアドレスプリデコーダ内に具現できる。

40

【 0 0 4 2 】

前述した本発明の実施の形態では、各レイテンシ制御部 1 4 0、1 6 0、2 2 0 が 2 つの遅延素子を備える。したがって、設定可能な追加的な C A S レイテンシの範囲が 2 C L K までである。しかし、遅延素子の数は変更でき、これにより、設定可能な追加的な C A S レイテンシの値の範囲も調節できる。

【 0 0 4 3 】

また、上記の実施の形態は単なる例示的なものに過ぎず、この技術分野の通常の知識を有した者なら、これより各種の変形及び均等な他の実施の形態が可能であるということはいうまでもない。よって、本発明の真の技術的な保護範囲は特許請求の範囲の技術的な思想によって定まるべきである。

50

【 0 0 4 4 】

【 発明の効果 】

本発明によって、同期式 D R A M を使用する外部コントローラやユーザは R A S 活性化命令後に C A S 命令を印加するタイミングを調節できる。したがって、同期式 D R A M と同期式 D R A M を使用する外部コントローラとの間のバス使用の効率が高まる。そして、本発明の同期式 D R A M は J E D E C のポストッド C A S 機能に対する要求事項を満足する。

【 図面の簡単な説明 】

【 図 1 】 同期式 D R A M のポストッド C A S 機能を説明するための図である。

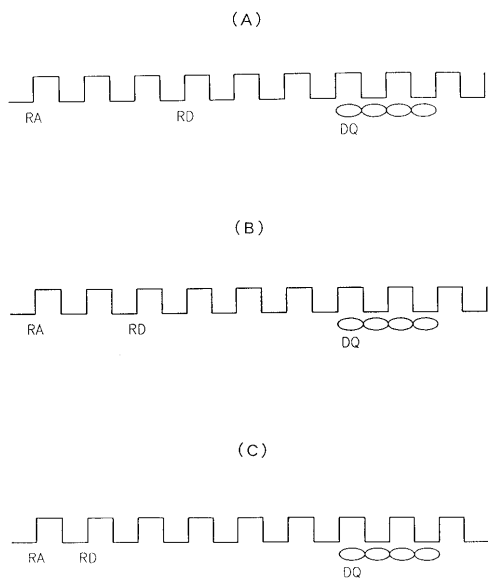
【 図 2 】 本発明の一実施の形態によるポストッド C A S 機能を有する同期式 D R A M を示した図である。 10

【 図 3 】 本発明の他の実施の形態によるポストッド C A S 機能を有する同期式 D R A M を示した図である。

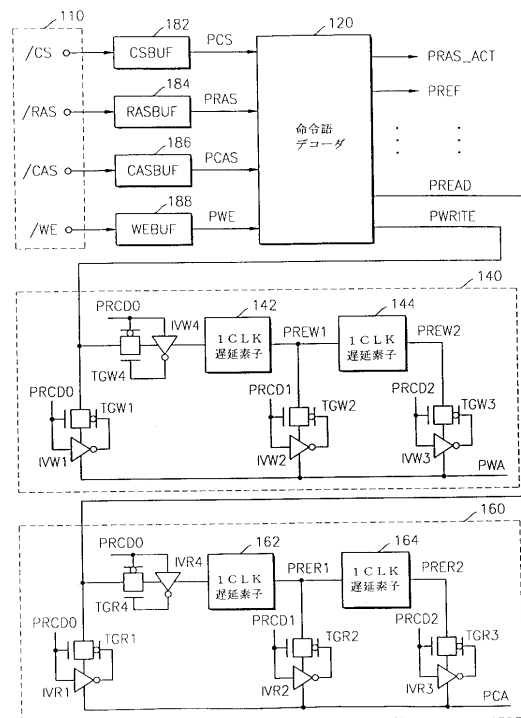
【 符号の説明 】

- 1 1 0 命令語入力ピン
- 1 2 0 命令語デコーダ
- 1 4 0 書込み命令語レイテンシ制御部
- 1 6 0 読出し命令語レイテンシ制御部

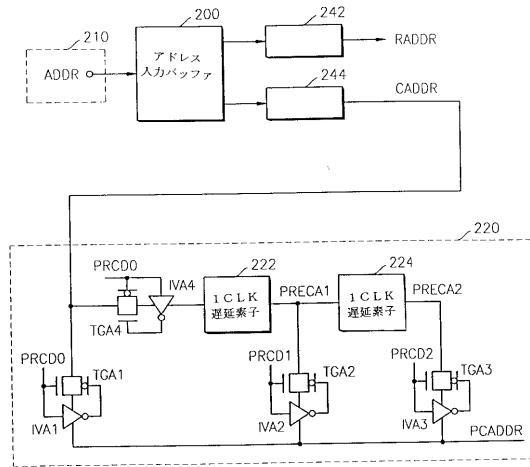
【 図 1 】



【 図 2 】



【 図 3 】



---

フロントページの続き

(56)参考文献 特開平10 - 233091 (JP, A)  
特開2003 - 151266 (JP, A)  
特開平09 - 106682 (JP, A)  
特開平10 - 188553 (JP, A)  
特開2000 - 231788 (JP, A)  
特開2000 - 173267 (JP, A)  
特開2000 - 048567 (JP, A)  
特開2000 - 163965 (JP, A)  
特開2000 - 276877 (JP, A)  
特開2000 - 215663 (JP, A)  
特表平10 - 504129 (JP, A)  
特開2000 - 260178 (JP, A)  
特開2000 - 215662 (JP, A)  
特開昭58 - 124321 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

G11C 11/407  
G06F 12/00  
G06F 12/02  
G11C 11/401  
G11C 11/4076