



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월01일
(11) 등록번호 10-1424919
(24) 등록일자 2014년07월23일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2013-0022383
(22) 출원일자 2013년02월28일
심사청구일자 2013년02월28일
(56) 선행기술조사문헌
KR1020080012490 A
KR101048996 B1
KR1020120100241 A
KR101212392 B1

(73) 특허권자
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
정재경
서울 강서구 화곡로13길 107, 108동 702호 (화곡동, 화곡푸르지오)
이철규
경기 안양시 만안구 박달로498번길 28, 106동 109호 (박달동, 우성아파트)
(74) 대리인
양성보

전체 청구항 수 : 총 7 항

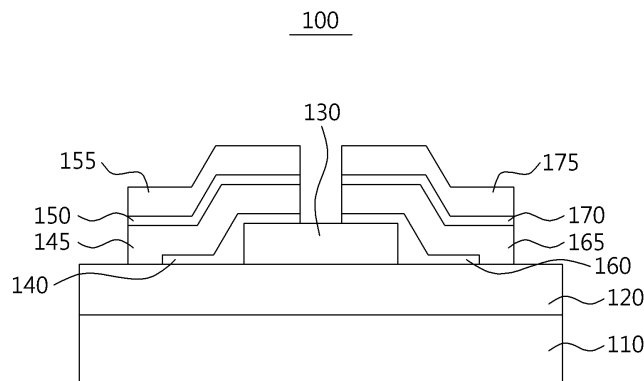
심사관 : 설관식

(54) 발명의 명칭 구리 확산 방지층을 포함하는 트랜지스터와 그 제조 방법 및 트랜지스터를 포함하는 전자 소자

(57) 요약

구리 확산 방지층을 포함하는 트랜지스터와 그 제조 방법 및 트랜지스터를 포함하는 전자 소자가 개시된다. 상기 트랜지스터는 기판 상에 형성된 게이트 전극; 상기 게이트 전극의 상부에 형성된 게이트 절연층; 상기 게이트 절연층 상에 형성된 채널층; 상기 채널층의 소스 영역과 전기적으로 연결되고, 구리(Cu)를 포함하는 소스 전극; 상기 채널층의 드레인 영역과 전기적으로 연결되고, 구리를 포함하는 드레인 전극; 및 각각의 소스 전극 및 드레인 전극과 상기 채널층 사이에서 구리(Cu)의 확산을 막기 위한 구리 확산 방지층을 포함할 수 있다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	10041041
부처명	지식경제부
연구사업명	지식경제 기술혁신사업 계획서
연구과제명	TFT 백플레인을 위한 비진공, 비노광 5 μ m급 Cu interconnect 기술개발
기 여 율	1/1
주관기관	한국디스플레이연구조합
연구기간	2011.12.01 ~ 2016.02.28

특허청구의 범위

청구항 1

기판 상에 형성된 게이트 전극;
 상기 게이트 전극의 상부에 형성된 게이트 절연층;
 상기 게이트 절연층 상에 형성된 채널층;
 상기 채널층의 소스 영역과 전기적으로 연결되고, 구리(Cu)를 포함하는 소스 전극;
 상기 채널층의 드레인 영역과 전기적으로 연결되고, 구리(Cu)를 포함하는 드레인 전극; 및
 각각의 소스 전극 및 드레인 전극과 상기 채널층 사이에서 구리(Cu)의 확산을 막기 위한 구리 확산 방지층
 을 포함하고,
 상기 소스 전극 및 상기 드레인 전극 각각은
 구리(Cu) 전극;
 상기 구리 전극의 상부에 형성된 알루미늄(Al) 전극; 및
 상기 구리 전극과 상기 알루미늄 전극 사이에 위치하는 탄탈륨(Ta) 전극
 을 포함하며,
 상기 구리 확산 방지층은,
 탄탈륨(Ta)을 포함하는 특징으로 하는 트랜지스터.

청구항 2

삭제

청구항 3

제1항에 있어서,
 상기 구리 확산 방지층은,
 상기 채널층의 일단에 접촉하면서 그에 인접한 게이트 절연층으로 확장된 구조를 가지는 트랜지스터.

청구항 4

삭제

청구항 5

삭제

청구항 6

제1항에 있어서,
 상기 채널층은,
 인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐주석산화물(InSnO), 인듐아연산화물(InZnO), 하프늄
 인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를
 포함하는 트랜지스터.

청구항 7

삭제

청구항 8

제1항에 기재된 트랜지스터를 포함하는 전자 소자.

청구항 9

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극의 상부에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 채널층을 형성하는 단계;

상기 채널층 상에 구리(Cu)의 확산을 방지하기 위한 구리 확산 방지층을 형성하는 단계; 및

상기 구리 확산 방지층 상에 구리(Cu)를 포함하는 소스 전극 및 구리(Cu)를 포함하는 드레인 전극을 형성하는 단계

를 포함하고,

상기 소스 전극 및 상기 드레인 전극 각각은

구리(Cu) 전극;

상기 구리 전극의 상부에 형성된 알루미늄(Al) 전극; 및

상기 구리 전극과 상기 알루미늄 전극 사이에 위치하는 탄탈륨(Ta) 전극

을 포함하며,

상기 구리 확산 방지층은,

탄탈륨(Ta)을 포함하는 특징으로 하는 트랜지스터 제조 방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

제9항에 있어서,

상기 채널층을 형성하는 단계는,

인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐주석산화물(InSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함하는 물질을 증착하는 트랜지스터 제조 방법.

청구항 13

제9항에 있어서,

상기 채널층을 형성하는 단계는,

인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 두 개 이상의 금속 타겟을 동시 스퍼터링하여 상기 게이트 절연층 상에 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 증착하는 트랜지스터 제조 방법.

명세서

기술분야

[0001] 아래의 설명은 트랜지스터와 그 제조 방법 및 트랜지스터를 포함하는 전자 소자에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터(Thin Film Transistor, 이하 TFT)는 전계효과 트랜지스터(Field Effect Transistor, FET)의 한 종류로, 스위칭 소자(switching device)나 구동 소자(driving device)로 이용되고 있으며, 주로 디스플레이 분야에서 널리 이용되고 있다. TFT 기술이 적용된 액정 디스플레이를 박막 트랜지스터 액정 디스플레이(TFT-Liquid Crystal Display, 이하 TFT-LCD)라고 한다.

[0003] 현재, 평판 디스플레이 및 플렉서블 디스플레이(flexible display)의 대형화가 진행될수록 재료비가 차지하는 비중이 더욱 커지고 있다. 따라서, 유리 기판 크기의 확대보다는 제조 공정의 단순화 및 재료비 절감을 통한 원가 절감 방안이 중요한 이슈로 대두되고 있다.

[0004] 구리(Cu)는 은(Ag)에 비해 약 100분의 1 수준의 가격을 가지면서도, 전도도는 Ag에 대등한 값을 갖고 있다. 또한, Cu는 기존의 알루미늄 배선 저항에 의한 신호 열화를 방지할 수 있어, 고해상도 및 50인치 이상의 대형 디스플레이 패널에서 필수적인 소자이다.

[0005] 최근에는 디스플레이 소자에서도 고속 배선 기술이 중요해짐에 따라 Cu 배선을 게이트 및 소스/드레인 전극으로 이용하는 방안이 일부 시도되고 있으나, Cu 확산(diffusion) 현상에 의해 TFT의 성능에 문제가 발생할 수 있다. 예를 들어, Cu 확산에 따라 SS(subthreshold swing)값이 증가하고, 문턱전압이 양의 방향으로 과도하게 이동하여 소자 성능이 저하될 수 있다. 이에 따라, Cu 확산을 방지하여 TFT의 성능을 개선할 수 있는 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

[0006] 구리 확산 방지층을 포함하는 트랜지스터를 제공한다.

[0007] 상기 트랜지스터의 제조 방법을 제공한다.

[0008] 상기 트랜지스터를 포함하는 전자 소자를 제공한다.

과제의 해결 수단

[0009] 일실시예에 따른 트랜지스터는, 기판 상에 형성된 게이트 전극; 상기 게이트 전극의 상부에 형성된 게이트 절연층; 상기 게이트 절연층 상에 형성된 채널층; 상기 채널층의 소스 영역과 전기적으로 연결되고, 구리(Cu)를 포함하는 소스 전극; 상기 채널층의 드레인 영역과 전기적으로 연결되고, 구리(Cu)를 포함하는 드레인 전극; 및 각각의 소스 전극 및 드레인 전극과 상기 채널층 사이에서 구리(Cu)의 확산을 막기 위한 구리 확산 방지층을 포함할 수 있다.

[0010] 일실시예에 따른 트랜지스터 제조 방법은, 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극의 상부에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 채널층을 형성하는 단계; 상기 채널층 상에 구리(Cu)의 확산을 방지하기 위한 구리 확산 방지층을 형성하는 단계; 및 상기 구리 확산 방지층 상에 구리(Cu)를 포함하는 소스 전극 및 구리(Cu)를 포함하는 드레인 전극을 형성하는 단계를 포함할 수 있다.

[0011] 일실시예에 따른 트랜지스터는, 전자 소자를 기판 상에 형성된 게이트 전극; 상기 게이트 전극의 상부에 형성된 게이트 절연층; 상기 게이트 절연층 상에 형성된 채널층; 상기 채널층의 소스 영역과 전기적으로 연결되고, 구리(Cu)를 포함하는 소스 전극; 상기 채널층의 드레인 영역과 전기적으로 연결되고, 구리(Cu)를 포함하는 드레인 전극; 및 각각의 소스 전극 및 드레인 전극과 상기 채널층 사이에서 구리(Cu)의 확산을 막기 위한 구리 확산 방지층을 포함하는 트랜지스터를 포함할 수 있다.

발명의 효과

[0012] 일실시예에 따르면, 구리 전극에서 채널층으로 구리가 확산되는 것을 방지함으로써, 트랜지스터의 성능을 개선시킬 수 있다.

도면의 간단한 설명

- [0013] 도 1은 일실시예에 따른 트랜지스터의 구조를 나타내는 단면도이다.
- 도 2는 일실시예에 따른 구리 확산 방지층의 유무에 따른 트랜지스터 성능에 대한 시뮬레이션 결과를 나타내는 그래프이다.
- 도 3은 일실시예에 따른 구리 확산 방지층의 유무에 따른 SIMS 분석 결과를 나타내는 그래프이다.
- 도 4는 일실시예에 따른 구리 확산 방지층의 유무에 따른 TLM 분석 결과를 나타내는 그래프이다.
- 도 5는 일실시예에 따른 트랜지스터 제조 방법을 설명하기 위한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 아래의 특정한 구조적 내지 기능적 설명들은 단지 발명의 실시예들을 설명하기 위한 목적으로 예시된 것으로, 발명의 범위가 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- [0015] 도 1은 일실시예에 따른 트랜지스터의 구조를 나타내는 단면도이다.
- [0016] 도 1을 참조하면, 트랜지스터(100)는 게이트 전극(110), 게이트 절연층(120), 채널층(130), 소스 전극, 드레인 전극 및 구리 확산 방지층(Copper diffusion barrier layer)(140, 160)을 포함할 수 있다. 트랜지스터(100)는 TFT-LCD, 아몰레드(Active Matrix Organic Light-Emitting Diode, AMOLED), 투명디스플레이 등을 구성하는 전자 소자로써 이용될 수 있다.
- [0017] 게이트 전극(110)은 기판(substrate) 상에 형성될 수 있다. 기판은 유리 기판일 수 있지만, 그 밖의 다른 기판, 예를 들어 플라스틱 기판이나 실리콘 기판 등 통상의 반도체 소자 공정에서 이용되는 다양한 기판 중 어느 하나일 수 있다. 게이트 전극(110)은 금속이나 도전성 산화물 등으로 형성될 수 있다.
- [0018] 게이트 전극(110)의 상부에 게이트 전극(110)을 덮는 게이트 절연층(120)이 형성될 수 있다. 게이트 절연층(120)은 실리콘 산화물층 또는 실리콘 질화물층을 포함할 수 있으나, 그 밖의 다른 물질층, 예를 들어, 실리콘 질화물층보다 유전상수가 큰 고유전 물질층을 포함할 수도 있다. 게이트 절연층(120)은 단층 구조 또는 다층 구조를 가질 수 있다.
- [0019] 게이트 절연층(120) 상에 채널층(130)이 형성될 수 있다. 채널층(130)은 채널 영역, 소스 영역 및 드레인 영역을 포함할 수 있다. 채널층(130)은 산화물 반도체로 형성될 수 있다. 예를 들어, 채널층(130)은 ZTO(Zinc Tin Oxide) 등의 산화물 반도체를 쌓음으로써 형성될 수 있다. 단, ZTO는 예시적인 것에 불과하고, 그 밖에 다른 다양한 산화물 반도체가 사용될 수 있다. 예를 들어, 산화물 반도체는 인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐주석산화물(InSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함할 수 있다. 또는, 산화물 반도체는 인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 두 개 이상의 금속 물질을 포함하는 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 포함할 수 있다.
- [0020] 게이트 절연층(120) 상에 채널층(130)의 소스 영역과 전기적으로 연결되고, 구리(Cu)를 포함하는 소스 전극이 구비될 수 있다. 또한, 게이트 절연층(120) 상에 채널층(130)의 드레인 영역과 전기적으로 연결되고 구리(Cu)를 포함하는 드레인 전극이 구비될 수 있다. 소스 전극 및 드레인 전극은 다층 구조를 가질 수 있다. 소스 전극은 구리 전극(145), 탄탈륨 전극(150) 및 알루미늄 전극(155)을 포함할 수 있다. 드레인 전극 또한, 구리 전극(165), 탄탈륨 전극(170) 및 알루미늄 전극(175)을 포함할 수 있다. 소스 전극과 드레인 전극에서 각각의 탄탈륨 전극(150, 170)은 구리 전극(145, 165)과 알루미늄 전극(155, 175) 사이에 위치할 수 있다.
- [0021] 각각의 소스 전극 및 드레인 전극과 채널층(130) 사이에서 구리의 확산(diffusion)을 막기 위한 구리 확산 방지층(140, 160)이 구비될 수 있다. 구리 확산 방지층(140, 160)은 탄탈륨(Ta)을 포함할 수 있다. 구리 확산 방지층(140, 160)은 채널층(130)의 일단에 접촉하면서, 그에 인접한 게이트 절연층(120)으로 확장된 구조를 가질 수 있다. 구리 확산 방지층(140, 160)은 소스 전극 및 드레인 전극에 포함된 구리 전극에서 채널층(130)으로 구리가 확산되는 것을 방지할 수 있다. 이에 따라, 채널층(130) 내부에 결함이 발생하는 것을 줄이고, 채널층(130)으로 구리가 확산됨으로써 발생하는 트랜지스터(100)의 성능 열화를 줄일 수 있다. 예를 들어, 구리 확산 방지층(140, 160)이 구리가 채널층(130)으로 확산되는 것을 막음으로써, SS(Subthreshold Swing)이 증가하고,

문턱전압(Threshold Voltage)이 양의 방향으로 이동하는 것을 방지할 수 있다.

[0022] 도 2는 일실시예에 따른 구리 확산 방지층의 유무에 따른 트랜지스터 성능에 대한 시뮬레이션 결과를 나타내는 그래프이다.

[0023] 그래프(210)은 구리 확산 방지층이 없는 경우(W/O diffusion barrier)의 트랜지스터 전달 특성(transfer characteristics)을 나타내고, 그래프(220)는 구리 확산 방지층이 존재하는 경우(with diffusion barrier)의 트랜지스터 전달 특성을 나타낸다. 일반적으로, TFT의 성능은 이동도(mobility), SS(Subthreshold swing), 문턱전압으로 평가될 수 있다. 이동도가 높거나 적절한 값의 SS일 경우에 고성능의 TFT인 것으로 여겨진다. SS값이 너무 낮으면 소자의 전류 제어가 어려울 수 있고, SS값이 너무 높으면 소자의 구동 전압이 커짐에 따라 소비 전력이 증가할 수 있다. TFT의 문턱전압이 0 (V)에서 멀어지는 경우에는 구동 전압의 증가로 인해 소비 전력이 증가할 수 있다. 따라서, 문턱전압이 0 (V)에 가까울수록 보다 고성능의 TFT인 것으로 여겨진다. 그래프(210)과 그래프(220)을 비교해보면, 구리 확산 방지층이 존재할 때가 구리 확산 방지층이 없을 때보다 문턱전압이 0 (V)에 더 가까운 것을 확인할 수 있다. 따라서, 구리 확산 방지층을 포함하는 트랜지스터가 더욱 개선된 성능을 나타냄을 알 수 있다.

[0024] 다음의 표 1은 구리 확산 방지층의 유무에 따른 트랜지스터의 성능 차이를 나타내는 시뮬레이션 결과이다.

표 1

	Sat mobility (cm ₂ /Vs)	Lin mobility (cm ₂ /Vs)	V _{th} (V)	S-factor (V/dec)
W/O barrier layer	10.4	13.2	9.1	1.1
With barrier layer	10.7	18.7	3.0	0.48

[0026] 표 1에 따르면, 구리 확산 방지층이 없는 트랜지스터의 경우 SS가 1.1V/dec, 문턱전압(Vth)는 9.1V이고, 구리 확산 방지층이 존재하는 경우에는 SS가 0.481V/dec, Vth는 3.0V로 구리 확산 방지층이 존재하는 경우에 보다 개선된 성능을 나타냄을 확인할 수 있다.

[0027] 도 3은 일실시예에 따른 구리 확산 방지층의 유무에 따른 SIMS 분석 결과를 나타내는 그래프이다.

[0028] 그래프(300)은 구리 확산 방지층의 유무에 따른 채널의 깊이 프로파일(depth profile)을 SIMS(secondary ion mass spectroscopy) 분석 결과를 통해 나타내고 있다. SIMS 분석 결과로부터, 구리 확산 방지층이 없는 경우(W/O diffusion barrier)가 구리 확산 방지층이 존재하는 경우(With diffusion barrier)보다 구리가 채널층에 더 많이 확산되는 것을 확인할 수 있다.

[0029] 도 4는 일실시예에 따른 구리 확산 방지층의 유무에 따른 TLM 분석 결과를 나타내는 그래프이다.

[0030] 그래프(410)은 구리 확산 방지층이 없는 경우의 TLM(transfer length method) 분석 결과를 나타내고, 그래프(420)은 구리 확산 방지층이 존재하는 경우의 TLM 분석 결과를 나타낸다.

[0031] 자세한 분석 결과는 다음의 표 2와 같다.

표 2

V	W/O diffusion barrier(Ω)	With diffusion barrier(Ω)
20V	13904	8567
25V	5727	4210
30V	2721	2507
35V	2100	1692
40V	-	1244

[0033] 표 2는 TLM 분석을 이용한 구리 확산 방지층의 유무에 따른 소스 전극/드레인 전극과 채널 사이의 접촉저항을 나타낸다. 접촉저항이 높을 경우, 소자가 턴온(turn on)되는 시간이 길어져, 소비 전력이 증가하는 문제가 발생할 수 있다. 위 표 2의 결과로부터 구리 확산 방지층이 존재하는 경우가 구리 확산 방지층이 없는 경우보다 낮은 접촉저항을 가짐을 확인할 수 있다.

- [0034] 도 5는 일실시예에 따른 트랜지스터 제조 방법을 설명하기 위한 흐름도이다.
- [0035] 도 5를 참조하면, 먼저 기판 상에 게이트 전극을 형성(510)할 수 있다. 기판은 유리 기판일 수 있지만, 그 밖의 다른 기판, 예를 들어 플라스틱 기판이나 실리콘 기판 등 통상의 반도체 소자 공정에서 이용되는 다양한 기판 중 어느 하나일 수 있다. 게이트 전극은 금속이나 도전성 산화물 등으로 형성될 수 있다.
- [0036] 다음, 게이트 전극의 게이트 전극의 상부에 게이트 전극을 덮는 게이트 절연층을 형성(520)할 수 있다. 게이트 절연층은 실리콘 산화물층 또는 실리콘 질화물층을 포함할 수 있으나, 그 밖의 다른 물질층, 예를 들어, 실리콘 질화물층보다 유전상수가 큰 고유전 물질층을 포함할 수도 있다. 게이트 절연층은 단층 구조 또는 다층 구조를 가질 수 있다.
- [0037] 그 후, 게이트 절연층 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 채널층을 형성(530)할 수 있다. 채널층은 산화물 반도체로 형성될 수 있다. 예를 들어, 채널층은 ZTO(Zinc Tin Oxide) 등의 산화물 반도체를 쌓음으로써 형성될 수 있다. 단, ZTO는 예시적인 것에 불과하고, 그 밖에 다른 다양한 산화물 반도체가 이용될 수 있다. 예를 들어, 인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함하는 물질을 증착함으로써, 채널층을 형성할 수 있다. 또는, 인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 하나 이상의 금속 타겟을 동시 스퍼터링(sputtering)하여 상기 게이트 절연층 상에 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 증착함으로써, 채널층을 형성할 수도 있다. 일례에 따르면, 작업 압력: 5mTorr, O₂ 비율: 10%, DC 파워: 100W, 스퍼터링 시간: 15분, 어닐링(annealing) 온도: 500도씨(°C)의 조건에서 채널층이 형성될 수 있다.
- [0038] 채널층이 형성되면, 채널층 상에 구리(Cu)의 확산을 방지하기 위한 구리 확산 방지층(540)을 형성할 수 있다. 구리 확산 방지층은 탄탈륨(Ta)을 포함할 수 있다. 구리 확산 방지층은 채널층의 일단에 접촉하면서, 그에 인접한 게이트 절연층으로 확장된 구조를 가질 수 있다. 구리 확산 방지층은 소스 전극 및 드레인 전극에 포함된 구리 전극에서 채널층으로 구리가 확산되는 것을 방지할 수 있다. 이에 따라, 채널층 내부에 결함이 발생하는 것을 줄이고, 채널층으로의 구리 확산에 따른 성능 열화를 줄일 수 있다. 예를 들어, 구리 확산 방지층이 구리가 채널층으로 확산되는 것을 막음으로써, SS이 증가하고, 문턱전압이 양의 방향으로 이동하는 것을 방지할 수 있다.
- [0039] 구리 확산 방지층 상에 구리(Cu)를 포함하는 소스 전극 및 구리(Cu)를 포함하는 드레인 전극을 형성(550)할 수 있다. 소스 전극 및 드레인 전극은 다층 구조를 가질 수 있다. 소스 전극 및 드레인 전극은 구리 확산 방지층 상에 구리(Cu) 전극을 형성한 뒤, 구리 전극 상에 탄탈륨(Ta) 전극을 형성하고, 탄탈륨 전극 상에 알루미늄(Al) 전극을 형성하는 과정을 통해 생성될 수 있다.
- [0040] 일례에 따르면, 구리 확산 방지층, 소스 전극 및 드레인 전극은 작업 압력: 4mTorr(아르곤(Ar) Only), DC 파워: 50W, 어닐링 온도: 250도씨(°C)의 조건에서 생성될 수 있다. 스퍼터링 과정을 통해 구리 확산 방지층은 10nm, 구리 전극은 150nm, 탄탈륨 전극은 50nm, 알루미늄 전극은 200nm의 두께로 생성될 수 있다. 단, 이는 트랜지스터의 제조 공정을 상세하게 설명하기 위한 것으로, 이에 의해 실시예의 범위가 제한되는 것으로 해석되어서는 안된다.
- [0041] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0042] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다

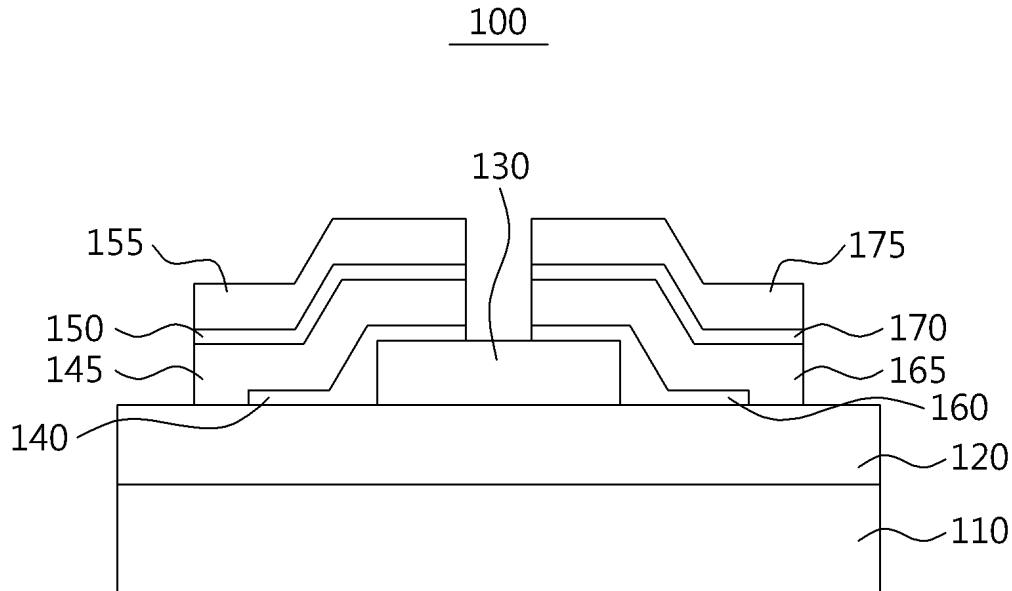
른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0043]

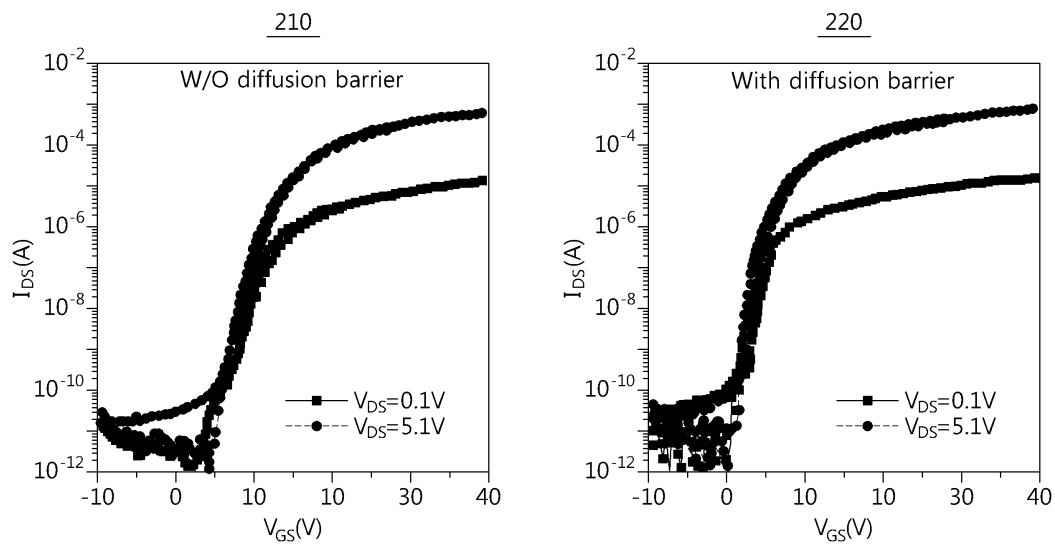
그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

도면1

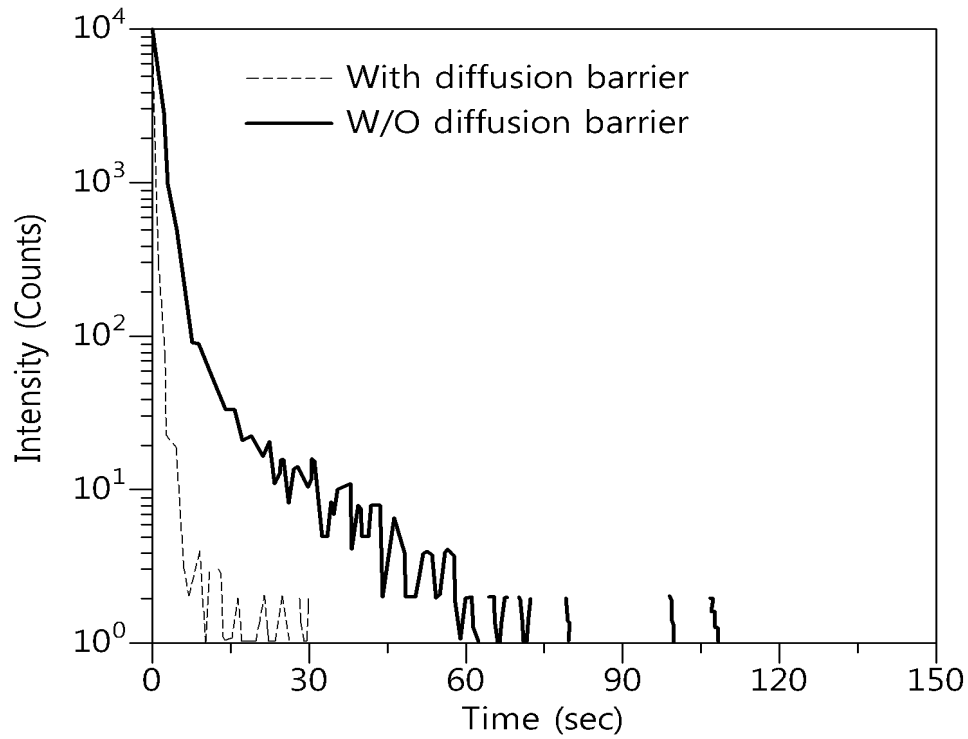


도면2

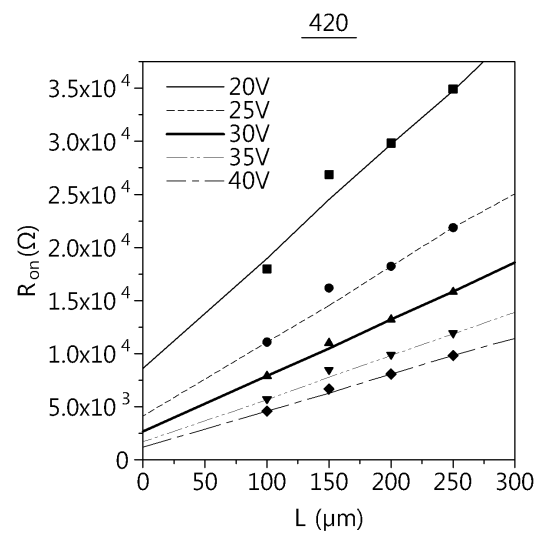
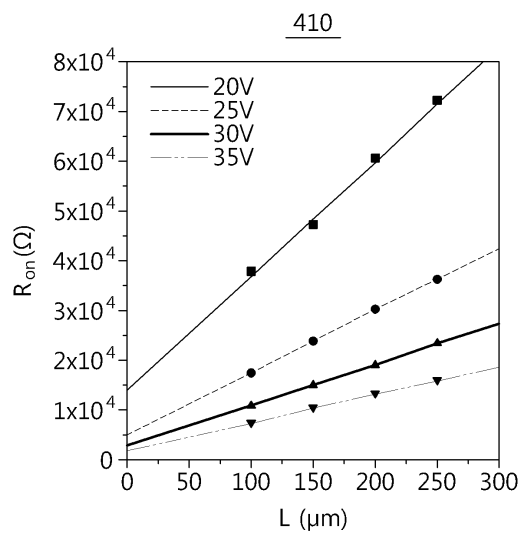


도면3

300



도면4



도면5

