

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3848683号

(P3848683)

(45) 発行日 平成18年11月22日(2006.11.22)

(24) 登録日 平成18年9月1日(2006.9.1)

(51) Int. Cl.	F I
H03F 3/45 (2006.01)	H03F 3/45 Z
H03F 3/68 (2006.01)	H03F 3/68 B

請求項の数 4 (全 7 頁)

(21) 出願番号	特願平9-508259	(73) 特許権者	コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
(86) (22) 出願日	平成8年7月26日(1996.7.26)		オランダ国 5621 ペーアー アイン
(65) 公表番号	特表平11-500883		ドーフエン フルーネヴァウツウェッハ
(43) 公表日	平成11年1月19日(1999.1.19)		1
(86) 国際出願番号	PCT/IB1996/000751	(74) 代理人	弁理士 杉村 興作
(87) 国際公開番号	W01997/006595		
(87) 国際公開日	平成9年2月20日(1997.2.20)	(74) 代理人	弁理士 富田 典
審査請求日	平成15年7月23日(2003.7.23)		
(31) 優先権主張番号	9516025.5	(74) 代理人	弁理士 杉村 純子
(32) 優先日	平成7年8月4日(1995.8.4)		
(33) 優先権主張国	英国 (GB)	(74) 代理人	弁理士 徳永 博

最終頁に続く

(54) 【発明の名称】 増幅器

(57) 【特許請求の範囲】

【請求項 1】

差動入力手段と、第1導電型の能動装置より成る複数の差動対と、第2導電型の能動装置より成る複数の差動対と、前記差動入力手段を前記差動対の入力端に接続する手段と、前記差動対の出力を合成する手段とを具える増幅器において、
第1導電型の能動装置と第2導電型の能動装置との寸法を適切に選択することにより、入力信号のあらゆる値に対し、能動装置寸法が合計で同じである差動対に合計で同じテール電流が流れるようにしたことを特徴とする増幅器。

【請求項 2】

差動入力手段と、第1、第2及び第3テール電流をそれぞれ有する第1導電型の能動装置の第1、第2及び第3差動対と、第4、第5及び第6テール電流をそれぞれ有する第2導電型の能動装置の第4、第5及び第6差動対とを具える差動増幅器において、
各差動対の入力端が差動増幅器の入力端に結合され、第1、第3、第4及び第5差動対の出力端が加算回路網の入力端に結合され、この加算回路網の出力端が差動増幅器の出力端に結合され、第2差動対の出力端が第5差動対のテールに共通接続され、第6差動対の出力端が第3差動対のテールに共通接続され、第2差動対のテール電流が第5差動対のテール電流に等しく、第3差動対のテール電流が第6差動対のテール電流に等しくなるようになっていることを特徴とする差動増幅器。

【請求項 3】

請求の範囲 1 又は 2 に記載の増幅器において、第1導電型の能動装置が p チャネル MOS

10

20

トランジスタであり、第 2 導電型の能動装置が n チャネル MOS トランジスタであることを特徴とする増幅器。

【請求項 4】

第 1, 第 2 及び第 3 テール電流をそれぞれ有する第 1 導電型の能動装置の第 1, 第 2 及び第 3 差動対と、第 4, 第 5 及び第 6 テール電流をそれぞれ有する第 2 導電型の能動装置の第 4, 第 5 及び第 6 差動対とを具える請求の範囲 1 に記載の増幅器を具える差動増幅器において、

各差動対の入力端が差動増幅器の入力端に結合され、第 1, 第 3, 第 4 及び第 5 差動対の出力端が加算回路網の入力端に結合され、この加算回路網の出力端が差動増幅器の出力端に結合され、第 2 差動対の出力端が第 5 差動対のテールに共通接続され、第 6 差動対の出力端が第 3 差動対のテールに共通接続され、第 2 差動対のテール電流が第 5 差動対のテール電流に等しく、第 3 差動対のテール電流が第 6 差動対のテール電流に等しくなるようになっていることを特徴とする差動増幅器。

10

【発明の詳細な説明】

本発明は増幅器に関し、特に、互いに反対の導電型の第 1 及び第 2 差動対を有する増幅器の入力構造に関するものである。

低電源電圧で動作する回路、特に CMOS 回路において良好なアナログ動作を得る回路アーキテクチャの必要性が高まってきている。最近のサブミクロン処理は公称電源電圧として 3.3 ボルトを要求している。殆どの増幅器の構造の場合、この要求にある問題がある。通常の差動対入力、増幅トランジスタ及びテール電流源を能動状態にするのに十分に電源ライン電圧の一方からオフセットした同相モードでのみ動作する。このことは、MOS トランジスタの場合一方の電源ライン電圧 (p チャネル入力の場合 V_{dd} 又は n チャネル入力の場合 V_{ss}) から最少で $V_T + 2V_{dsat}$ のオフセットを必要とすることを意味する。これにより、信号対雑音比を良好に維持するために信号電圧を理想的には大きく保つ必要があるという厳しい条件をシステム設計に課する。

20

提案されている 1 つの解決策は、1 つの p チャネル差動対と 1 つの n チャネル差動対との 2 つの差動対を用い、これらを信号方向で並列に接続することである。これを達成するために、この 2 つの差動対のゲートが単に入力端に接続され、得られた出力電流を加算するのにフォールドド (folded) カスコード増幅器構造又はこれに類似する構造を用いている。従って、同相モードの入力信号値が低いと、n チャネル差動対がターン・オフされるも、信号は p チャネル差動対のために存在する。同相モードの入力信号値が V_{dd} に近づくと、逆の状態が生じる。入力信号値が $V_{dd}/2$ に近づくと、双方の差動対が信号電流を加算回路に供給する。このような回路構成は、1994 年 12 月発行の IEEE Journal of Solid State Circuits, Vol. 29, No. 12 の論文 "A compact power efficient 3V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries" (R. Hogervorst, J. R. Tero, R. G. H. Eschauzier 及び J. H. Huijsing 氏著) に開示されている。

30

この基本的着想には 2 つの問題点がある。第 1 の問題点としては、回路の小さな実効信号相互コンダクタンスが入力信号の同相モード値に応じて変化するということが分る。両極端では相互コンダクタンスが中間領域における相互コンダクタンスの 2 分の 1 となる。これは、各電源ライン電圧付近の領域では装置の一方の差動対のみしか能動状態とならない為である。これにより回路の有用性に影響を及ぼす。その理由は、回路をトランスコンダクタとして用いた場合、比例度合が信号値に応じて変化し、回路を演算増幅器として用いた場合、閉ループを安定させる補償システムが良好に規定されず位相マージンが信号レベルに依存するという問題が生じる為である。

40

第 2 の問題は、大信号動作に関するものである。差動入力信号が大きいと、通常良好に規定された最大電流が通常の差動対から生じ、これにより増幅器のスルーレートや、シングルエンド電流積分器 (代表的には CMOS インバータ) を駆動するのにトランスコンダクタがしばしば用いられている比較器の応答時間を設定する。簡単な二重差動対では共通モード入力が各電源ライン電圧に近づくとその最大スルーレートは I となる (ここに I は各差

50

動対のテール電流である)。その理由は反対側のテール電流源がターン・オフする為である。双方の差動対が能動状態となった場合の中間領域では、最大スルーレート電流は $2I$ となる。

前記の論文でHogervorst氏等により提案された回路構造によれば以下のようにして g_m を比較的一定にしている。バイアスが適切である場合、MOSトランジスタの g_m はそのドレイン電流の平方根に比例する為、一方のみの差動対が能動状態となった際の合計の g_m の損失は、能動状態の差動対を流れる電流を $4:1$ の割合で高めることにより、すなわちその g_m を2倍にすることにより補償することができる。この補償は各差動対の電流を検出する2つの制御ループにより達成される。各差動対に対するスイッチ・オフ点は電流検出回路により検出され、不使用テール電流が乗算用の電流ミラー回路に供給される。次にこのミラー回路が能動状態にある反対側の差動対に $3I$ の追加の電流を供給する。

10

これにより相互コンダクタンスを良好に制御するも、2つの問題が依然として残る。第1に、スルーイングのために得られる全電流が依然として一定にならず、同相モードの入力信号が電源ライン電圧に近づくと2倍に増大する。第2に、制御システムは帯域幅が固有的に制御されている電流ミラー回路を有するループに電流を流す必要があり、これにより、処理しうる同相モード信号の周波数を制限する。

本発明の目的は、低電源電圧に対し用いることができ、上述した問題点の1つ以上による影響を軽減しうる増幅器を製造しうるようにすることにある。

本発明は、差動入力手段と、第1導電型の能動装置より成る複数の差動対と、第2導電型の能動装置より成る複数の差動対と、前記差動入力手段を前記差動対の入力端に接続する手段と、前記差動対の出力を合成する手段とを具える増幅器において、

20

第1導電型の能動装置と第2導電型の能動装置との寸法を適切に選択することにより、入力信号のあらゆる値に対し、能動装置寸法が合計で同じである差動対に合計で同じテール電流が流れるようにしたことを特徴とする。

合計で同じテール電流が同じ有効寸法の差動対を流れるようにすることにより、ほぼ一定の g_m 及びスルーレートを入力信号の全電流範囲に亘って達成することができる。当業者にとって明らかなように、MOSトランジスタを能動装置として用いると、 p 及び n チャネル装置の寸法を、装置パラメータが同じとなるように、すなわち実際の寸法が異なっても相互コンダクタンスが等しくなるように設定する必要がある。

本発明は更に差動入力手段と、第1、第2及び第3テール電流をそれぞれ有する第1導電型の能動装置の第1、第2及び第3差動対と、第4、第5及び第6テール電流をそれぞれ有する第2導電型の能動装置の第4、第5及び第6差動対とを具える差動増幅器において、

30

各差動対の入力端が差動増幅器の入力端に結合され、第1、第3、第4及び第5差動対の出力端が加算回路網の入力端に結合され、この加算回路網の出力端が差動増幅器の出力端に結合され、第2差動対の出力端が第5差動対のテールに共通接続され、第6差動対の出力端が第3差動対のテールに共通接続され、第2差動対のテール電流が第5差動対のテール電流に等しく、第3差動対のテール電流が第6差動対のテール電流に等しくなるようになっていることを特徴とする。

第1、第3、第4及び第6差動対の作動により、双方の導電型の装置が能動状態にあるかどうかや一方の導電型の装置が遮断状態にあるかどうかにかかわらず大信号出力電流及び合計の相互コンダクタンスをほぼ一定に保つ。これは電流ミラー回路を用いることなく、フィードフォワード技術により達成され、従って安定性の問題及び帯域幅の問題を軽減させる。

40

実際例では、能動装置を p チャネル及び n チャネル MOS トランジスタとする。すべての p チャネルトランジスタが同一で、すべての n チャネルトランジスタが同一で、これらトランジスタは p チャネルトランジスタが n チャネルトランジスタと同じ公称相互コンダクタンスを有するように構成し、第3差動対のテール電流は第6差動対のテール電流と等しく、第5差動対のテール電流は第2差動対のテール電流と等しくなるように増幅器を構成することができる。

50

このような構成によれば、同相モード入力電圧が変化するのに応じて、出力に寄与する能動装置を規定通りに良好に変えうる便利な設計をもたらす。必要とする全体の特性に応じて、トランジスタ対のテール電流又は相互コンダクタンスを等しくしないようにすることができる。この場合、増幅器の相互コンダクタンス又はスルーレート特性を所定の分野にとって最適となるようにしうる。

本発明の上述した特徴及びその他の特徴や利点は図面を参照した本発明の実施例に関する以下の説明から明らかとなるであろう。図面は本発明による増幅器の回路図を示す。

図に示すように、この増幅器は、pチャネル電界効果トランジスタP1～P6の3つの差動対と、nチャネルトランジスタN1～N6の3つの差動対とを有する。トランジスタP1, P3, P5, N1, N3及びN5のゲート電極には第1入力端1が接続され、トランジスタP2, P4, P6, N2, N4及びN6のゲート電極には第2入力端2が接続されている。トランジスタP1及びP2のソース電極は電流源3を介して電源ライン V_{dd} に接続され、トランジスタP3及びP4のソース電極は電流源4を介して電源ライン V_{dd} に接続され、トランジスタP5及びP6のソース電極は電流源5を介して電源ライン V_{dd} に接続されている。同様に、トランジスタN1及びN2のソース電極は電流源6を介して電源ライン V_{ss} に接続され、トランジスタN3及びN4のソース電極は電流源7を介して電源ライン V_{ss} に接続され、トランジスタN5及びN6のソース電極は電流源8を介して電源ライン V_{ss} に接続されている。トランジスタP3及びP4のドレイン電極はトランジスタN3及びN4のソース電極の相互接続点に接続され、トランジスタN5及びN6のドレイン電極はトランジスタP5及びP6のソース電極の相互接続点に接続されている。加算回路網9は4つの入力端10, 11, 12及び13を有する。トランジスタP2及びP6のドレイン電極は入力端10に接続され、トランジスタP1及びP5のドレイン電極は入力端11に接続され、トランジスタN1及びN3のドレイン電極は入力端12に接続され、トランジスタN2及びN4のドレイン電極は入力端13に接続されている。加算回路網9の出力端は増幅器の出力端14に接続されている。電流源3～8の各々は電流Iを通す。nチャネルトランジスタはすべて、pチャネルトランジスタのすべてと同様に等しい寸法をしている。n及びpチャネル装置の幅及び長さは同じ電流で同じ g_m が得られるような寸法となっている。

nチャネル装置とpチャネル装置との双方が出力に寄与する同相モード入力の中間領域では、トランジスタN1及びN2の出力が加算回路網9においてトランジスタP1及びP2の出力と加算される。トランジスタN1及びN2と並列に接続されているトランジスタN3及びN4のテール電流はトランジスタP3及びP4から生じる。従って、トランジスタN3及びN4は出力に寄与しない。その理由は、これらトランジスタN3及びN4にはテール電流が流れない為である。同様に、トランジスタP1及びP2と並列にトランジスタP5及びP6が接続されている。しかし、トランジスタP5及びP6からのテール電流はトランジスタN5及びN6から生ぜしめられ、これらトランジスタP5及びP6をターン・オフさせる。従って、トランジスタP1, P2, N1及びN2のみが各対のテール電流Iを以って出力に寄与し、加算された合計のテール電流は $2 \times I$ となる。

今、同相モード入力レベルが V_{dd} に近づくと、トランジスタP1, P2, P3及びP4がトランジスタP5及びP6と同様にターン・オフされる。その結果、トランジスタP1, P2, P3及びP4と関連するテール電流源が消滅し、従ってトランジスタN3及びN4からのテール電流はそれることなく、これらが出力に寄与する。トランジスタP5及びP6と関連する電流源はオフとならず、依然としてトランジスタN5及びN6を流れる電流を生じる。従って、合計の出力はトランジスタN1及びN2とトランジスタN3及びN4とによるものであり、各対はテール電流Iで動作する。

同相モード入力信号が V_{ss} に近づいた状態では、トランジスタN1～N6がオフとなり、トランジスタN1, N2, N5及びN6に給電する電流源が消滅する。従って、トランジスタP5及びP6から流れる電流はそれることなく、これらが出力に寄与する。トランジスタN3及びN4と関連する電流源は有効状態を保っている為、合計の出力はトランジスタ対P1及びP2とトランジスタ対P5及びP6とによるものとなり、各対がテール電流

10

20

30

40

50

Iで動作する。

要するに、入力電圧が電源ライン電圧 V_{dd} に近づくと、2つのトランジスタ対、すなわちトランジスタ対N1及びN2とトランジスタ対N3及びN4とが出力を生じ、各トランジスタ対はテール電流Iを有する。入力信号が電源ライン電圧 V_{ss} に近づくと、2つのトランジスタ対P1、P2及びP5、P6が出力に寄与し、各トランジスタ対がテール電流Iを有する。入力信号が2つの電源ライン電圧 V_{dd} 及び V_{ss} の間にあると、2つのトランジスタ対、この場合トランジスタ対N1及びN2とトランジスタ対P1及びP2とが出力に寄与する。従って、あらゆる場合に、各トランジスタが同じ公称相互コンダクタンス及び同じテール電流を有する同じ個数のトランジスタが出力に寄与する。その結果、増幅器はほぼ一定の g_m 及びスルーレートを有する。

10

加算回路網は通常のいかなる形態のものにもすることができる。適切な加算回路網は前述したHogervorst氏等の論文に開示されている、フォールディング回路と電流ミラー回路との複合回路である。

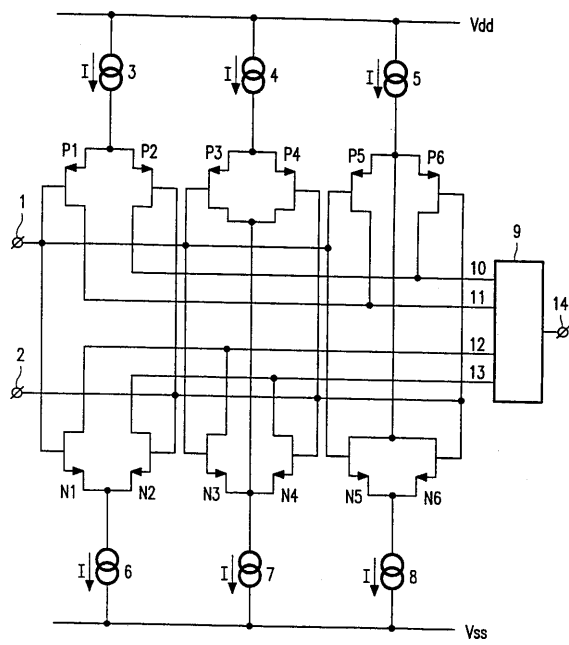
電流源6及び7を組合わせて電流2Iを有する1つの電流源にすることができる。同様に、電流源3及び5を組合わせて1つの電流源にすることができる。本例に示す増幅装置としてMOS電界効果トランジスタを用いる場合には特にこのようにする。すべての電流源3～8に同じ電流Iを流すようにすることは必ずしも必要でない。例えば、電流源3、4及び7に電流2Iを流し、電流源5、6及び8に電流Iを流すことができる。この場合、出力に寄与する全テール電流は3Iとなる。

上述した実施例では、pチャネル及びnチャネルのMOS型電界効果トランジスタを用いているが、相補的な能動装置のいかなる対をも用いることができる。例えば、MESFET又はバイポーラトランジスタを用いることができる。後者の場合、実施例に示すように別々の電流源を用いて、電流源トランジスタが飽和した際の電流ホギングを回避するようにするのが好ましい。

20

上述したところから、その他の変形が当業者にとってあきらかとなるであろう。これらの変形には、設計上で既に知られている他の特徴や、上述した特徴の代りに又はこれに加えて用いる電気又は電子回路やその構成部品の使用を含むものである。この出願では、特徴事項の特定の組合せに関し、請求の範囲で成文化したが、本出願の開示の範囲には、ここに明示的に又は暗黙的に開示されているいかなる新規な特徴又はこれら特徴のいかなる新規な組合せをも含むべきであり、或いは当業者にとって明らかな特徴の1つ又は複数をも、これが請求の範囲に述べたのと同じ発明に関するかどうか或いは本発明と同じ技術問題のいずれか又は全部を軽減するかどうかにかかわらず含むものである。

30



フロントページの続き

(74)代理人

弁理士 高見 和明

(74)代理人

弁理士 梅本 政夫

(72)発明者 レッドマシーホワイト ウィリアム

イギリス国 ハンツ エス05 6アールエイチ ウェスト ウェロー ゴダード クローズ 5

審査官 甲斐 哲雄

(56)参考文献 特開平06-152275 (JP, A)

特開昭63-067905 (JP, A)

特開平05-102759 (JP, A)

特表平10-502788 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/00