



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 600 05 156 T2 2004.07.22**

(12)

## Übersetzung der europäischen Patentschrift

(97) **EP 1 159 630 B1**

(21) Deutsches Aktenzeichen: **600 05 156.0**

(86) PCT-Aktenzeichen: **PCT/US00/04865**

(96) Europäisches Aktenzeichen: **00 910 352.4**

(87) PCT-Veröffentlichungs-Nr.: **WO 00/52488**

(86) PCT-Anmeldetag: **24.02.2000**

(87) Veröffentlichungstag  
der PCT-Anmeldung: **08.09.2000**

(97) Erstveröffentlichung durch das EPA: **05.12.2001**

(97) Veröffentlichungstag  
der Patenterteilung beim EPA: **10.09.2003**

(47) Veröffentlichungstag im Patentblatt: **22.07.2004**

(51) Int Cl.<sup>7</sup>: **G01R 31/3193**  
**G01R 31/319, G11C 29/00**

(30) Unionspriorität:  
**260463 01.03.1999 US**

(73) Patentinhaber:  
**Formfactor, Inc., Livermore, Calif., US**

(74) Vertreter:  
**Kahler, Käck & Mollekopf, 86899 Landsberg**

(84) Benannte Vertragsstaaten:  
**DE, FR, GB, IT**

(72) Erfinder:  
**ROY, S., Richard, Danville, US; MILLER, A.,  
Charles, Fremont, US**

(54) Bezeichnung: **VERTEILTE SCHNITTSTELLE ZUR PARALLELEN PRÜFUNG VON MEHREREN VORRICHTUN-  
GEN, WOBEI NUR EIN EINZELNER TESTKANAL BENUTZT WIRD**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

## Beschreibung

### HINTERGRUND DER ERFINDUNG

[0001] Diese Erfindung betrifft das Testen von integrierten Schaltungsbauelementen unter Verwendung eines Halbleiterprüfgeräts und insbesondere das parallele Testen einer Anzahl von Bauelementen unter Verwendung eines einzelnen Kanals des Prüfgeräts für eine größere Effizienz und einen größeren Durchsatz.

[0002] Integrierte Schaltungs- (IC) Bauelemente sind ein wichtiger Teil von fast jedem modernen elektronischen oder Computersystem. Um die Herstellungskosten solcher Systeme zu verringern, erwartet der Hersteller, dass jedes Bauteils-IC-Bauelement von Defekten frei ist und gemäß seinen Spezifikationen arbeitet. Somit ist es nicht unüblich zu erwarten, dass jedes IC-Bauelement einem strengen Testen unterzogen wird, bevor es zum Systemhersteller versandt wird.

[0003] Es wurde jedoch festgestellt, dass ein signifikanter Teil der Gesamtkosten zum Erzeugen eines IC-Bauelements seinem Testen zugeschrieben werden kann. Dies liegt daran, dass viele modernen IC-Bauelemente komplexe Funktionen durchführen, eine große Anzahl von Eingängen und Ausgängen aufweisen und mit hohen Geschwindigkeiten arbeiten. Ein Speicherbauelement mit 256 Mb kann beispielsweise 16 Datenleitungen und 22 Adressenleitungen aufweisen. Eine simplistische Methode zum Testen eines solchen Bauelements bestünde darin, einen bekannten Datenwert in jede Speicherstelle zu schreiben und dann von jeder Stelle zu lesen und dann den gelesenen Wert mit dem erwarteten oder geschriebenen Wert zu vergleichen, um irgendwelche Fehler festzustellen. Aufgrund der großen Anzahl von Stellen, die jeweils mehrere Bits enthalten, ist jedoch ein solches Verfahren zum Testen jedes Bits jeder Stelle sehr zeitaufwändig. Folglich hat sich das Gebiet des Testentwurfs zum Erzeugen von effizienten Verfahren zum Erkennen von so vielen Fehlern wie möglich, während die geringste Anzahl an Testsequenzen verwendet wird, entwickelt.

[0004] Ein Speicherbauelement kann unter Verwendung eines automatischen Halbleiterprüfgeräts getestet werden. **Fig. 1** zeigt ein solches Prüfgerät **108** mit einer Anzahl (N) von Kanälen zum parallelen Testen einer Anzahl von Bauelementen unter Test (DUTs), wie z. B. das DUT **118**. Das Prüfgerät **108** führt normalerweise ein Testprogramm aus und erzeugt als Reaktion darauf Daten und Adressen in jedem Kanal, die eine komplexe Testsequenz **106** festlegen, die zum Testen der speziellen DUTs entworfen ist. Jeder Kanal des Prüfgeräts **108** speist ein jeweiliges DUT, so dass eine Anzahl von DUTs entsprechend der Anzahl von Kanälen gleichzeitig getestet werden. Eine Nadelkarte (nicht dargestellt), die alle N Kanäle empfängt, liefert Adressen- und Schreibdaten der Testsequenz **106** zu Stellen in N verschiedenen

DUTs gleichzeitig, während die DUTs noch ein Teil eines Halbleiterwafers **116** sind. Das Prüfgerät **108** liest dann von diesen Stellen und führt einen Vergleich mit erwarteten Daten, die es erzeugt, durch. Die Ergebnisse des Vergleichs helfen festzustellen, ob ein spezielles Bit, das von einer Stelle in einem DUT gelesen wird, fehlerhaft ist. Das Prüfgerät **108** führt die obigen Lese- und Schreibzyklen viele Male mit denselben oder anderen Datenmustern durch, um so viele Stellen der DUTs wie möglich bei gegebenen Zeit- und Budgeteinschränkungen zu überprüfen.

[0005] Um den Durchsatz hinsichtlich der Anzahl von pro Einheitszeit getesteten DUTs zu erhöhen, kann ein größeres Prüfgerät mit mehr Kanälen gebaut werden. Eine solche Lösung könnte jedoch unerschwinglich teuer sein. Das Prüfgerät ist eine komplexe Maschine mit hoher Geschwindigkeit, die viel Zeit und Aufwand erfordert, um sie zu modifizieren oder zu verbessern. Überdies kann ein einzelner Kanal eines modernen Prüfgeräts zwischen 50 und 100 Signaldrähte umfassen, so dass das Erhöhen der Anzahl von Kanälen zwischen dem Prüfgerät und der Nadelkarte es physikalisch unpraktisch macht, alle Signaldrähte mit der Nadelkarte zu verbinden. Daher ist eine effizientere Lösung zum Erhöhen des Durchsatzes eines IC-Testsystems erforderlich.

[0006] Das US-Patent Nr. 5 070 297 offenbart eine Testvorrichtung für integrierte Schaltungen eines vollen Wafers. **Fig. 3** stellt eine Teststeuereinheit dar, die mit einer Nadelkarte in Eingriff steht, die mit mehreren IC-Chips über Sondenspitzen verbunden ist. Die Teststeuereinheit liefert Testeingangssignale und erwartete Ausgangssignale. Die Nadelkarte weist Vergleiche auf, die die erwarteten Ausgangssignale empfangen und mit Fehlerzustandsregistern mit einem Speicher zum Speichern von Signalen von den Vergleichen verbinden. Die Nadelkarte weist Datenspeicher- und Datenübertragungsfähigkeiten auf, so dass eine Teststeuereinheit, die nur zum Testen eines Chips auf einmal geeignet ist, gleichzeitig mit einer Vielzahl von Chips zum Testen der Vielzahl von auf einem Wafer ausgebildeten Chips verbunden werden kann.

[0007] Patent Abstracts of Japan, Band 101, Nr. 278 (S. 499), 20. September 1986 (20. 09. 1986) & JP 61099876A (NEC Corp.), 17. Mai 1986 (17. 05. 1986) offenbart eine LSI-Testvorrichtung, deren Zweck darin besteht, zahlreiche LSIs mit vielen Anschlussstiften gemeinsam zu testen. Eine gemessene Baugruppe, die mit mehreren LSIs und einem Standard-IC-Modul ausgestattet ist und deren funktionale Betriebsfähigkeit bestätigt wurde, wird durch einen Impulserzeugungsteil über einen Eingangssteuerteil auf der Basis der vorbestimmten Testspezifikation mit einem Testsignal versorgt. Das Ausgangssignal aus dem Standard-IC-Modul wird über einen Ausgangsteuerteil zu einem gemessenen Ausgangsteuerteil geliefert. Jeweilige Eingangssignale vom Impulserzeugungsteil werden zu jeweiligen LSIs auf einer ge-

messenen Baugruppe in einer Zeitverschachtelungsweise geliefert. Diese Ausgangssignale von den LSIs werden in einer Zeitverschachtelungsweise zu dem gemessenen Ausgangssteuerteil geliefert. Der gemessene Ausgangssteuerteil vergleicht/unterscheidet das Ausgangssignal aus den LSIs auf der gemessenen Baugruppe, das in einer Zeitverschachtelungsweise geliefert wird, mit jenem vom Standard-IC-Modul und das erhaltene Ergebnis wird zu einer Prüfgeräthaupteinheit geliefert. Die Prüfgeräthaupteinheit zeigt das Ergebnis auf einer Anzeigevorrichtung oder einer Ausgabevorrichtung an.

[0008] IBM TDB Band 39, Nr. 07, 1. Juli 96, S. 243–244, offenbart einen N-UP-Testadapter zum gleichzeitigen Testen einer Anzahl von Speicherproduktkarten unter Verwendung eines einzelnen Speicherprüfgeräts. Der N-UP-Testadapter besteht aus zwei Hauptkomponenten; dem gemeinsamen Abschnitt, der die Testadapter-Steuerschaltungen enthält, und den Produktschnittstellenkarten, die direkt mit der getesteten Produktkarte koppeln. Der Begriff "N-UP" bezieht sich auf die Fähigkeit zum Testen einer Anzahl von Produktkarten auf einmal (N kann 1 bis 32 sein). Für jede zu testende Produktkarte ist eine entsprechende Produktschnittstellenkarte vorhanden. Wenn nur eine Produktkarte getestet wird, müssen Signale, die von der Produktkarte stammen, normalerweise geprüft werden und werden zum Prüfgerät zurückgeführt, wo sie mit dem, was erwartet wurde, verglichen werden, und eine Fehlerbedingung wird erzeugt, wenn eine Nicht-Übereinstimmung auftritt. Wenn eine Anzahl von Produktkarten gleichzeitig getestet werden, wird der Vergleich an den einzelnen Produktschnittstellenkarten durchgeführt und eine Fehlerinformation wird in Speichern gespeichert, die sich auf diesen einzelnen Produktschnittstellenkarten befinden. Wenn ein Test beendet ist, fragt das Prüfgerät ein Zustandsregister auf jeder Produktschnittstellenkarte ab. Wenn ein Zustandsregister anzeigt, dass ein Fehler aufgetreten ist, wird der Inhalt des Fehlerspeichers auf der Produktschnittstellenkarte, welches Zustandsregister den Fehler angezeigt hat, vom Prüfgerät gelesen.

## ZUSAMMENFASSUNG DER ERFINDUNG

[0009] Folglich richtet sich ein Ausführungsbeispiel der Erfindung auf eine Schnittstellenschaltung, die im Wesentlichen als Relais zwischen dem Prüfgerät und einer Anzahl von DUTs wirkt, wobei Testvektoren in jedem Kanal zu mehreren DUTs aufgefächert sind. Im Allgemeinen umfassen die Testvektoren Testimpulse, wie z. B. Adressen, Datenwerte und Steuersignale, die zu den DUTs weitergeleitet werden, während irgendwelche Zeitsteuereinschränkungen zwischen den Testimpulsen, die vom Prüfgerät festgelegt wurden, eingehalten werden. Die Reaktionen von den DUTs auf diese Testimpulse können dann durch die Schnittstellenschaltung gesammelt werden und zum Prüfgerät zurückgeleitet werden. Falls er-

wünscht, kann die Schnittstellenschaltung ferner mit einer Fehlererkennungsfähigkeit auf der Basis der Reaktionen verbessert werden. Die Reaktion von jedem DUT kann beispielsweise durch Vergleiche innerhalb des DUT und über das DUT auf interne Konsistenz ausgewertet werden, oder sie kann durch Vergleich mit erwarteten Reaktionen, die vom Prüfgerät empfangen werden, ausgewertet werden. Die Ergebnisse des Vergleichs können dann zum Prüfgerät zusammengefasst oder in Detailform zurückgeliefert werden.

[0010] In einem weiteren Ausführungsbeispiel zeichnet sich die Schnittstellenschaltung durch einen Eingang zum Empfangen von Testdaten, Erwartungsdaten (Testvektoren) und Steuerwerten vom Prüfgerät aus. Ein Ausgang treibt die Testdaten in eine Anzahl von DUTs und liest dann anschließend die Daten aus den DUTs. Die Vergleichsschaltung liefert eine Fehlerinformation als Reaktion auf die Durchführung eines Vergleichs zwischen Datenwerten, die von jedem der DUTs gelesen werden, und erwarteten Daten, die vom Prüfgerät empfangen werden. Ein Speicherbereich für die Fehlerinformation kann als Teil der Schnittstellenschaltung vorgesehen sein. Die Schnittstellenschaltung ermöglicht folglich, dass jeder Kanal des herkömmlichen Prüfgeräts zum Testen von nicht nur einem einzelnen DUT, sondern von einer Anzahl von DUTs, vorzugsweise parallel, verwendet wird.

[0011] Gemäß einem weiteren Ausführungsbeispiel der Erfindung wird ein System zum Testen einer Anzahl von DUTs mit einem herkömmlichen Prüfgerät mit einer Anzahl von Sätzen von Prüfgerät-Eingangs-/Ausgangs- (E/A) Leitungen, wobei das Prüfgerät Datenwerte auf jedem Satz von Prüfgerät-E/A-Leitungen zum Testen eines einzelnen DUT liefert, und mit einer Nadelkarte mit einer Anzahl von Sonderelementen zum Kontaktieren einer Anzahl von Signalstellen von zwei oder mehr DUTs offenbart. Die Schnittstellenschaltung liegt auf der Nadelkarte und weist einen Eingang, der mit einem der Sätze von Prüfgerät-E/A-Leitungen gekoppelt ist, und einen mit den Sonden gekoppelten Ausgang auf. Die Schnittstellenschaltung transportiert Datenwerte von ihrem Eingang zu ihrem Ausgang und führt unter Verwendung der von den DUTs gelesenen Datenwerte einen Vergleich durch, um Fehler, falls vorhanden, in den DUTs festzustellen. Mehrere DUTs können folglich durch jeden Kanal des Prüfgeräts getestet werden, ohne die Testsequenz zu stören, die vorher erzeugt wurde, um ein einzelnes DUT zu testen. Das Prüfgeräteprogramm innerhalb des Prüfgeräts kann modifiziert werden, um die Fehlerinformation über denselben Satz von Prüfgerät-E/A-Leitungen zu lesen, nachdem die Testsequenz beendet wurde.

[0012] In einem speziellen Ausführungsbeispiel werden die Ergebnisse des Vergleichs (Fehlerinformation) an das Prüfgerät über denselben Kanal als Reaktion darauf, dass das Prüfgerät ein Lesen von vorher geschriebenen Daten anfordert, zurückgege-

ben. Das Prüfgerätprogramm wird modifiziert, um zu erkennen, dass die als Reaktion auf seine Leseanforderung empfangene Fehlerinformation vielmehr eine Anzahl von DUTs als nur ein einzelnes DUT betrifft.

[0013] In einem speziellen Ausführungsbeispiel sind die DUTs Speicherbauelemente und die Fehlerinformation stellt einen Unterschied zwischen einem von jedem der Speicherbauelemente gelesenen Datenwert und einem erwarteten Datenwert, der durch die Schnittstellenschaltung vom Prüfgerät für eine vordefinierte Adresse/Stelle empfangen wird, dar.

[0014] Diese sowie weitere Merkmale und Vorteile von verschiedenen Ausführungsbeispielen der Erfindung können durch Bezugnahme auf die nachstehenden Ansprüche, schriftliche Beschreibung und Zeichnungen besser erkannt werden.

#### KURZBESCHREIBUNG DER ZEICHNUNGEN

[0015] **Fig. 1** stellt ein System des Standes der Technik zum Testen von IC-Bauelementen mit einem DUT pro Kanal des Prüfgeräts dar.

[0016] **Fig. 2** zeigt ein Blockdiagramm eines Systems zum Testen einer Anzahl von DUTs durch jeden Kanal eines herkömmlichen Prüfgeräts gemäß einem Ausführungsbeispiel der Erfindung.

[0017] **Fig. 3** stellt ein Blockdiagramm einer Schnittstellenschaltung gemäß einem Ausführungsbeispiel der Erfindung dar.

[0018] **Fig. 4** zeigt ein Blockdiagramm einer Prüfgerät-DUT-Schnittstellenschaltung zum gleichzeitigen Testen von 16 DUTs unter Verwendung eines einzelnen Kanals des Prüfgeräts gemäß einem Ausführungsbeispiel der Erfindung.

[0019] **Fig. 5** ist ein Ablaufdiagramm von Operationen, die in einem System zum Testen von IC-Bauelementen unter Verwendung von erwarteten Daten, die vom Prüfgerät empfangen werden, durchgeführt werden, gemäß einem Ausführungsbeispiel der Erfindung.

[0020] **Fig. 6** ist ein Ablaufdiagramm zum Testen von Bauelementen ohne Empfangen von erwarteten Daten vom Prüfgerät.

[0021] **Fig. 7** zeigt ein herkömmliches Verfahren zum Testen eines 16-Bit-Worts eines Speicherbauelements.

[0022] **Fig. 8** zeigt ein Verfahren zum Liefern von Fehlerwerten, die vier DUTs betreffen, in einem Kanal, der 16 Bits breit ist, unter Verwendung von Vergleichen, die über DUTs durchgeführt werden, gemäß einem weiteren Ausführungsbeispiel der Erfindung.

[0023] **Fig. 9a** und **9b** zeigen ein Verfahren zum Testen von vier DUTs unter Verwendung einer Kombination von Vergleichen innerhalb eines Worts und Vergleichen über ein DUT gemäß einem weiteren Ausführungsbeispiel der Erfindung.

[0024] **Fig. 10** stellt eine Nadelkarte gemäß einem weiteren Ausführungsbeispiel der Erfindung dar.

[0025] **Fig. 2** stellt ein Ausführungsbeispiel der Erfindung als System zum Testen von mehreren DUTs unter Verwendung eines einzelnen Kanals eines herkömmlichen Halbleiterprüfgeräts dar. Das DUT kann ein gesamter IC-Chip wie z. B. ein Speicherchip sein oder es kann ein willkürliches Halbleiterbauelement mit einem Speicherteil sein. Die DUTs sind normalerweise ähnliche und vorzugsweise identische Bauelemente. Das Testsystem zeichnet sich durch ein N-Kanal-Prüfgerät **108** aus, das gemäß einem Testprogramm **206** arbeitet. Das Prüfgerät **108** kann ein Teil einer IC-Fertigungs- und -Testlinie sein, die sich durch eine Systemsteuereinheit **104** auszeichnet. Die Systemsteuereinheit **104** ist für das Aufbauen eines Prozessablaufs von Fertigungs- und Testoperationen für die DUTs verantwortlich. Während das Testprogramm **206** ausgeführt wird, wird einer Testsequenz **106** gefolgt und Testvektoren, einschließlich Datenwerten und zugehörigen Adressen und vielleicht anderen Steuersignalen, werden in jedem Kanal gemäß herkömmlichen Verfahren geliefert. In dem in **Fig. 2** dargestellten Ausführungsbeispiel sind beispielsweise 22 Adressenleitungen im Adressenbus **244** und 16 Datenleitungen im Datenbus **240** vorhanden (Steuersignale nicht dargestellt). Ein üblicher Fachmann wird natürlich erkennen, dass andere Buskonfigurationen und -breiten in Abhängigkeit von der gewünschten Gesamtleistung und der speziellen Art von getestetem DUT alternativ verwendet werden können. Die Datenleitungen werden zum Transportieren der Testsequenzdaten zur Schnittstellenschaltung **226** verwendet. In bestimmten Versionen der Erfindung können dieselben Datenleitungen verwendet werden, um eine Fehlerinformation zum Prüfgerät **108** zurückzuführen. Dies entspricht der herkömmlichen bidirektionalen Verwendung der Datenleitungen eines Prüfgerätkanals.

[0026] Die Schnittstellenschaltung **226** für jeden Kanal ist in Untersaltungen **216a**, **216b**, ... unterteilt. Jede Untersaltung **216** kann eine Kombination von Eingängen ansteuern und eine Kombination von Ausgängen von einem oder mehreren DUTs überwachen. Jede Untersaltung **216** für dieses spezielle Ausführungsbeispiel ist dazu ausgelegt, mit vier DUTs gleichzeitig in Informationsaustausch zu stehen. Ein üblicher Fachmann wird erkennen, dass jede Untersaltung dazu ausgelegt sein kann, mit weniger als oder mehr als vier DUTs zu koppeln. Jede Untersaltung **216** leitet einen von dem einzelnen Kanal empfangenen Testvektor zu jedem von vier DUTs weiter. Der Datenwert und seine zugehörige Adresse werden vielleicht gemäß einer Adressenabbildung in entsprechende Adressen in jedem der DUTs an jedes der DUTs angelegt.

[0027] Wenn das Prüfgerät **108** in einen Lesezyklus eintritt, liefert das Prüfgerät **108** erwartete Daten und zugehörige Adressen zu jeder Untersaltung **216**. Jede Untersaltung **216** liest Daten von entspre-

chenden Adressen in den DUTs. Dann werden von der Unterschaltung Vergleiche zwischen den erwarteten Daten und den gelesenen Daten durchgeführt, um festzustellen, ob die von den DUTs gelesenen Daten irgendwelche Fehler enthalten. In bestimmten Fällen kann die Unterschaltung dazu ausgelegt sein, die Fehlerinformation zum Prüfgerät **108** in Echtzeit zurückzuliefern, so dass das Prüfgerät **108** ein weiteres Testen abbrechen kann. Das Prüfgerät kann auch die Fehler für die anschließende Analyse oder für die Reparatur eines DUT beispielsweise durch Auswählen unter redundanten Schaltungselementen im DUT sammeln.

[0028] In einem speziellen Ausführungsbeispiel wird die von der Schnittstellenschaltung **226** erzeugte Fehlerinformation über denselben Kanal, der zum Empfangen der erwarteten Daten verwendet wurde, zum Prüfgerät **108** zurückgeliefert. Die durch die Schnittstellenschaltung **226** vorgesehene zusätzliche Auffächerung schränkt jedoch die Anzahl an Bits ein, die verwendet werden können, um die Fehlerinformation gleichzeitig für alle DUTs zurückzuführen. wenn beispielsweise sechzehn DUTs durch einen 16-Bit- (Datenbus) Kanal getestet werden, wie in **Fig. 1** gezeigt, kann nur 1 Bit einer Fehlerinformation pro DUT geliefert werden, wenn jedes DUT einem Kanal zugewiesen ist. Die Menge an Fehlerinformation, die zum Prüfgerät **108** zurückgeführt werden muss, kann von der Testart, die der Prozessablauf erfordert, abhängen. In einem Endtest kann beispielsweise ein einfaches "Gut-Schlecht"-Entscheidungsbit pro DUT angemessen sein. Wenn für die redundante Reparatur getestet wird, beeinflussen die Größe und Anordnung der reparierbaren Schaltungselemente die Bandbreite der Fehlerinformation, die erforderlich ist.

[0029] **Fig. 3** zeigt ein Blockdiagramm hoher Ebene der internen Architektur einer Prüfgerät-DUT-Schnittstellenerschaltung **216a**. Ein Kanaladressenanschluss **304** ist vorgesehen, um Adressen vom Adressenbus **244** und Steuersignale von einem Steuerbus (nicht dargestellt) eines einzelnen Kanals zu empfangen. Ein Prüfgerät-Daten-E/A-Anschluss **308** ist vorgesehen, um Datenwerte vom Datenbus **240** des einzelnen Kanals zu empfangen. Ein Register **309** für erwartete Daten wird durch ein Lesesteuersignal getaktet, das vom Steuerbus des Kanals (nicht dargestellt) empfangen wird, um die erwarteten Daten zwischenspeichern. In diesem Ausführungsbeispiel werden vier der 16 Leitungen des Datenbusses von der Unterschaltung **216a** verwendet, um eine Fehlerinformation bezüglich vier DUTs **310a**, **310b**, **310c** und **310d** zum Prüfgerät **108** zurückzuführen. Die restlichen 12 Leitungen werden in einer ähnlichen Weise von den anderen Unterschaltungen **216b**, **216c** und **216d** verwendet.

[0030] Auf der DUT-Seite sind DUT-E/A-Anschlüsse **314a**, **314b**, **314c** und **314d** als Datenschnittstelle mit ihren entsprechenden DUTs vorgesehen. Man beachte, dass die über den Prüfgerät-E/A-Anschluss

**308** empfangenen 16 Datenbits in alle vier DUT-E/A-Anschlüsse kopiert werden, die wiederum die Daten zu ihren jeweiligen DUTs weiterleiten. Eine Anzahl von DUT-Adressenanschlüssen **320a**, **320b**, **320c** und **320d** sind zum Liefern der empfangenen Adresse oder einer abgebildeten Adresse zu jedem betreffenden DUT vorgesehen.

[0031] Die Vergleichsschaltung **330** empfängt gelesene Daten von jedem betreffenden DUT und führt einen Vergleich durch, um festzustellen, ob die gelesenen Daten irgendwelche Fehler aufweisen. In dem Ausführungsbeispiel der **Fig. 2-4** wird eine 16:1-Komprimierung durch die Vergleichsschaltung **330** durchgeführt. Dies bedeutet, dass für jeweils 16 Datenbits an jeder Stelle eines DUT 1 Fehlerbit durch jede Unterschaltung **216** erzeugt wird, so dass für jede Adresse insgesamt 16 Fehlerbits von der Schnittstellenschaltung **226** auf dem Datenbus **240** des Prüfgerätkanals geliefert werden. **Fig. 4** zeigt ein Detail von vier Prüfgerät-DUT-Schnittstellenschaltungen **216a**, **216b**, **216c** und **216d** und wie sie mit den Adressen- und Datenbussen eines einzelnen Prüfgerätkanals gekoppelt sein können. Jede Unterschaltung **216** liefert 4 Bits einer Fehlerinformation auf dem Datenbus für insgesamt 16 Bits entsprechend vier Sätzen von jeweils vier DUTs. Andere Arten zum Konfigurieren der Schnittstellenschaltung **226** zum gleichzeitigen Testen einer größeren Anzahl von DUTs unter Verwendung eines einzelnen Kanals des Prüfgeräts **108** können von einem üblichen Fachmann entworfen werden. Diese Konfigurationen hängen von der Menge an Fehlerdaten, die für den Prozessablauf erforderlich sind, ab. In einem Endtest-szenario könnte beispielsweise ein einzelnes Fehlerbit für jedes DUT ausreichend sein. In anderen Fällen kann ein Fehlerbit pro Adresse/Stelle ausreichen. Anstatt die in **Fig. 4** gezeigte Methode mit parallelem Bus zu verwenden, könnte alternativ auch eine serielle Übertragungsstrecke verwendet werden, um die Schnittstellenschaltung **226** mit dem Prüfgerät **108** oder der Systemsteuereinheit **104** zu verbinden.

[0032] Wenn man kurz zu **Fig. 2** zurückkehrt, kann die Schnittstellenschaltung **226** ein Teil einer Nadelkarte **212** sein, die mit einem separaten Kanal des Prüfgeräts **108** gekoppelt ist. Die in **Fig. 2** gezeigte Nadelkarte **212** sieht eine Auffächerung von M vor, so dass ihr Kanal gleichzeitig mit M verschiedenen DUTs auf einem Wafer **116** gekoppelt ist. Daher wäre ein System, das ein herkömmliches N-Kanal-Prüfgerät **108** verwendet, das normalerweise in der Lage ist, 16 DUTs zu testen, ein DUT pro Kanal, in der Lage,  $M \times N$  DUTs gleichzeitig zu testen, wenn es mit N Nadelkarten ausgestattet ist.

[0033] **Fig. 5** stellt ein Ablaufdiagramm der Operationen, die in einem System zum Testen von IC-Bauelementen durchgeführt werden, gemäß einem Ausführungsbeispiel der Erfindung dar. Die Operation kann mit Schritt 504 beginnen, in dem das Prüfgerät **108** Adressen und Daten für eine Testsequenz erzeugt, die als Eingangssignale an ein einzelnes DUT

angelegt werden sollen. Dies kann gemäß herkömmlichen Testentwurfsverfahren zum Erzeugen eines Datenwerts und einer zugehörigen Adresse in jedem Kanal des Prüfgeräts **108** durchgeführt werden. Die Operation geht in Schritt 508 weiter, in dem das Prüfgerät die Daten und zugehörige Adresse gleichzeitig in mehreren Prüfgerätkanälen wiederum gemäß herkömmlichen Verfahren sendet. Die Operation geht dann mit Schritt 512 weiter, in dem die Schnittstellenschaltung **226** die Daten und Adressen über einen einzelnen Kanal empfängt und als Reaktion die Daten gleichzeitig an eine Anzahl von DUTs anlegt. Die an jedes der DUTs übergebenen Adressen können die gleichen sein wie die vom Prüfgerät empfangenen Adressen. Alternativ kann eine vom Prüfgerät **108** empfangene Adresse in verschiedene entsprechende Adressen/Stellen in den DUTs abgebildet werden. Diese Abbildung ermöglicht, dass die Schnittstellenschaltung **226** für eine Ein-DUT-Operation ausgelegt ist, wobei das Prüfgerät **108**, wenn es so programmiert ist, auf eine beliebige Stelle in irgendeinem der DUTs, vorzugsweise nachdem die Testsequenz beendet wurde, zugreifen kann. Die hinzufügte Wartezeit aufgrund der Schnittstellenschaltung **226**, wenn die Daten zu den DUTs weitergeleitet werden (die nicht vorhanden sein konnten, wenn jeder Kanal nur ein einzelnes DUT behandelte), kann durch Einfügen einer systematischen Verzögerung zwischen aufeinanderfolgende Lese- oder aufeinanderfolgende Schreibbefehle im Testprogramm oder in der Schnittstellenschaltung **226** leicht gehandhabt werden.

[0034] Nachdem das Prüfgerät **108** die Adresse und die Daten über die Kanäle geliefert hat, kann die Operation mit Schritt 516 weitergehen, in dem das Prüfgerät **108** wahlweise Auffrischungszyklen durchführen kann, wenn die DUTs Speicherbauelemente oder willkürliche Halbleiterbauelemente mit Speicherteilen sind. Außerdem können Tests mit langem Zyklus und andere Testmuster, die dazu ausgelegt sein können, die elektrischen Parameter der DUTs zu beanspruchen, zur Schnittstellenschaltung **226** geliefert werden, wie in Schritt 512. Die Schnittstellenschaltung **226** ist normalerweise dazu ausgelegt, solche Sequenzen für alle DUTs nachzuahmen. Die Operation geht dann mit Schritt 519 weiter, in dem das Prüfgerät einen erwarteten Datenwert zur Schnittstellenschaltung **226** sendet, während es gleichzeitig ein Lesen von jedem DUT einleitet. Der erwartete Datenwert und seine zugehörige Adresse sind normalerweise dieselben wie die Daten und Adresse, die vom Prüfgerät in Schritt 508 gesandt wurden. Die Operation geht dann mit Schritt 520 weiter, in dem die Schnittstellenschaltung **226** die erwarteten Daten vom Kanal zwischenspeichert, die Daten von entsprechenden Stellen in den DUTs liest und Vergleiche zwischen den gelesenen Daten und den erwarteten Daten durchführt, um festzustellen, ob in den gelesenen Daten irgendwelche Fehler vorliegen. [0035] Die Ergebnisse eines solchen Vergleichs

können dann komprimiert werden, zum Prüfgerät **108** oder zur Systemsteuereinheit **104** zurückgesandt werden oder im Speicher **399** gespeichert werden (siehe Fig. 3). Die Fehlerinformation kann entweder in Echtzeit oder als Nachprozess unter Verwendung desselben Kanals, über den die erwarteten Daten angekommen sind, zum Prüfgerät zurückgeführt werden. Die Komprimierung hängt von der Anzahl von DUTs, die durch jeden Kanal getestet werden, und von der Breite des Datenbusses im Kanal ab. Wenn beispielsweise sechzehn DUTs von jedem Kanal mit einem 16-Bit-Datenbus getestet werden, kann eine 16:1-Komprimierung durchgeführt werden, so dass 1 Bit einer Fehlerinformation pro DUT zur Verfügung steht. Dies bedeutet natürlich, dass, wenn ein Fehler in 1 oder mehr der 16 Bits an einer gegebenen Stelle, die von einem DUT gelesen wird, vorliegt, die exakte Bitstelle der Fehler nicht in Echtzeit zum Prüfgerät zurückübertragen wird. Falls erwünscht, kann die Schnittstellenschaltung **226** mit einem Überbrückungsmodus ausgelegt sein, der ermöglicht, dass das Prüfgerät **108** irgendwelche ausgefallenen Stellen irgendeines speziellen DUTs abfragt, um die exakten Bitstellen des Fehlers zu ermitteln. Dies wird typischerweise nach der Beendigung der Testsequenz durchgeführt. Alternativ kann der Speicher **399** verwendet werden, um die Fehlerdaten zur Nachverarbeitung durch das Prüfgerät **108** oder die Systemsteuereinheit **104** zu sammeln.

[0036] Fig. 6 ist ein Ablaufdiagramm eines alternativen Verfahrens zum Ermitteln einer Fehlerinformation unter Verwendung der Schnittstellenschaltung **226** ohne Liefern von erwarteten Daten über die Prüfgerätkanäle. Die Schnittstellenschaltung kann dazu ausgelegt sein, in dieser und im Allgemeinen in verschiedenen Betriebsarten als Reaktion auf Befehle, die vom Prüfgerät empfangen werden, zu arbeiten. Siehe beispielsweise US-Patentanmeldung Nr. 09/260 460, von Roy und Miller, eingereicht am 1. März 1999 und mit dem Titel EFFICIENT PARALLEL TESTING OF INTEGRATED CIRCUIT DEVICES USING A KNOWN GOOD DEVICE TO GENERATE EXPECTED RESPONSES (P078). Sobald die Schnittstellenschaltung **226** in Schritt 618 Testdaten an ihre entsprechenden DUTs angelegt hat, fährt die Operation mit Schritt 619 fort, in dem das Prüfgerät **108** einen Lesezyklus in jedem Kanal einleitet, um von den Stellen zu lesen, in die es vorher geschrieben hat. Die Schnittstellenschaltung **226** reagiert in Schritt 620 mit dem Lesen von ihren entsprechenden DUTs und führt Vergleiche von Datenwerten über DUTs und/oder innerhalb DUTs durch, um irgendwelche Fehler in den DUTs festzustellen. Die Schnittstellenschaltung **226** kann beispielsweise dazu ausgelegt sein, Vergleiche von Gruppen von Bits, die von Stellen innerhalb desselben DUT gelesen werden, durchzuführen, wobei in jede Gruppe dasselbe Bitmuster in Schritt 618 geschrieben wurde. Ein solches herkömmliches Verfahren wird nachstehend in Verbindung mit Fig. 7 erörtert. Zusätzlich zum oder an-

stelle des herkömmlichen Verfahrens kann die Schnittstellenschaltung **226** ferner dazu ausgelegt sein, Vergleiche von Bits durchzuführen, die von Stellen in verschiedenen DUTs gelesen werden. Dieses letztere Verfahren wird nachstehend in bezug auf **Fig. 8** beschrieben. Eine Kombination dieser zwei Verfahren von Vergleichen "innerhalb eines Worts" und "über DUTs" ist in **Fig. 9a** und **9b** dargestellt. Im Gegensatz zum Ausführungsbeispiel von **Fig. 5** sendet das Prüfgerät **108** in **Fig. 6** folglich keine erwarteten Daten während der Testsequenz zur Schnittstellenschaltung **226**. Vielmehr führt die Schnittstellenschaltung **226** Vergleiche über das DUT und innerhalb des DUT, wie z. B. in den nachstehenden **Fig. 7–9**, und eine wahlweise Statistik, um Fehler in den DUTs mit relativ hohem Vertrauen vorherzusagen, durch. Eine geeignete Speicherung der Fehlerdaten und eine Komprimierung finden auch statt. Die Beseitigung des Zyklus zum Senden von erwarteten Daten kann ferner die Zeit verringern, die zum Testen der DUTs erforderlich ist, wobei somit eine effizientere Testmethodologie gefördert wird.

[0037] Ungeachtet dessen, welches Verfahren verwendet wird, um die Fehlerinformation in Schritt 520/620 zu erzeugen, fährt die Operation in **Fig. 5** mit den Schritten 524 und 528 (und den entsprechenden Schritten in **Fig. 6**) fort, in denen die Schnittstellenschaltung **226** eine Fehlerinformation, die jedes der DUTs betrifft, als Reaktion auf eine Anforderung vom Prüfgerät **108** zum Lesen von speziellen Adressen liefert. Die Operation fährt dann mit Schritt 532 fort, in dem das Prüfgerät **108** gemäß einem modifizierten Testprogramm erkennt, dass die neue Fehlerinformation vielmehr eine Anzahl von DUTs als ein einzelnes DUT betrifft, und seine gespeicherte Fehlerinformation für jedes der DUTs dementsprechend aktualisiert. Die vorstehend beschriebenen Schritte 504–532 können viele Male wiederholt werden, wie für die Testsequenz **106** erforderlich (siehe **Fig. 1**).

[0038] Wie vorstehend erwähnt, beinhaltet Schritt 520 in **Fig. 5** das Durchführen eines Vergleichs durch die Vergleichsschaltung **330** (siehe **Fig. 3**), um festzustellen, ob irgendwelche Fehler in den gelesenen Daten vorhanden sind, die von den DUTs erhalten werden. Mehrere Verfahren zum Durchführen des Vergleichs werden in dieser Offenbarung dargestellt. Ein solches Verfahren, das vorstehend eingeführt wurde, legt die Vergleichsschaltung **330** dazu aus, eine Exklusiv-ODER- (XODER) Operation an entsprechenden Bits eines erwarteten Datenwerts, der vom Prüfgerät **108** empfangen wird, und eines gelesenen Datenwerts von einem DUT durchzuführen.

[0039] Im Gegensatz dazu zeigt **Fig. 7** ein herkömmliches Verfahren zum Durchführen eines Vergleichs innerhalb einer Stelle oder eines Datenworts eines DUT. Das Ziel hier besteht darin, einen komprimierten 4-Bit-Fehlerwert zu erhalten, der Fehler, falls vorhanden, in einem 16-Bit-Wort eines einzelnen DUT darstellt. Unter Verwendung dieses Verfahrens können 4 DUTs parallel getestet werden, so dass 16

Bits von Fehlerdaten über einen 16-Bit-Datenbus des Kanals zum Prüfgerät **108** zurückgeführt werden können. In **Fig. 7** wird ein zu vergleichendes 16-Bit-Datenwort in vier Gruppen von 4 Bits unterteilt, die mit W, X, Y und Z bezeichnet sind. In diesem Fall wird angenommen, dass sich das Muster von Daten, das in dieses Datenwort geschrieben wurde, alle 4 Bits wiederholt, so dass jede Gruppe das identische Bitmuster aufweisen sollte. In dem speziellen Beispiel von **Fig. 7** geben CLOW, CLOX, CLOZ alle ein positives Ergebnis an. Dies bedeutet, dass alle der W-, X- und Z-Bits im Datenwort korrekt sind. Im Gegensatz dazu zeigt CLOY ein negatives Ergebnis für die Bitstelle Y an, ohne festzulegen, welche Gruppe den Fehler im Bit Y enthält. Obwohl diese Art von komprimierter Fehlerinformation ein unvollständiges Bild der in einem Datenwort angetroffenen Fehler bereitstellt, kann sie trotzdem in bestimmten Situationen nützlich sein, in denen das DUT beispielsweise eine redundante Schaltung enthält, die die Schaltung, die die Y-Fehlerbits lieferte, ersetzen kann.

[0040] Ein Nachteil der herkömmlichen Methode in **Fig. 7** besteht darin, dass ein falsches positives Ergebnis eines Vergleichs CIO erzeugt werden könnte, wenn alle entsprechenden Bits einer gegebenen Stelle fehlerhaft sind. Wenn CLOY beispielsweise ein negatives Ergebnis anzeigt, können höchstens 1, 2 oder 3 der vier entsprechenden Y-Bits fehlerhaft sein. Wenn alle vier der Y-Bits fehlerhaft wären, dann würde CLOY jedoch ein positives Ergebnis anzeigen, da alle vier Eingangssignale in sein XODER-Gatter denselben Wert hätten. Obwohl es ein seltener Fall ist, dass alle vier entsprechenden Bits fehlerhaft sind, ist es erwünscht, das Auftreten eines solchen falschen positiven Ergebnisses zu beseitigen oder zumindest zu verringern. Dies könnte durch Konfigurieren der Schnittstellenschaltung **226** in einen Überbrückungsmodus und Durchführen eines herkömmlichen Tests unter Verwendung des Prüfgeräts **108** zum Testen eines einzelnen Bauelements der mehreren Bauelemente für die absolute Genauigkeit bewerkstelligt werden.

[0041] **Fig. 8** stellt ein weiteres Verfahren zum Durchführen eines Vergleichs dar. Ein solches Verfahren beinhaltet das Vergleichen von Bits von verschiedenen DUTs. Obwohl **Fig. 8** das Vergleichen über 4 DUTs zeigt, kann das Konzept mit einer beliebigen Anzahl von DUTs natürlich innerhalb praktischer Grenzen implementiert werden. Wiederum nimmt dieses Schema an, dass die Vergleiche, die durch jedes XODER-Gatter durchgeführt werden, Bitwerte aufweisen, die gleich sein sollten, so dass ein positives Ergebnis nur dann erzeugt wird, wenn alle Bits denselben Wert 0 oder 1 aufweisen. Für dieses Beispiel umfasst jedes Datenwort 16 Bits. Das erste XODER-Gatter **880** liefert einen Vergleich über DUTs von Bit 0 in jedem der DUTs (CAD0). Ebenso gibt CAD1 vom XODER-Gatter **881** das Ergebnis des Vergleichs des Bits 1 in jedem der DUTs an, und so weiter bis zu CAD15. Im Gegensatz zum Wiederho-

lungsmuster, das für das herkömmliche Verfahren in **Fig. 7** erforderlich ist, ermöglicht diese Methode, dass ein willkürliches Datenmuster in jedes Wort geschrieben wird. Das CAD-Ergebnis gibt jedoch nicht an, welches DUT den Fehler enthält, sondern nur, dass ein oder mehr Bits fehlerhaft sind. Das CAD-Ergebnis ergibt ein falsches positives Ergebnis, wenn 4 entsprechende Bits in 4 verschiedenen DUTs alle fehlerhaft sind. wie vorher erwähnt, kann diese Situation durch Testen mindestens eines der DUTs auf absolute Genauigkeit unter Verwendung des Überbrückungsmodus vermieden werden.

[0042] **Fig. 9a** und **9b** stellen eine Kombination von Vergleichen innerhalb eines Worts und über DUTs dar, die das Vertrauen in ein positives Ergebnis um mehrere Größenordnungen gegenüber entweder dem herkömmlichen Verfahren von **Fig. 7** oder dem Vergleich über DUTs in **Fig. 8** erhöht. Das Diagramm in den **Fig. 9a** und **9b** zeigt die Vergleichsschaltung für das Bit W, das das erste von 4 Bits in einer Gruppe ist, wobei jedes Datenwort 4 derartige Gruppen umfasst. Somit wird die in **Fig. 9a** und **9b** dargestellte Schaltung 3-mal wiederholt, um die Ergebnisse von Vergleichen für die Bits X, Y und Z bereitzustellen.

[0043] Die erste Reihe von XODER-Gattern **910**, **912**, **914** und **916** liefert die Ergebnisse CLOW0, CLOW1, CLOW2 bzw. CLOW3. CLOW0 ist das Ergebnis eines Vergleichs der Bits W innerhalb eines Worts in einem einzelnen Wort des DUT0. Ebenso ist CLOW1 das Ergebnis eines Vergleichs des Bits W in einem einzelnen Wort des DUT1, und so weiter.

[0044] Die zweite Reihe von Exklusiv-ODER-Gattern in den **Fig. 9a** und **9b** sind **920**, **922**, **924** und **926**, die CADW0, CADW1, CADW2 bzw. CADW3 liefern. CADW0 ist ein Vergleich der Bits W im Satz 0 von jedem DUT, CADW1 vergleicht die Bits W im Satz 1 von jedem DUT, und so weiter. Somit ist das CADW-Ergebnis ähnlich dem CAD-Ergebnis von **Fig. 8**, außer dass nur 4 Bits (die W-Bits) verglichen werden.

[0045] Schließlich ist die dritte Reihe von Gattern in den **Fig. 9a** und **9b** **930-945**, insgesamt 16 NICHT-ODER-Gatter, die jeweils ein OKW\_Ergebnis liefern. Die ersten 4 Ergebnisse OKW00\_ bis OKW03\_ geben Fehler, falls vorhanden, in den Bits 1 von einem oder mehreren der 4 Sätze, die ein Wort im DUT0 festlegen, an. Ebenso geben OKW10 bis OKW13 Fehler in den Bits W der 4 Sätze, die ein entsprechendes Wort des DUT1 festlegen, an, und so weiter. Man beachte, dass die exakte Stelle des Fehlers gegeben wird, d. h. keine Komprimierung durchgeführt wird, da ein Bit verwendet wird, um einen Fehler im Bit W eines speziellen Satzes in einem Datenwort in einem gegebenen DUT anzugeben. Wenn die Schaltung von **Fig. 9a** und **9b** für die Bits X, Y und Z wiederholt wird, stehen insgesamt  $16 \times 4 = 64$  Fehlerbits zur Verfügung, um Fehler in einem beliebigen Bit eines Datenworts in einem beliebigen gegebenen DUT exakt anzugeben.

[0046] Falls es erwünscht ist, eine Fehlerinformati-

on bezüglich zwei oder mehreren DUTs zum Prüfgerät **108** über einen einzelnen Kanal zurückzuführen, kann eine Komprimierung durchgeführt werden, um die 16 Bits der Fehlerinformation auf 4 Bits zu verringern, um einen 16-Bit-Adressenbus des Kanals effizient zu nutzen. Mit beispielsweise nur 4 Bits von komprimierten Fehlerdaten für jedes DUT gibt jedes Bit einen Fehler, falls vorhanden, in einem entsprechenden 4-Bit-Satz eines 16-Bit-Datenworts an. Wie vorher erwähnt, kann das Prüfgerät **108** trotzdem von einer solchen Information wertvollen Gebrauch machen, beispielsweise durch Reparieren des DUT, wenn eine redundante Schaltung in dem DUT zur Verfügung steht, um eine ausgefallene Schaltung zu ersetzen.

[0047] **Fig. 10** stellt eine Nadelkarte **1000** mit Unterschlaltungen **216a** und **216b** der Schnittstellenschaltung **226** gemäß einem weiteren Ausführungsbeispiel der Erfindung dar. Die Nadelkarte **1000** zeichnet sich durch eine Anzahl von Sondenelementen **1004** zum elektrischen Verbinden von Signalpunkten eines DUT mit seiner jeweiligen Unterschlaltung aus. Die Sondenelemente **1004** sind an einem Raumtransformator **1008** angebracht, auf dessen entgegengesetzter Seite der IC-Chip der Unterschlaltungen befestigt ist. Signale werden zu und von einer Prüfgerät-Schnittstellenbaugruppe **1012** mit gesteuerter Impedanz unter Verwendung einer elastischen Zwischenschalteneinrichtung **1016** transportiert. Der Prüfgerätkanal erscheint als Leiterbahnen in der Schnittstellenbaugruppe **1012**. Der Raumtransformator **1008** und die Schnittstellenbaugruppe **1012** werden normalerweise in einer festen Beziehung zueinander gehalten, wie z. B. unter Verwendung von Befestigungsvorrichtungen **1024**. Ein Planarisierer **1020** kann vorgesehen sein, um alle Sondenelemente in eine planare Ausrichtung auf den getesteten Wafer **116** zu bringen. Im Betrieb wird die Nadelkarte auf die Oberfläche des Wafers **116** abgesenkt, damit die Sondenelemente die Signalpunkte der DUTs, die den Wafer bilden, berühren. Weitere Einzelheiten hinsichtlich dieses Ausführungsbeispiels sind in der US-Patentanmeldung Seriennr. 08/554 902, eingereicht am 19.11.95 mit dem Titel Probe Card Assembly With Space Transformer and Interposer, oder in der entsprechenden PCT-Anmeldung, veröffentlicht am 23.5.96 als WO96/15458 (P006), zu finden.

[0048] Zusammengefasst wurden verschiedene Ausführungsbeispiele der Erfindung zum parallelen Testen einer Anzahl von DUTs unter Verwendung eines einzelnen Kanals eines herkömmlichen Prüfgeräts offenbart. Ein üblicher Fachmann wird erkennen, dass die Erfindung in der Lage ist, verschiedene andere Kombinationen und Umgebungen zu verwenden, und in der Lage ist zu Änderungen und Modifikationen innerhalb des Schutzbereichs des hier ausgedrückten Erfindungskonzepts. Die in verschiedenen vorstehenden Ausführungsbeispielen beschriebene Schnittstellenschaltung würde beispielsweise normalerweise als eine oder mehrere integrierte



Schaltungschips implementiert werden, die jeweils einer Unterschaltung entsprechen und die sich auf einer Nadelkarte befinden. In dieser Weise liegt die Ansteuer- und Leseelektronik in den DUT-Anschlüssen physikalisch näher bei den eigentlichen DUTs, wodurch eine weniger problematische und kosteneffizientere elektrische Verbindung zwischen den DUTs und der Vergleichsschaltung vorgesehen wird. Eine Alternative zum Wafernadelkarten-Ausführungsbeispiel bestünde darin, die Schnittstellenschaltung an einer Testbefestigungsvorrichtung zwischen dem Prüfgerätkanal und einer Ablageplatte für gekapselte IC-Bauelemente anzuordnen, wobei jedes DUT vielmehr ein Teil eines gekapselten Bauelements als ein Teil eines Wafers ist. Folglich ist vorgesehen, dass alle derartigen Modifikationen und/oder Änderungen innerhalb des Schutzbereichs der Ansprüche liegen.

### Patentansprüche

1. Nadelkarte (**1000**) mit:  
 einem Eingang (**226**) zum Empfangen von Testdaten und einer Identifikation von Stellen innerhalb eines Halbleiterbauelements von einem Halbleiterprüfgerät (**108**) über einen Datenübertragungskanal (**240, 244**);  
 einer Schreibschaltung (**314, 320**) zum Schreiben einer Vielzahl von Kopien der Testdaten in die Stellen in jedem einer Vielzahl von Halbleiterbauelementen (**310**);  
 einer Leseschaltung (**314, 320**) zum Lesen von Antwortdaten, die von jedem der Vielzahl von Halbleiterbauelementen als Reaktion auf die Testdaten erzeugt werden;  
 einer Vergleichsschaltung (**330**) zum Vergleichen von Antwortdaten, die von einem der Vielzahl von Halbleiterbauelementen gelesen werden, mit Antwortdaten, die von einem anderen der Vielzahl von Halbleiterbauelementen gelesen werden; und  
 einem Ausgang (**216**) zum Übertragen von Fehlerdaten, die durch die Vergleichsschaltung erzeugt werden, zum Prüfgerät.

2. Nadelkarte nach Anspruch 1, wobei die Vergleichsschaltung ferner feststellt, ob die von einem Halbleiterbauelement gelesenen Antwortdaten einem erwarteten Muster entsprechen.

3. Nadelkarte nach Anspruch 2, wobei die Vergleichsschaltung umfasst:  
 eine Vielzahl von ersten Logikschaltungen (**920, 922**) zum Erfassen von Unterschieden in einem Datenbit in den Antwortdaten, die von dem einen Halbleiterbauelement gelesen werden, und den Antwortdaten, die von dem anderen Halbleiterbauelement gelesen werden; und  
 mindestens eine zweite Logikschaltung (**910**) zum Erfassen von Abweichungen von dem erwarteten Muster.

4. Nadelkarte nach Anspruch 3, wobei die Vergleichsschaltung ferner eine Vielzahl von dritten Logikschaltungen (**930, 931**) umfasst, die auf die ersten Logikschaltungen und die mindestens eine zweite Logikschaltung reagieren.

5. Nadelkarte nach Anspruch 4, wobei die Vielzahl von dritten Logikschaltungen eine Exklusiv-ODER-Logikfunktion durchführen.

6. Nadelkarte nach Anspruch 3, wobei die Vielzahl von ersten Logikschaltungen eine Exklusiv-ODER-Logikfunktion durchführen.

7. Nadelkarte nach Anspruch 3, wobei die mindestens eine zweite Logikschaltung eine Exklusiv-ODER-Logikfunktion durchführt.

8. Nadelkarte nach Anspruch 1, welche ferner einen Speicher (**399**) zum Speichern der von der Vergleichsschaltung erzeugten Fehlerdaten umfasst.

9. Nadelkarte nach Anspruch 1, wobei die Vergleichsschaltung eine Vielzahl von Logikschaltungen (**880**) zum Erfassen von Unterschieden in einem Datenbit in den Antwortdaten, die von dem einen Halbleiterbauelement gelesen werden, und den Antwortdaten, die von dem anderen Halbleiterbauelement gelesen werden, umfasst.

10. Nadelkarte nach Anspruch 9, wobei die Vielzahl von Logikschaltungen (**880**) zum Erfassen von Unterschieden in einem Datenbit in den Antwortdaten, die von dem einen Halbleiterbauelement gelesen werden, und den Antwortdaten, die von dem anderen Halbleiterbauelement gelesen werden, eine Exklusiv-ODER-Logikfunktion durchführen.

11. Nadelkarte nach Anspruch 1, welche ferner eine Schnittstellenbaugruppe (**1012**) in elektrischer Verbindung mit dem Datenübertragungskanal umfasst.

12. Nadelkarte nach Anspruch 1, welche ferner Sondenelemente (**1004**) zum Herstellen von elektrischen Verbindungen mit der Vielzahl von Halbleiterbauelementen umfasst.

13. Nadelkarte nach Anspruch 1, welche ferner umfasst:  
 eine Schnittstellenbaugruppe (**1012**) in elektrischer Verbindung mit dem Datenübertragungskanal; und  
 einen Raumtransformator (**1008**) in elektrischer Verbindung mit der Schnittstellenbaugruppe, wobei der Raumtransformator eine Vielzahl von Sondenelementen (**1004**) zum Herstellen von elektrischen Verbindungen mit der Vielzahl von Bauelementen umfasst.

14. Nadelkarte nach Anspruch 13, wobei mindes-

tens einer des Eingangs, der Schreibschaltung, der Leseschaltung, der Vergleichsschaltung und der Ausgabeschaltung an dem Raumtransformator angeordnet ist.

15. Nadelkarte nach Anspruch 13, wobei mindestens zwei des Eingangs, der Schreibschaltung, der Leseschaltung, der Vergleichsschaltung und der Ausgabeschaltung an dem Raumtransformator angeordnet sind.

16. Nadelkarte nach Anspruch 13, welche ferner eine Zwischenschalteinrichtung (**1016**) umfasst, die die Schnittstellenbaugruppe und den Raumtransformator elektrisch miteinander verbindet.

17. Verfahren zum Testen, umfassend:  
Empfangen von Testdaten und einer Identifikation von Stellen innerhalb eines Halbleiterbauelements von einem Halbleiterprüfgerät (**108**) über einen Datenübertragungskanal (**240, 244**);  
Schreiben einer Vielzahl von Kopien der Testdaten in die Stellen in jedem einer Vielzahl der Halbleiterbauelemente (**310**);  
Lesen von Antwortdaten, die von jedem der Vielzahl von Halbleiterbauelementen als Reaktion auf die Testdaten erzeugt werden;  
Vergleichen von Antwortdaten, die von einem der Vielzahl von Halbleiterbauelementen gelesen werden, mit Antwortdaten, die von einem anderen der Vielzahl von Halbleiterbauelementen gelesen werden; und  
Übertragen von Fehlerdaten, die durch die Vergleichsschaltung erzeugt werden, zum Prüfgerät.

18. Verfahren nach Anspruch 17, welches ferner das Feststellen, ob die von einem Halbleiterbauelement gelesenen Antwortdaten einem erwarteten Muster entsprechen, umfasst.

19. Verfahren nach Anspruch 18, wobei das Feststellen, ob die von einem Halbleiterbauelement gelesenen Antwortdaten einem erwarteten Muster entsprechen, das Durchführen einer Exklusiv-ODER-Logikfunktion an Bits der vom Halbleiterbauelement gelesenen Antwortdaten umfasst.

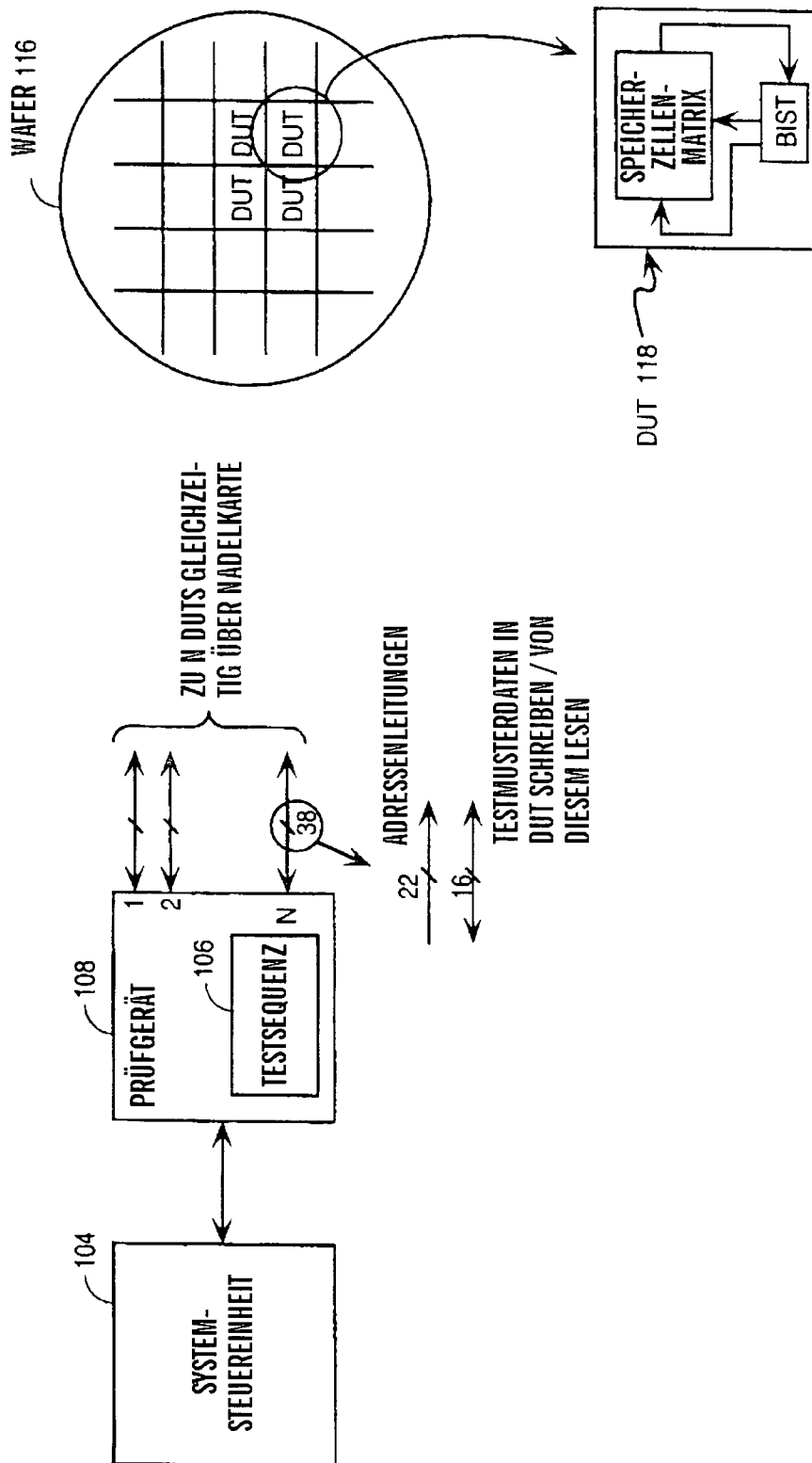
20. Verfahren nach Anspruch 17, wobei das Vergleichen von Antwortdaten, die von einem Halbleiterbauelement gelesen werden, mit Antwortdaten, die von einem anderen Halbleiterbauelement gelesen werden, das Erfassen von Unterschieden in einem Datenbit in den Antwortdaten, die von dem einen Halbleiterbauelement gelesen werden, und den Antwortdaten, die von dem anderen Halbleiterbauelement gelesen werden, umfasst.

21. Verfahren nach Anspruch 17, wobei das Vergleichen von Antwortdaten, die von einem Halbleiterbauelement gelesen werden, mit Antwortdaten, die

von einem anderen Halbleiterbauelement gelesen werden, das Durchführen einer Exklusiv-ODER-Logikfunktion an einem Datenbit in den Antwortdaten, die von dem einen Halbleiterbauelement gelesen werden, und den Antwortdaten, die von dem anderen Halbleiterbauelement gelesen werden, umfasst.

22. Verfahren nach Anspruch 17, welches ferner vor dem Übertragen der Fehlerdaten das Speichern der Fehlerdaten umfasst.

Es folgen 11 Blatt Zeichnungen

**Fig. 1**

(STAND DER TECHNIK)

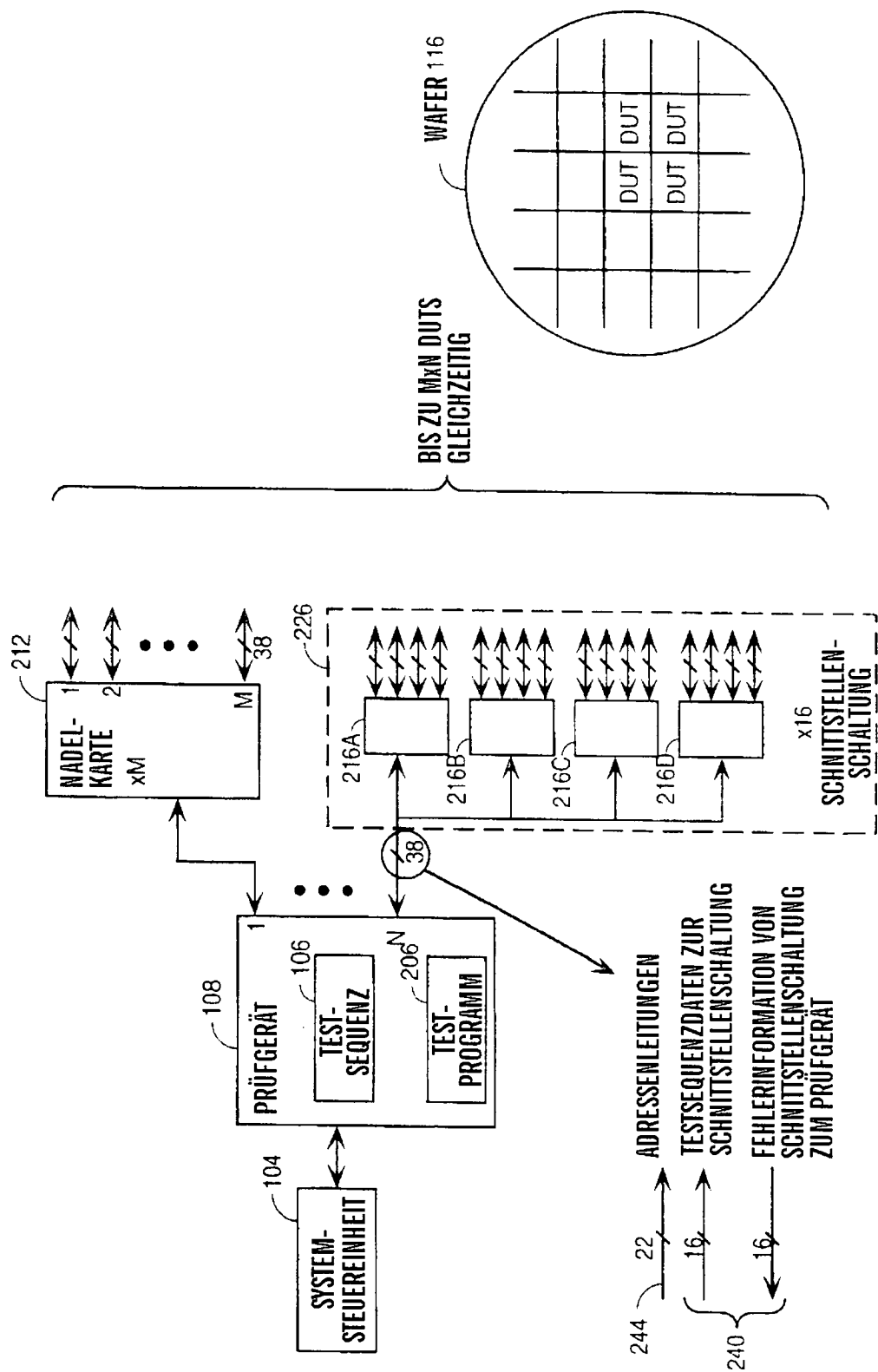


Fig. 2

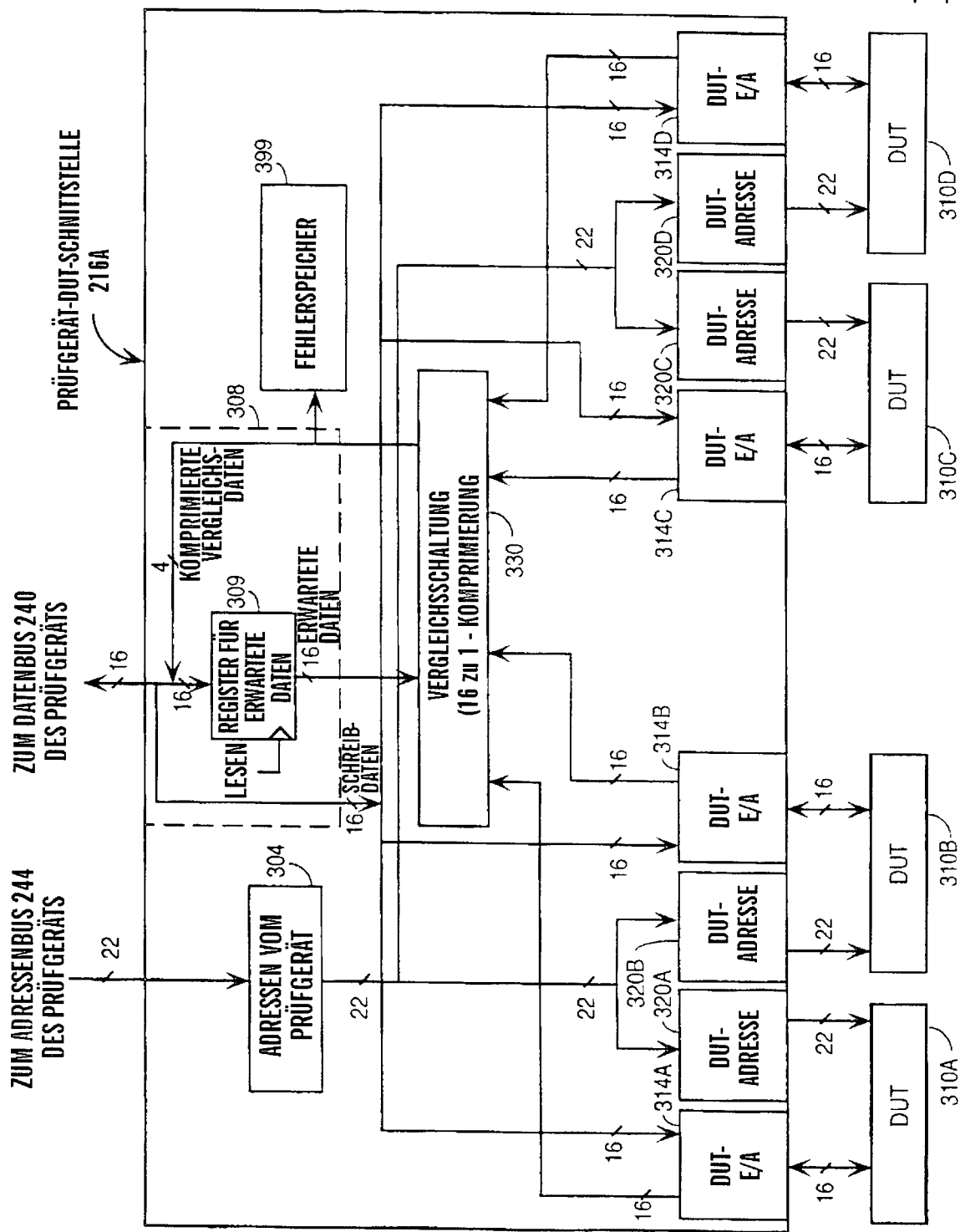
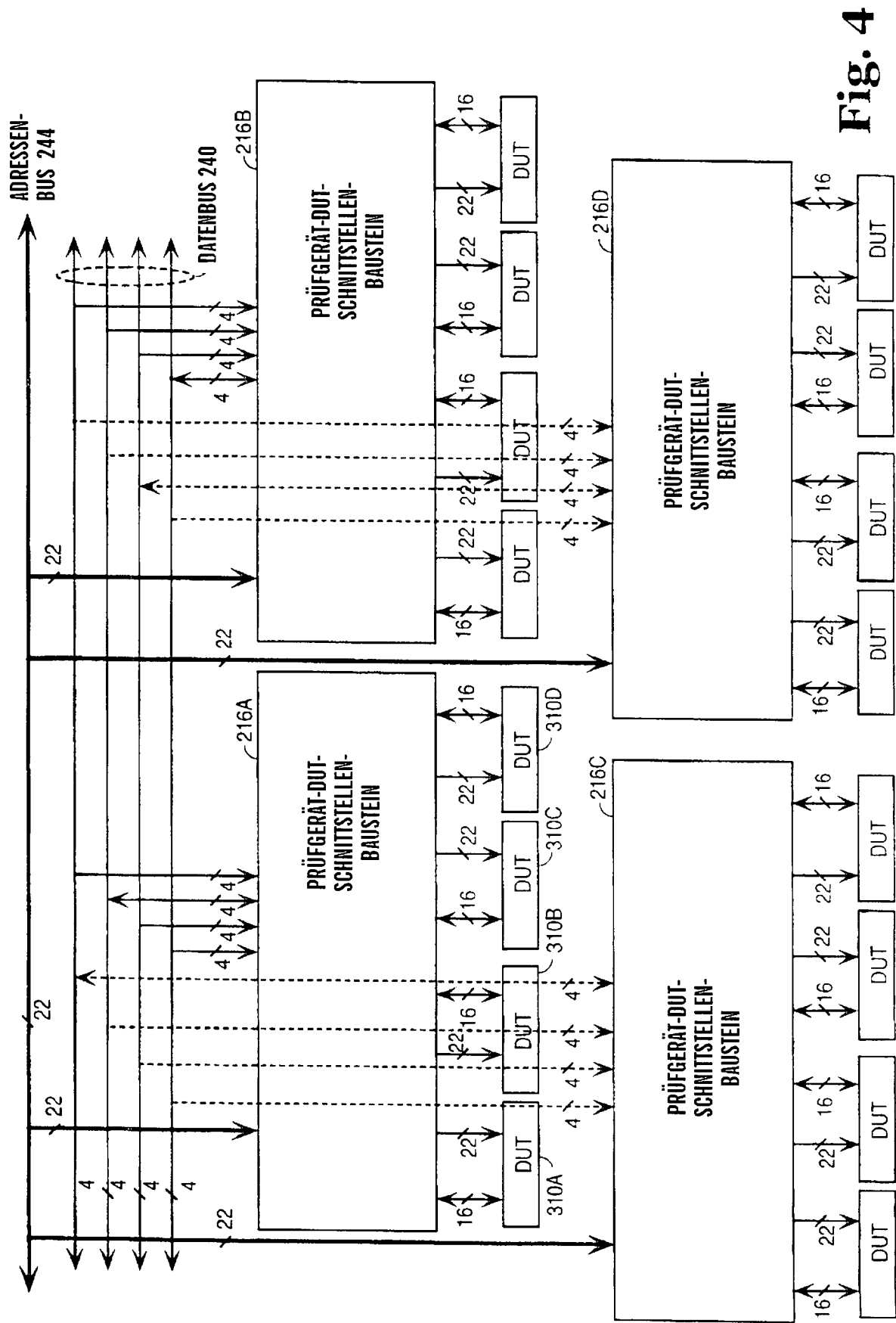
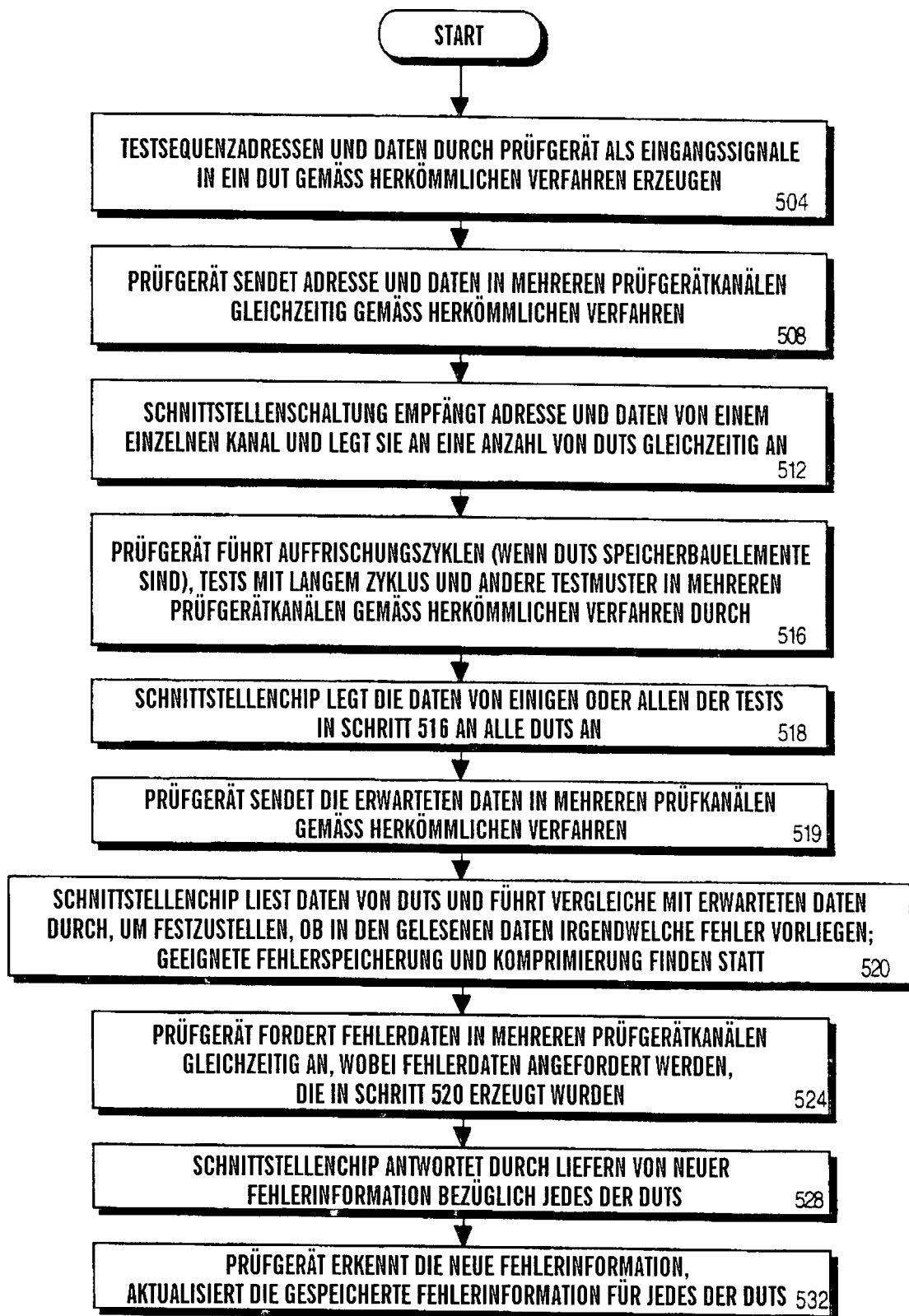


Fig. 3





**Fig. 5**

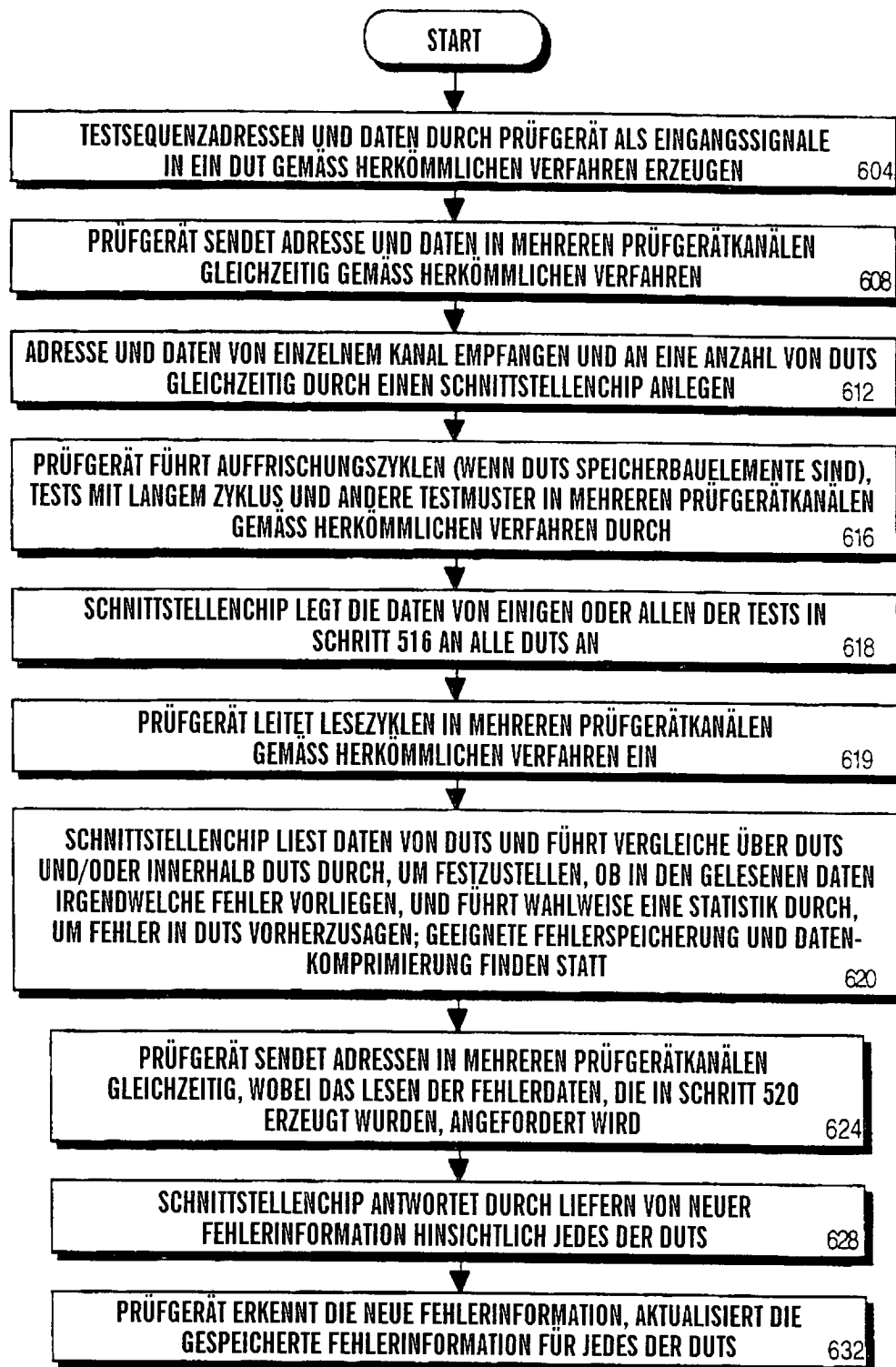
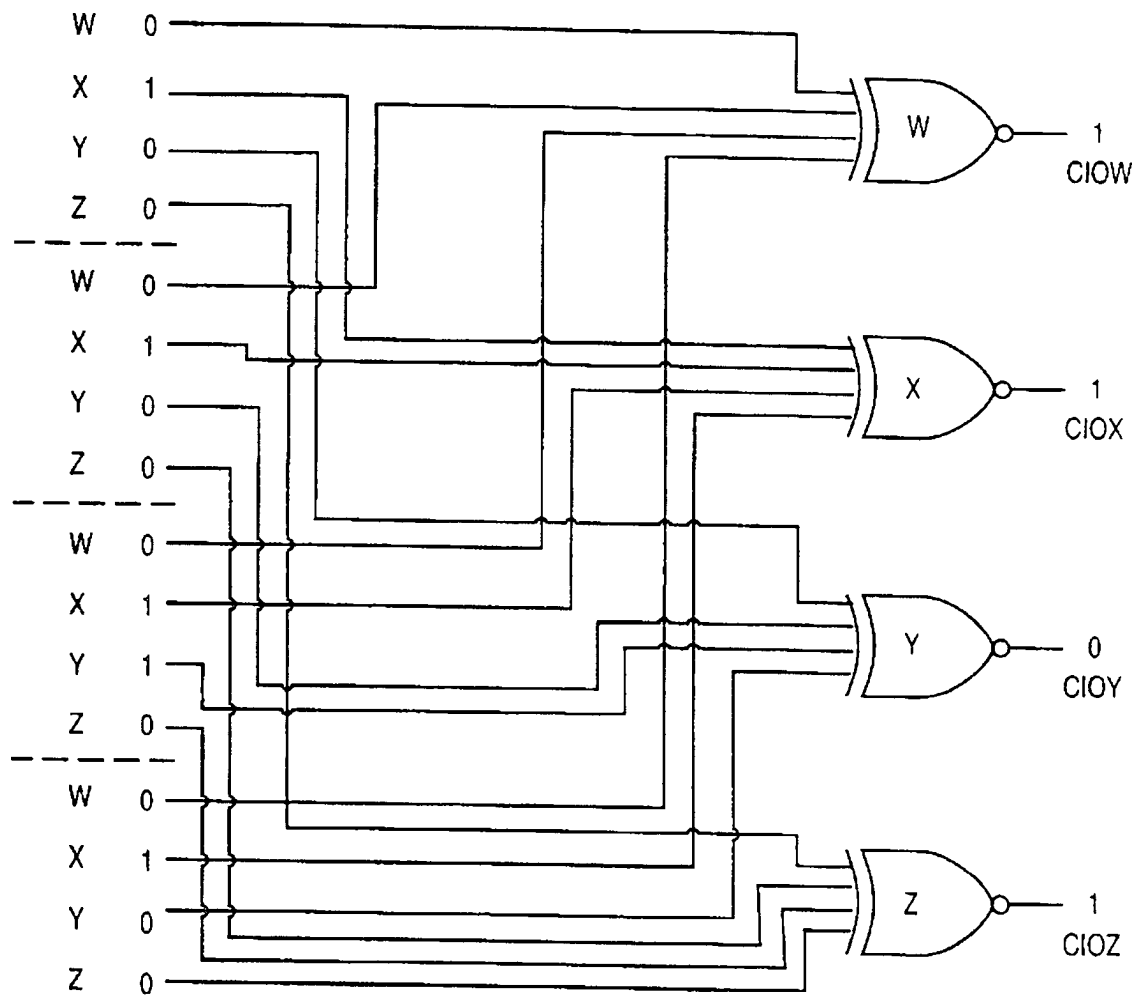


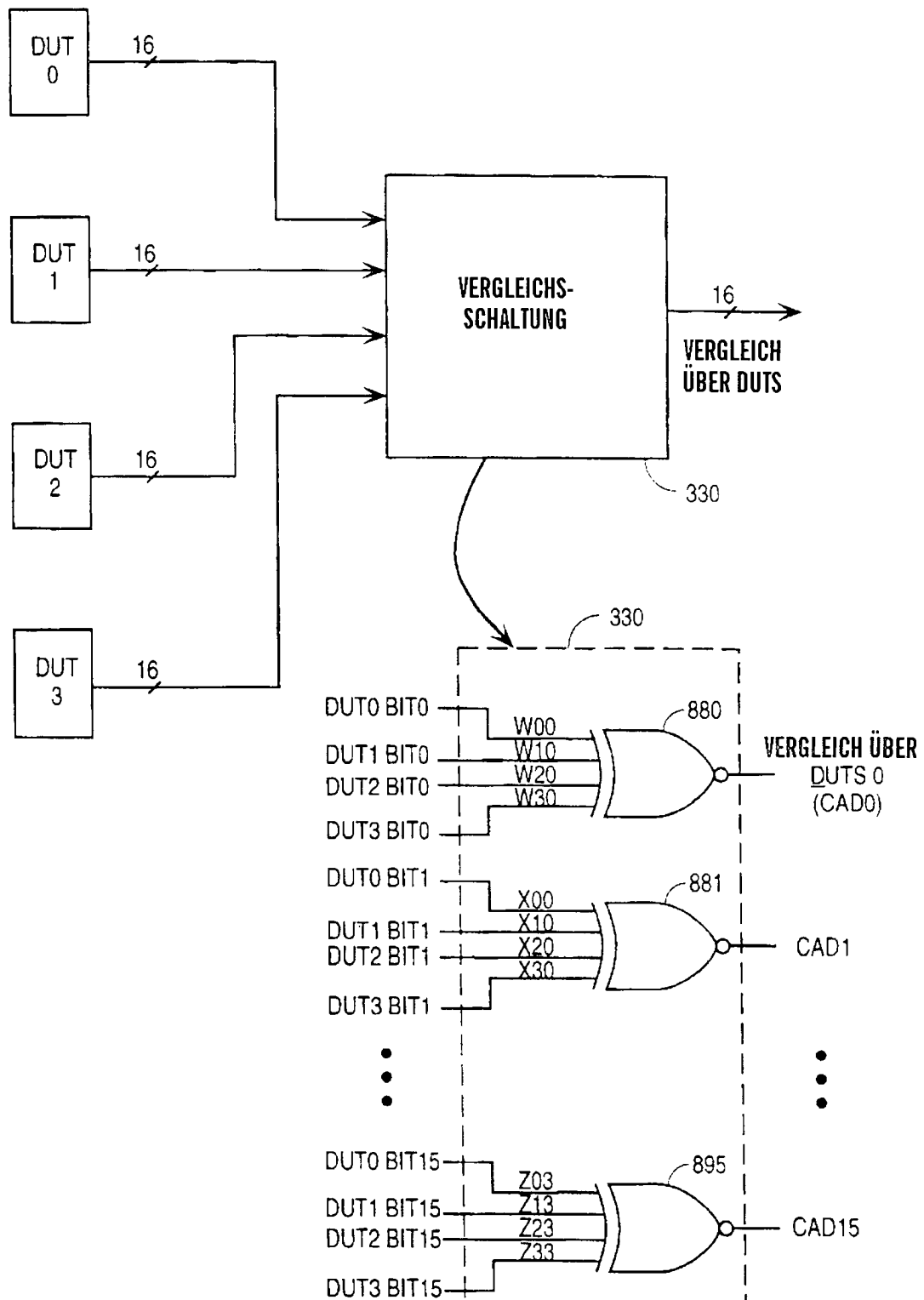
Fig. 6

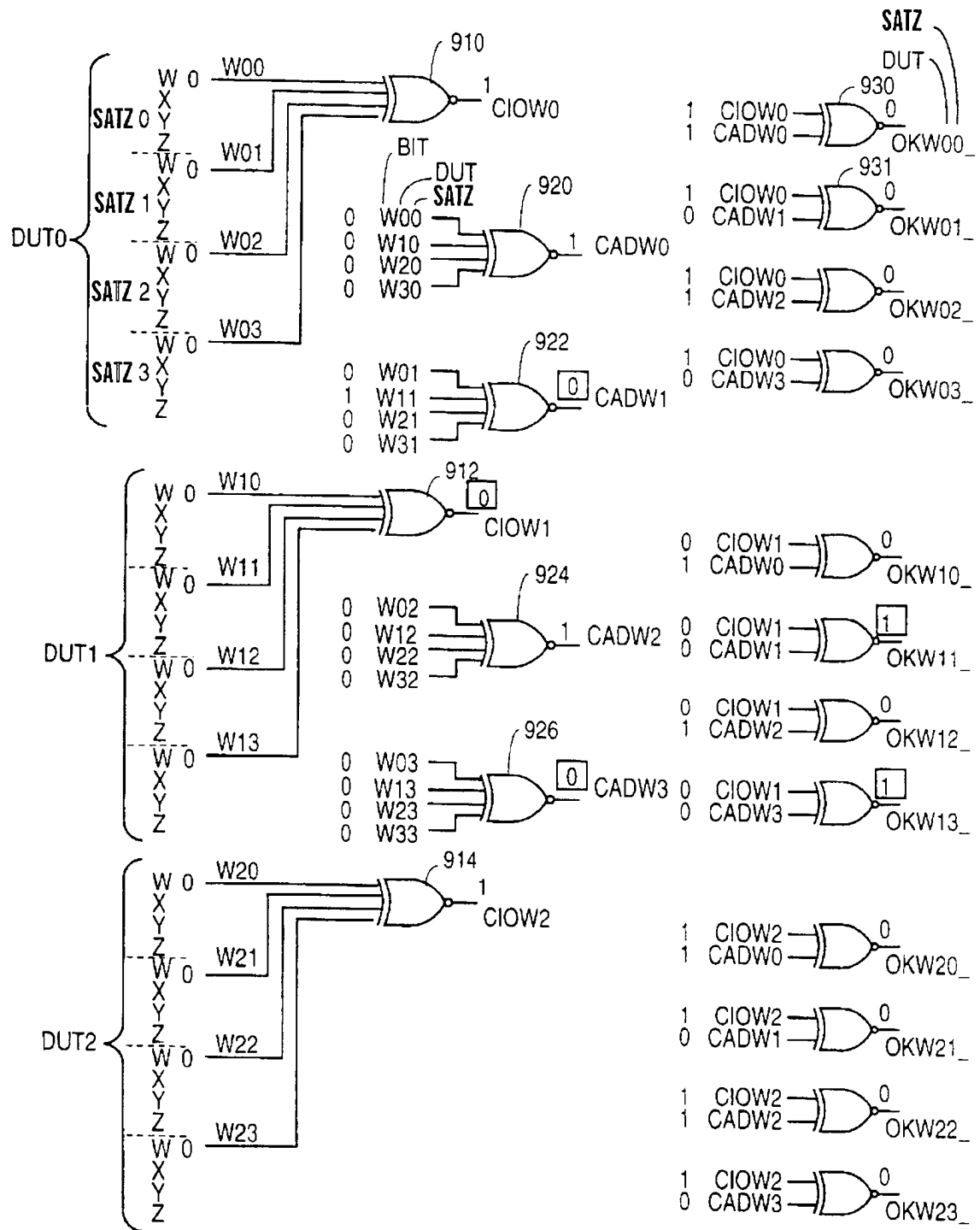




**Fig. 7**

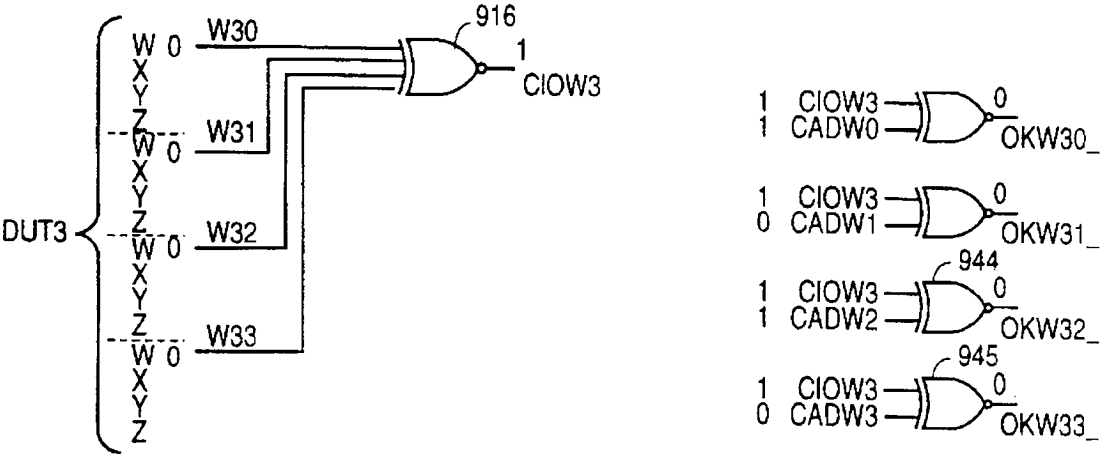
(STAND DER TECHNIK)

**Fig. 8**

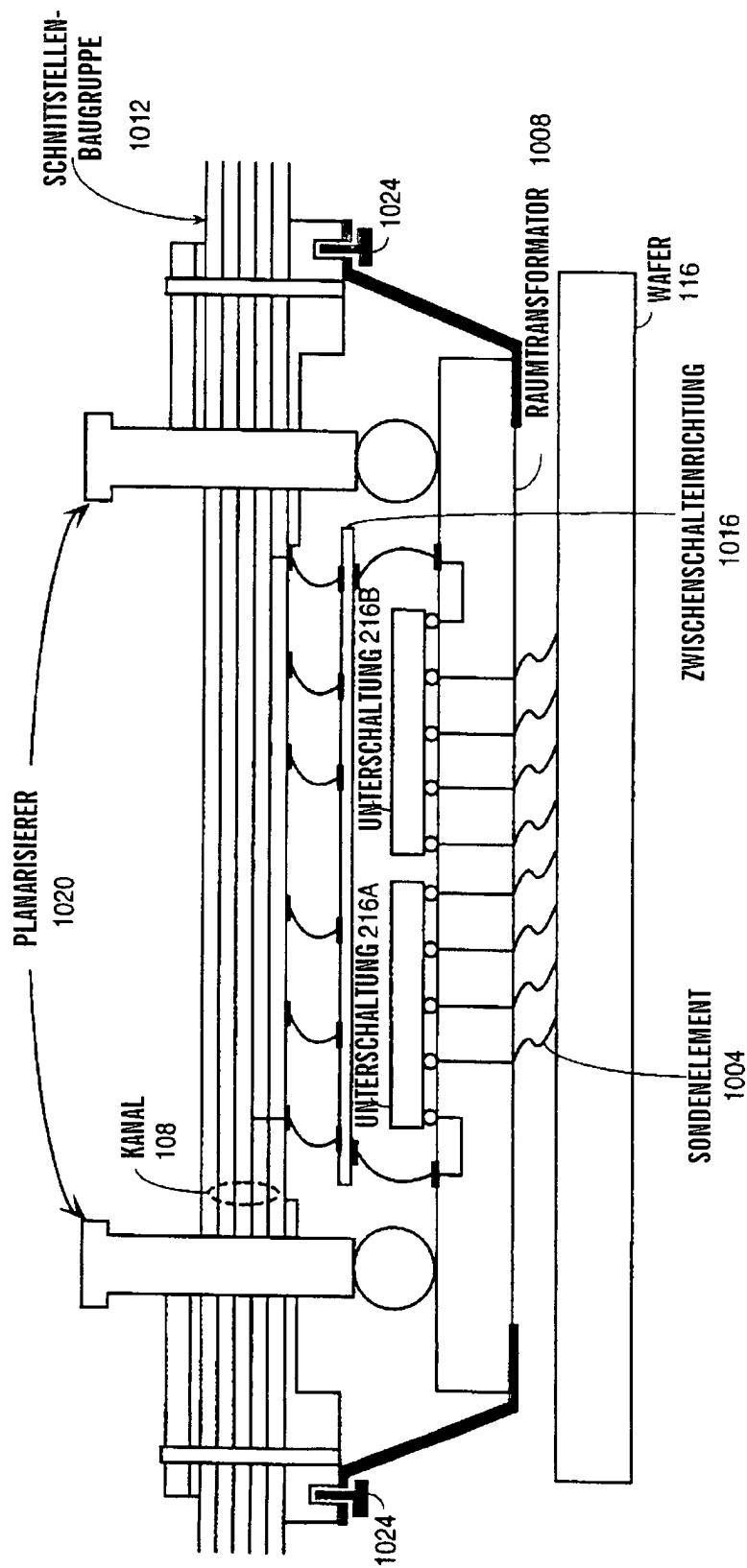


(ZU FIG. 9b)

**Fig. 9a**



**Fig. 9b**



NADELKARTE 1000

Fig. 10