



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I875241 B

(45)公告日：中華民國 114 (2025) 年 03 月 01 日

(21)申請案號：112139226

(22)申請日：中華民國 99 (2010) 年 09 月 13 日

(51)Int. Cl. : H10D62/40 (2025.01)

H10D62/10 (2025.01)

H10D30/67 (2025.01)

H10D30/01 (2025.01)

G02F1/1368 (2006.01)

(30)優先權：2009/09/16 日本

2009-215084

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；坂倉真之 SAKAKURA, MASAYUKI
(JP)；渡邊了介 WATANABE, RYOSUKE (JP)；坂田淳一郎 SAKATA, JUNICHIRO
(JP)；秋元健吾 AKIMOTO, KENGO (JP)；宮永昭治 MIYANAGA, AKIHARU
(JP)；廣橋拓也 HIROHASHI, TAKUYA (JP)；岸田英幸 KISHIDA, HIDEYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200802889A

TW 200915579A

審查人員：謝介銘

申請專利範圍項數：4 項 圖式數：39 共 135 頁

(54)名稱

電晶體

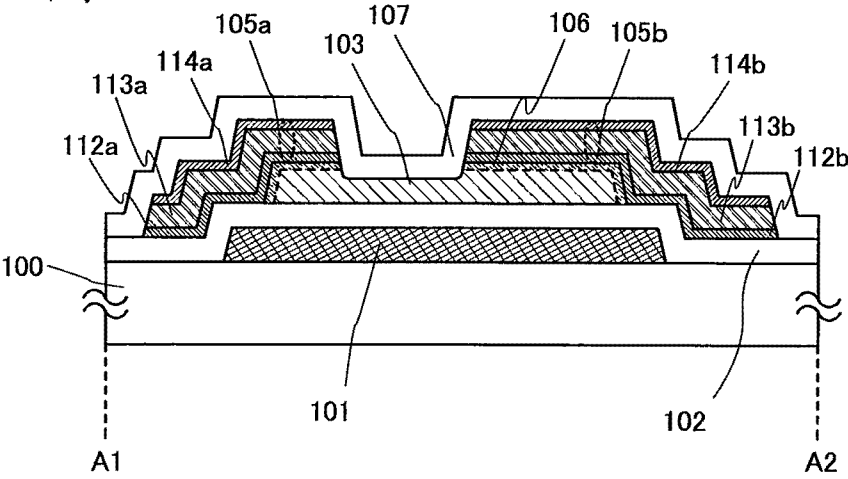
(57)摘要

提供一種電晶體，具有有利的電氣特性和高可靠性，及包括該電晶體之顯示裝置。該電晶體為底閘電晶體使用用於通道區之氧化物半導體而予形成。歷經經由熱處理之脫水或脫氫的氧化物半導體層被用做活動層。該活動層包括微晶化表面部分之第一區及其餘部分之第二區。經由使用具有該等結構之該氧化物半導體層，改變為 n 型，歸因於濕氣進入該表面部分，或氧從該表面部分排除，並可抑制寄生通道之產生。此外，並可減少該氧化物半導體層與源極及汲極電極之間的接觸電阻。

To provide a transistor having a favorable electric characteristics and high reliability and a display device including the transistor. The transistor is a bottom-gate transistor formed using an oxide semiconductor for a channel region. An oxide semiconductor layer subjected to dehydration or dehydrogenation through heat treatment is used as an active layer. The active layer includes a first region of a superficial portion microcrystallized and a second region of the rest portion. By using the oxide semiconductor layer having such a structure, a change to an n-type, which is attributed to entry of moisture to the superficial portion or elimination of oxygen from the superficial portion, and generation of a parasitic channel can be suppressed. In addition, contact resistance between the oxide semiconductor layer and source and drain electrodes can be reduced.

指定代表圖：

圖 1A



符號簡單說明：

- 100:基板
- 101:閘極電極層
- 102:閘極絕緣層
- 103:氧化物半導體層
- 105a:源極電極層
- 105b:汲極電極層
- 106:結晶區
- 107:氧化物絕緣層
- 112a、112b:第一導電層
- 113a、113b:第二導電層
- 114a、114b:第三導電層

I875241

【發明摘要】**【中文發明名稱】**

電晶體

【英文發明名稱】

TRANSISTOR

【中文】

提供一種電晶體，具有有利的電氣特性和高可靠性，及包括該電晶體之顯示裝置。該電晶體為底閘電晶體使用用於通道區之氧化物半導體而予形成。歷經經由熱處理之脫水或脫氫的氧化物半導體層被用做活動層。該活動層包括微晶化表面部分之第一區及其餘部分之第二區。經由使用具有該等結構之該氧化物半導體層，改變為 n 型，歸因於濕氣進入該表面部分，或氧從該表面部分排除，並可抑制寄生通道之產生。此外，並可減少該氧化物半導體層與源極及汲極電極之間的接觸電阻。

【 英文 】

To provide a transistor having a favorable electric characteristics and high reliability and a display device including the transistor. The transistor is a bottom-gate transistor formed using an oxide semiconductor for a channel region. An oxide semiconductor layer subjected to dehydration or dehydrogenation through heat treatment is used as an active layer. The active layer includes a first region of a superficial portion microcrystallized and a second region of the rest portion. By using the oxide semiconductor layer having such a structure, a change to an n-type, which is attributed to entry of moisture to the superficial portion or elimination of oxygen from the superficial portion, and generation of a parasitic channel can be suppressed. In addition, contact resistance between the oxide semiconductor layer and source and drain electrodes can be reduced.

【代表圖】

【本案指定代表圖】：圖 1A

【本代表圖之符號簡單說明】：

100：基板

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

105a：源極電極層

105b：汲極電極層

106：結晶區

107：氧化物絕緣層

112a、112b：第一導電層

113a、113b：第二導電層

114a、114b：第三導電層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

電晶體

【英文發明名稱】

TRANSISTOR

【技術領域】

本發明關於使用氧化物半導體形成之電晶體，及包括電晶體之顯示裝置。

【先前技術】

近年來，使用形成於具有絕緣表面之基板上之半導體薄膜（具約數奈米至數百奈米之厚度）而形成電晶體之技術已吸引注意。電晶體廣泛應用於諸如 IC 之電子裝置及電光裝置，並特別受預期快速發展成為影像顯示裝置之開關元件。各式金屬氧化物用於各類應用。銦氧化物為廣為人知的材料，被用做液晶顯示等所需之透光電極材料。

一些金屬氧化物具有半導體特性。該等具有半導體特性之金屬氧化物的範例包括鎢氧化物、錫氧化物、銦氧化物及鋅氧化物。已知使用該等具有半導體特性之金屬氧化物形成通道形成區之電晶體（專利文獻 1 及 2）。

在非結晶電晶體間應用氧化物半導體之電晶體具有極高場效移動性。因此，顯示裝置等之驅動電路亦可使用電

晶體予以形成。

〔參考〕

〔專利文獻 1〕日本公開專利申請案 No. 2007-123861

〔專利文獻 2〕日本公開專利申請案 No. 2007-096055

【發明內容】

若在顯示裝置等之一基板上形成畫素部（亦稱為畫素電路）及驅動電路部，用於畫素部之電晶體需要諸如高開關比之卓越切換特性，同時用於驅動電路之電晶體需要高作業速度。

尤其，用於驅動電路之電晶體較佳地以高速作業，因為隨著顯示裝置之畫素密度增加，顯示影像之寫入時間便減少。

本發明之實施例，其為本說明書所揭露，關於達成上述目標之電晶體及顯示裝置。

本發明之實施例，其為本說明書所揭露，為一種電晶體，其中形成通道區之氧化物半導體層為非結晶，或由非結晶及微晶之混合物組成，此處，除了表面部分包括由微晶層組成之結晶區外，非結晶區滿布微晶，或由微晶群組成。此外，本發明之實施例，其為本說明書所揭露，為一種顯示裝置，其係經由於一基板上形成由該等電晶體構成之驅動電路部及畫素部而予獲得。

本發明之實施例，其為本說明書所揭露，為一種電晶體，包括閘極電極層、閘極電極層上之閘極絕緣層、閘極

絕緣層上之氧化物半導體層、閘極絕緣層上與部分氧化物半導體層重疊之源極電極層及汲極電極層、及與氧化物半導體層接觸之氧化物絕緣層。氧化物半導體層包括表面部分之第一區及其餘部分之第二區。

請注意，本說明書中諸如「第一」及「第二」之序數係為便利而使用，並非表示步驟順序及各層堆疊順序。此外，本說明書中序數並非表示指明本發明之特別名稱。

本發明之實施例，其為本說明書所揭露，為一種電晶體，包括閘極電極層、閘極電極層上之閘極絕緣層、閘極絕緣層上之源極電極層及汲極電極層、閘極絕緣層上與部分源極電極層及汲極電極層重疊之氧化物半導體層、及與氧化物半導體層接觸之氧化物絕緣層。氧化物半導體層包括表面部分之第一區及其餘部分之第二區。

氧化物半導體層之第一區係由垂直於該層表面方向之c軸取向之微晶組成。

氧化物半導體層之第二區為非結晶，或由非結晶及微晶之混合物組成，此處非結晶區為摻雜微晶，或由微晶組成。

有關氧化物半導體層，係以 RTA 法等於高溫下使用短時間執行脫水或脫氫。經由此加溫步驟，氧化物半導體層之表面部分成為包括由微晶組成之結晶區，而其餘部分成為非結晶，或由非結晶及微晶之混合物組成，此處非結晶區為滿布微晶，或由微晶群組成。

經由使用具有該等結構之氧化物半導體層，可以避免

由於轉變為 n 型，歸因於濕氣進入表面部分或排除表面部分之氧，而造成之電氣特性降低。此外，由於氧化物半導體層之表面部分位於背通道側，並具有包括微晶之結晶區，可抑制寄生通道之產生。而且，在通道蝕刻結構中，可減少由於結晶區及源極與汲極電極之存在而導致電導度增加處之表面部分之間的接觸電阻。

此外，經由使用依據本發明之實施例之電晶體而於一基板之上形成驅動電路部及畫素部，並使用液晶元件、發光元件或電泳元件等，可製造顯示裝置。

本發明之實施例，其為本說明書所揭露，為一種顯示裝置，包括於一基板上具電晶體之畫素部及驅動電路部。電晶體各包括閘極電極層、閘極電極層上之閘極絕緣層、閘極絕緣層上之氧化物半導體層、閘極絕緣層上與部分氧化物半導體層重疊之源極電極層及汲極電極層、及與氧化物半導體層接觸之氧化物絕緣層。氧化物半導體層包括表面部分之第一區及其餘部分之第二區。

本發明之實施例，其為本說明書所揭露，為一種顯示裝置，包括於一基板上具電晶體之畫素部及驅動電路部。電晶體各包括閘極電極層、閘極電極層上之閘極絕緣層、閘極絕緣層上之源極電極層及汲極電極層、閘極絕緣層上與部分源極電極層及汲極電極層重疊之氧化物半導體層、及與氧化物半導體層接觸之氧化物絕緣層。氧化物半導體層包括表面部分之第一區及其餘部分之第二區。

氧化物半導體層之第一區係由垂直於該層表面方向之

c 軸取向之微晶組成。第二區爲非結晶或由非結晶及微晶之混合物組成，此處之非結晶區爲滿布微晶，或由微晶組成。

在包括氧化物半導體層之電晶體中，氧化物半導體層之表面部分包括結晶區，而其餘部分爲非結晶或由非結晶及微晶之混合物組成，或由微晶組成，藉此電晶體可具有有利的電氣特性及高可靠性，並可製造具有有利的電氣特性及高可靠性之顯示裝置。

【圖式簡單說明】

圖 1A 及 1B 爲截面圖，各描繪電晶體。

圖 2A 至 2C 爲電晶體之截面程序圖。

圖 3A 至 3C 爲電晶體之截面程序圖。

圖 4A 及 4B 爲平面圖，描繪電晶體。

圖 5 爲平面圖，描繪電晶體。

圖 6 爲平面圖，描繪電晶體。

圖 7 爲平面圖，描繪電晶體。

圖 8A1、8A2、8B1 及 8B2 爲平面圖及截面圖，描繪閘極布線端子部。

圖 9 爲平面圖，描繪電晶體。

圖 10A 及 10B 爲平面圖，各描繪電晶體。

圖 11A 及 11B 各描繪顯示裝置之應用範例。

圖 12 爲外部圖，描繪顯示裝置之範例。

圖 13 爲截面圖，描繪顯示裝置。

圖 14A 及 14B 爲方塊圖，描繪液晶顯示裝置。

圖 15A 及 15B 分別爲信號線驅動電路之組態圖及時序圖。

圖 16A 至 16D 爲電路圖，各描繪移位暫存器之組態。

圖 17A 及 17B 分別爲描繪移位暫存器之組態的電路圖，及描繪移位暫存器之作業的時序圖。

圖 18 描繪顯示裝置之畫素等效電路。

圖 19A 至 19C 爲截面圖，各描繪顯示裝置。

圖 20A1、20A2、20B 爲平面圖及截面圖，描繪顯示裝置。

圖 21 爲截面圖，描繪顯示裝置。

圖 22A 及 22B 爲平面圖及截面圖，分別描繪顯示裝置。

圖 23A 及 23B 爲外部圖，分別描繪電視裝置及數位相框之範例。

圖 24A 及 24B 爲外部圖，描繪遊戲機之範例。

圖 25A 及 25B 爲外部圖，描繪行動電話之範例。

圖 26A 及 26B 爲氧化物半導體層之截面的 TEM 照片。

圖 27A 及 27B 爲氧化物半導體層之截面的 TEM 照片。

圖 28A 及 28B 爲氧化物半導體層之截面的 TEM 照片。

圖 29A 及 29B 分別為氧化物半導體層之截面的 TEM 照片及電子衍射圖。

圖 30 為氧化物半導體層之 EDX 頻譜分析。

圖 31 為氧化物半導體層之 X 光衍射圖。

圖 32A 至 32C 為氧化物半導體層之 SIMS 深度分析數據圖。

圖 33 簡要描繪科學計算。

圖 34A 及 34B 簡要描繪科學計算。

圖 35A 及 35B 描繪科學計算。

圖 36 描繪氧化物半導體之晶體結構。

圖 37A 及 37B 顯示未歷經-BT 測試及已歷經-BT 測試之電晶體的 I-V 特性。

圖 38A 至 38C 為氧化物半導體層之 SIMS 深度分析數據圖。

圖 39A 至 39C 為氧化物半導體層之 SIMS 深度分析數據圖。

【實施方式】

將參考圖式描述實施例及範例。請注意，本發明不侷限於下列描述，本技藝中技術熟練人士將輕易理解在不偏離本發明之精神及範圍下，本發明之模式及細節可以各種方式修改。因此，本發明不應解釋為侷限於下列實施例及範例之描述。請注意，在下列所描述本發明之結構中，不同圖式中具有類似功能之相同部分將標示相同編號，並省

略其描述。

(實施例 1)

在本實施例中，將參照圖 1A 及 1B 描述電晶體之結構。

圖 1A 為通道蝕刻電晶體之截面圖，而圖 4A 為其平面圖。圖 1A 為沿圖 4A 之線 A1-A2 之截面圖。

圖 1A 及 1B 中所描繪之電晶體，各包括於基板 100 上之閘極電極層 101、閘極絕緣層 102、包括表面部分之結晶區 106 的氧化物半導體層 103、源極電極層 105a 及汲極電極層 105b。氧化物絕緣層 107 係置於包括表面部分之結晶區 106 的氧化物半導體層 103、源極電極層 105a 及汲極電極層 105b 之上。

請注意，圖 1A 描繪正常通道蝕刻電晶體之結構，其中部分氧化物半導體層於源極電極層 105a 及汲極電極層 105b 之間蝕刻；然而，可替代地使用一種結構，如圖 1B 中所描繪，其中氧化物半導體層未蝕刻，使得表面部分之結晶區留下。

閘極電極層 101 可由使用任何金屬材料之單層結構或層級結構組成，諸如鋁、銅、鈾、鈦、鉻、鉭、鎢、鈹及鈳；包含該些金屬材料之任一項做為其主要成分之合金材料；或包含該些金屬材料之任一項之氮化物。若諸如鋁或銅之低電阻金屬材料被用做電極層，因其具有諸如低耐熱及易於腐蝕之缺點，該低電阻金屬材料較佳地與耐火金屬

材料組合使用。有關耐火金屬材料，可使用鉬、鈦、鉻、鋇、鎢、釹、釩等。

此外，為提升畫素部之孔徑比，銦氧化物之透光氧化物導電層、銦氧化物及錫氧化物合金、銦氧化物及鋅氧化物合金、鋅氧化物、鋅鋁氧化物、鋅鋁氮氧化合物、鋅鎂氧化物等可用做閘極電極層 101。

有關閘極絕緣層 102，可使用矽氧化物、矽氮氧化合物、矽氮化物氧化物、矽氮化物、鋁氧化物、鉭氧化物等任一項之單層膜或複合膜。該等膜可以 CVD 法、噴濺法等予以形成。

有關氧化物半導體膜，可使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示之薄膜。此處，M 代表一或多項選自 Ga、Al、Mn 及 Co 之金屬元件。例如，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等。在以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示之氧化物半導體膜中，包括 Ga 做為 M 之氧化物半導體稱為 In-Ga-Zn-O 基氧化物半導體，及 In-Ga-Zn-O 基氧化物半導體之薄膜亦稱為 In-Ga-Zn-O 基膜。

氧化物半導體層 103 係以噴濺法形成具有 10 nm 至 300 nm 厚度，較佳地為 20 nm 至 100 nm。應注意的是，如圖 1A 中所描繪，若部分氧化物半導體層 103 被蝕刻，當裝置完成時，氧化物半導體層 103 便具有一區域其厚度小於上述厚度。

有關氧化物半導體層 103，係使用以 RTA 法等於高溫下短時間執行脫水或脫氫者。脫水或脫氫可以高溫氣體

(諸如氮或稀有氣體之惰性氣體) 經由快速熱退火 (RTA) 處理，或以 500°C 至 750°C (或低於或等於玻璃基板之應變點的溫度) 之光執行約一分鐘至十分鐘，較佳地以 650°C 執行約三分鐘至六分鐘。基於 RTA 法，可以短時間執行脫水或脫氫；因此，可以高於玻璃基板之應變點的溫度執行處理。

氧化物半導體層 103 為於氧化物半導體層 103 形成階段具有許多懸鍵之非結晶層。經過脫水或脫氫之加熱步驟，短距離內懸鍵彼此黏合，使得氧化物半導體層 103 可具有有序的非結晶結構。隨著定序進行，氧化物半導體層 103 成為由非結晶及微晶之混合物組成，此處非結晶區滿布微晶，或由微晶群組成。此處，微晶為具 1 nm 至 20 nm 粒子尺寸之所謂奈米晶體，其小於一般稱為微晶的微晶粒子。

微晶層較佳地在氧化物半導體層 103 的表面中形成，該表面部分為結晶區 106，微晶在微晶層中為垂直於該層表面方向之 c 軸取向。在此狀況下，晶體之長軸呈 c 軸方向，而短軸方向之晶體為 1 nm 至 20 nm 。

在氧化物半導體層的表面部分，其具有一結構，存在包括微晶之密集結晶區，因而可以避免由於轉變為 n 型，歸因於濕氣進入表面部分或排除表面部分之氧，而造成之電氣特性降低。此外，由於氧化物半導體層的表面部分在背通道側，可避免氧化物半導體層轉變為 n 型，亦可有效抑制寄生通道的產生。而且，可減少由於結晶區及源極電

極層 105a 或汲極電極層 105b 存在而電導度增加之表面部分之間的接觸電阻。

此處，極可能生長之 In-Ga-Zn-O 基膜的晶體結構，取決於沈積氧化物半導體所用之目標。例如，若使用用以沈積氧化物半導體之目標而形成 In-Ga-Zn-O 基膜，其包含 In、Ga 及 Zn，使得 In_2O_3 相對於 Ga_2O_3 相對於 ZnO 之摩爾比為 1 : 1 : 1，並經由加熱步驟執行晶化，而可能形成六角晶系層狀化合物晶體結構，其中包含 Ga 及 Zn 的一氧化物層或二氧化物層混合於 In 氧化物層之間。另一方面，若使用 In_2O_3 相對於 Ga_2O_3 相對於 ZnO 之摩爾比為 1 : 1 : 2 之目標，並經由加熱步驟執行晶化，包含 Ga 及 Zn 並插入 In 氧化物層之間的氧化物層可能具有雙層結構。由於包含 Ga 及 Zn 並具有雙層結構之氧化物層的晶體結構是穩定的，因而可能發生晶體生長，若使用 In_2O_3 相對於 Ga_2O_3 相對於 ZnO 之摩爾比為 1 : 1 : 2 之目標，並經由加熱步驟執行晶化，有時形成從包含 Ga 及 Zn 之氧化物層的外層至閘極絕緣膜與包含 Ga 及 Zn 之氧化物層之間接合部的連續晶體。請注意，摩爾比可稱為原子比。

請注意，如圖 10A 中所描繪，結晶區並未形成於氧化物半導體層 103 的側表面部，取決於步驟順序，且結晶區 106 僅形成於上層部。應注意的是側表面部的面積率低，因而在此狀況下亦可保持上述效果。

源極電極層 105a 具有第一導電層 112a、第二導電層

113a 及第三導電層 114a 之三層結構，同時汲極電極層 105b 具有第一導電層 112b、第二導電層 113b 及第三導電層 114b 之三層結構。有關源極及汲極電極層 105a 及 105b 之材料，可使用類似於閘極電極層 101 之材料。

此外，透光氧化物導電層係以類似於閘極電極層 101 之方式用於源極及汲極電極層 105a 及 105b，藉此可提升畫素部之透光性，亦可提升孔徑比。

此外，氧化物導電層可形成於氧化物半導體層 103 與上述金屬膜之間，做為源極及汲極電極層 105a 及 105b，使得可減少接觸電阻。

做為通道保護層之氧化物絕緣層 107 係設於氧化物半導體層 103、源極電極層 105a 及汲極電極層 105b 之上。氧化物絕緣層係使用無機絕緣膜以噴濺法形成，典型為矽氧化物膜、矽氮化物氧化物膜、鋁氧化物膜、鋁氮氧化化合物膜等。

另一方面，圖 10B 中所描繪之底部接觸型電晶體可使用類似於各部之材料形成。

圖 10B 中所描繪之電晶體包括基板 100 上之閘極電極層 101、閘極絕緣層 102、源極電極層 105a、汲極電極層 105b、及包括表面部分之晶體區 106 之氧化物半導體層 103。此外，氧化物絕緣層 107 係設於閘極絕緣層 102、源極電極層 105a、汲極電極層 105b 及氧化物半導體層 103 之上。

亦在此結構中，氧化物半導體層 103 為非結晶或由非

結晶及微晶之混合物組成，除了表面部分包括微晶層組成之結晶區 106 外，此處非結晶區滿布微晶或由微晶群組成。當使用具有該等結構之氧化物半導體層時，可以類似於通道蝕刻結構之方式，避免由於轉變為 n 型，歸因於濕氣進入表面部分或排除表面部分之氧，而造成之電氣特性降低。此外，由於氧化物半導體層之表面部分在背通道側，並包括微晶層組成之結晶區，可抑制寄生通道之產生。

基於該等結構，電晶體可具有高可靠性及高電氣特性。

請注意，儘管在本實施例中提供通道蝕刻電晶體之範例，但可使用通道保護電晶體。另一方面，可使用包括與源極電極層及汲極電極層重疊之氧化物半導體層的底部接觸型電晶體。

請注意，本實施例中所描述之結構可用於酌情與其他實施例中所描述之任何結構相組合。

（實施例 2）

在本實施例中，將參照圖 2A 至 2C、圖 3A 至 3C、圖 4A 及 4B、圖 5、圖 6、圖 7、圖 8A1、8A2、8B1 和 8B2 及圖 9 描述實施例 1 中所描述之包括通道蝕刻電晶體之顯示裝置的製造程序。圖 2A 至 2C 及圖 3A 至 3C 為截面圖，圖 4A 及 4B、圖 5、圖 6 及圖 7 為平面圖，及圖 4A 及 4B 中線 A1-A2 及線 B1-B2、圖 5、圖 6 及圖 7 分別相

應於圖 2A 至 2C 及圖 3A 至 3C 之截面圖中線 A1-A2 及線 B1-B2。

首先，準備基板 100。有關基板 100，可使用任一下列基板；以熔融法或浮標法由鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等製成之非鹼性玻璃基板、陶瓷基板、具有足以支撐本製造程序之處理溫度之耐熱的塑料基板等。另一方面，可使用金屬基板，諸如表面具絕緣膜之不銹鋼合金基板。

請注意，除了上述玻璃基板外，可使用絕緣體形成之基板做為基板 100，諸如陶瓷基板、石英基板或藍寶石基板。

此外，有關基膜，絕緣膜可形成於基板 100 之上。基膜可以 CVD 法、噴濺法等，使用矽氧化物膜、矽氮化物膜、矽氮氧化合物膜及矽氮化物氧化物膜之任一項形成具單層結構或層級結構。若使用包含移動離子之基板做為基板 100，諸如玻璃基板，便使用包含氮之膜做為基膜，諸如矽氮化物膜或矽氮化物氧化物膜，藉此可避免移動離子進入半導體層。

其次，成為包括閘極電極層 101、電容器布線 108 及第一端子 121 之閘極布線的導電膜，係以以噴濺法或真空蒸發法形成於基板 100 的整個表面上。其次，經由第一光刻程序形成抗蝕罩。藉由蝕刻移除不必要部分，以形成布線及電極（包括電極層 101 之閘極布線、電容器布線 108 及第一端子 121）。此時，較佳地執行蝕刻，使得閘極電

極層 101 之端部呈錐形，以避免形成於閘極電極層 101 上之膜破裂。圖 2A 中描繪本階段之截面圖。請注意，圖 4B 為本階段之平面圖。

包括閘極電極層 101、電容器布線 108 及端子部中第一端子 121 之閘極布線，可由使用任何金屬材料之單層結構或層級結構組成，諸如鋁、銅、鉬、鈦、鉻、鉭、鎢、鈹及鈳；包含任一項該些金屬材料做為其主要成分之合金材料；或包含任一項該些金屬材料之氮化物。若諸如鋁或銅之低電阻金屬材料被用做電極層，因其具有諸如低耐熱及易於腐蝕之缺點，該低電阻金屬材料較佳地與耐火金屬材料組合使用。有關耐火金屬材料，可使用鉬、鈦、鉻、鉭、鎢、鈹、鈳等。

例如，有關閘極電極層 101 之雙層結構，下列結構較佳：其中鉬層堆疊於鋁層之上之雙層結構、其中鉬層堆疊於銅層之上之雙層結構、其中鈦氮化物層或鉭氮化物層堆疊於銅層之上之雙層結構、及鈦氮化物層及鉬層之雙層結構。有關三層結構，下列結構較佳：包括鋁之層級結構、鋁及矽之合金、鋁及鈦之合金、或鋁及中間層之鈹及頂部層及底部層之鎢、鎢氮化物、鈦氮化物及鈦之任一項之合金。

當時，透光氧化物導電層係用於部分電極層及布線層，以增加孔徑比。例如，銦氧化物、銦氧化物及錫氧化物之合金、銦氧化物及鋅氧化物之合金、鋅氧化物、鋅鋁氧化物、鋅鋁氮氧化合物、鋅鎳氧化物等合金，可用於氧

化物導電層。

其次，閘極絕緣層 102 形成於閘極電極層 101 之上。閘極絕緣層 102 以 CVD 法、噴濺法等形成 50 nm 至 250 nm 之厚度。

例如，對閘極絕緣層 102 而言，以噴濺法形成具 100 nm 厚度之矽氧化物膜。不用說，閘極絕緣層 102 不侷限於該等矽氧化物膜，並可形成而具使用任一項絕緣膜之單層結構或層級結構，諸如矽氮氧化化合物膜、矽氮化物氧化物膜、矽氮化物膜、鋁氧化物膜及鉭氧化物膜。

另一方面，閘極絕緣層 102 可以 CVD 法經有機矽烷氣體而使用矽氧化物層予以形成。對有機矽烷氣體而言，可使用包含矽之化合物，諸如四乙氧基矽烷（TEOS）、四甲基矽烷（TMS）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（TRIES）或三（二甲氨基）矽烷（TDMAS）。

另一方面，閘極絕緣層 102 可使用鋁、鈮或鉛之氧化物、氮化物、氮氧化合物及氮化物氧化物，或包括上述之至少二或更多類之化合物予以形成。

請注意，在本說明書中，「氮氧化合物」乙詞係指一種包含氧原子及氮原子之物質，使得氧原子之數量大於氮原子之數量，而「氮化物氧化物」乙詞係指一種包含氮原子及氧原子之物質，使得氮原子之數量大於氧原子之數量。例如，「矽氮氧化化合物膜」意即包含氧原子及氮原子

之膜，使得氧原子之數量大於氮原子之數量，若使用盧瑟福背散射光譜學（RBS）及氬前向散射（HFS）執行測量，所包含氧、氮、矽及氬之濃度範圍各為 50 原子%至 70 原子%、0.5 原子%至 15 原子%、25 原子%至 35 原子%及 0.1 原子%至 10 原子%。此外，「矽氮化物氧化物膜」意即包含氮原子及氧原子之膜，使得氮原子之數量大於氧原子之數量，若使用 RBS 及 HFS 執行測量，所包含氧、氮、矽及氬之濃度範圍各為 5 原子%至 30 原子%、20 原子%至 55 原子%、25 原子%至 35 原子%及 10 原子%至 30 原子%。請注意，氮、氧、矽及氬之百分比均落於上述範圍內，其中矽氮氧化物膜或矽氮化物氧化物膜中所包含之總原子數定義為 100 原子%。

請注意，在用於形成氧化物半導體層 103 之氧化物半導體膜形成之前，閘極絕緣層表面上之灰塵較佳地經由執行反向噴濺而予移除，其中導入氬氣並產生電漿。反向噴濺係指一種方法，其中 RF 電源用於將電壓應用於氬氣中之基板側，使得於基板周圍產生電漿以修改表面。請注意，除了氬氣外，可使用氮氣、氦氣等。另一方面，可使用添加氧、 N_2O 等之氬氣。再另一方面，可使用添加 Cl_2 、 CF_4 等之氬氣。在反向噴濺之後，形成氧化物半導體膜而不暴露於空氣，藉此可避免灰塵及濕氣附著至閘極絕緣層 102 及氧化物半導體層 103 之間之接合部。

其次，氧化物半導體膜形成於閘極絕緣層 102 之上，達 5 nm 至 200 nm 厚度，較佳地為 10 nm 至 40 nm。

有關氧化物半導體膜，可使用諸如 In-Sn-Ga-Zn-O 基膜之四元金屬氧化物膜；諸如 In-Ga-Zn-O 基膜、In-Sn-Zn-O 基膜、In-Al-Zn-O 基膜、Sn-Ga-Zn-O 基膜、Al-Ga-Zn-O 基膜或 Sn-Al-Zn-O 基膜之三元金屬氧化物膜；或諸如 In-Zn-O 基膜、Sn-Zn-O 基膜、Al-Zn-O 基膜、Zn-Mg-O 基膜、Sn-Mg-O 基膜、或 In-Mg-O 基膜之二元金屬氧化物膜；In-O 基膜、Sn-O 基膜或 Zn-O 基膜。此外，氧化物半導體膜可進一步包含 SiO₂。

此處，使用用於氧化物半導體沈積之目標而形成氧化物半導體膜，其包含 In、Ga 及 Zn (In₂O₃ 相對於 Ga₂O₃ 相對於 ZnO 之比例為 1 : 1 : 1 或 1 : 1 : 2 摩爾比)，在基板及目標之間距離為 100 mm、壓力為 0.6 Pa 及直流 (DC) 電力為 0.5 kW 等狀況下，且氣體為氧氣 (氧流比例為 100%)。請注意，當使用脈衝直流 (DC) 電源時，可減少灰塵且膜厚度可能為均勻。在本實施例中，有關氧化物半導體膜，以噴濺法並使用用於 In-Ga-Zn-O 基氧化物半導體沈積之目標形成 30-nm 厚之 In-Ga-Zn-O 基膜。

噴濺法之範例包括 RF 噴濺法，其中高頻電源用做噴濺電源；DC 噴濺法，其中使用 DC 電源；及脈衝 DC 噴濺法，其中以脈衝方式施予偏壓。RF 噴濺法主要用於若形成絕緣膜；DC 噴濺法主要用於若形成諸如金屬膜之導電膜。

此外，亦存在多重來源噴濺設備，其中可設定複數個不同材料之目標。基此多重來源噴濺設備，可形成不同材

料之膜堆疊於相同腔室中，或可經由相同時間在相同腔室中形成複數類材料之膜。

此外，存在設於腔室內部具磁性系統並用於磁控管噴濺法之噴濺設備，及用於 ECR 噴濺法之噴濺設備，其中使用利用微波產生之電漿而未使用輝光放電。

而且，有關使用噴濺法之沈積法，亦存在反應噴濺法，其中目標物質及噴濺氣體成分於沈積期間彼此化學反應，以形成其薄複合膜，及偏壓噴濺法，其中電壓亦於沈積期間應用於基板。

其次，經由第二光刻程序，形成抗蝕罩。接著，蝕刻 In-Ga-Zn-O 基膜。在蝕刻中，諸如檸檬酸或草酸之有機酸可用做蝕刻劑。此處，經由利用 ITO-07N（Kanto 化學股份有限公司製造）之濕式蝕刻來蝕刻 In-Ga-Zn-O 基膜，以移除不必要部分。因而，In-Ga-Zn-O 基膜經處理而具有島形，藉此形成氧化物半導體層 103。氧化物半導體層 103 之端部經蝕刻而具有錐形，藉此可避免因梯級形狀造成布線破裂。請注意，此處蝕刻不侷限於濕式蝕刻，而是可執行乾式蝕刻。

接著，氧化物半導體層歷經脫水或脫氫。用以脫水或脫氫之第一熱處理可使用高溫氣體（諸如氮之惰性氣體或稀有氣體）經由快速熱退火（RTA）處理而予執行，或 500°C 至 750°C 溫度（或低於或等於玻璃基板應變點之溫度）之光實施達約一分鐘至十分鐘，較佳地以 650°C 實施達約三分鐘至六分鐘。基於 RTA 法，可以短時間執行脫

水或脫氫；因此，可以高於玻璃基板應變點之溫度執行處理。圖 2B 及圖 5 中分別描繪本階段之截面圖及本階段之平面圖。請注意，熱處理之時序不侷限於此時序，而是可執行複數倍，例如，光刻程序或沈積步驟之前或之後。

此處，氧化物半導體層 103 之表面部分經由第一熱處理而被晶化，因而成為具有包括微晶之結晶區 106。氧化物半導體層 103 的其餘區域成為非結晶或由非結晶及微晶之混合物組成，此處非結晶區滿布微晶，或由微晶群組成。請注意，結晶區 106 為部分氧化物半導體層 103，且以下「氧化物半導體層 103」包括結晶區 106。

請注意，在本說明書中，在諸如氮之惰性氣體或稀有氣體之氣體中之熱處理稱為用以脫水或脫氫之熱處理。在本說明書中，「脫氫」並非指以熱處理僅排除 H_2 。為求方便， H 、 OH 等之排除亦稱為「脫水或脫氫」。

重要的是歷經脫水或脫氫之氧化物半導體層不應暴露於空氣，以避免水或氫進入氧化物半導體層。當使用經由將氧化物半導體層改變為低電阻氧化物半導體層所獲得之氧化物半導體層形成電晶體時，即， n 型（例如 n^- 型或 n^+ 型）氧化物半導體層經由執行脫水或脫氫，及經由將低電阻氧化物半導體層改變為高電阻氧化物半導體層，使得氧化物半導體層成為 i 型氧化物半導體層，電晶體之閾值電壓（ V_{th} ）為正，使得體現所謂正常關屬性。對用於顯示裝置之電晶體而言，較佳的是閘極電壓為儘可能接近 0 V 之正閾值電壓。在主動式矩陣顯示裝置中，電路中所包括

之電晶體的電氣特性是重要的，且顯示裝置之效能取決於電氣特性。尤其，電晶體之閾值電壓是重要的。若電晶體之閾值電壓為負，電晶體具有所謂正常開屬性，即當閘極電壓為 0 V 時，電流流經源極電極及汲極電極之間，使得難以控制使用電晶體形成之電路。若電晶體之閾值電壓為正，但閾值電壓之絕對值為大，電晶體有時便無法執行切換作業，因為驅動電壓不夠高。若為 n 通道電晶體，較佳的是在正電壓應用做為閘極電壓之後，通道形成且汲極電流流動。通道未形成除非驅動電壓提升之電晶體，及當施予負電壓時通道形成且汲極電流流動之電晶體，均為不適用於電路之電晶體。

當從脫水或脫氫之溫度執行冷卻時，氣體必須從溫度上升或執行熱處理之氣體切換為不同氣體。例如，冷卻可在執行脫水或脫氫之熔爐中執行，同時熔爐填注高純度氧氣、高純度 N_2O 氣或超乾燥空氣（具有 $-40^{\circ}C$ 或更低之露點，較佳地為 $-60^{\circ}C$ 或更低），而不暴露於空氣。

請注意，在第一熱處理中，較佳的是氣體中不包含水、氫等。另一方面，被導入熱處理設備之惰性氣體的純度較佳地為 6N（99.9999%）或更高，更佳地為 7N（99.99999%）或更高（即，雜質濃度為 1 ppm 或更低，較佳地為 0.1 ppm 或更低）。

若在惰性氣體中執行熱處理，氧化物半導體層便改變為缺氧氧化物半導體層，使得氧化物半導體層經由熱處理而成為低電阻氧化物半導體層（即，n 型（例如 n^- 或 n^+

型) 氧化物半導體層)。之後，經由形成接觸氧化物半導體層之氧化物絕緣層，氧化物半導體層便被製成超氧狀態。因而，氧化物半導體層被製成 i 型；即，氧化物半導體層改變為高電阻氧化物半導體層。因此，可形成具有有利的電氣特性之高度可靠電晶體。

依據第一熱處理之狀況或氧化物半導體層之材料，氧化物半導體層可部分晶化。在第一熱處理之後，獲得缺氧及具有低電阻之氧化物半導體層 103。在第一熱處理之後，載子濃度高於剛在膜形成之後之氧化物半導體膜的載子濃度，使得氧化物半導體層較佳地具有 $1 \times 10^{18} / \text{cm}^3$ 或更高之載子濃度。

氧化物半導體層可於氧化物半導體膜處理成為島形氧化物半導體層之前執行第一熱處理。在此狀況下，於第一熱處理之後執行第二光刻程序。結晶區未形成於島形氧化物半導體層 103 之側表面部，結晶區 106 僅形成於氧化物半導體層 103 之上層部（參照圖 10A）。

其次，經由第三光刻程序，形成抗蝕罩。經由蝕刻移除不必要部分。以形成接觸孔，抵達由與閘極電極層 101 相同材料形成之布線或電極層。本接觸孔係提供而連接上述布線等與之後將形成之導電膜之間。

其次，以噴濺法或真空蒸發法於氧化物半導體層 103 及閘極絕緣層 102 之上形成第一導電層 112、第二導電層 113 及第三導電層 114，做為導電層。圖 2C 為本階段之截面圖。

第一導電層 112、第二導電層 113 及第三導電層 114 各使用類似於閘極電極層 101 之材料予以形成。

此處，第一導電層 112 及第三導電層 114 係使用耐熱導電材料之鈦予以形成，第二導電層 113 係使用包含鈹之鋁合金予以形成。該等結構可利用鋁的低電阻屬性，並減少凸起產生。請注意，儘管在本實施例中導電層具有三層結構，但本發明之實施例不侷限於此。可使用單層結構或包括二層、四層或更多層之層級結構。例如，可使用鈦膜之單層結構，或鈦膜及包含矽之鋁膜的層級結構。

其次，經由第四光刻程序，形成抗蝕罩 131。經由蝕刻移除不必要部分，藉此形成源極及汲極電極層 105a 及 105b、氧化物半導體層 103 及連接電極 120。此時，濕式蝕刻或乾式蝕刻可用做蝕刻法。例如，當使用鈦而形成第一導電層 112 及第三導電層 114 時，及使用包含鈹之鋁合金而形成第二導電層 113 時，可使用過氧化氫溶液或加熱之鹽酸做為蝕刻劑而執行濕式蝕刻。經由本蝕刻步驟，氧化物半導體層 103 經部分蝕刻而具有源極電極層 105a 及汲極電極層 105b 之間的薄區域。圖 3A 及圖 6 分別描繪本階段之截面圖及本階段之平面圖。

此時，在氧化物半導體層 103 相對於第一導電層 112 及第三導電層 114 之選擇性比例足夠低之狀況下執行蝕刻處理，藉此電晶體具有一種結構，其中如圖 1B 中所描繪，留下表面部分之結晶區。

第一導電層 112、第二導電層 113、第三導電層 114

及氧化物半導體層 103 可使用過氧化氫溶液或加熱之鹽酸而完全蝕刻。因此，梯級等並未形成於源極電極層 105a、汲極電極層 105b 或氧化物半導體層 103 之端部。此外，濕式蝕刻允許各層各向同性地蝕刻；因而，源極及汲極電極層 105a 及 105b 尺寸減少，使得其端部位於抗蝕罩 131 內部。經由上述步驟，可製造電晶體 170，其中氧化物半導體層 103 及結晶區 106 被用做通道形成區。

此處，源極電極層 105a 及汲極電極層 105b 係使用類似於閘極電極層 101 之透光氧化物導電層予以形成，藉此可提升畫素部之透光性，及可提升孔徑比。

此外，氧化物導電層可形成於氧化物半導體層 103 與將做為源極及汲極電極層 105a 及 105b 之金屬膜之間，使得可減少接觸電阻。

在第四光刻程序中，使用與源極電極層 105a 及汲極電極層 105b 相同材料而形成之第二端子 122 亦留在端子部中。請注意，第二端子 122 電性連接至源極布線（包括源極及汲極電極層 105a 及 105b 之源極布線）。

此外，在端子部中，連接電極 120 經由形成於閘極絕緣層 102 中之接觸孔而直接連接至端子部之第一端子 121。請注意，儘管未描繪，驅動電路之電晶體的源極或汲極布線及閘極電極經由與上述步驟之相同步驟而彼此連接。

此外，經由使用具有複數厚度之區域的抗蝕罩（典型地為兩種不同厚度），其係經由使用多色調遮罩而形成，

抗蝕罩數量可減少，導致簡化程序及較低成本。

其次，移除抗蝕罩 131，並形成氧化物絕緣層 107 以覆蓋電晶體 170。氧化物絕緣層 107 可使用矽氧化物膜、矽氮氧化化合物膜、鋁氧化物膜、鉭氧化物膜等予以形成。

在本實施例中，以噴濺法形成用於氧化物絕緣層之矽氧化物膜。膜形成中之基板溫度可從室溫至 300°C ，在本實施例中為 100°C 。為避免諸如水或氫之雜質於膜形成中進入，較佳的是於膜形成之前在減少的壓力及 150°C 至 350°C 之溫度下執行預烘達二至十分鐘，以形成氧化物絕緣層而不暴露於空氣。矽氧化物膜可以噴濺法於稀有氣體（典型為氬氣）、氧氣、或包含稀有氣體（典型為氬氣）及氧之混合氣體中予以形成。此外，矽氧化物目標或矽目標可用做目標。例如，經由使用矽目標，可以噴濺法於氧及稀有氣體中形成矽氧化物膜。經形成而接觸電阻減少之區域中氧化物半導體層之氧化物絕緣層，係使用未包含諸如濕氣、氫離子及 OH^{-} 之雜質的無機絕緣膜而予形成，並阻擋該等雜質從外部進入。

在本實施例中，膜形成是以脈衝 DC 噴濺法並使用摻雜柱狀多晶 B（具 $0.01\ \Omega\text{-cm}$ 電阻係數）之矽目標，在基板與目標之間距離（T-S 距離）為 89 mm、壓力為 0.4 Pa 及直流（DC）電為 6 kW，且氣體為氧氣（氧流比例為 100%）等狀況下執行，並具有 6N 純度。厚度為 300 nm。

其次，第二熱處理是在惰性氣體中執行（較佳地為

200°C 至 400°C 之溫度，例如 250°C 至 350°C）。例如，第二熱處理在氮氣中 250°C 下執行達一小時。另一方面，如第一熱處理中，可以高溫短時間執行 RTA 處理。在第二熱處理中，由於氧化物絕緣層 107 經加熱接觸部分氧化物半導體層 103，氧便從氧化物絕緣層 107 供應予成為 n 型並經由第一熱處理而具有較低電阻之氧化物半導體層 103，使得氧化物半導體層 103 處於超氧狀態。因而，氧化物半導體層 103 可為 i 型（具有較高電阻）。

在本實施例中，於形成矽氧化物膜之後執行第二熱處理；然而，熱處理之時序不侷限於剛形成矽氧化物膜後之時序，只要在矽氧化物膜形成之後即可。

若源極電極層 105a 及汲極電極層 105b 係使用耐熱材料形成，便可以第二熱處理之時序執行第一熱處理之步驟使用狀況。在此狀況下，一旦矽氧化物膜形成後便可執行熱處理。

接著，執行第五光刻程序，形成抗蝕罩。蝕刻氧化物絕緣層 107，使得形成抵達汲極電極層 105b 之接觸孔 125。此外，亦經由此蝕刻而形成抵達連接電極 120 之接觸孔 126 及抵達第二端子 122 之接觸孔 127。圖 3B 為本階段之截面圖。

其次，於抗蝕罩移除之後形成透光導電膜。透光導電膜係以噴濺法、真空蒸發法等，使用銦氧化物（ In_2O_3 ）、銦氧化物及錫氧化物之合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ 以下縮寫為 ITO）等予以形成。該等材料係以鹽酸基溶液蝕

刻。應注意的是，蝕刻 ITO 中可能產生殘渣，可使用銦氧化物及鋅氧化物之合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ 以下縮寫為 IZO），以改進蝕刻加工性能。

其次，經由第六光刻程序，形成抗蝕罩。經由蝕刻移除透光導電膜之不必要部分，使得形成畫素電極層 110。此處，以電容器部中之閘極絕緣層 102 及氧化物絕緣層 107 形成儲存電容器，其用做電介質、電容器布線 108 及畫素電極層 110。

此外，在第六光刻程序及蝕刻步驟中，透光導電層 128 及 129 分別形成於第一端子 121 及第二端子 122 之上。透光導電層 128 及 129 各做為連接軟性印刷電路（FPC）之電極或布線。連接第一端子 121 之透光導電層 128 為連接終端電極，其做為閘極布線之輸入端子。形成於第二端子 122 上之透光導電層 129 做為連接終端電極，其做為源極布線之輸入端子。

接著，移除抗蝕罩。圖 3C 及圖 7 分別描繪本階段之截面圖及本階段之平面圖。

圖 8A1 及 8A2 分別為本階段之閘極布線端子部的截面圖及其平面圖。圖 8A1 為沿圖 8A2 之線 C1-C2 的截面圖。在圖 8A1 中，形成於保護絕緣膜 154 及連接電極 153 上之透光導電層 155 為連接終端電極，其做為輸入端子。此外，在圖 8A1 中，由閘極布線相同材料形成之第一端子 151 及由源極布線相同材料形成之連接電極 153 彼此重疊，並具閘極絕緣層 152 插入其間，且彼此部分直接接觸

及電性連接。而且，連接電極 153 及透光導電層 155 經由形成於保護絕緣膜 154 中之接觸孔而彼此直接連接。

圖 8B1 及 8B2 分別為源極布線端子部之截面圖及其平面圖。圖 8B1 為沿圖 8B2 之線 D1-D2 的截面圖。在圖 8B1 中，形成於保護絕緣膜 154 及連接電極 150 上之透光導電層 155 為連接終端電極，其做為輸入端子。此外，在圖 8B1 中，由閘極布線相同材料形成之第二端子 156 與電性連接至源極布線之連接電極 150 重疊，並具閘極絕緣層 152 插入其間。第二端子 156 未電性連接至連接電極 150，且當第二端子 156 之電位設定為不同於連接電極 150 之電位時，諸如 GND 或 0 V，或第二端子 156 設定為浮動狀態時，可形成避免雜訊或靜電之電容器。連接電極 150 經由形成於保護絕緣膜 154 中之接觸孔而電性連接至透光導電層 155。

依據畫素密度而提供複數閘極布線、源極布線及電容器布線。而且在端子部中，配置與閘極布線相同電位之複數第一端子、與源極布線相同電位之複數第二端子、與電容器布線相同電位之複數第三端子等。各端子之數量可為任何數量，且端子之數量可由從業者酌情決定。

經由該些六項光刻程序，因而可完成通道蝕刻電晶體 170 及儲存電容器部。經由將電晶體及儲存電容器以矩陣配置於畫素部中，可獲得用於製造主動式矩陣顯示裝置之基板之一。在本說明書中，為求方便，該等基板稱為主動式矩陣基板。

若製造主動式矩陣液晶顯示裝置，提供具相對電極之主動式矩陣基板及相對基板彼此黏合，並具液晶層插入其間。請注意，電性連接至相對基板上相對電極之共同電極係提供於主動式矩陣基板之上，且電性連接至共同電極之第四端子係提供於端子部中。提供第四端子使得共同電極被設定為固定電位，諸如 GND 或 0 V。

本實施例之畫素結構不侷限於圖 7 中畫素結構。圖 9 為描繪另一畫素結構範例之平面圖。圖 9 描繪一範例，其中未提供電容器布線，且形成儲存電容器，具畫素電極及鄰近畫素之閘極布線，其彼此重疊並具保護絕緣膜及閘極絕緣層插入其間。在此狀況下，可省略電容器布線及連接至電容器布線之第三端子。請注意，在圖 9 中，與圖 7 中相同部分係標示共同編號。

在主動式矩陣液晶顯示裝置中，顯示型樣係由矩陣配置之驅動液晶元件形成。具體地，經由將電壓應用於所選擇液晶元件中所包括的畫素電極與相對電極之間，而執行液晶層之光學調變，且此光學調變經觀看者感知為顯示型樣。

在顯示液晶顯示裝置之移動影像中，存在一個問題，其中液晶分子本身的長響應時間造成後像。為減少該等後像，使用稱為黑色插入之驅動法，其中每一其他訊框期間整個螢幕顯示黑色。

此外，存在另一驅動技術，其為所謂雙訊框速率驅動。在雙訊框速率驅動中，垂直同步頻率設定為通常垂直

同步頻率的 1.5 倍或更多，較佳地為 2 倍或更多，藉此提升響應速度，並選擇將被寫入之灰階，用於經劃分而獲得之每一訊框中之每一複數域。

此外，存在一種驅動技術，藉此使用複數發光二極體（LED）、複數 EL 光源等做為背光而形成平面光源，且平面光源之每一光源係獨立地使用以於一訊框期間執行間歇性閃光驅動。例如，若使用 LED，並非總是使用白色 LED，而是可使用三或更多種顏色之 LED。由於可獨立地控制複數 LED，LED 之發光時序可與液晶層之光學調變時序同步。依據本驅動法，LED 可部分關閉；因此，特別是若顯示螢幕上具有佔據大塊黑色顯示區之影像，可獲得減少電力損耗之效果。

經由結合該些驅動法，相較於習知液晶顯示裝置，可改進諸如移動影像特性之液晶顯示裝置的顯示特性。

若製造發光顯示裝置，發光元件之低電源電位側（亦稱為陰極）上電極被設定為 GND、0 V 等；因而，於端子部中提供用於將陰極設定為諸如 GND 或 0 V 之低電源電位的第四端子。亦在製造發光顯示裝置中，除了源極布線及閘極布線外，提供電源線。因此，提供端子部具電性連接至電源線之第五端子。

請注意，在本實施例中，所描述之製造法係採通道蝕刻電晶體做為範例；然而，可經由改變步驟順序而製造底部接觸型電晶體。

由於電晶體可能由於靜電等而損壞，較佳地在形成閘

極線或源極線之基板上提供用於保護畫素部中電晶體之保護電路。較佳地使用包括氧化物半導體層之非線性元件而形成保護電路。

經由上述步驟，電晶體可具有高可靠性及高電氣特性，並可提供包括電晶體之顯示裝置。

請注意，本實施例中所描述之結構可用於酌情與其他實施例中所描述之任何結構相組合。

（實施例 3）

在本實施例中，下列所描述之範例，其中驅動電路及包括形成於一基板上之電晶體的畫素部進行驅動。

在本實施例中，依據實施例 1 基於使用製造電晶體之方法，畫素部及驅動電路部係形成於一基板上。實施例 1 中所描述之電晶體為 n 通道電晶體，因而驅動電路部侷限於部分電路，其僅由 n 通道電晶體構成。

圖 14A 描繪主動式矩陣顯示裝置之方塊圖範例。於顯示裝置之基板 5300 上提供畫素部 5301、第一掃描線驅動電路 5302、第二掃描線驅動電路 5303 及信號線驅動電路 5304。在畫素部 5301 中，配置從信號線驅動電路 5304 延伸之複數信號線，及配置從第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 延伸之複數掃描線。請注意，各包括顯示元件之畫素以矩陣配置於掃描線及信號線彼此交叉的各區域中。顯示裝置之基板 5300 經由諸如軟性印刷電路（FPC）之連接部而連接至時序控制電路 5305（亦

稱為控制器或控制 IC）。

在圖 14A 中，第一掃描線驅動電路 5302、第二掃描線驅動電路 5303 及信號線驅動電路 5304 形成於畫素部 5301 形成處之基板 5300 上。因此，外部提供之驅動電路等元件的數量減少，使得可降低成本。此外，可減少基板 5300 與外部驅動電路之間連接部（例如 FPC）之數量，並可提升可靠性或產量。

請注意，時序控制電路 5305 供應第一掃描線驅動電路起始信號（GSP1）（起始信號亦稱為起始脈衝）及掃描線驅動電路時脈信號（GCK1）予第一掃描線驅動電路 5302。而且，時序控制電路 5305 供應第二掃描線驅動電路起始信號（GSP2）、掃描線驅動電路時脈信號（GCK2）等予第二掃描線驅動電路 5303。

此外，時序控制電路 5305 供應信號線驅動電路起始信號（SSP）、信號線驅動電路時脈信號（SCK）、視訊信號資料（DATA，亦簡稱為視訊信號）、門鎖信號（LAT）等予信號線驅動電路 5304。每一時脈信號可為具偏移相位之複數時脈信號，或可連同經由反相時脈信號所獲得之信號（CKB）一起供應。請注意，可省略第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 其中之一。

圖 14B 描繪一種結構，其中具較低驅動頻率之電路（例如第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303）係形成於畫素部 5301 形成處之基板 5300 上，及信號線驅動電路 5304 係形成於與畫素部 5301 形成處之基板

5300 不同之基板上。基此結構，若使用場效移動性極低之電晶體，一些驅動電路可形成於畫素部 5301 形成處之基板 5300 上。因而，可達成成本降低及改進產量等。

其次，將參照圖 15A 及 15B 描述 n 通道電晶體構成之信號線驅動電路的結構及作業範例。

信號線驅動電路包括移位暫存器 5601 及開關電路 5602。開關電路 5602 係由開關電路 5602_1 至 5602_N (N 為自然數) 構成。開關電路 5602_1 至 5602_N 各由電晶體 5603_1 至 5603_k (k 為自然數) 構成。此處，電晶體 5603_1 至 5603_k 為 n 通道電晶體。

信號線驅動電路中連接關係係經由使用開關電路 5602_1 做為範例而予描述。電晶體 5603_1 至 5603_k 之第一端子分別連接至布線 5604_1 至 5604_k。電晶體 5603_1 至 5603_k 之第二端子分別連接至信號線 S1 至 Sk。電晶體 5603_1 至 5603_k 之閘極連接至布線 5605_1。

移位暫存器 5601 具有經由連續輸出 H 位準信號 (亦稱為 H 信號或高電源電位位準信號) 予布線 5605_1 至 5605_N，而連續選擇開關電路 5602_1 至 5602_N 之功能。

開關電路 5602_1 具有控制布線 5604_1 至 5604_k 與信號線 S1 至 Sk 之間導通狀態 (第一端子與第二端子之間電氣連續性) 之功能，即，控制布線 5604_1 至 5604_k 之電位是否供應予信號線 S1 至 Sk 之功能。以此方式，開關

電路 5602_1 做為選擇器。此外，電晶體 5603_1 至 5603_k 具有分別控制布線 5604_1 至 5604_k 與信號線 S1 至 Sk 之間導通狀態之功能，即，分別控制布線 5604_1 至 5604_k 之電位是否供應予信號線 S1 至 Sk 之功能。以此方式，每一電晶體 5603_1 至 5603_k 做為開關。

視訊信號資料 (DATA) 被輸入至每一布線 5604_1 至 5604_k。視訊信號資料 (DATA) 通常為相應於影像資料或影像信號之類比信號。

其次，參照圖 15B 中時序圖描述圖 15A 中信號線驅動電路之作業。圖 15B 描繪信號 Sout_1 至 Sout_N 及信號 Vdata_1 至 Vdata_k 之範例。信號 Sout_1 至 Sout_N 為從移位暫存器 5601 輸出之信號範例。信號 Vdata_1 至 Vdata_k 為輸入至布線 5604_1 至 5604_k 之信號範例。請注意，顯示裝置中信號線驅動電路之一作業期間相應於一開極選擇期間。例如，一開極選擇期間被劃分為期間 T1 至 TN。每一期間 T1 至 TN 為將視訊信號資料 (DATA) 寫入屬於所選擇列之畫素的期間。

請注意，本實施例中圖式之信號波形失真等有時是為求簡化而予誇張。因此，本實施例不需侷限於圖式中所描繪之比例尺。

在期間 T1 至 TN 中，移位暫存器 5601 連續輸出 H 位準信號至布線 5605_1 至 5605_N。例如，在期間 T1，移位暫存器 5601 輸出高位準信號至布線 5605_1。那時，電晶體 5603_1 至 5603_k 被開啓，使得布線 5604_1 至

5604_k 及信號線 S₁ 至 S_k 被導通。接著，資料（S₁）至資料（S_k）分別被輸入布線 5604₁ 至 5604_k。資料（S₁）至資料（S_k）經由電晶體 5603₁ 至 5603_k 分別被寫入所選擇列中第一至第 k 行之畫素。以此方式，在期間 T₁ 至 T_N 中，視訊信號資料（DATA）連續以 k 行被寫入所選擇列中之畫素。

如上述，視訊信號資料（DATA）以複數行被寫入畫素，藉此可減少視訊信號資料（DATA）之數量或布線之數量。因此，可減少具外部電路之連接的數量。此外，當視訊信號以複數行被寫入畫素時，寫入時間可以延長；因而，可避免視訊信號的不充分寫入。

請注意，任何由實施例 1 及 2 中電晶體構成之電路可用於移位暫存器 5601 及開關電路 5602。在此狀況下，移位暫存器 5601 可僅由單極電晶體構成。

其次，將描述掃描線驅動電路之結構。掃描線驅動電路包括移位暫存器。此外，掃描線驅動電路有時可包括位準移位器、緩衝器等。在掃描線驅動電路中，時脈信號（CLK）及起始脈衝信號（SP）被輸入至移位暫存器，使得產生選擇信號。所產生之選擇信號經由緩衝器而被緩衝及放大，且結果信號被供應予相應掃描線。一線之畫素中電晶體的閘極電極被連接至掃描線。由於一線之畫素中電晶體必須同時被開啓，故使用可供應大電流之緩衝器。

參照圖 16A 至 16D、圖 17A 及 17B 描述移位暫存器之一實施例，其用於掃描線驅動電路及／或信號線驅動電

路。

移位暫存器包括第一至第 N 脈衝輸出電路 10_1 至 10_N (N 為大於或等於 3 之自然數) (參照圖 16A)。在移位暫存器中，第一時脈信號 $CK1$ 、第二時脈信號 $CK2$ 、第三時脈信號 $CK3$ 及第四時脈信號 $CK4$ 分別從第一布線 11、第二布線 12、第三布線 13 及第四布線 14 供應予第一至第 N 脈衝輸出電路 10_1 至 10_N 。

起始脈衝 $SP1$ (第一起始脈衝) 從第五布線 15 輸入至第一脈衝輸出電路 10_1 。來自先前級之脈衝輸出電路的信號 (該信號稱為先前級信號 $OUT(n-1)$)，輸入至第二或後續級之第 n 脈衝輸出電路 10_n (n 為大於或等於 2 並小於或等於 N 之自然數)。

來自下一級之後級之第三脈衝輸出電路 10_3 的信號，輸入至第一脈衝輸出電路 10_1 。以類似方式，來自下一級之後級之第 $(n+2)$ 脈衝輸出電路 10_n 的信號 (該信號稱為後續級信號 $OUT(n+2)$)，輸入至第二或後續級之第 n 脈衝輸出電路 10_n 。

因而，各級之脈衝輸出電路輸出將輸入至後續級之脈衝輸出電路及／或先前級之脈衝輸出電路的第一輸出信號 ($OUT(1)(SR)$ 至 $OUT(N)(SR)$)，及將輸入至不同電路等的第二輸出信號 ($OUT(1)$ 至 $OUT(N)$)。請注意，如圖 16A 中所描繪，由於後續級信號 $OUT(n+2)$ 未輸入至移位暫存器之最後兩級，第二起始脈衝 $SP2$ 及第三起始脈衝 $SP3$ 例如可分別附加輸入至最後

級之前級及最後級。

請注意，時脈信號（CK）為一種信號，在 H 位準與 L 位準（亦稱為 L 信號或低電源電位位準信號）之間以規律間隔交替。此處，第一時脈信號（CK1）至第四時脈信號（CK4）連續延遲 $1/4$ 週期。在本實施例中，脈衝輸出電路之驅動係以第一至第四時脈信號（CK1）至（CK4）控制。請注意，時脈信號有時亦稱為 GCK 或 SCK，取決於時脈信號輸入哪一驅動電路；在下列描述中，時脈信號稱為 CK。

第一輸入端子 21、第二輸入端子 22 及第三輸入端子 23 電性連接至第一至第四布線 11 至 14 之任一。例如，在圖 16A 之第一脈衝輸出電路 10_1 中，第一輸入端子 21 電性連接至第一布線 11，第二輸入端子 22 電性連接至第二布線 12，及第三輸入端子 23 電性連接至第三布線 13。在第二脈衝輸出電路 10_2 中，第一輸入端子 21 電性連接至第二布線 12，第二輸入端子 22 電性連接至第三布線 13，及第三輸入端子 23 電性連接至第四布線 14。

第一至第 N 脈衝輸出電路 10_1 至 10_N 中假定各包括第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第一輸出端子 26 及第二輸出端子 27（參照圖 16B）。

在第一脈衝輸出電路 10_1 中，第一時脈信號 CK1 被輸入至第一輸入端子 21；第二時脈信號 CK2 被輸入至第二輸入端子 22；第三時脈信號 CK3 被輸入至第三輸入端

子 23；起始脈衝被輸入至第四輸入端子 24；後續級信號 OUT (3) 被輸入至第五輸入端子 25；第一輸出端子 26 輸出第一輸出信號 OUT (1) (SR)；第二輸出端子 27 輸出第二輸出信號 OUT (1)。

在第一至第 N 脈衝輸出電路 10_1 至 10_N 中，除了具有三端子之電晶體外，可使用具有四端子之電晶體 28 (參照圖 16C)。請注意，在本說明書中，當電晶體具有兩閘極電極，且其間具半導體層時，半導體層下方之閘極電極稱為下閘極電極，而半導體層上方之閘極電極稱為上閘極電極。電晶體 28 為一元件，可基於輸入至下閘極電極之第一控制信號 G1 及輸入至上閘極電極之第二控制信號 G2，執行 IN 端子與 OUT 端子之間的電氣控制。

當氧化物半導體用於電晶體中包括通道形成區之半導體層時，閾值電壓有時以正或負方向偏移，取決於製造程序。為此原因，氧化物半導體用於包括通道形成區之半導體層的電晶體較佳地具有一種結構，基此而可控制閾值電壓。閘極電極可設於圖 16C 中電晶體 28 之通道形成區之上或之下，其間並具閘極絕緣層。經由控制上閘極電極及／或下閘極電極之電位，可將閾值電壓控制為所需值。

其次，將參照圖 16D 描述脈衝輸出電路之特定電路組態範例。

圖 16D 中所描繪之脈衝輸出電路包括第一至第十三電晶體 31 至 43。第一至第十三電晶體 31 至 43 連接至第一至第五輸入端子 21 至 25、第一輸出端子 26、第二輸出端

子 27、供應第一高電源電位 VDD 之電源線 51、供應第二高電源電位 VCC 之電源線 52、及供應低電源電位 VSS 之電源線 53。除了第一至第五輸入端子 21 至 25、第一輸出端子 26 及第二輸出端子 27 外，信號或電源電位從供應第一高電源電位 VDD 之電源線 51、供應第二高電源電位 VCC 之電源線 52、及供應低電源電位 VSS 之電源線 53 供應予第一至第十三電晶體 31 至 43。

圖 16D 中電源線之電源電位的關係如下：第一電源電位 VDD 高於或等於第二電源電位 VCC，及第二電源電位 VCC 高於第三電源電位 VSS。請注意，第一至第四時脈信號 (CK1) 至 (CK4) 各於 H 位準與 L 位準之間以規律間隔交替；例如，H 位準時脈信號為 VDD 及 L 位準時脈信號為 VSS。

經由使電源線 51 之電位 VDD 高於電源線 52 之電位 VCC，可降低應用於電晶體閘極電極之電位，可減少電晶體閾值電壓偏移，及可抑制電晶體惡化，而對電晶體作業無不利影響。

如圖 16D 中所描繪，圖 16C 中具四端子之電晶體 28 較佳地用做第一至第十三電晶體 31 至 43 中每一第一電晶體 31 及第六至第九電晶體 36 至 39。

做為每一第一電晶體 31 及第六至第九電晶體 36 至 39 之源極或汲極的一電極所連接之節點的電位，需以每一第一電晶體 31 及第六至第九電晶體 36 至 39 之閘極電極的控制信號切換。此外，由於對於輸入至閘極電極之控

制信號的響應快速（開啓狀態電流上升急遽），第一電晶體 31 及第六至第九電晶體 36 至 39 各較佳地減少脈衝輸出電路之故障。因而，經由使用具四端子之電晶體，可控制閾值電壓，並可進一步減少脈衝輸出電路之故障。請注意，在圖 16D 中，第一控制信號 G1 及第二控制信號 G2 爲相同控制信號；然而，可輸入不同控制信號。

在圖 16D 中，第一電晶體 31 之第一端子電性連接至電源線 51，第一電晶體 31 之第二端子電性連接至第九電晶體 39 之第一端子，及第一電晶體 31 之閘極電極（下閘極電極及上閘極電極）電性連接至第四輸入端子 24。

第二電晶體 32 之第一端子電性連接至電源線 53，第二電晶體 32 之第二端子電性連接至第九電晶體 39 之第一端子，及第二電晶體 32 之閘極電極電性連接至第四電晶體 34 之閘極電極。

第三電晶體 33 之第一端子電性連接至第一輸入端子 21，及第三電晶體 33 之第二端子電性連接至第一輸出端子 26。

第四電晶體 34 之第一端子電性連接至電源線 53，及第四電晶體 34 之第二端子電性連接至第一輸出端子 26。

第五電晶體 35 之第一端子電性連接至電源線 53，第五電晶體 35 之第二端子電性連接至第二電晶體 32 之閘極電極及第四電晶體 34 之閘極電極，及第五電晶體 35 之閘極電極電性連接至第四輸入端子 24。

第六電晶體 36 之第一端子電性連接至電源線 52，第

六電晶體 36 之第二端子電性連接至第二電晶體 32 之閘極電極及第四電晶體 34 之閘極電極，及第六電晶體 36 之閘極電極（下閘極電極及上閘極電極）電性連接至第五輸入端子 25。

第七電晶體 37 之第一端子電性連接至電源線 52，第七電晶體 37 之第二端子電性連接至第八電晶體 38 之第二端子，及第七電晶體 37 之閘極電極（下閘極電極及上閘極電極）電性連接至第三輸入端子 23。

第八電晶體 38 之第一端子電性連接至第二電晶體 32 之閘極電極及第四電晶體 34 之閘極電極，及第八電晶體 38 之閘極電極（下閘極電極及上閘極電極）電性連接至第二輸入端子 22。

第九電晶體 39 之第一端子電性連接至第一電晶體 31 之第二端子及第二電晶體 32 之第二端子，第九電晶體 39 之第二端子電性連接至第三電晶體 33 之閘極電極及第十電晶體 40 之閘極電極，及第九電晶體 39 之閘極電極（下閘極電極及上閘極電極）電性連接至電源線 52。

第十電晶體 40 之第一端子電性連接至第一輸入端子 21，第十電晶體 40 之第二端子電性連接至第二輸出端子 27，及第十電晶體 40 之閘極電極電性連接至第九電晶體 39 之第二端子。

第十一電晶體 41 之第一端子電性連接至電源線 53，第十一電晶體 41 之第二端子電性連接至第二輸出端子 27，及第十一電晶體 41 之閘極電極電性連接至第二電晶

體 32 之閘極電極及第四電晶體 34 之閘極電極。

第十二電晶體 42 之第一端子電性連接至電源線 53，第十二電晶體 42 之第二端子電性連接至第二輸出端子 27，及第十二電晶體 42 之閘極電極電性連接至第七電晶體 37 之閘極電極（下閘極電極及上閘極電極）。

第十三電晶體 43 之第一端子電性連接至電源線 53，第十三電晶體 43 之第二端子電性連接至第一輸出端子 26，及第十三電晶體 43 之閘極電極電性連接至第七電晶體 37 之閘極電極（下閘極電極及上閘極電極）。

在圖 16D 中，第三電晶體 33 之閘極電極、第十電晶體 40 之閘極電極及第九電晶體 39 之第二端子相連接部分稱為節點 A。此外，第二電晶體 32 之閘極電極、第四電晶體 34 之閘極電極、第五電晶體 35 之第二端子、第六電晶體 36 之第二端子、第八電晶體 38 之第一端子及第十一電晶體 41 之閘極電極相連接部分稱為節點 B（參照圖 17A）。

圖 17A 描繪若圖 16D 中所描繪之脈衝輸出電路應用於第一脈衝輸出電路 10_1，輸入至第一至第五輸入端子 21 至 25 和第一及第二輸出端子 26 及 27 或自其輸出之信號。

具體地，第一時脈信號 CK1 輸入至第一輸入端子 21；第二時脈信號 CK2 輸入至第二輸入端子 22；第三時脈信號 CK3 輸入至第三輸入端子 23；起始脈衝（SP1）輸入至第四輸入端子 24；後續級信號 OUT（3）輸入至第五

輸入端子 25；第一輸出端子 26 輸出第一輸出信號 OUT (1) (SR)；及第二輸出端子 27 輸出第二輸出信號 OUT (1)。

請注意，電晶體為具有閘極、汲極及源極之至少三端子的元件，其中通道區形成於汲極區與源極區之間，且電流可流經汲極區、通道區及源極區。此處，由於電晶體之源極及汲極可依據電晶體之結構、作業狀況等而改變，難以定義何者為源極或汲極。因此，做為源極或汲極之區有時不稱為源極或汲極。在此狀況下，例如，該等區可稱為第一端子及第二端子。

請注意，在圖 17A 中，可附加提供經由將節點 A 帶入浮動狀態而執行引導作業之電容器。而且，可附加提供具有一電性連接至節點 B 之電極的電容器，以保持節點 B 之電位。

圖 17B 描繪包括圖 17A 中所描繪之複數脈衝輸出電路的移位暫存器之時序圖。請注意，當移位暫存器為掃描線驅動電路之一時，圖 17B 中期間 61 相應於垂直折回期間，及期間 62 相應於閘極選擇期間。

請注意，第九電晶體 39 之配置，其中如圖 17A 中所描繪第二電源電位 VCC 應用於閘極電極，於引導作業之前及之後具有下列優點。

無其中第二電源電位 VCC 應用於閘極電極之第九電晶體 39，若節點 A 之電位經由引導作業而上升，第一電晶體 31 之第二端子的源極之電位便上升至高於第一電源

電位 V_{DD} 之值。接著，第一電晶體 31 之源極被切換為第一端子，即電源線 51 側之端子。因此，在第一電晶體 31 中，應用高偏壓，因而顯著壓力便施予閘極與源極之間及閘極與汲極之間，此可能造成電晶體惡化。

另一方面，具有其中第二電源電位 V_{CC} 應用於閘極電極之第九電晶體 39，可避免第一電晶體 31 之第二端子的電位上升，同時節點 A 之電位經由引導作業而上升。換言之，第九電晶體 39 之配置可降低施予第一電晶體 31 之閘極與源極之間的負偏壓位準。因而，本實施例中電路組態可減少第一電晶體 31 之閘極與源極之間的負偏壓，使得可抑制因壓力造成之第一電晶體 31 惡化。

請注意，可提供第九電晶體 39，使得第九電晶體 39 之第一端子及第二端子連接於第一電晶體 31 之第二端子與第三電晶體 33 之閘極之間。請注意，若信號線驅動電路中包括本實施例之複數脈衝輸出電路的移位暫存器，具有較掃描線驅動電路更多級，便可省略第九電晶體 39，此乃電晶體數量減少之優點。

請注意，氧化物半導體用於第一至第十三電晶體 31 至 43 中每一之半導體層，藉此可減少電晶體之關閉狀態電流，及可提升開啓狀態電流及場效移動性。因此，可減少電晶體的惡化程度，因而減少電路故障。此外，經由應用高電位予閘極電極，使用氧化物半導體之電晶體的惡化程度，與使用非結晶矽之電晶體類似。因此，當第一電源電位 V_{DD} 供應予被供應第二電源電位 V_{CC} 之電源線時，

可獲得類似作業，且設於電路之間之電源線數量可減少；因而，電路尺寸可減少。

請注意，當連接關係改變，使得從第三輸入端子 23 供應予第七電晶體 37 之閘極電極（下閘極電極及上閘極電極）的時脈信號，及從第二輸入端子 22 供應予第八電晶體 38 之閘極電極（下閘極電極及上閘極電極）的時脈信號，分別從第二輸入端子 22 及第三輸入端子 23 供應，而獲得類似功能。

在圖 17A 所描繪之移位暫存器中，第七電晶體 37 及第八電晶體 38 的狀態改變，使得第七電晶體 37 及第八電晶體 38 為開啓，接著第七電晶體 37 為關閉及第八電晶體 38 為開啓，及接著第七電晶體 37 及第八電晶體 38 為關閉；因而，經由第七電晶體 37 之閘極電極電位下降，及第八電晶體 38 之閘極電極電位下降，由於第二輸入端子 22 及第三輸入端子 23 之電位下降，兩度造成節點 B 電位下降。

另一方面，在圖 17A 所描繪之移位暫存器中，當第七電晶體 37 及第八電晶體 38 的狀態改變，使得第七電晶體 37 及第八電晶體 38 為開啓，接著第七電晶體 37 為開啓及第八電晶體 38 為關閉，及接著第七電晶體 37 及第八電晶體 38 為關閉，由於第二輸入端子 22 及第三輸入端子 23 之電位下降而造成節點 B 電位下降，僅發生一次，其係由第八電晶體 38 之閘極電極電位下降造成。

因此，下列連接關係較佳，其中時脈信號 CK3 係由

第三輸入端子 23 供應予第七電晶體 37 之閘極電極（下閘極電極及上閘極電極），及時脈信號 CK2 係由第二輸入端子 22 供應予第八電晶體 38 之閘極電極（下閘極電極及上閘極電極）。這是因為節點 B 之電位的改變次數減少，藉此可減少雜訊。

以此方式，於第一輸出端子 26 及第二輸出端子 27 之電位保持在 L 位準期間，H 位準信號規律地供應予節點 B；因而，可抑制脈衝輸出電路故障。

請注意，本實施例中所描述之結構可用於酌情與其他實施例中所描述之任何結構相組合。

（實施例 4）

在本實施例中，將描述具顯示功能之顯示裝置，其係使用畫素部及驅動電路中實施例 1 及 2 所描述之電晶體予以形成。

顯示裝置包括顯示元件。有關顯示元件，可使用液晶元件（亦稱為液晶顯示元件）或發光元件（亦稱為發光顯示元件）。在其種類中發光元件包括經由電流或電壓控制亮度之元件，具體地在其種類中包括無機電致發光（EL）元件、有機 EL 元件等。再者，可使用諸如電子墨水之顯示媒體，其對比係經由電效應而改變。

請注意，本說明書中顯示裝置係指影像顯示裝置、顯示裝置或光源（包括發光裝置）。此外，在其種類中顯示裝置包括下列模組：包括諸如軟性印刷電路（FPC）之連

接器的模組；磁帶自動黏接（TAB）磁帶；具有 TAB 磁帶之模組，其經提供而於其末端具有印刷布線板；及具有積體電路（IC）之模組，其係經由將芯片安裝於玻璃（COG）法而直接安裝於顯示元件上。

在本實施例中，參照圖 20A1、20A2 及 20B 描述半導體裝置之一實施例之液晶顯示面板的外觀及截面。圖 20A1 及 20A2 為液晶顯示面板俯視平面圖。圖 20B 為沿圖 20A1 及 20A2 中 M-N 之截面圖。液晶顯示面板具有一種結構，其中液晶元件 4013 以密封劑 4005 密封於具各包括氧化物半導體層之電晶體 4010 及 4011 的第一基板 4001 與第二基板 4006 之間。

提供密封劑 4005 以便環繞設於第一基板 4001 上之畫素部 4002 及掃描線驅動電路 4004。第二基板 4006 係設於畫素部 4002 及掃描線驅動電路 4004 之上。因此，畫素部 4002 及掃描線驅動電路 4004 經由第一基板 4001、密封劑 4005 及第二基板 4006 而與液晶層 4008 密封在一起。使用單晶半導體或多晶半導體形成之信號線驅動電路 4003 係安裝於第一基板 4001 上與密封劑 4005 所環繞之區域不同之區域。

請注意，對於分別形成之驅動電路的連接方法並無特別限制，可使用 COG 法、引線鍵合法、TAB 法等。圖 20A1 描繪一範例，其中信號線驅動電路 4003 係經由 COG 法安裝。圖 20A2 描繪一範例，其中信號線驅動電路 4003 係經由 TAB 法安裝。

提供於第一基板 4001 上之畫素部 4002 及掃描線驅動電路 4004 包括複數電晶體。圖 20B 描繪包括於畫素部 4002 中之薄膜電晶體 4010，及包括於掃描線驅動電路 4004 中之電晶體 4011，做為範例。絕緣層 4020 及 4021 係提供於電晶體 4010 之上，及絕緣層 4020 係提供於電晶體 4011 之上。

實施例 1 及 2 中所描述包括氧化物半導體層的任何高度可靠電晶體，均可用做電晶體 4010 及 4011。在本實施例中，電晶體 4010 及 4011 為 n-通道電晶體。

導電層 4040 係提供於與用於驅動電路之電晶體 4011 中氧化物半導體層的通道形成區重疊之部分絕緣層 4044 之上。導電層 4040 係提供於與氧化物半導體層的通道形成區重疊之位置，藉此可降低 BT 試驗前後之間電晶體 4011 之閾值電壓的改變量。導電層 4040 之電位可與電晶體 4011 之閘極電極層的電位相同，藉此導電層 4040 可做為第二閘極電極層。另一方面，導電層 4040 可賦予不同於電晶體 4011 之閘極電極層電位之電位。仍另一方面，導電層 4040 之電位可為接地（GND）、0 V，或導電層 4040 可處於浮動狀態。

液晶元件 4013 中所包括之畫素電極層 4030 電性連接至電晶體 4010。液晶元件 4013 之相對電極層 4031 係形成於第二基板 4006 上。畫素電極層 4030、相對電極層 4031 及液晶層 4008 彼此重疊之部分，相應於液晶元件 4013。畫素電極層 4030 及相對電極層 4031 經提供而分別

具有做為校準膜之絕緣層 4032 及絕緣層 4033。請注意，儘管未描繪，濾色器可提供於第一基板 4001 側或第二基板 4006 側。

請注意，玻璃、陶瓷或塑料可用做第一基板 4001 及第二基板 4006。有關塑料，可使用強化玻璃纖維塑料（FRP）板、聚氯乙烯（PVF）膜、聚脂膜或丙烯酸樹脂膜。另一方面，可使用薄片結構，其中鋁箔夾於 PVF 膜、聚脂膜等之間。

提供柱狀隔板 4035 以控制液晶層 4008 之厚度（格間距）。柱狀隔板 4035 係經由選擇蝕刻絕緣膜而予獲得。另一方面，可使用球形隔板。

相對電極層 4031 電性連接至形成於電晶體 4010 形成處之基板上的共同電位線。經由配置於使用共同連接部的一對基板之間的導電粒子，相對電極層 4031 及共同電位線可彼此電性連接。請注意，導電粒子係包括於密封劑 4005 中。

另一方面，可使用展現不需校準膜之藍相的液晶。藍相為一種液晶相位，其產生於膽固醇相改變為各向同性相，同時膽固醇液晶之溫度增加之前。因為藍相僅產生於窄的溫度範圍內，為改善溫度範圍，將包含 5 wt%或更高之手性劑的液晶成分用於液晶層 4008。包括展現藍相之液晶及手性劑的液晶成分具有 10 μ sec 至 100 μ sec 之短暫回應時間，並為光學各向同性；因而，不需校準處理且視角相依性小。請注意，若使用藍相，本發明之實施例

不侷限於圖 20A1、20A2 及 20B 中結構，而是可使用所謂水平電場模式之結構，其中相應於相對電極層 4031 之電極層形成於畫素電極層 4030 形成之基板側之上。

請注意，本實施例為透射液晶顯示裝置之範例，亦可應用於反射液晶顯示裝置及半透射液晶顯示裝置。

在依據本實施例之液晶顯示裝置的範例中，偏光板係提供於基板的外部表面（在觀看者側），而著色層及用於顯示元件之電極層係連續提供於基板的內部表面；另一方面，偏光板可提供於基板的內部表面。偏光板及著色層的層級結構並不侷限於在本實施例中，可依據偏光板及著色層之材料或製造程序狀況而適當設定。此外，可提供做為黑矩陣的阻光膜。

在本實施例中，為減少由於電晶體之表面粗糙，及改進可靠性，電晶體被覆蓋做為保護膜及平面化絕緣膜之絕緣層（絕緣層 4020 及 4021）。請注意，提供保護膜以避免存在於空氣中之污染雜質進入，諸如有機物質、金屬及濕氣，較佳地為密集膜。保護膜可使用矽氧化物膜、矽氮化物膜、矽氮氧化合物膜、矽氮化物氧化物膜、鋁氧化物膜、鋁氮化物膜、鋁氮氧化合物膜及鋁氮化物氧化物膜中任一項予以形成而具單層結構或層級結構。儘管本實施例描述以噴濺法形成保護膜之範例，但可使用任何其他方法。

在本實施例中，形成具有層級結構之絕緣層 4020 做為保護膜。此處，以噴濺法形成矽氧化物膜，做為絕緣層

4020 之第一層。使用矽氧化物膜做為保護膜具有避免用做源極及汲極電極層之鋁膜凸起的效果。

此外，以噴濺法形成矽氮化物膜做為保護膜之第二層。使用矽氮化物膜做為保護膜可避免鈉等移動離子進入半導體區，使得可抑制電晶體之電氣特性變化。

在保護膜形成之後，可執行氧化物半導體層之退火（從 300°C 至 400°C）。

形成絕緣層 4021 做為平面化絕緣膜。絕緣層 4021 可使用耐熱有機材料予以形成，諸如丙烯酸樹脂、聚醯亞胺、苯並環丁烯樹脂、聚醯胺或環氧樹脂。除了該等有機材料外，亦可使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽酸玻璃（PSG）、摻雜硼磷的矽玻璃（BPSG）等。請注意，絕緣層 4021 可經由堆疊使用任一該些材料形成之複數絕緣膜予以形成。

請注意，矽氧烷基樹脂為包括使用矽氧烷基材料做為啟動材料所形成 Si-O-Si 鍵之樹脂。矽氧烷基樹脂可包括有機基（例如烷基或芳基）或氟基，做為取代基。此外，有機基可包括氟基。

形成絕緣層 4021 之方法並無特別限制，並可依據材料而使用下列方法或裝置：方法諸如噴濺法、SOG 法、旋塗法、浸漬法、噴塗法或液低釋放法（例如噴墨法、網印或膠印），或工具諸如刮膠刀、擠膠滾筒、簾式塗料器、刮刀塗布機等。若使用液體材料形成絕緣層 4021，可以與烘烤步驟相同時間執行氧化物半導體層之退火（300°C

至 400°C)。絕緣層 4021 之烘烤步驟亦做為氧化物半導體層之退火，藉此減少步驟。

畫素電極層 4030 及相對電極層 4031 可使用透光導電材料予以形成，諸如包含錫氧化物之銦氧化物、包含錫氧化物之銦鋅氧化物、包含鈦氧化物之銦氧化物、包含鈦氧化物之銦錫氧化物、銦錫氧化物、銦鋅氧化物或添加矽氧化物之銦錫氧化物。

另一方面，包含導電高分子（亦稱為導電聚合物）之導電成分可用於畫素電極層 4030 及相對電極層 4031。使用導電成分形成之畫素電極較佳地具有低於或等於每平方 10000 歐姆之片阻抗，及於 550 nm 波長下大於或等於 70%之透光率。此外，導電成分中所包含之導電高分子的電阻係數較佳地低於或等於 0.1Ω-cm。

有關導電高分子，可使用所謂 π -電子共軛導電聚合物。範例為聚苯胺及其衍生物；聚吡咯及其衍生物；聚噻吩及其衍生物；及二或更多該類材料之共聚物等。

此外，各類信號及電位供應予個別形成之信號線驅動電路 4003、掃描線驅動電路 4004 或來自 FPC 4018 之畫素部 4002。

在本實施例中，使用與液晶元件 4013 中所包括之畫素電極層 4030 相同導電膜形成連接終端電極 4015。使用與電晶體 4010 及電晶體 4011 之源極及汲極電極層相同導電膜形成終端電極 4016。

連接終端電極 4015 經由各向異性導電膜 4019 電性連

接至 FPC 4018 中所包括之端子。

請注意，圖 20A1、20A2 及 20B 描繪範例，其中信號線驅動電路 4003 安裝於第一基板 4001 上；然而，本實施例並不侷限於此結構。可安裝僅部分掃描線驅動電路及部分信號線驅動電路或部分掃描線驅動電路。

圖 21 描繪液晶顯示模組之範例，其係使用基板 2600 予以形成，其上形成實施例 1 及 2 中所描述之電晶體。

圖 21 描繪液晶顯示模組之範例，其中基板 2600 及相對基板 2601 係以密封劑 2602 而彼此固定，且包括電晶體等之畫素部 2603、包括液晶層之顯示元件 2604 及著色層 2605 係提供於基板之間，以形成顯示區。著色層 2605 需要執行顏色顯示。在紅綠藍（RGB）系統中，相應於紅色、綠色及藍色之著色層提供用於畫素。偏光板 2606、2607 及擴散板 2613 提供於基板 2600 及相對基板 2601 外部。光源包括冷陰極管 2610 及反射板 2611。電路板 2612 經由軟性布線板 2609 連接至基板 2600 之布線電路部 2608，及包括外部電路，諸如控制電路或電源電路。偏光板及液晶層可以其間之延遲板進行堆疊。

對液晶顯示模組而言，可使用扭轉向列（TN）模式、平面方向切換（IPS）模式、邊緣場切換（FFS）模式、多區域垂直排列（MVA）模式、圖像垂直調整（PVA）模式、軸對稱排列微型格（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反電液晶（AFLC）模式等。

經由上述步驟，可形成高度可靠液晶顯示面板。

請注意，本實施例中所描述之結構可用於酌情與其他實施例中所描述之任何結構相組合。

（實施例 5）

在本實施例中，將描述電子紙做為應用實施例 1 及 2 中所描述之電晶體的顯示裝置範例。

圖 13 描繪主動式矩陣電子紙做為顯示裝置之範例。實施例 1 及 2 中所描述之電晶體可用做用於顯示裝置之電晶體 581。

圖 13 中電子紙為使用扭球顯示系統之顯示裝置範例。扭球顯示系統係指一種方法，其中染成黑色及白色的每一球形粒子配置於第一電極層及第二電極層之間，並於第一電極層及第二電極層之間產生電位差，以控制球形粒子之方向，而實施顯示。

電晶體 581 為底閘電晶體，且電晶體 581 之源極電極層或汲極電極層經由絕緣層 583、584 及 585 中形成之開口電性連接至第一電極層 587。球形粒子 589 係提供於第一電極層 587 及第二電極層 588 之間。每一球形粒子 589 包括黑區 590a、白區 590b 及填充液體環繞黑區 590a 及白區 590b 之腔室 594。圍繞球形粒子 589 之空間填注諸如樹脂之填充劑 595（參照圖 13）。在本實施例中，第一電極層 587 相應於畫素電極，且第二電極層 588 相應於共同電極。第二電極層 588 電性連接至電晶體 581 形成處之底

座上提供之共同電位線。

另一方面，可使用電泳元件取代扭球。使用具有約 10 μm 至 200 μm 直徑之微膠囊，其中透明液體、正向充電之白色微粒子及負向充電之黑色微粒子均裝入膠囊。在第一電極層及第二電極層之間所提供之微膠囊中，當第一電極層及第二電極層應用電場時，白色微粒子及黑色微粒子以相對方向移動，使得可顯示白色或黑色。使用此原理之顯示元件為電泳顯示元件，而包括電泳顯示元件之裝置一般稱為電子紙。電泳顯示元件具有高於液晶顯示元件之反射係數；因而不需要輔助光，電力消耗低，且可於黑暗處識別顯示部。此外，當供應予顯示部之電力不足時，可維持已顯示之影像。因此，若具有顯示功能之顯示裝置（此亦稱為半導體裝置或具顯示裝置之半導體裝置）迴避電波源時，可儲存已顯示之影像。

請注意，本實施例中所描述之結構可用於酌情與其他實施例中所描述之任何結構相組合。

（實施例 6）

在本實施例中，將描述做為包括應用實施例 1 及 2 中所描述之電晶體的顯示裝置之發光顯示裝置範例。有關顯示裝置中所包括之顯示元件，此處描述使用電致發光之發光元件。使用電致發光之發光元件係依據發光材料為有機化合物或無機化合物予以分類。通常，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

在有機 EL 元件中，經由將電壓施予發光元件，電子及電洞分別自一對電極注入包含發光有機化合物之層中，且電流流動。載子（電子及電洞）重新組合，因而發光有機化合物被激勵。發光有機化合物從被激勵狀態返回至接地狀態，藉此發光。由於該等機構，此發光元件稱為電流激勵發光元件。

無機 EL 元件依據其元件結構而區分為分散型無機 EL 元件及薄膜無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料之粒子分散於黏合劑中，且其發光機構為使用供體位準及受體位準之供體-受體重組型發光。薄膜無機 EL 元件具有一結構，其中發光層插入於電介質層之間，電介質層進一步插入於電極之間，且其發光機構為使用金屬離子之內殼層電子躍遷的侷限型發光。

請注意，此處描述做為發光元件之有機 EL 元件範例。圖 18 描繪可施予數字鐘灰階驅動之畫素結構範例。

描述可施予數字鐘灰階驅動之畫素的結構及作業。此處，所描述之範例其中一畫素包括兩個 n-通道電晶體，各為實施例 1 及 2 中所描述，且各包括通道形成區中氧化物半導體層。

畫素 6400 包括開關電晶體 6401、驅動電晶體 6402、發光元件 6404 及電容器 6403。開關電晶體 6401 之閘極連接至掃描線 6406，開關電晶體 6401 之第一電極（源極電極及汲極電極之一）連接至信號線 6405，及開關電晶體 6401 之第二電極（源極電極及汲極電極之另一）連接

至驅動電晶體 6402 之閘極。驅動電晶體 6402 之閘極經由電容器 6403 連接至電源線 6407，驅動電晶體 6402 的第一電極連接至電源線 6407，及驅動電晶體 6402 的第二電極連接至發光元件 6404 之第一電極（畫素電極）。發光元件 6404 之第二電極相應於共同電極 6408。共同電極 6408 電性連接至相同基板之上提供之共同電位線。

發光元件 6404 之第二電極（共同電極 6408）設定為低電源電位。請注意，低電源電位為低於設定至電源線 6407 之高電源電位的電位。有關低電源電位，可使用例如接地（GND）、0 V 等。高電源電位及低電源電位之間電位差施予發光元件 6404，且電流供應予發光元件 6404，使得發光元件 6404 發光。此處，為使發光元件 6404 發光，設定每一電位，使得高電源電位及低電源電位之間電位差為發光元件 6404 發光所需之電壓或更高之電壓。

請注意，驅動電晶體 6402 之閘極電容器可用做電容器 6403 之代用品，使得電容器 6403 可予省略。驅動電晶體 6402 之閘極電容器可形成於通道區及閘極電極之間。

若使用電壓-輸入、電壓-驅動方法，視頻信號被輸入至驅動電晶體 6402 的閘極，使得驅動電晶體 6402 處於充分開啓或關閉兩狀態之一。即，驅動電晶體 6402 是在線性區作業。由於驅動電晶體 6402 是在線性區作業，高於電源線 6407 電壓之電壓便施予驅動電晶體 6402 的閘極。請注意，高於或等於（電源線+第 V 驅動電晶體 6402 之

電壓)之電壓施予信號線 6405。

若執行類比灰階驅動取代數字鐘灰階驅動，便可改變信號輸入而使用圖 18 中相同畫素組態。

若執行類比灰階驅動，高於或等於(發光元件 6404 + 第 V 驅動電晶體 6402 之向前電壓)之電壓施予驅動電晶體 6402 的閘極。發光元件 6404 之向前電壓係指獲得所需亮度之電壓，包括至少向前閾值電壓。藉此輸入驅動電晶體 6402 在飽和區作業之視頻信號，使得電流可供應予發光元件 6404。為使驅動電晶體 6402 在飽和區作業，將電源線 6407 之電位設定高於驅動電晶體 6402 的閘極電位。當使用類比視頻信號時，依據視頻信號可饋送電流予發光元件 6404，並執行類比灰階驅動。

請注意，畫素結構不限於圖 18 中所描繪者。例如，開關、電阻器、電容器、電晶體及邏輯電路等，可附加至圖 18 中所描繪之畫素。

其次，將參照圖 19A 至 19C 描述發光元件之結構。此處，描繪驅動電晶體為 n 通道電晶體之範例，並描述畫素之截面結構。有關用於圖 19A 至 19C 中所描繪之顯示裝置的每一電晶體 7001、7011 及 7021，可使用實施例 1 及 2 中所描述之電晶體。

為提取發光元件發射之光，至少陽極及陰極之一需透光。例如，發光元件可具有頂部發射結構，其中光係經由相對於基板側之表面予以提取；底部發射結構，其中光係經由基板側之表面予以提取；或雙重發射結構，其中光係

經由相對於基板之表面及基板側之表面予以提取。依據本發明之實施例的畫素結構可應用於具有任一該些發光結構之發光元件。

其次，將參照圖 19A 描述具有底部發射結構之發光元件。

圖 19A 為畫素之截面圖，其中電晶體 7011 為 n 通道電晶體，且發光元件 7012 中產生之光發射通過第一電極 7013。在圖 19A 中，發光元件 7012 之第一電極 7013 係形成於電性連接至電晶體 7011 之汲極層的透光導電層 7017 之上，且 EL 層 7014 及第二電極 7015 係以此順序堆疊於第一電極 7013。

有關透光導電層 7017，可使用諸如下列各膜之透光導電膜：包括錫氧化物之銦氧化物、包括錫氧化物之銦鋅氧化物、包括鈦氧化物之銦氧化物、包括鈦氧化物之銦錫氧化物、銦錫氧化物、銦鋅氧化物、或添加矽氧化物之銦錫氧化物。

任何各類材料可用於發光元件之第一電極 7013。例如，第一電極 7013 較佳地使用具有極低功函數之材料形成，諸如鹼金屬（諸如 Li 或 Cs）；鹼土金屬（諸如 Mg、Ca 或 Sr）；包含任何鹼金屬及鹼土金屬之合金（例如 Mg：Ag 或 Al：Li）；或稀土金屬（諸如 Yb 或 Er）。在圖 19A 中，形成第一電極 7013 而具有足夠厚度而透光（較佳地，約 5 nm 至 30 nm）。例如，使用具 20 nm 厚度之鋁膜做為第一電極 7013。

另一方面，可堆疊透光導電膜及鋁膜並接著選擇地蝕刻，而形成透光導電層 7017 及第一電極 7013。在此狀況下，可使用相同抗蝕罩執行蝕刻。

第一電極 7013 外邊緣部覆以分割區 7019。分割區 7019 之形成可使用聚酰亞胺、丙烯酸、聚酰胺、環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚矽氧烷。若將光敏樹脂材料用於分割區 7019，形成抗蝕罩之步驟便可省略。

形成於第一電極 7013 及分割區 7019 上之 EL 層 7014 可包括至少發光層，且係使用單層或複數層堆疊而予形成。當 EL 層 7014 係使用複數層形成時，電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層依序堆疊於做為陰極之第一電極 7013 之上。請注意，除了發光層外，並不需要提供所有該些層。

堆疊順序不侷限於上述堆疊順序，且電洞注入層、電洞傳遞層、發光層、電子傳遞層及電子注入層可依序堆疊於做為陽極之第一電極 7013 之上。然而，相較於上述範例，若第一電極 7013 做為陰極，且電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層依序堆疊於第一電極 7013 之上，可抑制驅動電路部中電壓上升，並可減少電力損耗。

有關形成於 EL 層 7014 上之第二電極 7015，可使用各式材料。例如，當第二電極 7015 用做陽極時，較佳地使用具有極高功函數之材料，諸如 ZrN、Ti、W、Ni、

Pt、Cr，或 ITO、IZO 或 ZnO 之透光導電材料。此外，阻光膜 7016 為提供於第二電極 7015 之上的阻擋光之金屬、反射光之金屬等。在本實施例中，ITO 膜用做第二電極 7015 及 Ti 膜用做阻光膜 7016。

發光元件 7012 相應於第一電極 7013、EL 層 7014 及第二電極 7015 堆疊之區域。若為圖 19A 中所描繪之元件結構，如箭頭所示，光從發光元件 7012 發射至第一電極 7013 側。

請注意，在圖 19A 中，光從發光元件 7012 發射，通過濾色器層 7033、絕緣層 7032、氧化物絕緣層 7031、閘極絕緣層 7030 及基板 7010 而將發射。

濾色器層 7033 可以諸如噴墨法之液滴釋放法、印刷法、使用光刻技術之蝕刻法等予以形成。

濾色器層 7033 覆以覆膜層 7034 及保護絕緣層 7035。請注意，儘管所描繪之覆膜層 7034 具有圖 19A 中小厚度，但覆膜層 7034 亦具有降低濾色器層 7033 所造成不平坦之功能。請注意，覆膜層 7034 可使用諸如丙烯酸樹脂之樹脂材料形成。

形成於氧化物絕緣層 7031、絕緣層 7032、濾色器層 7033、覆膜層 7034 及保護絕緣層 7035 中之接觸孔，抵達汲極電極層，係形成於與分割區 7019 重疊之部分。

其次，將參照圖 19B 描述具有雙重發射結構之發光元件。

在圖 19B 中，發光元件 7022 中所包括之第一電極

7023、EL 層 7024 及第二電極 7025 依此順序堆疊於電性連接至電晶體 7021 之汲極電極層的透光導電層 7027 之上。

有關透光導電層 7027，可使用諸如下列各膜之透光導電膜：包括鎢氧化物之銦氧化物、包括鎢氧化物之銦鋅氧化物、包括鈦氧化物之銦氧化物、包括鈦氧化物之銦錫氧化物、銦錫氧化物、銦鋅氧化物、或添加矽氧化物之銦錫氧化物。

任何各類材料可用於第一電極 7023。例如，當第一電極 7023 做為陰極時，第一電極 7013 較佳地使用具有極低功函數之材料形成，諸如鹼金屬（諸如 Li 或 Cs）；鹼土金屬（諸如 Mg、Ca 或 Sr）；包含任何鹼金屬及鹼土金屬之合金（例如 Mg：Ag 或 Al：Li）；或稀土金屬（諸如 Yb 或 Er）。在本實施例中，第一電極 7023 做為陰極，形成第一電極 7013 之厚度，至足以透光之厚度（較佳地，約 5 nm 至 30 nm）。例如，使用具 20 nm 厚度之鋁膜做為第一電極 7023。

另一方面，可堆疊透光導電膜及鋁膜並接著選擇地蝕刻，而形成透光導電層 7027 及第一電極 7023。在此狀況下，可使用相同抗蝕罩執行蝕刻。

第一電極 7023 周圍覆以分割區 7029。分割區 7029 之形成可使用聚酰亞胺、丙烯酸、聚酰胺、環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚矽氧烷。若將光敏樹脂材料用於分割區 7029，形成抗蝕罩之步驟便可省略。

形成於第一電極 7023 及分割區 7029 上之 EL 層 7024 可包括至少發光層，且係使用單層或複數層堆疊而予形成。當 EL 層 7024 係使用複數層形成時，電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層依序堆疊於做為陰極之第一電極 7023 之上。請注意，除了發光層外，並不需要提供所有該些層。

堆疊順序不侷限於上述；第一電極 7023 用做陽極，且電洞注入層、電洞傳遞層、發光層、電子傳遞層及電子注入層可依序堆疊於第一電極 7023 之上。然而，相較於上述範例，若第一電極 7023 做為陰極，且電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層依序堆疊於第一電極 7023 之上，可抑制驅動電路部中電壓上升，並可減少電力損耗。

有關形成於 EL 層 7024 上之第二電極 7025，可使用各式材料。例如，當第二電極 7025 用做陽極時，較佳地使用具有極高功函數之材料，諸如 ITO、IZO 或 ZnO 之透光導電材料。在本實施例中，第二電極 7025 用做陽極，並形成包含矽氧化物之 ITO 膜。

發光元件 7022 相應於第一電極 7023、EL 層 7024 及第二電極 7025 堆疊之區域。若為圖 19B 中所描繪之元件結構，如箭頭所示，光從發光元件 7022 發射，並從第二電極 7025 側及第一電極 7023 側射出。

請注意，在圖 19B 中，光從發光元件 7022 發射至第一電極 7023 側，通過濾色器層 7043、絕緣層 7042、氧化

物絕緣層 7041、閘極絕緣層 7040 及基板 7020 而將發射。

濾色器層 7043 可以諸如噴墨法之液滴釋放法、印刷法、使用光刻技術之蝕刻法等予以形成。

濾色器層 7043 覆以覆膜層 7044 及保護絕緣層 7045。

形成於氧化物絕緣層 7041、絕緣層 7042、濾色器層 7043、覆膜層 7044 及保護絕緣層 7045 中之接觸孔，抵達汲極電極層，係形成於與分割區 7029 重疊之部分。

請注意，若使用具有雙重發射結構之發光元件，並於二顯示表面上執行全彩顯示，來自第二電極 7025 側之光便不通過濾色器層 7043；因此，較佳地於第二電極 7025 上提供具另一濾色器層之密封基板。

其次，參照圖 19C 描述具有頂部發射結構之發光元件。

在圖 19C 中，形成發光元件 7002 之第一電極 7003 以電性連接至電晶體 7001 之汲極電極層，且 EL 層 7004 及第二電極 7005 依此順序堆疊於的第一電極 7003 之上。

任何各類材料可用於形成第一電極 7003。例如，當第一電極 7003 用做陰極時，第一電極 7003 較佳地使用具有極低功函數之材料形成，諸如鹼金屬（諸如 Li 或 Cs）；鹼土金屬（諸如 Mg、Ca 或 Sr）；包含任何鹼金屬及鹼土金屬之合金（例如 Mg：Ag 或 Al：Li）；或稀土金屬（諸如 Yb 或 Er）。

第一電極 7003 周圍覆以分割區 7009。分割區 7009 之形成可使用聚酰亞胺、丙烯酸、聚酰胺、環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚矽氧烷。若將光敏樹脂材料用於分割區 7009，形成抗蝕罩之步驟便可省略。

形成於第一電極 7003 及分割區 7009 上之 EL 層 7004 可包括至少發光層，且係使用單層或複數層堆疊而予形成。當 EL 層 7004 係使用複數層形成時，EL 層 7004 係經由依序堆疊電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層於第一電極 7023 之上，而予形成。請注意，除了發光層外，並不需要提供所有該些層。

堆疊順序不侷限於上述堆疊順序，且電洞注入層、電洞傳遞層、發光層、電子傳遞層及電子注入層可依序堆疊於第一電極 7003 之上。

在本實施例中，電洞注入層、電洞傳遞層、發光層、電子傳遞層及電子注入層依序堆疊於複合膜之上，其中依序堆疊鈦膜、鋁膜及鈦膜，且其上形成 Mg:Ag 合金薄膜及 ITO 之堆疊層。

請注意，當電晶體 7001 為 n 通道電晶體時，電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層較佳地依序堆疊於第一電極 7003 之上，因其可抑制驅動電路中電壓上升，並可減少電力損耗。

第二電極 7005 係以透光導電材料製成，諸如包括錫氧化物之銦氧化物、包括錫氧化物之銦鋅氧化物、包括鈦氧化物之銦氧化物、包括鈦氧化物之銦錫氧化物、銦錫氧

化物、銦鋅氧化物、或添加矽氧化物之銦錫氧化物。

發光元件 7002 相應於第一電極 7003、EL 層 7004 及第二電極 7005 堆疊之區域。在圖 19C 中所描繪之畫素中，如箭頭所示，光從發光元件 7002 發射至第二電極 7005 側。

電晶體 7001 之汲極電極層經由形成於氧化物絕緣層 7051、保護絕緣層 7052 及絕緣層 7055 中之接觸孔，電性連接至第一電極 7003。

平面化絕緣層 7053 可使用樹脂材料形成，諸如聚醯亞胺、丙烯酸、苯並環丁烯樹脂、聚醯胺或環氧樹脂。除了該等樹脂材料外，亦可使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽酸玻璃（PSG）、摻雜硼磷的矽玻璃（BPSG）等。請注意，平面化絕緣層 7053 可經由堆疊該些材料組成之複數絕緣膜予以形成。形成平面化絕緣層 7053 之方法並無特別限制，並可依據材料而使用下列方法或裝置而形成平面化絕緣層 7053：方法諸如噴濺法、SOG 法、旋塗法、浸漬法、噴塗法或液低釋放法（例如噴墨法、網印或膠印），或工具諸如刮膠刀、擠膠滾筒、簾式塗料器、刮刀塗布機等。

提供分割區 7009 以便絕緣第一電極 7003 及鄰近畫素之第一電極。分割區 7009 之形成可使用聚醯亞胺、丙烯酸、聚醯胺、環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚矽氧烷。若將光敏樹脂材料用於分割區 7009，形成抗蝕罩之步驟便可省略。

在圖 19C 所描繪之結構中，為執行全彩顯示，發光元件 7002、鄰近發光元件 7002 之發光元件之一、及其他發光元件分別為例如綠色發光元件、紅色發光元件及藍色發光元件。另一方面，可全彩顯示之發光顯示裝置可使用四類發光元件予以製造，除了該三類發光元件，還包括白色發光元件。

另一方面，可全彩顯示之發光顯示裝置可以一種方式製造，即所配置的所有複數發光元件為白色發光元件，以及具有濾色器等之密封基板，配置於發光元件 7002 上。形成展現諸如白色之單色的材料，並組合濾色器或顏色轉換層，藉此可執行全彩顯示。

不用說，亦可執行單色光之顯示。例如，可使用白光發射形成發光系統，或可使用單色發光形成區域多彩發光裝置。

若有需要，可提供光學膜，諸如包括圓偏光板之偏光膜。

請注意，儘管此處描述有機 EL 元件做為發光元件，亦可提供無機 EL 元件做為發光元件。

請注意，所描述之範例其中控制發光元件之驅動的電晶體電性連接至發光元件；然而，可使用一種結構，其中用於電流控制之電晶體連接至電晶體及發光元件之間。

本實施例中所描述之顯示裝置結構不侷限於圖 19A 至 19C 中所描繪者，並可以依據本發明之技術精神的各式方法進行修改。

其次，將參照圖 22A 及 22B 描述相應於應用實施例 1 及 2 中所描述之電晶體的顯示裝置之一實施例之發光顯示面板（亦稱為發光面板）的外觀及截面。圖 22A 為面板俯視圖，其中電晶體及發光元件以密封劑密封於第一基板及第二基板之間。圖 22B 為沿圖 22A 中線 H-I 之截面圖。

提供密封劑 4505 以便圍繞提供於第一基板 4501 上之畫素部 4502、信號線驅動電路 4503a 及 4503b、及掃描線驅動電路 4504a 及 4504b。此外，第二基板 4506 係提供於畫素部 4502、信號線驅動電路 4503a 及 4503b、及掃描線驅動電路 4504a 及 4504b 之上。因此，畫素部 4502、信號線驅動電路 4503a 及 4503b、及掃描線驅動電路 4504a 及 4504b 經由第一基板 4501、密封劑 4505 及第二基板 4506 而連同填充劑 4507 密封在一起。以此方式，面板較佳地以保護膜（諸如複合膜或紫外線固化樹脂膜）或具高氣密性及低脫氣之覆蓋材料封裝（密封），使得面板不暴露於外部空氣。

形成於第一基板 4501 上之畫素部 4502、信號線驅動電路 4503a 及 4503b、及掃描線驅動電路 4504a 及 4504b，各包括複數電晶體，且圖 22B 中描繪畫素部 4502 中所包括之電晶體 4510，及信號線驅動電路 4503a 中所包括之電晶體 4509 做為範例。

對每一電晶體 4509 及 4510 而言，可應用包括做為實施例 1 及 2 中所描述之氧化物半導體層的 In-Ga-Zn-O 基膜之高度可靠電晶體。在本實施例中，電晶體 4509 及

4510 為 n 通道電晶體。

在絕緣層 4544 之上，導電層 4540 係提供於與用於驅動電路之電晶體 4509 的氧化物半導體層之通道形成區重疊的位置。經由提供導電層 4540 而與氧化物半導體層之通道形成區重疊，可減少 BT 測試前後之間電晶體 4509 之閾值電壓的改變量。導電層 4540 之電位與電晶體 4509 之閘極電極層相同，藉此導電層 4540 可做為第二閘極電極層。另一方面，導電層 4540 可被賦予與電晶體 4509 之閘極電極層不同之電位。仍另一方面，導電層 4540 之電位可為 GND 或 0 V，或導電層 4540 可處於浮動狀態。

此外，編號 4511 表示發光元件。第一電極層 4517 為發光元件 4511 中所包括之畫素電極，電性連接至電晶體 4510 之源極或汲極電極層。請注意，發光元件 4511 之結構為第一電極層 4517、電致發光層 4512 及第二電極層 4513 之層級結構，但對此結構並無特別限制。依據從發光元件 4511 等提取之光的方向，發光元件 4511 之結構可酌情改變。

分割區 4520 係使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷而予形成。較佳的是分割區 4520 可使用光敏材料及形成於第一電極層 4517 之上之開口而予形成，使得開口之側壁形成為具曲率之傾斜表面。

電致發光層 4512 可經形成而具單層或複數層堆疊。

保護膜可形成於第二電極層 4513 及分割區 4520 之上，以避免氧、氫、濕氣、二氧化碳等進入發光元件

4511。有關保護膜，可形成矽氮化物膜、矽氮化物氧化物膜、DLC 膜等。

此外，各類信號及電位從 FPC 4518a 及 4518b 供應予信號線驅動電路 4503a 及 4503b、掃描線驅動電路 4504a 及 4504b、或畫素部 4502。

在本實施例中，使用用於發光元件 4511 中所包括之第一電極層 4517 的相同導電膜而形成連接終端電極 4515。使用用於電晶體 4509 及 4510 中所包括之源極及汲極電極層的相同導電膜而形成終端電極 4516。

連接終端電極 4515 經由各向異性導電膜 4519 電性連接至 FPC 4518a 中所包括之端子。

置於從發光元件 4511 提取光之方向的基板應具有透光屬性。在此狀況下，諸如玻璃板、塑料板、聚脂膜或丙烯酸膜之透光材料可用於基板。

有關填充劑 4507，除了諸如氮或氬之惰性氣體外，可使用紫外線固化樹脂或熱固性樹脂，例如，可使用例如聚氯乙烯（PVC）、丙烯酸、聚酰亞胺、環氧樹脂樹脂、矽樹脂、聚乙烯醇縮丁醛（PVB）或乙烯醋酸乙烯酯（EVA）。在本實施例中，使用氮。

此外，當需要時，諸如偏光板、圓偏光板（包括橢圓偏光板）、延遲板（四分之一波板或半波板）或濾色器等光學膜，可適當地提供於發光元件之發光表面。此外，偏光板或圓偏光板可提供具防反射膜。例如，可執行防眩光處理，藉此反射光可經由投影而擴散並於表面上降低，以

致降低眩光。

使用單晶半導體或聚晶半導體個別形成之驅動電路，可安裝做為信號線驅動電路 4503a 及 4503b 及掃描線驅動電路 4504a 及 4504b。此外，僅信號線驅動電路或其部分，或僅掃描線驅動電路或其部分，可個別形成及安裝。本實施例並不限於圖 22A 及 22B 中描繪之結構。

經由上述程序，可製造高度可靠發光顯示裝置（顯示面板）。

請注意，本實施例中所描述之結構可用於酌情與其他實施例中所描述之任何結構相組合。

（實施例 7）

應用任一實施例 1 及實施例 2 中所描述之電晶體的顯示裝置可用做電子紙。電子紙可用於所有領域之電子裝置，只要其可顯示資料。例如，電子紙可應用於電子書閱讀器（電子書）、海報、諸如火車之車輛廣告，或諸如信用卡之各類卡的顯示。圖 11A、11B 及圖 12 描繪電子裝置之範例。

圖 11A 描繪使用電子紙之海報 2631。若廣告媒體為印刷紙，廣告係經由手來更換；然而，經由使用電子紙，廣告顯示可於短時間內改變。請注意，海報 2631 可具有可無線傳輸及接收資料之組態。

圖 11B 描繪諸如火車之車廂中廣告 2632。若廣告媒體為紙，廣告係經由手來更換，但若其為電子紙，便不需

大量人力，並可於短時間內改變廣告顯示。而且，可獲得無顯示缺點的穩定影像。請注意，車廂廣告可具有可無線傳輸及接收資料之組態。

圖 12 描繪電子書閱讀器之範例。例如，電子書閱讀器 2700 包括外殼 2701 及外殼 2703 之兩外殼。外殼 2701 及外殼 2703 係以絞鏈 2711 結合，使得電子書閱讀器 2700 可以絞鏈 2711 做為軸而開啓或關閉。由於該等結構，讀者可操作電子書閱讀器 2700 恰如其閱讀紙本書籍。

顯示部 2705 及顯示部 2707 分別併入外殼 2701 及外殼 2703。顯示部 2705 及顯示部 2707 可顯示一影像或不同影像。在不同影像顯示於不同顯示部之結構中，例如，在右側之顯示部（圖 12 中顯示部 2705）可顯示正文，及左側之顯示部（圖 12 中顯示部 2707）可顯示影像。

在圖 12 所描繪之範例中，外殼 2701 經提供具作業部等。例如，外殼 2701 經提供具電源開關 2721、操作鍵 2723、揚聲器 2725 等。基於操作鍵 2723，頁面可以翻轉。請注意，鍵盤、指向裝置等可提供於相同表面上，做為外殼之顯示部。而且，外部連接端子（耳機端子、USB 端子、可連接諸如 AC 轉接器及 USB 纜線之各類纜線的端子）、記錄媒體嵌入部等可提供於外殼之背面或側面。此外，電子書閱讀器 2700 可具有電子字典之功能。

電子書閱讀器 2700 可具有可無線傳輸及接收資料之組態。經由無線通訊，可從電子書伺服器採購及下載所需

書籍資料等。

請注意，本實施例中所描述之結構可用於酌情與其他實施例中所描述之任何結構相組合。

（實施例 8）

使用任一實施例 1 及實施例 2 中所描述之電晶體的顯示裝置可應用於各類電子裝置（包括遊戲機）。電子裝置之範例為電視機（亦稱為電視或電視接收器）、電腦螢幕等、諸如數位相機或數位視訊攝影機之攝影機、數位像框、行動電話（亦稱為行動電話手機或行動電話裝置）、可攜式遊戲機、可攜式資訊終端機、音頻再生裝置、諸如彈珠台之大型遊戲機等。

圖 23A 描繪電視裝置之範例。在電視裝置 9600 中，顯示部 9603 併入外殼 9601。顯示部 9603 可顯示影像。此處，外殼 9601 係由支架 9605 支撐。

電視裝置 9600 可以外殼 9601 之操作開關或個別遙控器 9610 操作。可由遙控器 9610 之操作鍵 9609 控制頻道切換及音量，使得可控制顯示於顯示部 9603 之影像。而且，控制器 9610 可提供具顯示部 9607，以顯示自遙控器 9610 輸出之資料。

請注意，電視裝置 9600 經提供具接收器、數據機等。基於接收器之使用，可接收一般電視廣播。此外，當顯示裝置經由數據機有線或無線連接至通訊網路時，可執行單向（從發送端至接收端）或雙向（發送端與接收端之

間，或接收端之間）資訊通訊。

圖 23B 描繪數位像框之範例。例如，在數位像框 9700 中，顯示部 9703 併入外殼 9701。顯示部 9703 可顯示各類影像。例如，顯示部 9703 可顯示以數位相機等拍攝之影像資料，並做為一般相框。

請注意，數位像框 9700 經提供具作業部、外部連接部（USB 端子、可連接諸如 USB 纜線之各類纜線的端子）、記錄媒體嵌入部等。儘管該些組件可提供於提供顯示部之表面上，較佳的是為數位相框 9700 之設計而將其提供於側面或背面。例如，以數位相機拍攝之影像的記憶體儲存資料被插入數位像框之記錄媒體嵌入部，藉此影像資料可傳輸及接著顯示於顯示部 9703。

數位像框 9700 可用於無線傳輸及接收資料。可使用該結構，其中所需影像資料經無線傳輸而顯示。

圖 24A 為可攜式遊戲機，其係由與接合部 9893 連接的外殼 9881 及外殼 9891 之兩外殼構成，所以該可攜式遊戲機可開啓及折疊。顯示部 9882 及顯示部 9883 分別併入外殼 9881 及外殼 9891。此外，圖 24A 中描繪之可攜式遊戲機經提供具揚聲器部 9884、記錄媒體嵌入部 9886、發光二極體（LED）燈 9890、輸入裝置（操作鍵 9885、連接端子 9887、感應器 9888（具有下列項目測量功能：力量、位移、位置、速度、加速度、角速度、旋轉數、距離、光、液體、磁性、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流率、濕度、傾

斜度、震動、氣味或紅外線)及麥克風 9889)等。不用說,可使用之可攜式遊戲機之結構,不限於經提供而具至少本發明之顯示裝置的上述及其他結構。可攜式遊戲機可酌情包括其他配件。圖 24A 中描繪之可攜式遊戲機具有讀取儲存於記錄媒體之程式或資料以顯示於顯示部之功能,與經由無線通訊而與另一可攜式遊戲機分享資訊之功能。請注意,圖 24A 中描繪之可攜式遊戲機之功能不限於上述,且可攜式遊戲機可具有各類功能。

圖 24B 描繪大型遊戲機之投幣機之範例。在投幣機 9900 中,顯示部 9903 併入外殼 9901。此外,投幣機 9900 包括諸如啟動桿或停止開關、投幣孔、揚聲器等作業裝置。不用說,可使用之投幣機 9900 之結構,不限於經提供而具至少本發明之顯示裝置的上述及其他結構。投幣機 9900 可酌情包括其他配件。

圖 25A 描繪行動電話範例。行動電話 1000 包括併入顯示部 1002 之外殼 1001、操作按鈕 1003、外部連接埠 1004、揚聲器 1005、麥克風 1006 等。

當以手指等碰觸圖 25A 中所描繪之顯示部 1002,資料可輸入至行動電話 1000。而且,諸如打電話及發送和接收郵件之作業,可經由以其手指等碰觸顯示部 1002 而予執行。

主要存在顯示部 1002 的三種螢幕模式。第一模式為主要用於顯示影像之顯示模式。第二模式為主要用於輸入諸如正文之資料的輸入模式。第三模式為顯示及輸入模

式，其中顯示模式及輸入模式兩模式相結合。

例如，若打電話或寫郵件，便選擇主要用於輸入正文之正文輸入模式用於顯示部 1002，使得可輸入顯示於螢幕之正文。

當包括用於檢測傾角之感應器（諸如陀螺儀或加速感應器）的檢測裝置設於行動電話 1000 內部時，顯示部 1002 之螢幕顯示可經由檢測行動電話 1000 的安裝方向而自動切換（不論行動電話 1000 為用於全景模式或肖像模式而水平或垂直擺置）。

螢幕模式係經由碰觸顯示部 1002 或操作外殼 1001 之操作按鈕 1003 而予切換。另一方面，螢幕模式可依據顯示於顯示部 1002 之影像種類而予切換。例如，當顯示於顯示部 1002 之影像的信號為移動影像之資料時，螢幕模式便切換為顯示模式。當信號為正文資料時，螢幕模式便切換為輸入模式。

此外，在輸入模式，當經由碰觸顯示部 1002 之輸入未執行達某期間，同時檢測到由顯示部 1002 中光學感應器檢測之信號，便可控制螢幕模式，以便從輸入模式切換為顯示模式。

顯示部 1002 可做為影像感應器。例如，掌紋、指紋等影像係當以手掌或手指碰觸顯示部 1002 時拍攝，藉此可實施人員驗證。此外，經由於顯示部中提供背光或發射近紅外線之感應光源，便可拍攝手指靜脈或手掌靜脈之影像。

圖 25B 亦描繪行動電話之範例。圖 25B 中行動電話包括顯示裝置 9410，其中外殼 9411 包括顯示部 9412 及操作按鈕 9413，及通訊裝置 9400，其中外殼 9401 包括操作按鈕 9402、外部輸入端子 9403、麥克風 9404、揚聲器 9405 及接收來電時發光之發光部 9406。顯示裝置 9410 具有顯示功能，能夠可拆卸地附著至具有如箭頭所示雙向電話功能之通訊裝置 9400。因而，顯示裝置 9410 的短軸可附著至通訊裝置 9400 的短軸，及顯示裝置 9410 的長軸可附著至通訊裝置 9400 的長軸。此外，當僅需顯示功能時，可將顯示裝置 9410 從通訊裝置 9400 拆下而單獨使用。影像或輸入資訊可經由無線或有線通訊而於通訊裝置 9400 及顯示裝置 9410 之間傳輸及接收，二者各具有可充電電池。

請注意，本實施例中所描述之結構可用於酌情與其他實施例中所描述之任何結構相組合。

（實施例 9）

當氧化物半導體層接觸金屬層或氧化物絕緣層時，便發生氧移動之現象。在本實施例中，描述使用該現象之科學計算中，非結晶氧化物半導體層及結晶氧化物半導體層之間的差。

圖 33 為狀態示意圖，其中氧化物半導體層接觸氧化物絕緣層及金屬層，做為本發明之實施例的電晶體結構中源極電極及汲極電極。箭頭之方向表示其彼此接觸之狀態

或其加熱之狀態中氧移動之方向。

當發生缺氧時，i 型氧化物半導體層具有 n 型傳導性，反之，當氧供應過量時，缺氧造成之 n 型氧化物半導體層變成 i 型氧化物半導體層。此效應用於實際裝置程序，及接觸金屬層而做為源極電極及汲極電極之氧化物半導體層，氧被拉至金屬側，而在接觸金屬層之部分區域（若厚度小，則在膜厚度方向的整個區域）發生缺氧，藉此氧化物半導體層變成 n 型氧化物半導體層，並可獲得與金屬層之有利的接觸。此外，氧從氧化物絕緣層供應予接觸氧化物絕緣層之氧化物半導體層，且接觸氧化物絕緣層之氧化物半導體層的部分區域（若厚度小，則在膜厚度方向的整個區域）包含過量氧而成為 i 型區域，藉此氧化物半導體層變成 i 型氧化物半導體層，並做為電晶體之通道形成區。

在本發明之實施例中，在接觸氧化物絕緣層及金屬層而做為源極電極及汲極電極之氧化物半導體層區域中，形成氧化物半導體之結晶區。因此，經由科學計算檢查氧化物半導體層接觸氧化物絕緣層或金屬層之區域包括結晶區的狀態，與氧化物半導體層接觸氧化物絕緣體或金屬層之區域為非結晶的狀態，二者之間氧移動狀態的差異。

用於科學計算之模型具有 In-Ga-Zn-O 基非結晶結構及 In-Ga-Zn-O 基晶體結構。在每一模型中，長方體縱向區域之一相較於其他區域氧不足達 10%（參照圖 34A 及 34B）。該計算係於 650°C 加速狀況下 10 nsec 之後，比

較 In-Ga-Zn-O 基非結晶結構及 In-Ga-Zn-O 基晶體結構中氧之分佈。各狀況顯示於表 1 及表 2 中。

[表 1]

	結構狀況
原子數	317 原子（氧：192 原子）
晶格常數	$a=b=1.3196\text{ nm}$ ， $c=2.6101\text{ nm}$ ， $\alpha=\beta=90^\circ$ ， $\gamma=120^\circ$
密度	6.23 g/cm^3

[表 2]

	計算內容
總效果	NTV（原子數，溫度，體積）
溫度	923 K
時間間隔	0.2 fs
總計算時間	10ns
電位	Born-Mayer-Huggins 類型應用於金屬-氧及氧-氧
電荷	In：+3、Ga：+3、Zn：+2、 O：-2

有關計算結果，圖 35A 中顯示若使用非結晶氧化物半導體層之氧的分佈，及圖 35B 中顯示若使用結晶氧化物半導體層之氧的分佈。虛線表示初始狀態（初始），及實線

表示結果（10 nsec 之後）。發現氧移動與使用非結晶氧化物半導體層或結晶氧化物半導體層無關。

使用非結晶氧化物半導體層及結晶氧化物半導體層，缺氧區在計算前後之間氧原子的提升率分別為 15.9% 及 11.3%。即，非結晶氧化物半導體層中之氧較結晶氧化物半導體層中之氧更可能移動，導致輕易地補償缺氧。換言之，結晶氧化物半導體層中之氧較非結晶氧化物半導體層中之氧相對較不可能移動。

因此，亦發現氧於具有結晶區之本發明之實施例的氧化物半導體層中移動，其類似於非結晶氧化物半導體層之範例的方式。亦發現結晶區具有一效果，其中由於結晶氧化物半導體層中之氧較非結晶氧化物半導體層中之氧相對較不可能移動，抑制了氧化物半導體層之氧的排除。

請注意，本實施例中所描述之結構可用於酌情與其他實施例中所描述之任何結構相組合。

（範例 1）

在本範例中，以 RTA 法於高溫下短時間內歷經脫水或脫氫之氧化物半導體膜的狀態係以 TEM 分析、TEM-EDX 分析、X 光衍射分析及 SIMS 分析進行分析，並描述結果。

用於分析之樣本為 In-Ga-Zn-O 基膜，各依據實施例 2 使用氧化物半導體沈積目標而予形成，其中 In_2O_3 相對於 Ga_2O_3 相對於 ZnO 之摩爾比為 1 : 1 : 1。存在三類樣本：

樣本 A、樣本 B 及樣本 C，其為比較範例。樣本 A 係以使用 RTA 設備在氮氣中 650°C 下執行加熱步驟達六分鐘的方式予以形成。樣本 B 係以使用電爐在氮氣中 450°C 下執行加熱步驟達一小時的方式予以形成，及樣本 C（複合薄膜）處於非加熱狀態。

首先，各樣本之結晶狀態的截面係以 300 kV 加速電壓使用高解析度透射電子顯微鏡（「H9000-NAR」，Hitachi, Ltd.製造：TEM）觀察，以檢查每一樣本之結晶狀態。樣本 A、樣本 B 及樣本 C 之截面照片分別於圖 26A 及 26B、圖 27A 及 27B、和圖 28A 及 28B 中描繪。請注意，圖 26A、圖 27A 及圖 28A 為低放大照片（兩百萬倍放大），及圖 26B、圖 27B 及圖 28B 為高放大照片（四百萬倍放大）。

連續晶格影像係於樣本 A 之截面的表面部分觀察，其於圖 26A 及 26B 係以 RTA 法在 650°C 下加熱達六分鐘。尤其，在圖 26B 的高放大照片中，於白色訊框圍繞之區域中觀察到清晰的晶格影像，並顯示晶軸校準之微晶的存在。因此，發現 In-Ga-Zn-O 基膜之表面部分經由以 RTA 法在 650°C 下執行加熱達短短六分鐘而被晶化，並提供結晶區。請注意，在除了表面部分以外之區域中，並未觀察到清晰的連續晶格影像，並發現非結晶區中四處存在之微晶粒子狀態。所謂奈米晶體之微晶具 2 nm 至 4 nm 顆粒大小。

另一方面，在圖 27A 及 27B（樣本 B）及圖 28A 及

28B（樣本 C）之截面照片厚度方向之任何區域中並未觀察到清晰的晶格影像，使得發現樣本 B 及樣本 C 非結晶。

圖 29A 及 29B 中分別顯示以 RTA 法在 650°C 下加熱達六分鐘之樣本 A 表面部分之微距攝影，及結晶區之電子衍射圖。表面部分之微距攝影描繪顯示晶格影像校準之方向的方向箭頭 1 至 5（圖 29A），及以垂直於膜之表面之方向生長的晶體。圖 29B 中所示電子衍射圖係以箭頭 3 表示之位置觀察，並發現 c 軸方位。有關電子衍射圖及已知晶格常數之間的比較結果，晶體結構為 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 變得清晰（參照圖 36）。

圖 30 顯示樣本 A 表面部分之截面的 TEM-EDX（能量色散 X 光光譜）分析結果。使用 In_2O_3 相對於 Ga_2O_3 相對於 ZnO 之摩爾比為 1：1：1 之材料目標，同時發現表面部分之成分比例，In 或 Ga 為 1，反之，Zn 為 0.3 至 0.4，使得 Zn 略微不足。

其次，圖 31 中顯示三類相同樣本之結晶狀態以 X 光衍射分析之分析結果。在樣本表中，當 2θ 為 30 至 36 度時所見峰值為源於 In-Ga-Zn-O 基材料之資料且廣闊；因此，反映非結晶狀態。然而，以 RTA 法在 650°C 下加熱達六分鐘之樣本 A 的峰值位置，係在較樣本 B 及樣本 C 為低之角度側，顯示從（009）平面或（101）平面獲得衍射峰值之存在，此顯示 In-Ga-Zn-O 基晶體材料中最強的衍射強度。因此，亦符合樣本 A 具有晶體區之 X 光衍射

分析。

其次，圖 32A 至 32C 顯示每一樣本 A 及樣本 C 之膜中氫濃度、碳濃度及氮濃度之二次離子質譜（SIMS）分析結果。水平軸表示從樣本之表面起之深度，深度為 0 nm 之左端相應於樣本的最外表面（氧化物半導體層之最外表面），並從表面側執行分析。

圖 32A 描繪氫濃度數據圖。事實證明樣本 A 之數據圖的氫濃度相較於樣本 C 之數據圖的氫濃度下降大於或等於一位數，且其證實以 RTA 法在 650°C 有效執行脫水或脫氫達六分鐘。請注意，使用類似於樣本之 In-Ga-Zn-O 基氧化物半導體層而形成之參考樣本，以量化樣本 A 之數據圖及樣本 C 之數據圖。

已知原則上以 SIMS 分析難以準確獲得在樣本表面附近或使用不同材料形成之複合膜之間接合部附近之資料。在本分析中，15 nm 至 35 nm 深度及約 40 nm 厚度之數據圖為評估目標，以便獲得膜的準確資料。

從樣本 C 的數據圖發現，未歷經脫氫之氧化物半導體層中所包含之氫約 3×10^{20} 原子/cm³ 至 5×10^{20} 原子/cm³，且平均氫濃度約 4×10^{20} 原子/cm³。從樣本 A 的數據圖發現，經由脫氫，氧化物半導體層中之平均氫濃度可減少至約 2×10^{19} 原子/cm³。

圖 32B 中顯示碳濃度數據圖，及圖 32C 中顯示氮濃度數據圖。不同於氫濃度數據圖，碳濃度數據圖或氮濃度數據圖在樣本 A 及樣本 C 之間均無鮮明對比，且確認由

於以 RTA 法在 650°C 下加熱達六分鐘，並無碳成分及氮成分之釋放或進入。圖 38A 至 38C 中顯示「H」+「O」之二次離子強度的檢測結果，且「H₂」+「O」的檢測結果顯示於圖 39A 至 39C 中。發現以較高溫度處理之樣本於「H」+「O」及「H₂」+「O」具有較低強度，及經由以 RTA 法在 650°C 下加熱達六分鐘，而有效地執行水或 OH 之釋放。

從分析結果發現，以 RTA 法在 650°C 下加熱達六分鐘短時間之樣本的表面部分具有結晶區。亦發現氧化物半導體層中氫濃度可減少為 1 /10 或更低。

（範例 2）

在本範例中，將描述於實施例 1 中所形成之電晶體執行 -BT 測試所獲得之結果。

用於檢查電晶體可靠性的方法之一為偏置溫度壓力測試（以下稱為 BT 測試）。BT 測試為一種加速測試，可於短時間內評估經由長期使用造成之電晶體特性改變。尤其，BT 測試前後之間電晶體閾值電壓之偏移量為檢查可靠性之重要指標。由於 BT 測試前後之間電晶體閾值電壓之差異小，所以電晶體具有較高可靠性。

具體地，其上形成電晶體之基板的溫度（基板溫度）被設定為固定溫度，電晶體之源極及汲極設定為相同電位，及閘極被供應予不同於源極及汲極之電位的電位達某期間。基板溫度可依據測試目的而酌情設定。若應用於閘

極之電位高於源極及汲極之電位，則測試稱為+BT 測試，及若應用於閘極之電位低於源極及汲極之電位，則測試稱為-BT 測試。

用於 BT 測試之壓力狀況可經由設定基板溫度、應用於閘極絕緣膜之電場強度、或電場應用之期間而予確定。應用於閘極絕緣膜之電場強度可經由以閘極電位與源極及汲極電位之間之電位差除以閘極絕緣膜之厚度而予確定。例如，若應用於 100 nm 厚之閘極絕緣膜的電場強度被設定為 2 MV/cm，電位差便可設定為 20 V。

請注意，「電壓」通常表示兩點之間的電位差異，而「電位」表示靜電場中特定點之單位電荷的靜電能量（電勢能）。請注意，通常一點與參考電位（例如接地電位）之間電位差異僅稱為電位或電壓，而電位及電壓在許多狀況下用做同義字。因而，在本說明書中，除非特別指明，否則電位可改寫為電壓，及電壓可改寫為電位。

在下列狀況下執行-BT 測試：基板溫度為 150°C，應用於閘極絕緣膜之電場強度為 2 MV/cm，及應用期間為一小時。

首先，為測量歷經-BT 測試之電晶體的初始特性，在下列狀況下，其中基板溫度設定為 40°C，源極及汲極之間電壓（以下稱為汲極電壓或 V_d ）設定為 1 V，及源極及閘極之間電壓（以下稱為閘極電壓或 V_g ）於 -20 V 至 +20 V 的範圍內改變，測量源極-汲極電流（以下稱為汲極電流或 I_d ）之特性變化。即，測量當 V_d 為 1 V 時之 V_g - I_d

特性。此處，有關相對於樣本表面濕氣吸收之相對測量，基板溫度設定為 40°C 。然而，若無特別問題，可以室溫（ 25°C ）或更低執行測量。

其次，當 V_d 設定為 10 V 時實施類似測量，並測量當 V_d 為 10 V 時之 V_g - I_d 特性。

其次，基板溫度上升至 150°C ，且接著將電晶體之源極及汲極的電位設定為 0 V 。接著，電壓施予閘極，使得應用於閘極絕緣膜之電場強度為 2 MV/cm 。由於電晶體之閘極絕緣膜厚度為 100 nm ，將 -20 V 應用於閘極，且該電壓保持達一小時。此處電壓應用期間為一小時；然而，該期間可依據目的而酌情改變。

其次，基板溫度下降至 40°C ，同時電壓施予閘極與源極及汲極之間。若在基板溫度完全下降至 40°C 之前，電壓應用停止，已於 BT 測試期間損壞之電晶體經由餘熱影響修復。因而，基板溫度必須下降同時電壓應用。在基板溫度下降至 40°C 之後，電壓應用停止。嚴格地，下降溫度之時間必須加至電壓應用之時間；然而，由於溫度實際上可於數分鐘內下降至 40°C ，咸信此為誤差範圍，且下降溫度之時間未加至應用之時間。

接著，當 V_d 為 1 V 及 10 V 時，於與初始特性之測量相同狀況下，測量 V_g - I_d 特性，使得獲得執行-BT 測試之後的 V_g - I_d 特性。

圖 37A 描繪未歷經-BT 測試及歷經-BT 測試之電晶體的 V_g - I_d 特性。在圖 37A 中，顯示具對數刻度之水平軸代

表閘極電壓（ V_g ），及顯示具對數刻度之垂直軸代表汲極電流（ I_d ）。

圖 37B 為圖 37A 中所示部分 900 之放大圖。若 V_d 為 1 V，初始特性 901 代表未歷經-BT 測試之電晶體的 V_g-I_d 特性，及若 V_d 為 10 V，初始特性 911 代表歷經-BT 測試之電晶體的 V_g-I_d 特性。此外，若 V_d 為 1 V，-BT 902 代表歷經-BT 測試之電晶體的 V_g-I_d 特性，及若 V_d 為 10 V，-BT 912 代表歷經-BT 測試之電晶體的 V_g-I_d 特性。

從圖 37A 及 37B 發現，相較於初始特性 901 及初始特性 911，整個-BT 902 及整個-BT 912 略微偏移至正方向。然而，發現偏移量小至 0.5 V 或更低，且於實施例 1 中形成之電晶體，於-BT 測試中具有高可靠性。

本申請案係依據 2009 年 9 月 16 日向日本專利處提出申請之序號 2009-215084 日本專利申請案，其整個內容係以提及方式併入本文。

【符號說明】

11、12、13、14、15、5604、5605：布線

21、22、23、24、25：輸入端子

26、27：輸出端子

28、31、32、33、34、35、36、37、38、39、40、41、
42、43、170、581、4010、4011、4509、4510、5603、
7001、7011、7021：電晶體

51、52、53、6407：電源線

61、62：期間

100、2600、4001、4006、4501、4506、5300、7010、

7020：基板

101：閘極電極層

102、152、7030、7040：閘極絕緣層

103：氧化物半導體層

106：結晶區

107、7031、7041、7051：氧化物絕緣層

108：電容器布線

110、4030：畫素電極層

112、113、114、112a、113a、114a、4040、4540：導電層

120、153：連接電極

121、122、150、151：端子

125、126、127：接觸孔

128、129、155、7017、7027：透光導電層

131：抗蝕罩

154：保護絕緣膜

156、7003、7005、7013、7015、7023、7025、7026：電極

585、4020、4021、4032、4044、4544、7032、7042、7055：絕緣層

587、588、4513、4517：電極層

589：球形粒子

594：腔室

595、4507：填充劑

900：部分

901、911：初始特性

902、912：-BT

1000：行動電話

1001、2701、2703、9401、9411、9601、9701、9881、
9891、9901、2701、2703、9401、9411、9601、9701、
9881、9891、9901：外殼

1002、2705、2707、9412、9603、9607、9703、9882、
9883、9903：顯示部

1003、9402、9413：操作按鈕

1004：外部連接埠

1005、2725、9405：揚聲器

1006、9404、9889：麥克風

105a：源極電極層

105b：汲極電極層

2601：相對基板

2602、4005、4505：密封劑

2603、4002、4502、5301：畫素部

2604：顯示元件

2605：著色層

2606、2607：偏光板

2608：布線電路部

2609：軟性布線板
 2610：冷陰極管
 2611：反射板
 2612：電路板
 2613：擴散板
 2631：海報
 2632：車廂廣告
 2700：電子書閱讀器
 2711：絞鏈
 2721：電源開關
 2723、9609、9885：操作鍵
 4003、4503a、4503b、5304：信號線驅動電路
 4004、4504a、4504b、5302、5303：掃描線驅動電路
 4008：液晶層
 4013：液晶元件
 4015、4515：連接終端電極
 4016、4516：終端電極
 4018、4518a、4518b：軟性印刷電路（FPC）
 4019、4519：各向異性導電膜
 4031：相對電極層
 4511、6404、7002、7012、7022：發光元件
 4512：電致發光層
 4520、7009、7019、7029：分割區
 5305：時序控制電路

5601：移位暫存器
 5602：開關電路
 590k：黑區
 590b：白區
 6400：畫素
 6401：開關電晶體
 6402：驅動電晶體
 6403：電容器
 6405：信號線
 6406：掃描線
 6408：共同電極
 7004、7014、7024、：電致發光（EL）層
 7016：阻光膜
 7033、7043：濾色器層
 7034、7044：覆膜層
 7035、7045、7052：保護絕緣層
 7053：平面化絕緣層
 9400：通訊裝置
 9403：外部輸入端子
 9406：發光部
 9410：顯示裝置
 9600：電視裝置
 9605：支架
 9610：遙控器

9700：數位相框

9884：揚聲器部

9886：記錄媒體嵌入部

9887：連接端子

9888：感應器

9890：發光二極體（LED）燈

9893：接合部

9900：投幣機

【發明申請專利範圍】

【請求項1】一種半導體裝置，包含：

在氧化物半導體層中具有通道形成區之電晶體；

其中，該氧化物半導體層包含：

在表面部分中之具有相對於該氧化物半導體層的表面垂直之方向上之c軸取向之第一晶體的第一區；以及

在該表面部分以外的區域中之具有第二晶體的第二區；

其中，該第二區的結晶狀態與該第一區的結晶狀態不同。

【請求項2】如請求項1之半導體裝置，其中，該氧化物半導體層具有四元金屬氧化物膜、三元金屬氧化物膜或二元金屬氧化物膜。

【請求項3】如請求項2之半導體裝置，其中：

該四元金屬氧化物膜為In-Sn-Ga-Zn-O膜；

該三元金屬氧化物膜為In-Ga-Zn-O膜、In-Sn-Zn-O膜、In-Al-Zn-O膜、Sn-Ga-Zn-O膜、Al-Ga-Zn-O膜或Sn-Al-Zn-O膜；

該二元金屬氧化物膜為In-Zn-O膜、Sn-Zn-O膜、Al-Zn-O膜、Zn-Mg-O膜、Sn-Mg-O膜或In-Mg-O膜。

【請求項4】如請求項1之半導體裝置，其中，該第一晶體具有1 nm以上且20 nm以下之粒子尺寸。

【發明圖式】

圖1A

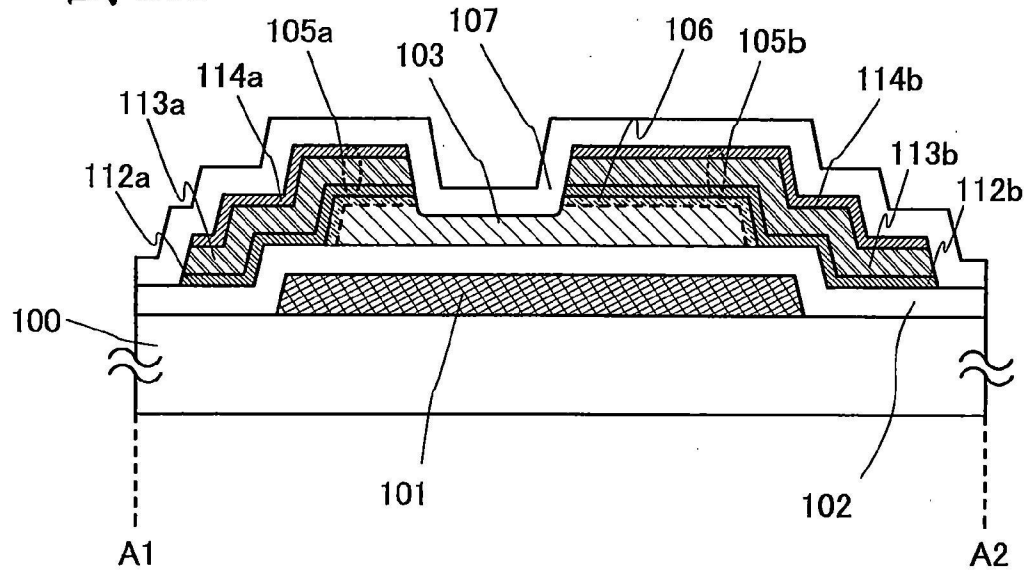
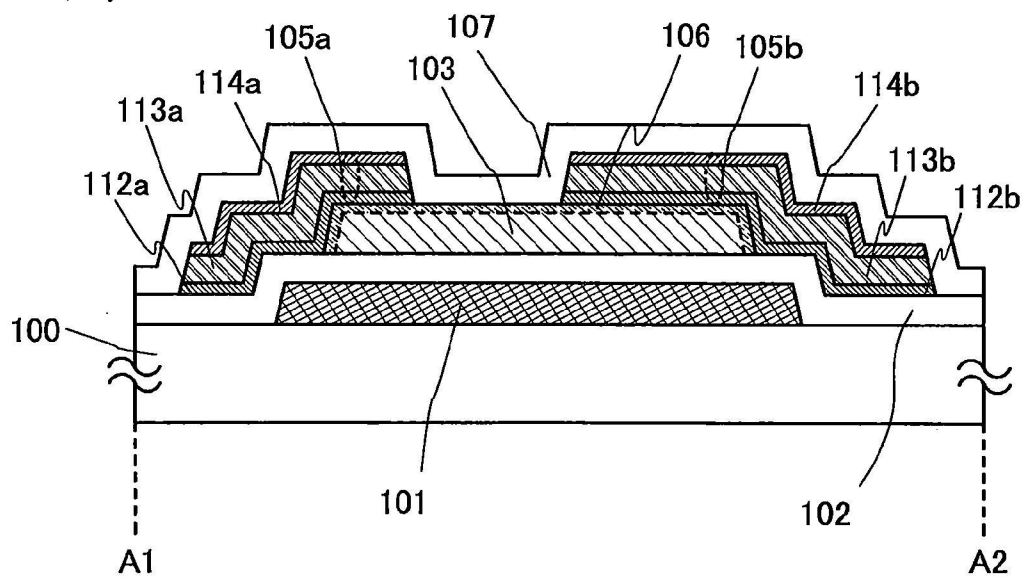


圖1B



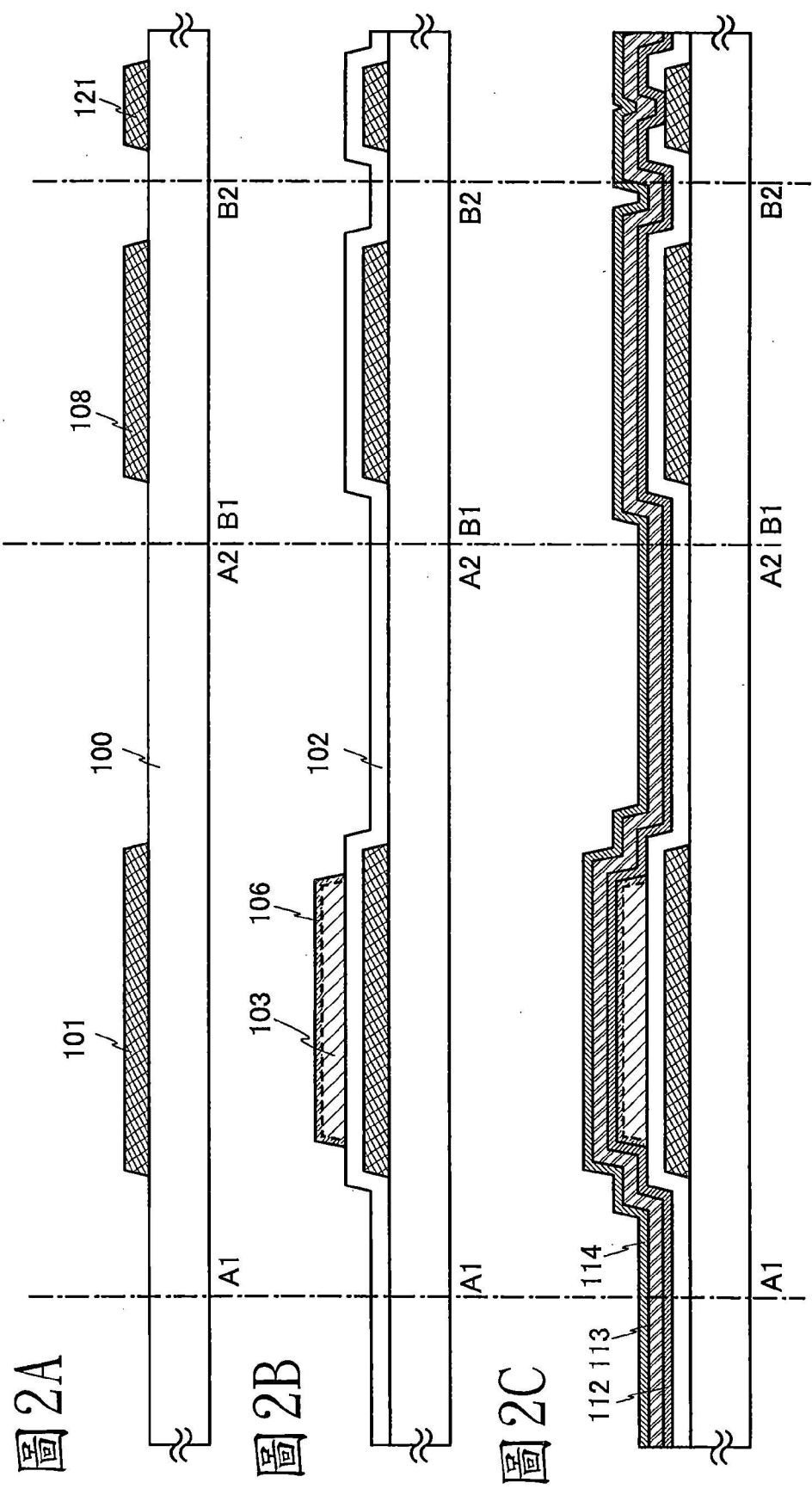


圖3A

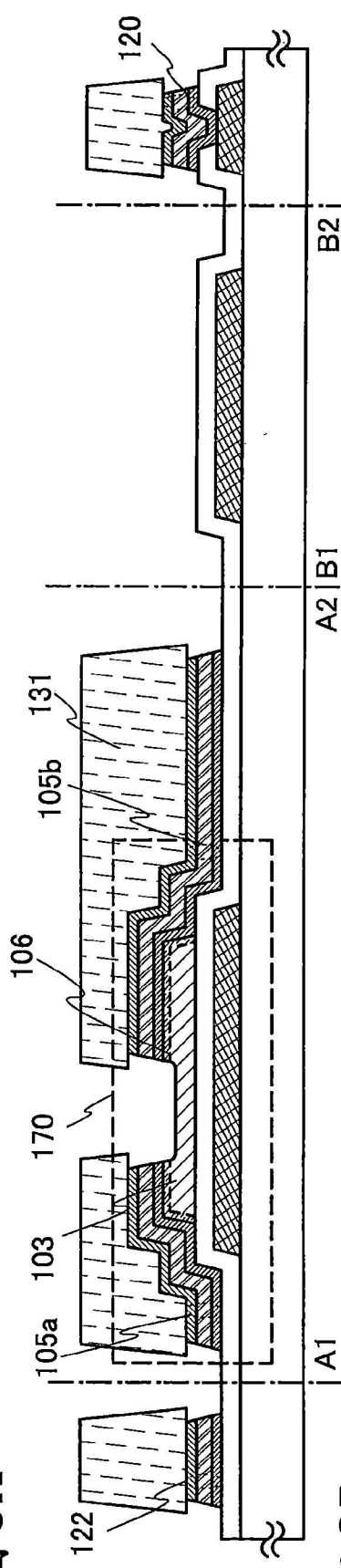


圖3B

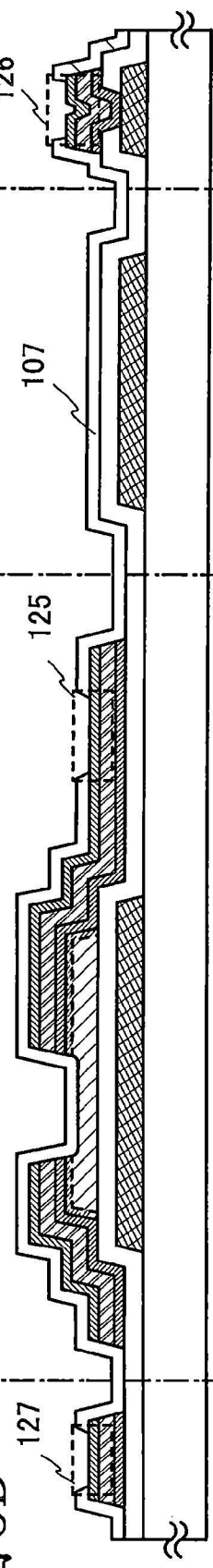


圖3C

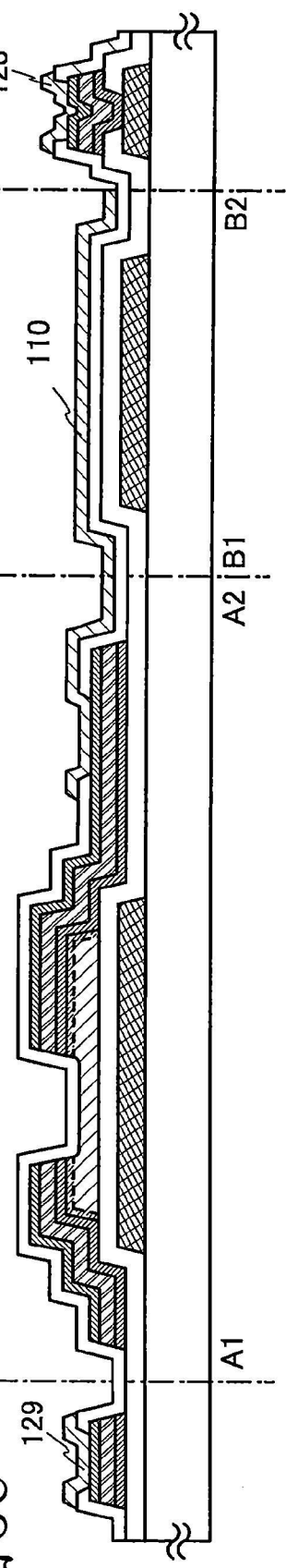


圖 4A

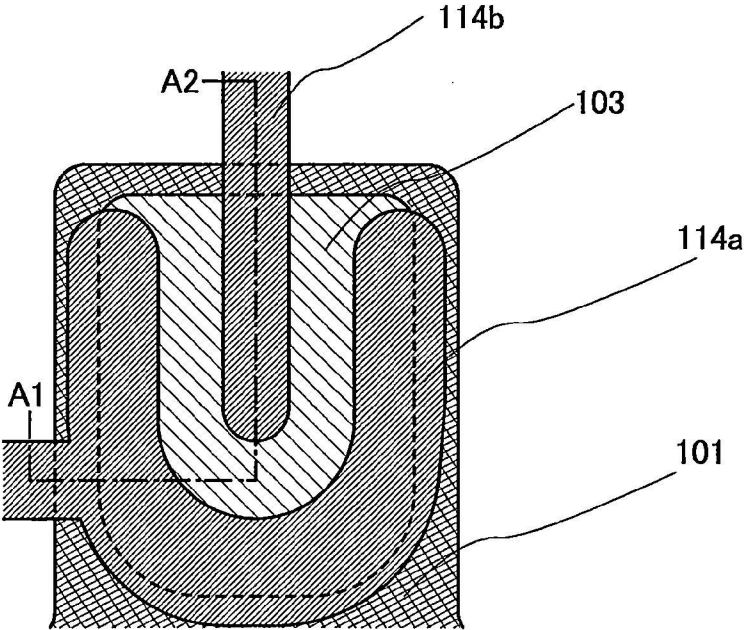


圖 4B

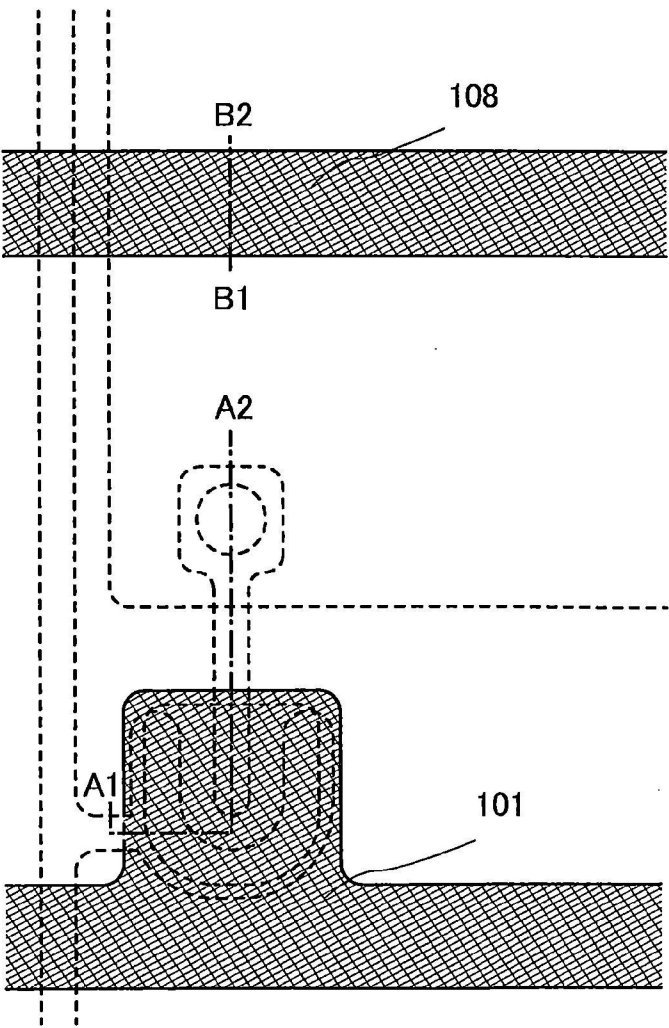


圖5

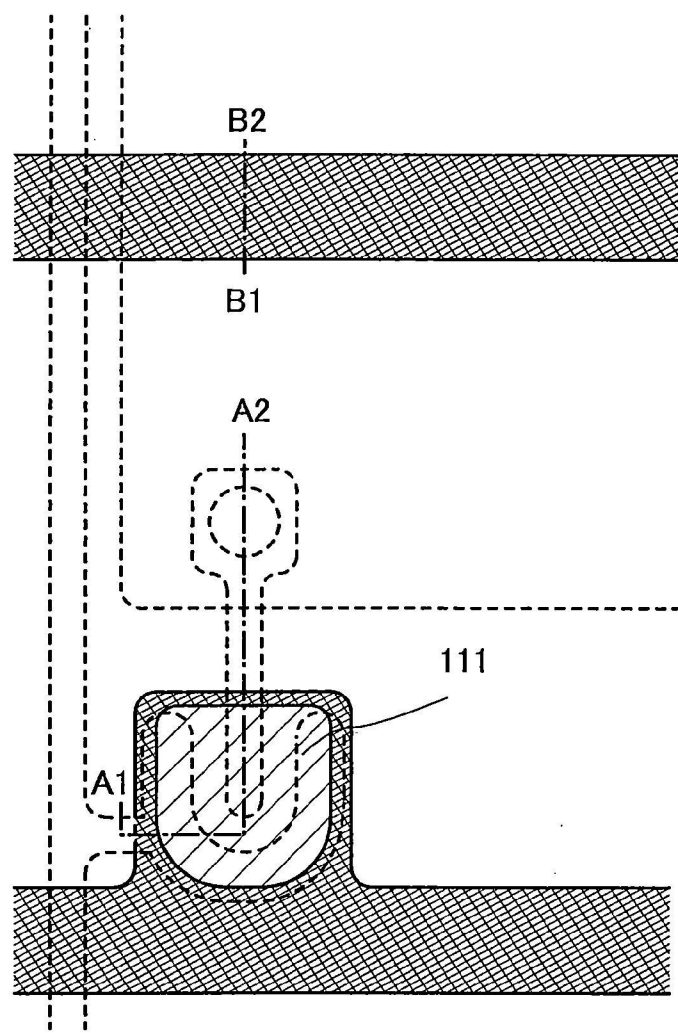


圖 6

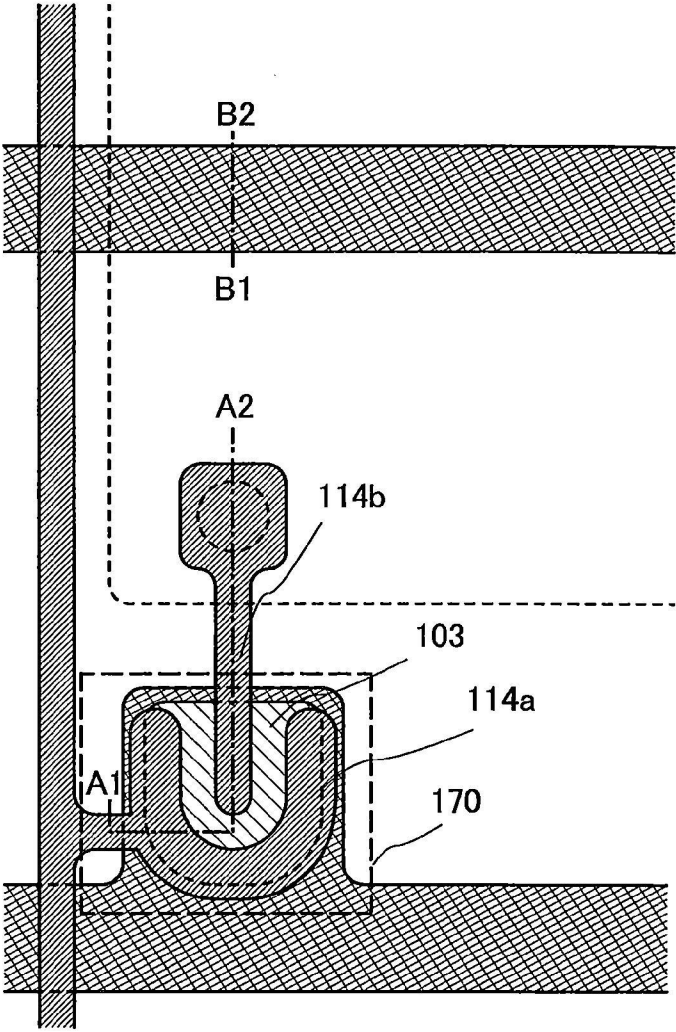


圖 7

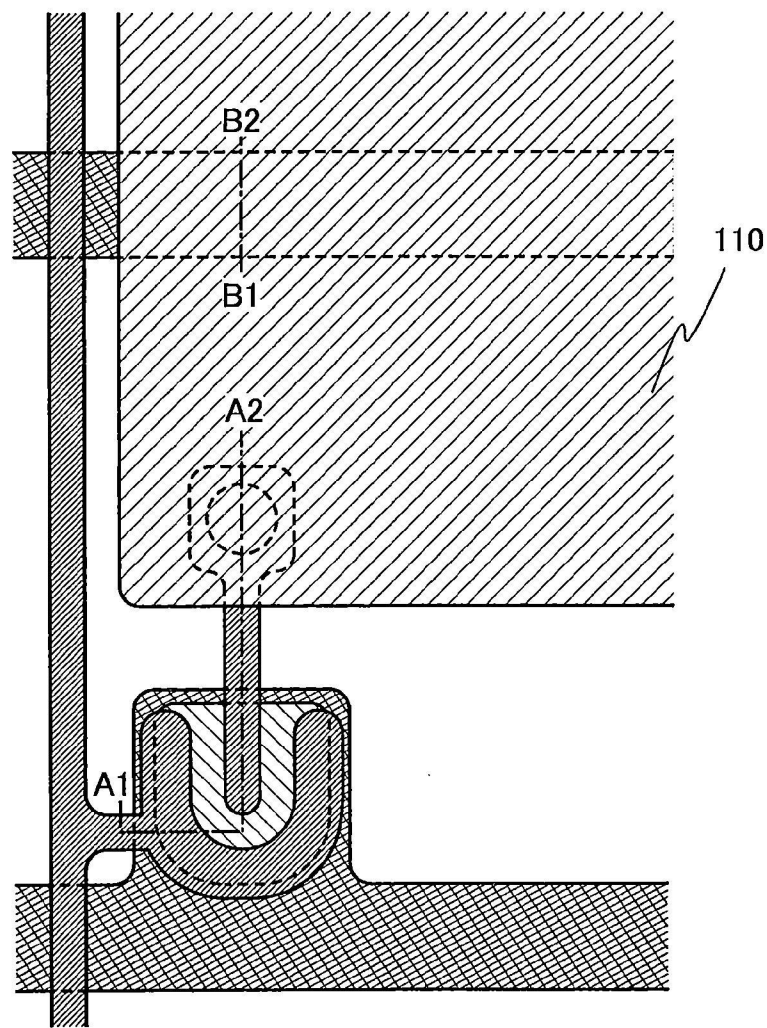


圖 8A1

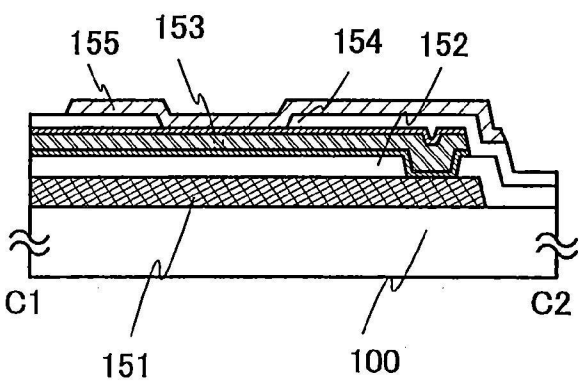


圖 8A2

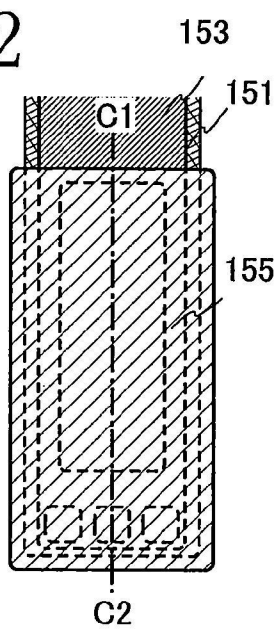


圖 8B1

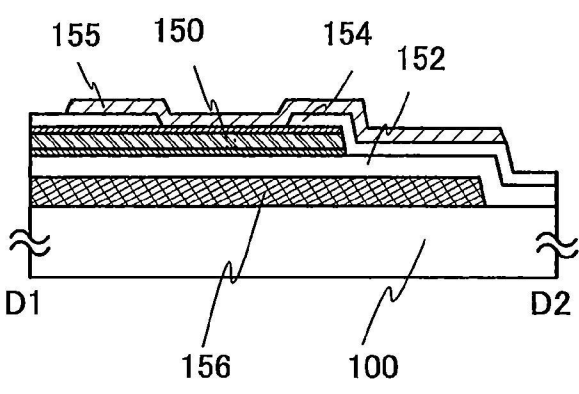


圖 8B2

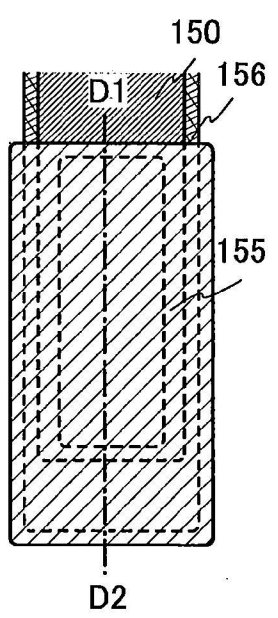


圖 9

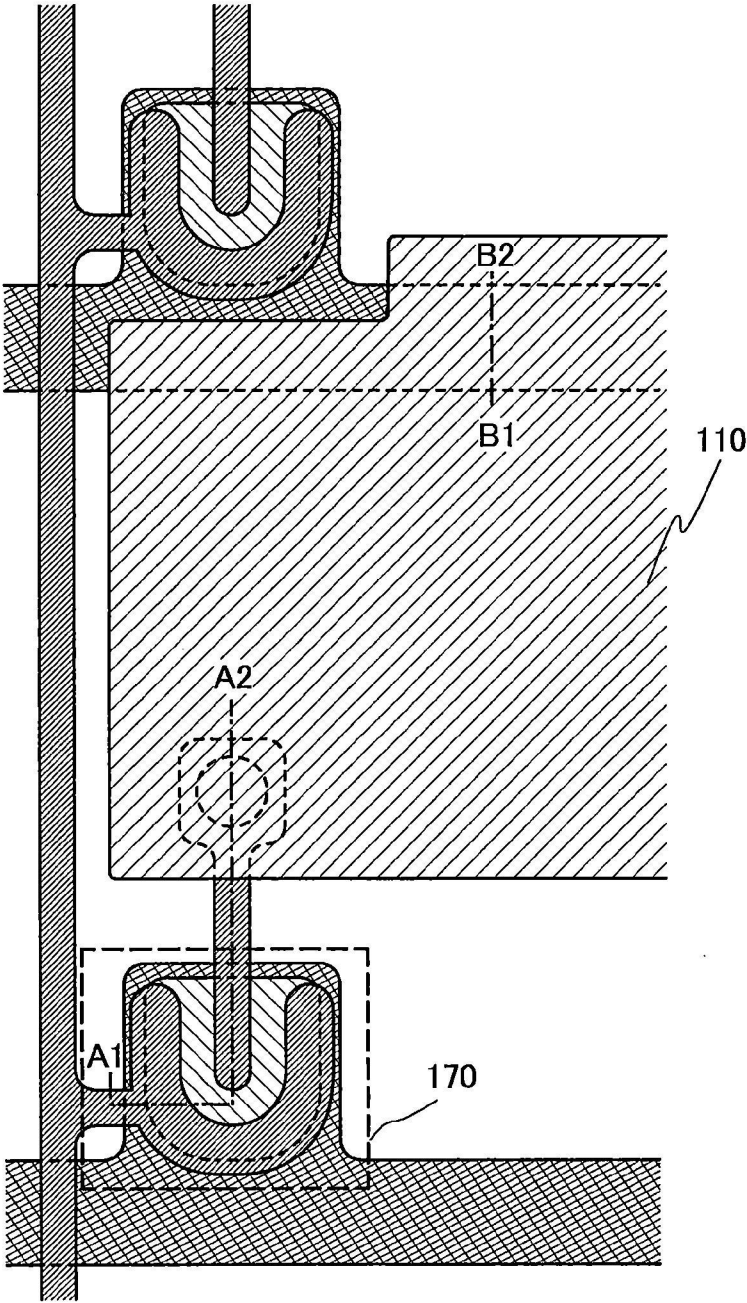


圖 10A

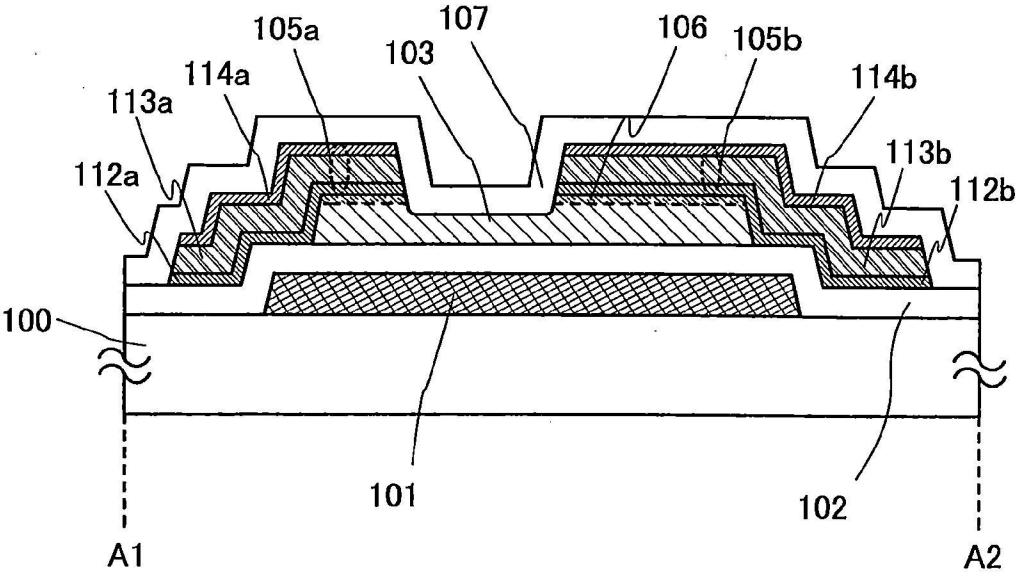


圖 10B

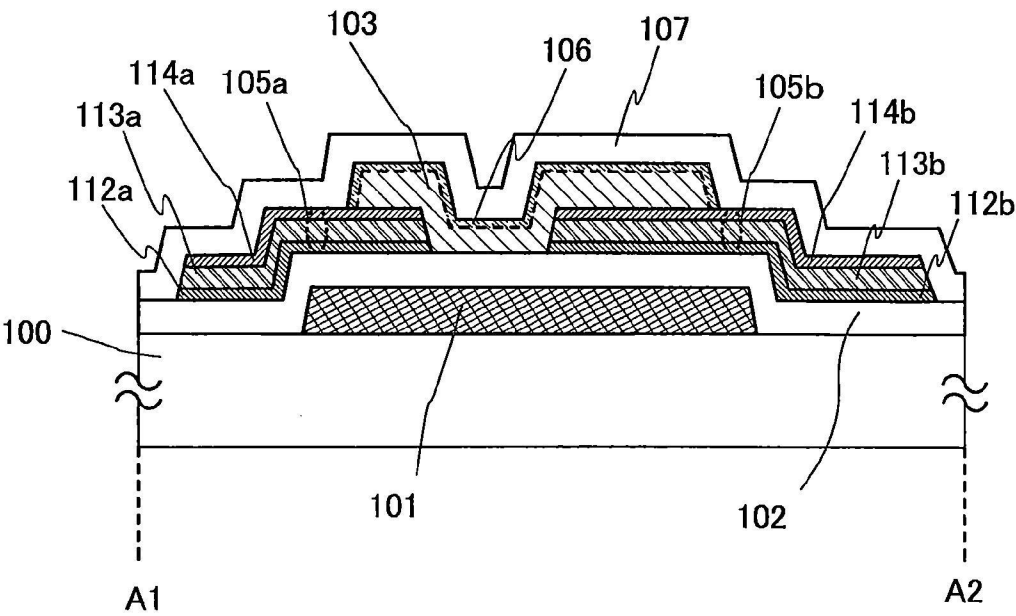


圖 11A



圖 11B

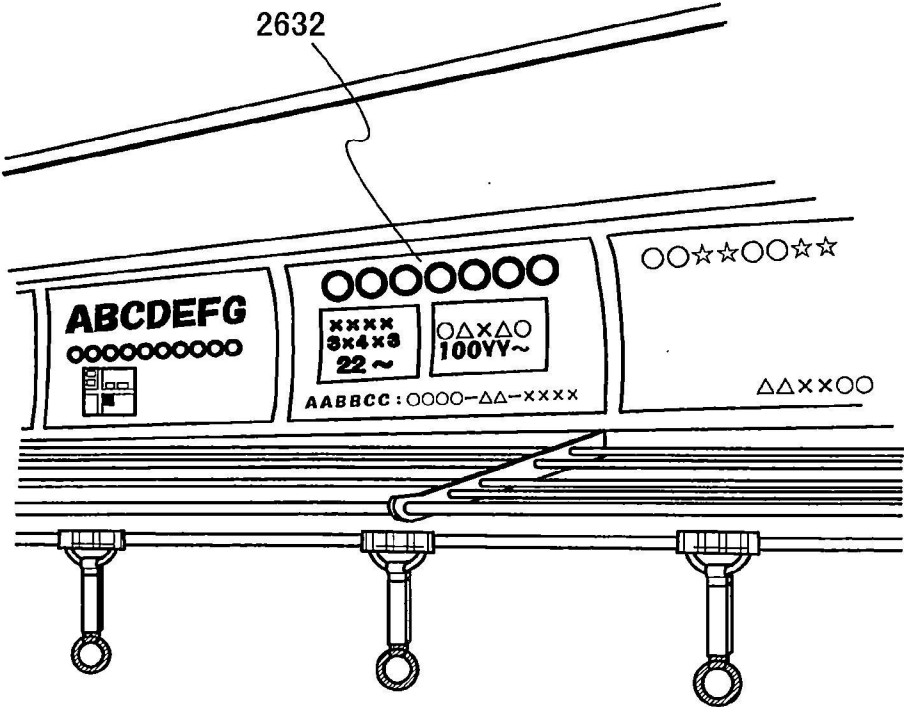


圖12

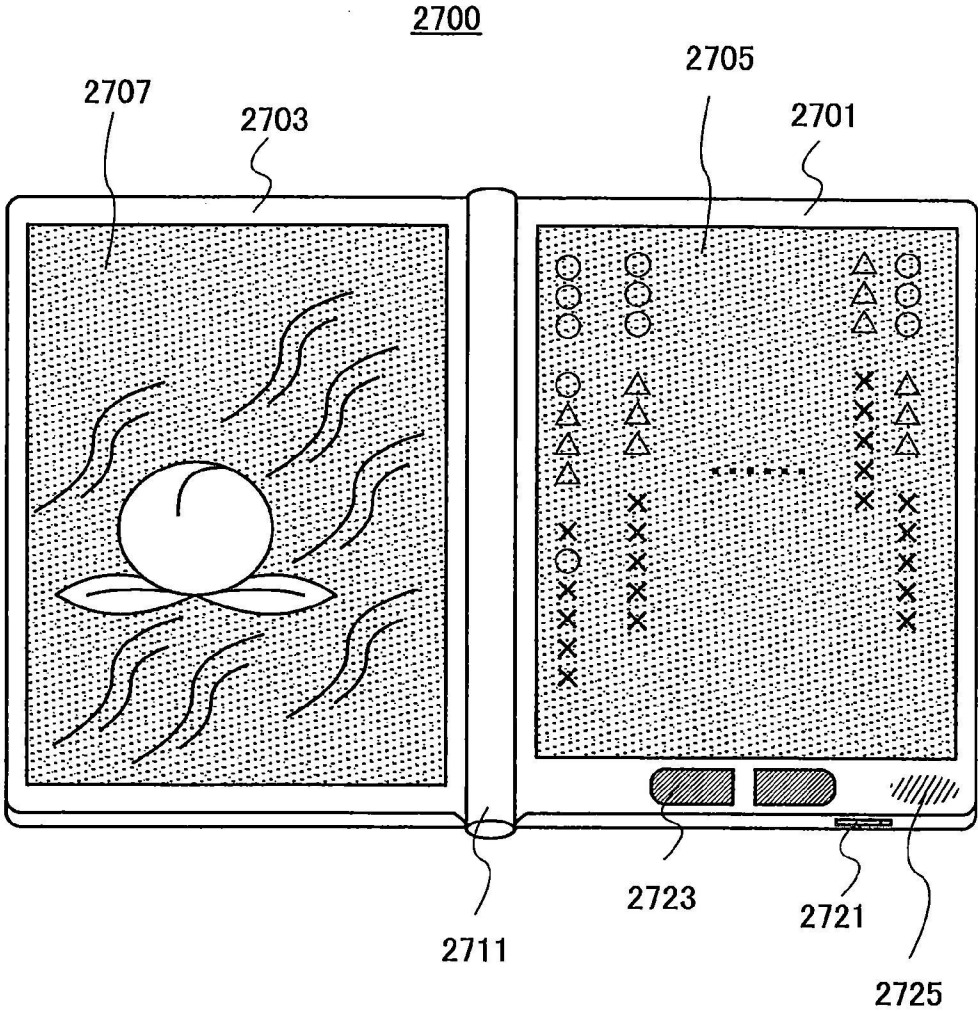


圖13

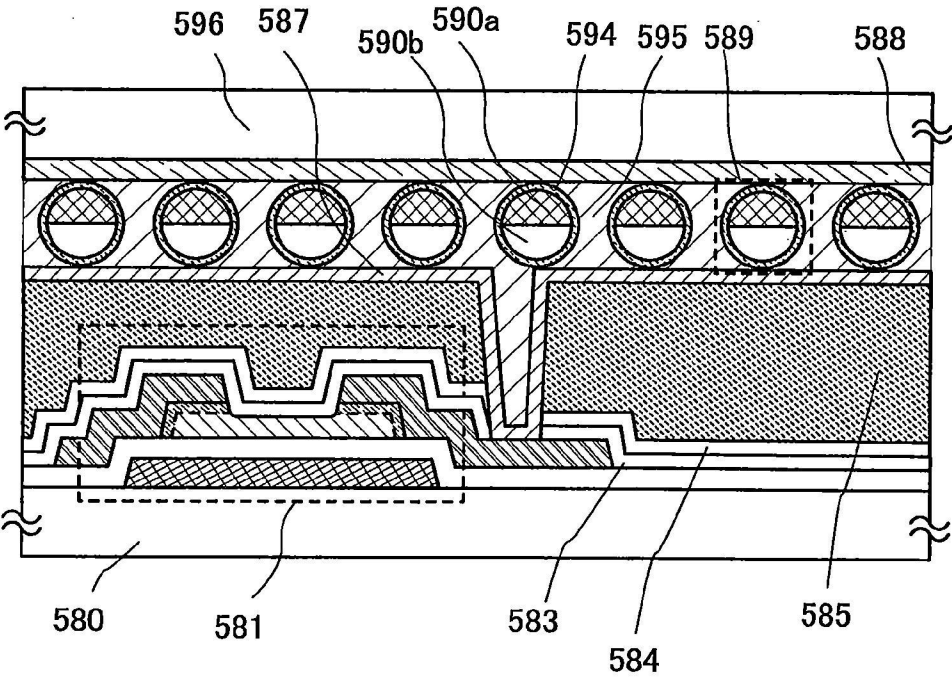


圖 14A

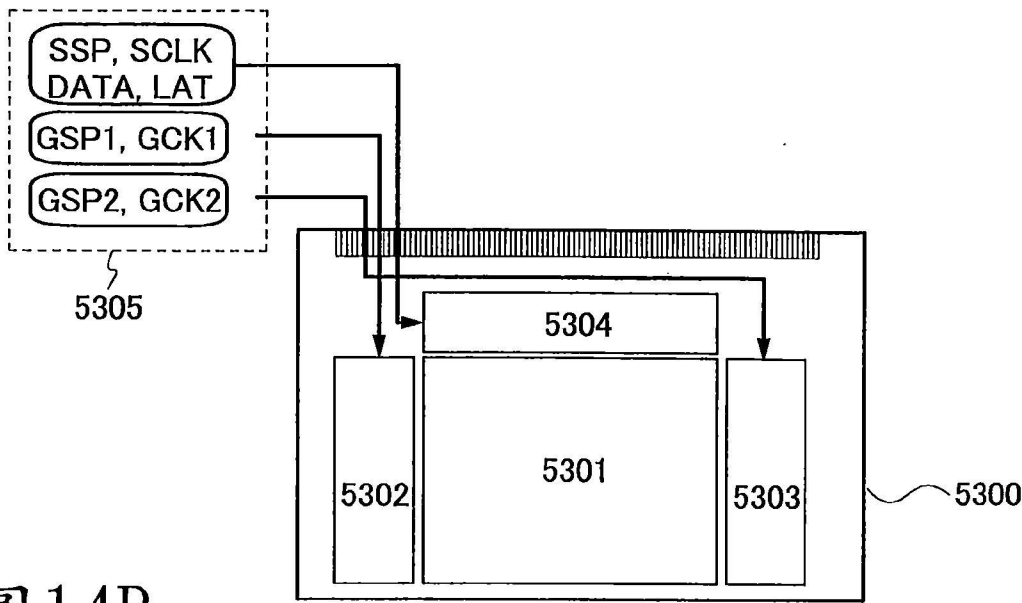


圖 14B

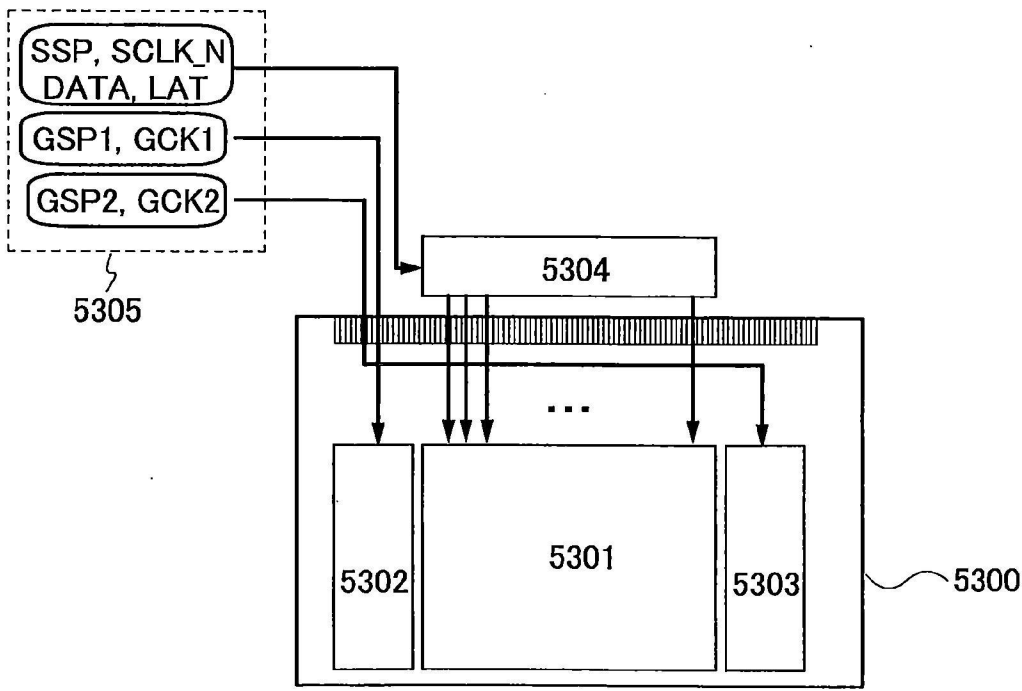


圖 15A

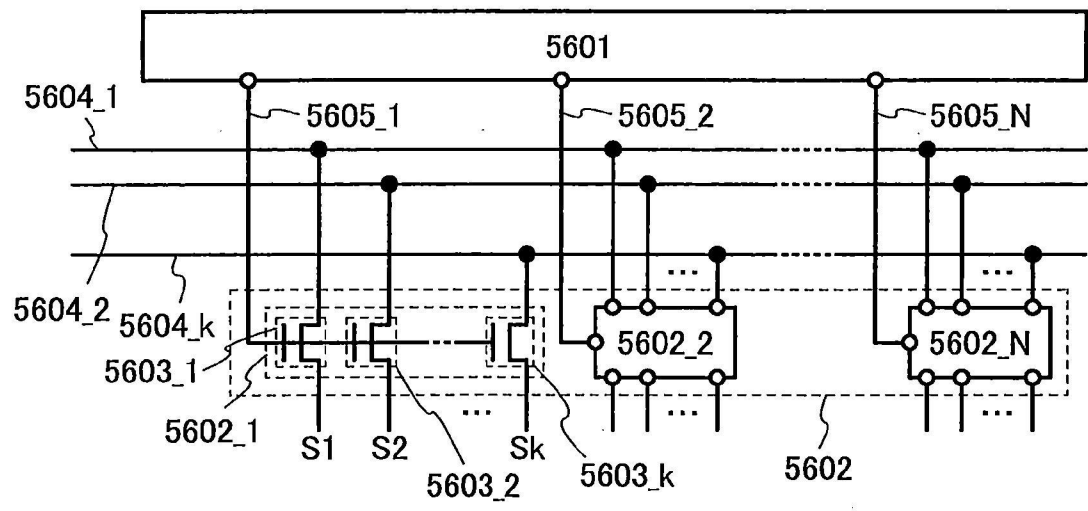


圖 15B

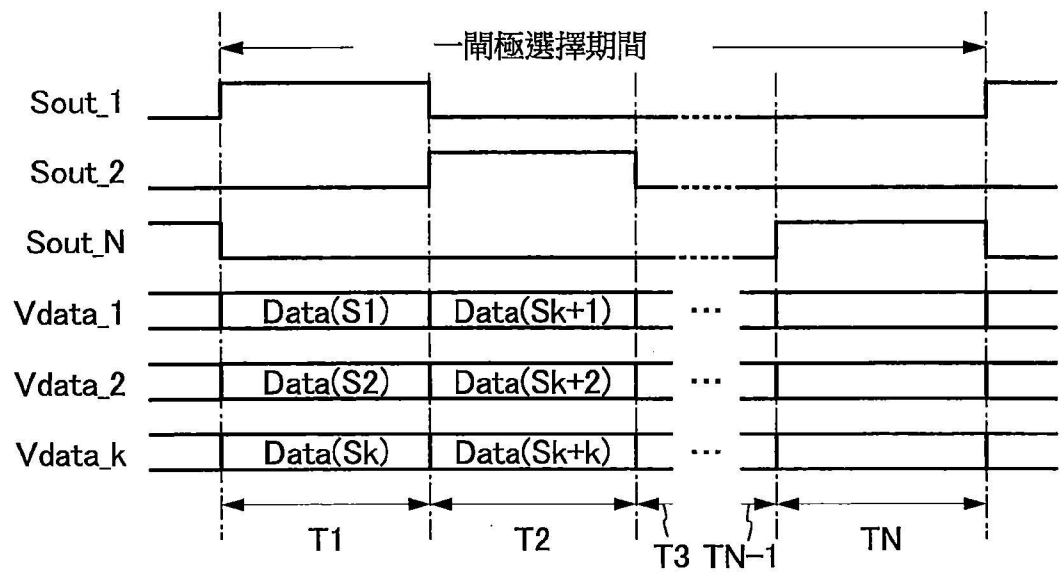


圖 16A

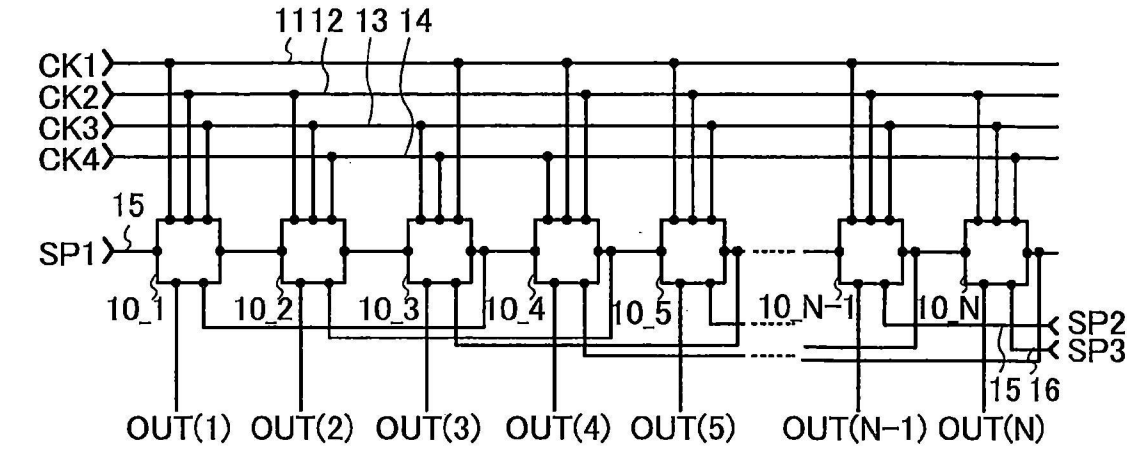


圖 16B

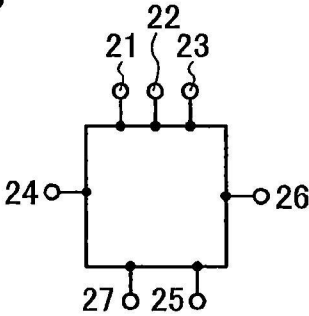


圖 16C

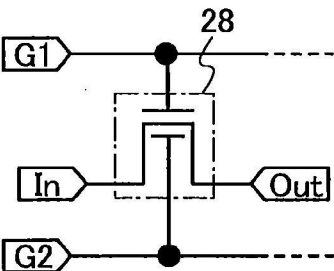


圖 16D

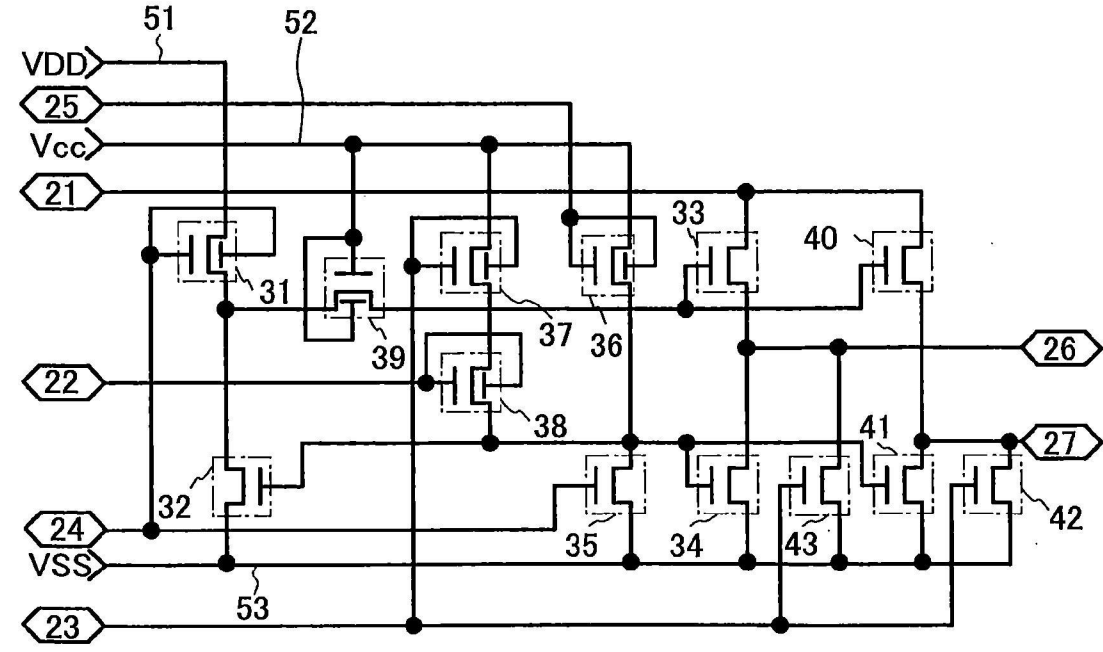


圖 17A

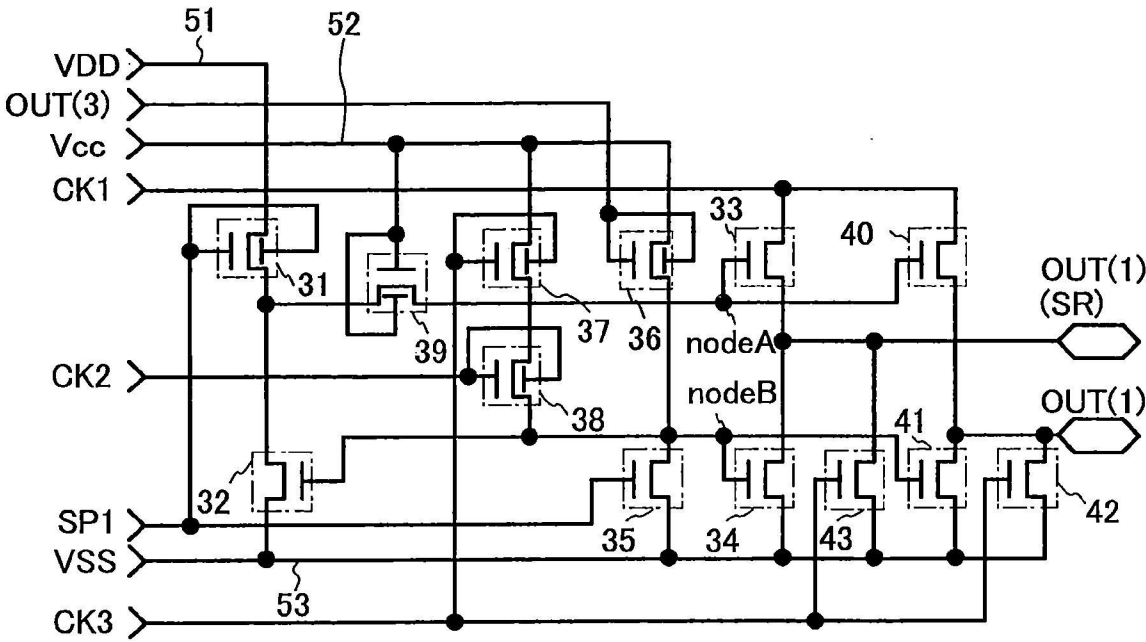


圖 17B

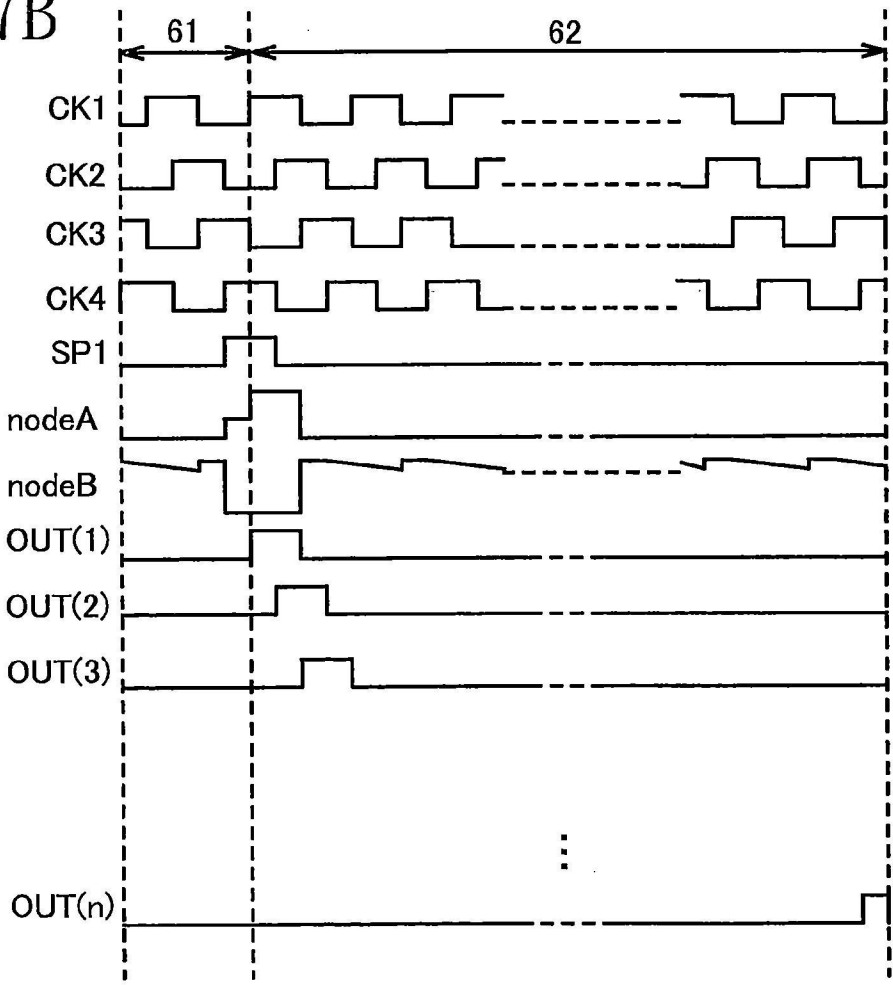
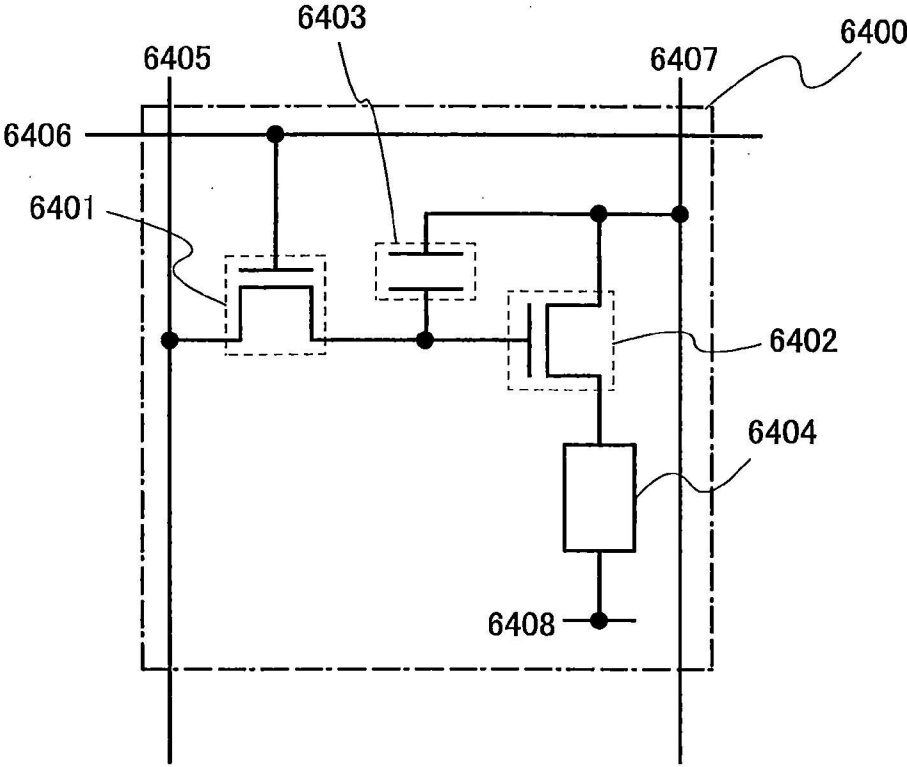


圖18



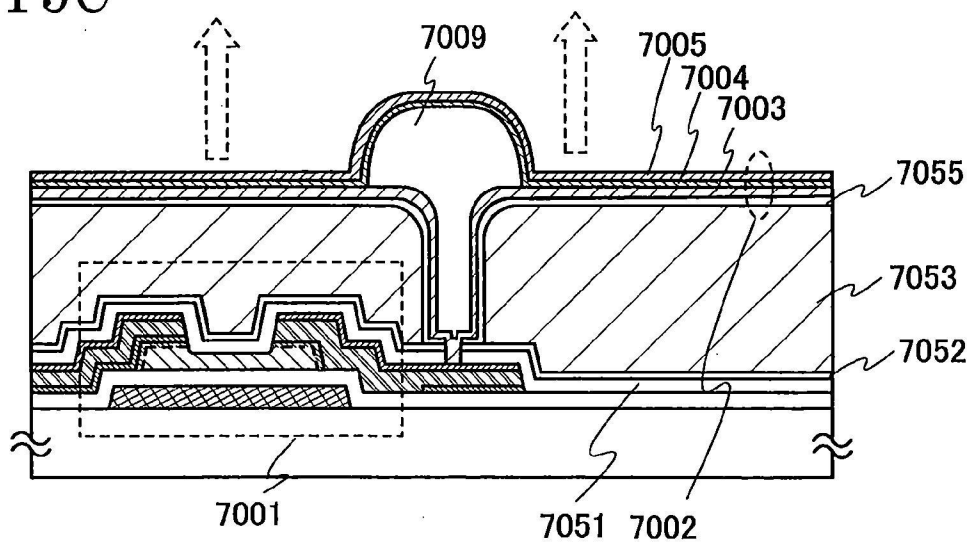
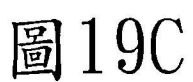
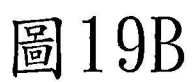


圖20A1

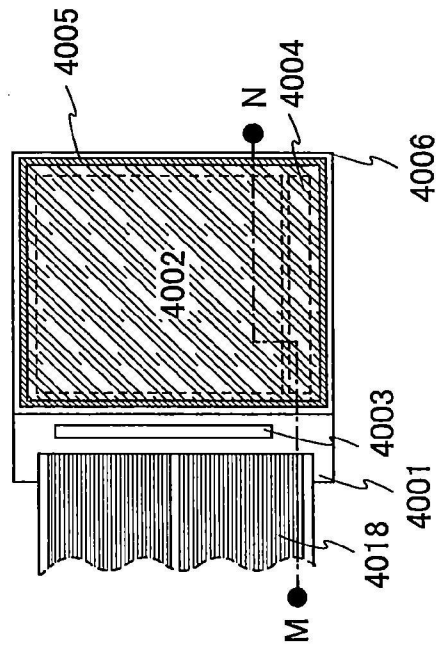


圖20A2

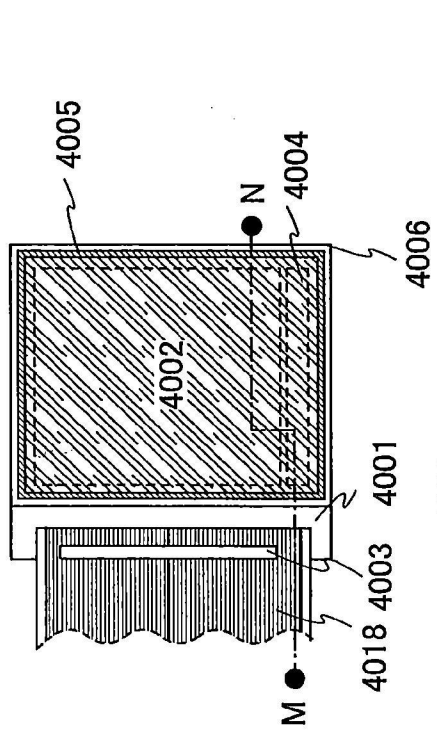


圖20B

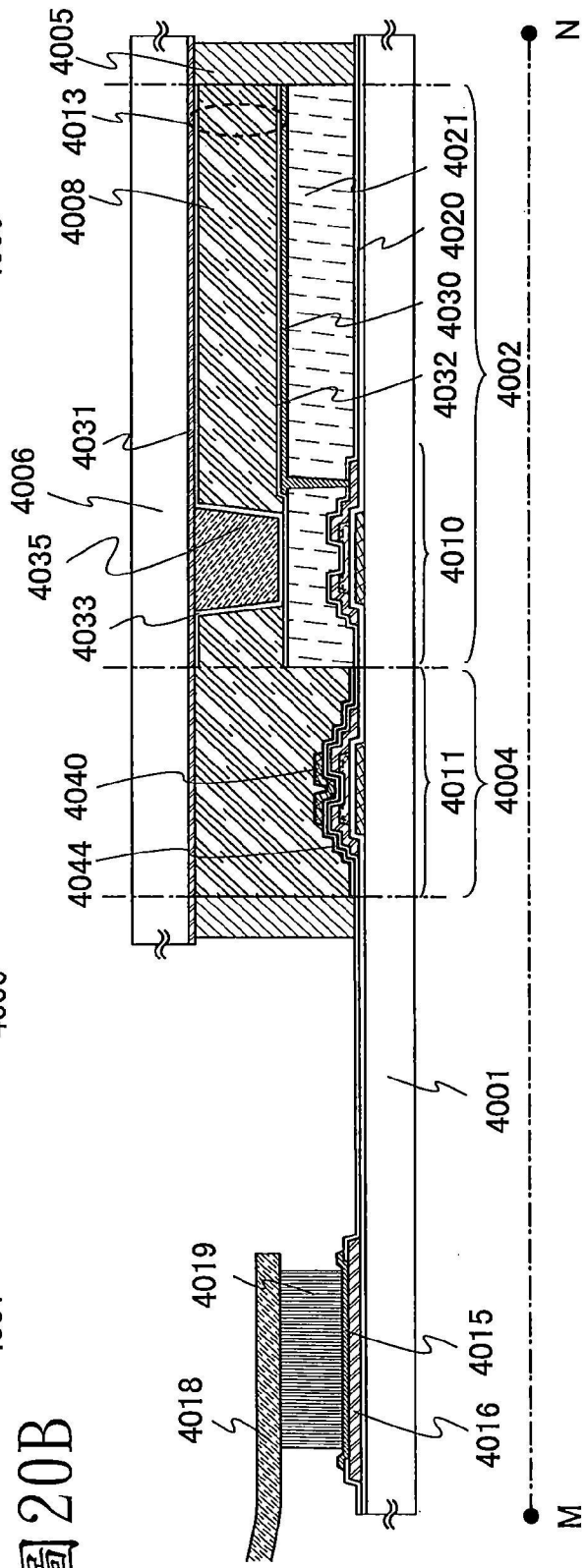


圖21

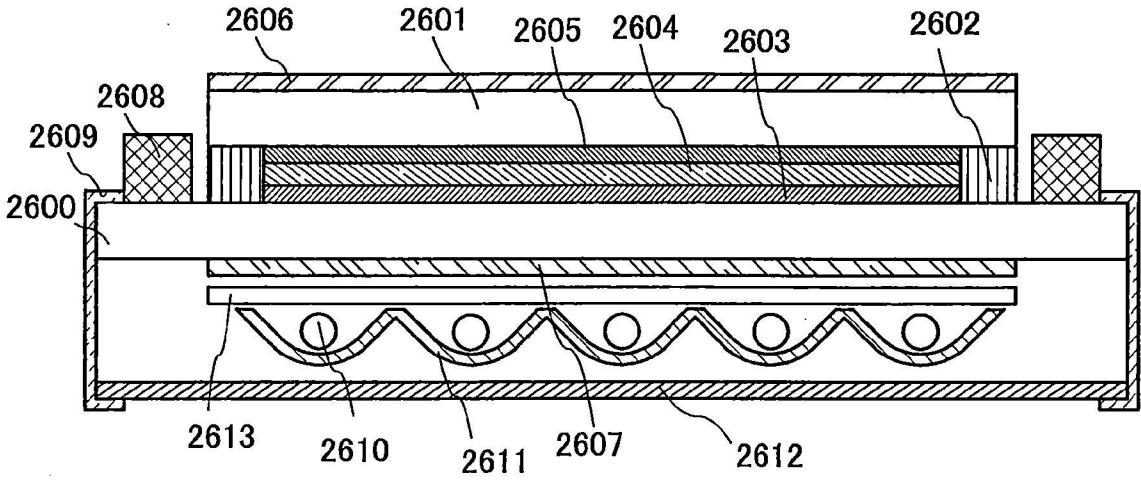


圖 22A

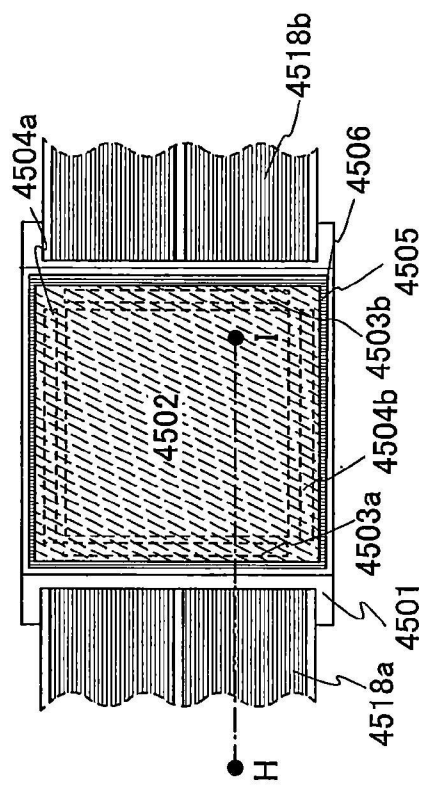


圖 22B

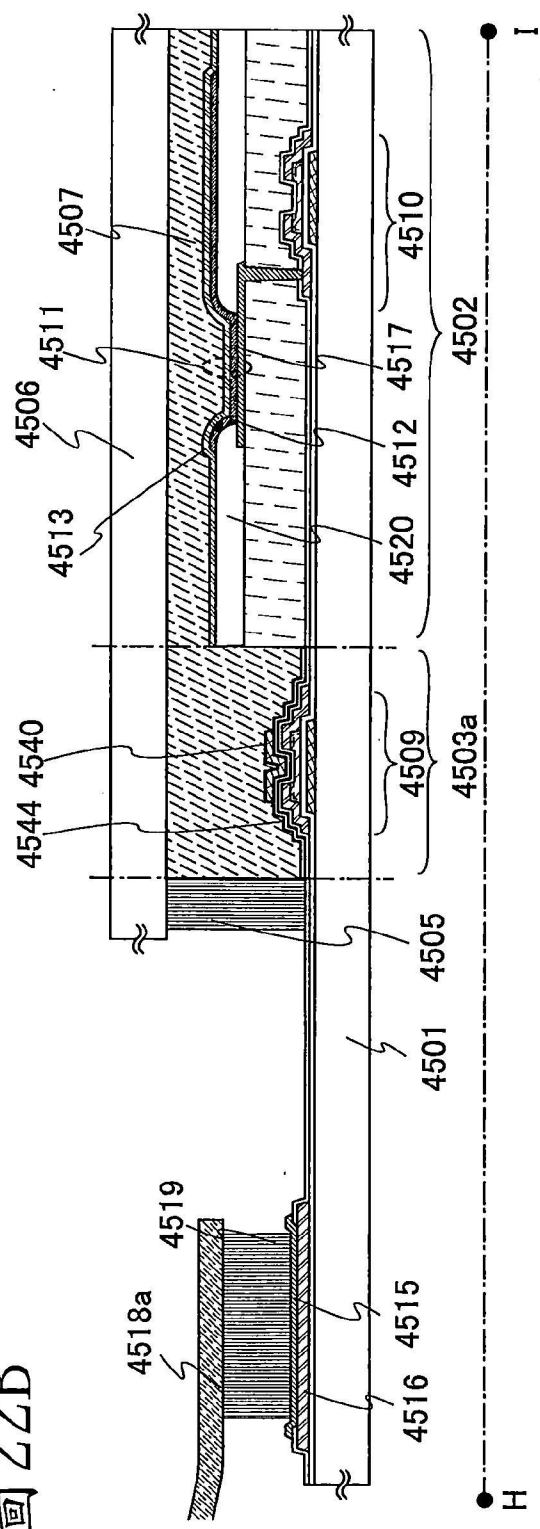


圖 23A

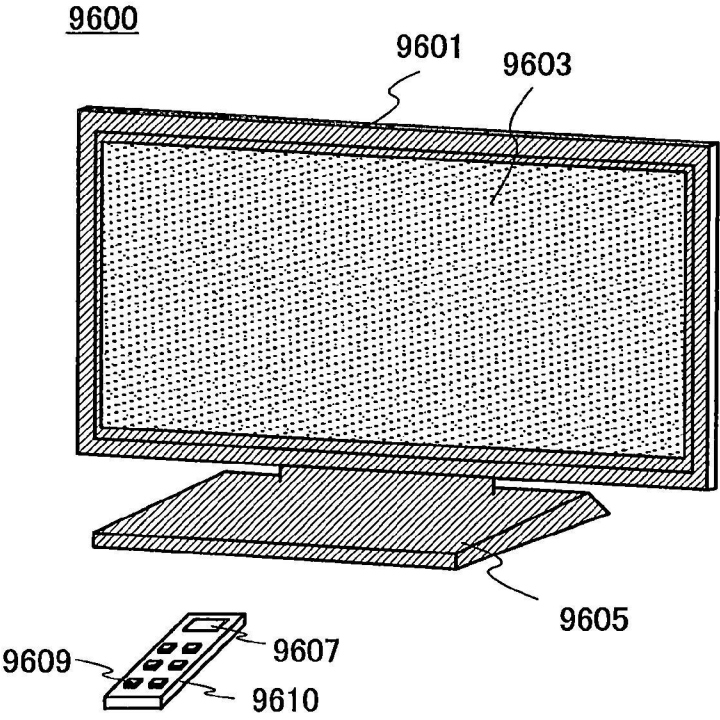


圖 23B

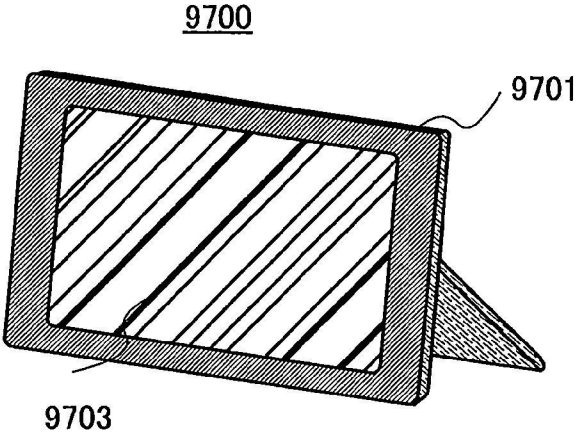


圖 24A

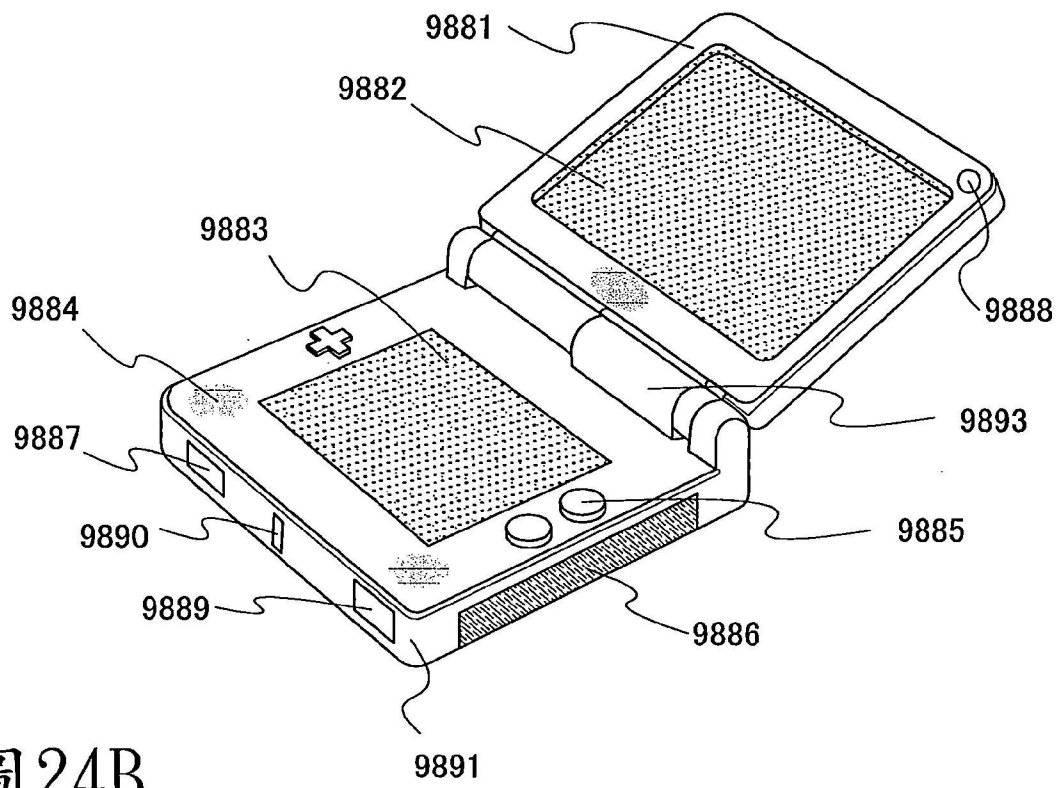


圖 24B

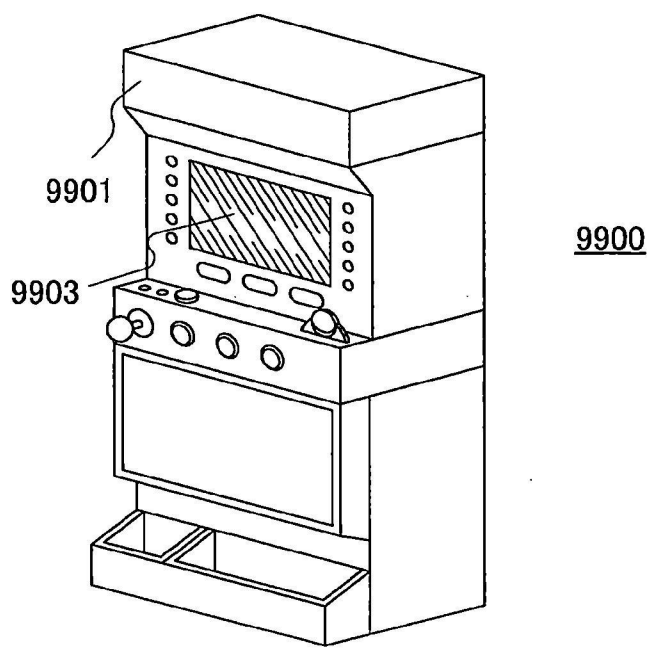


圖 25A

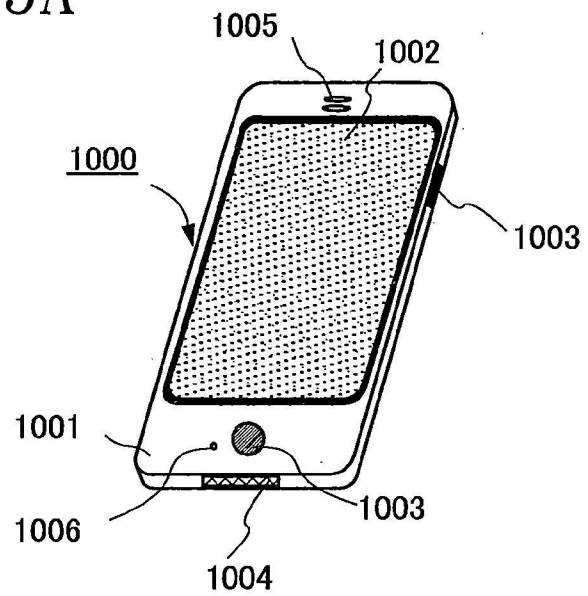


圖 25B

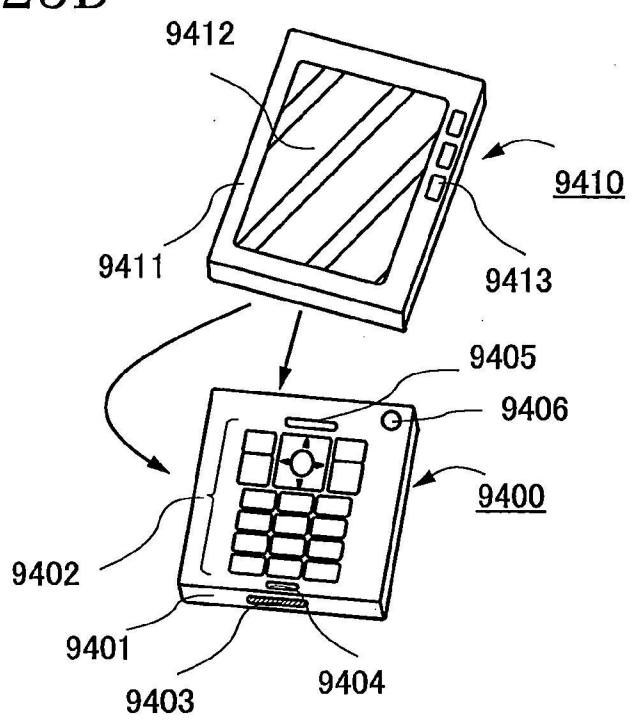


圖 26A

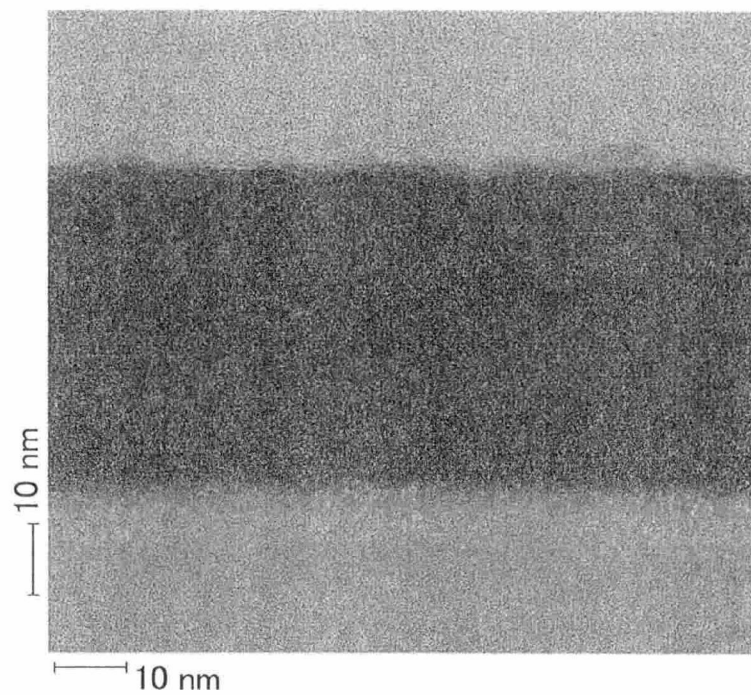


圖 26B

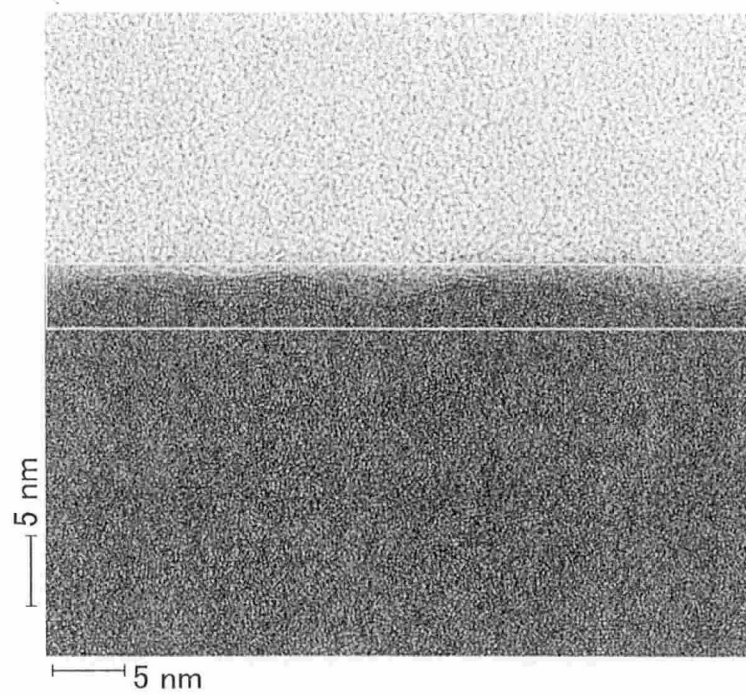


圖 27A

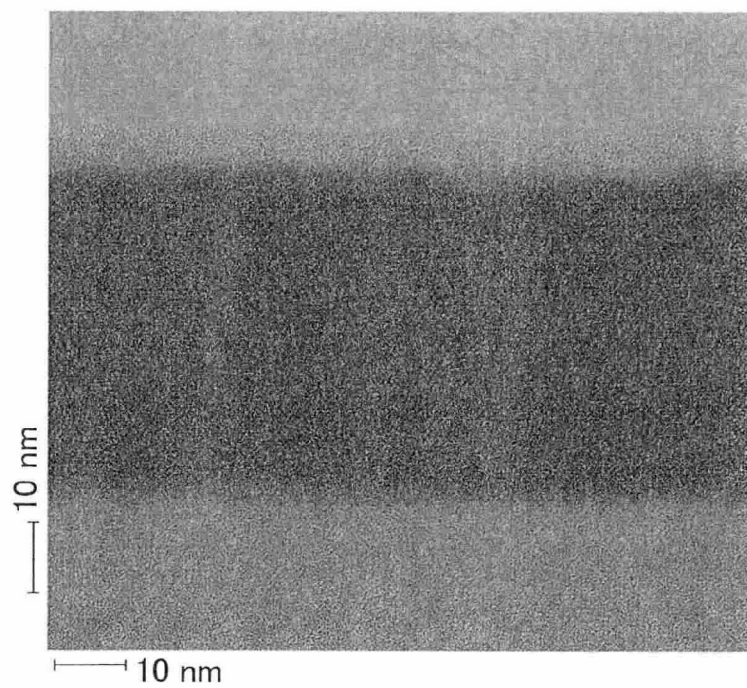


圖 27B

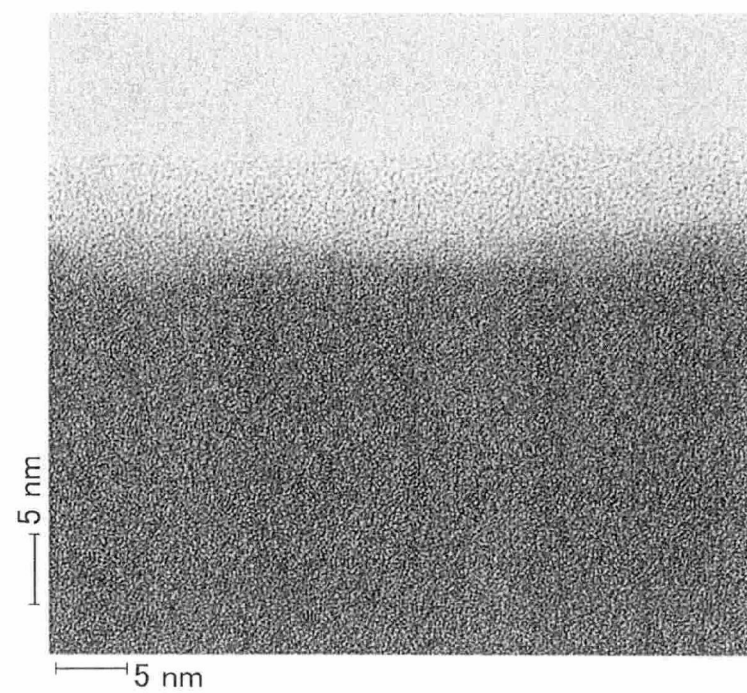


圖 28A

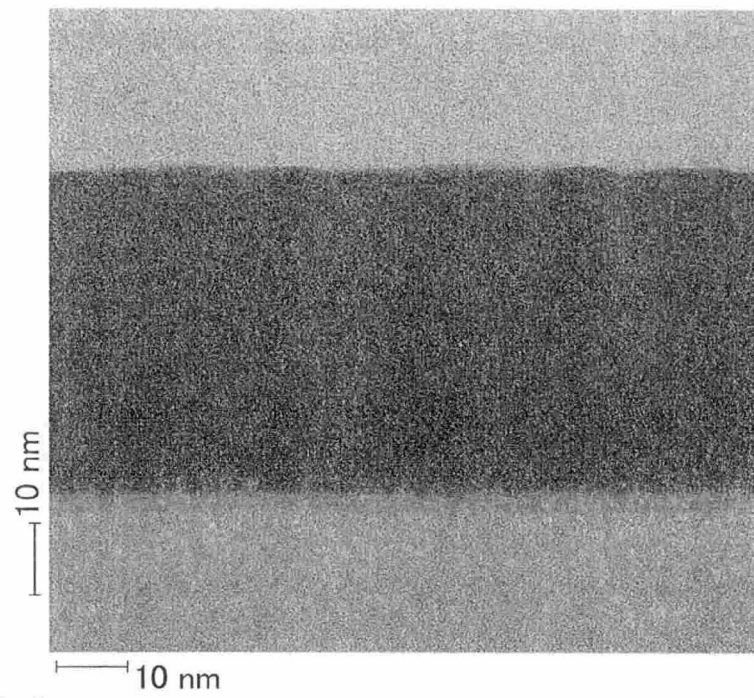


圖 28B

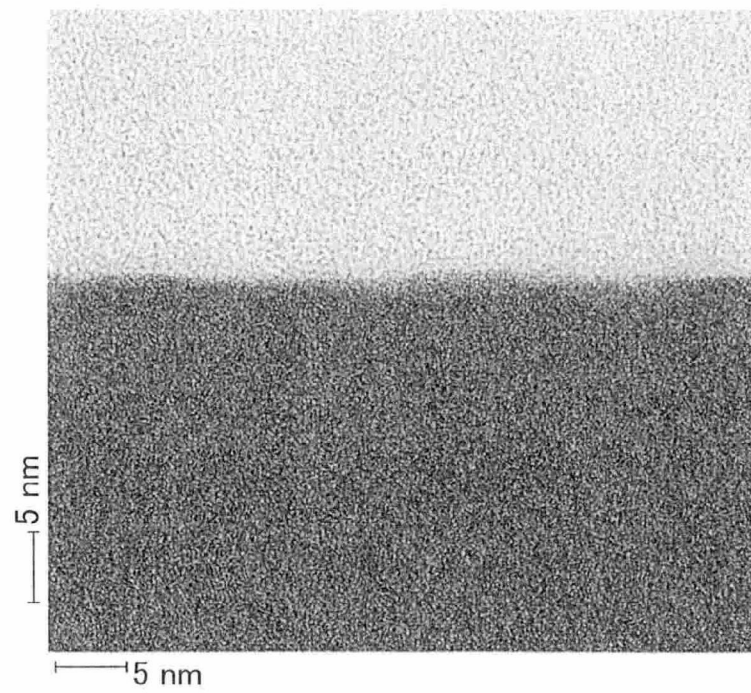


圖 29A

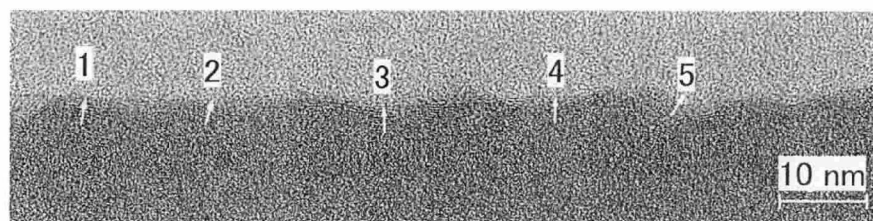


圖 29B

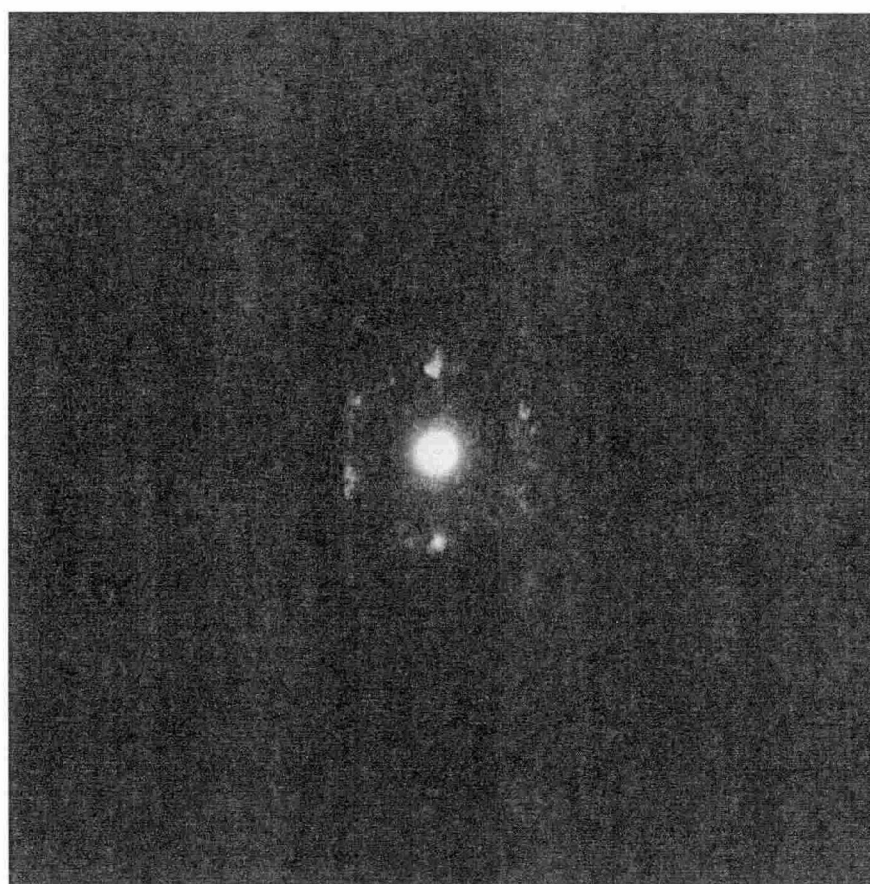
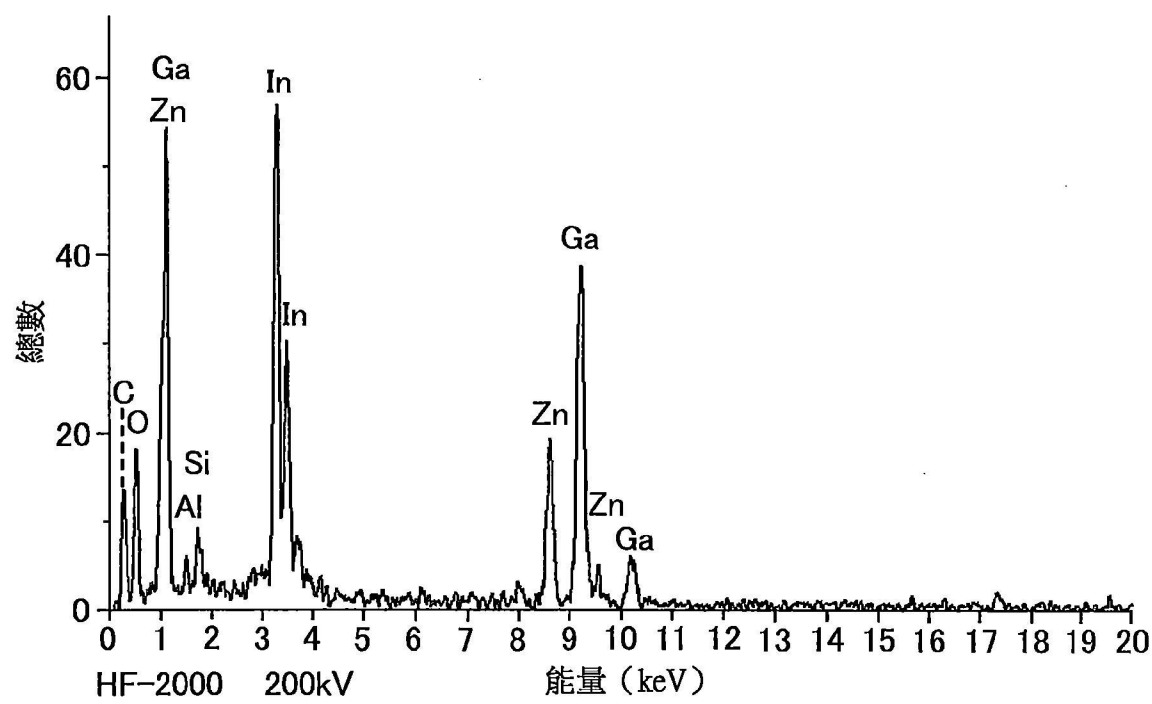


圖 30



元素	總數	K-Rel x, Si	K-Std x, Si	重量%	原子%
In-L	1085	1.718	—	47.88	21.51
Ga-K	731	1.425	—	26.76	19.80
Zn-K	283	1.303	—	9.47	7.47
O -K	154	4.018	4.239	15.89	51.23
總計				100.00	100.00

圖 31

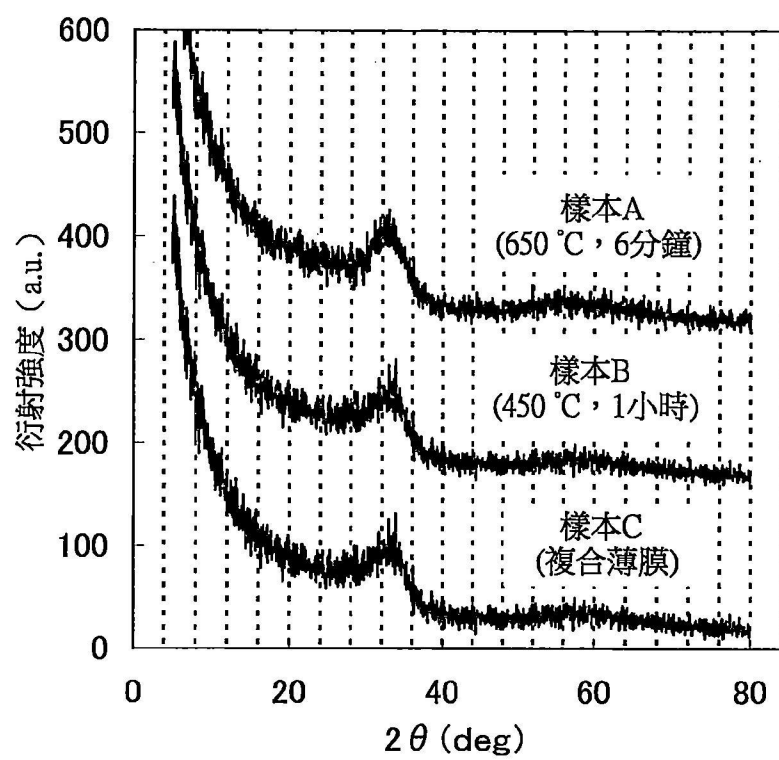


圖 32A

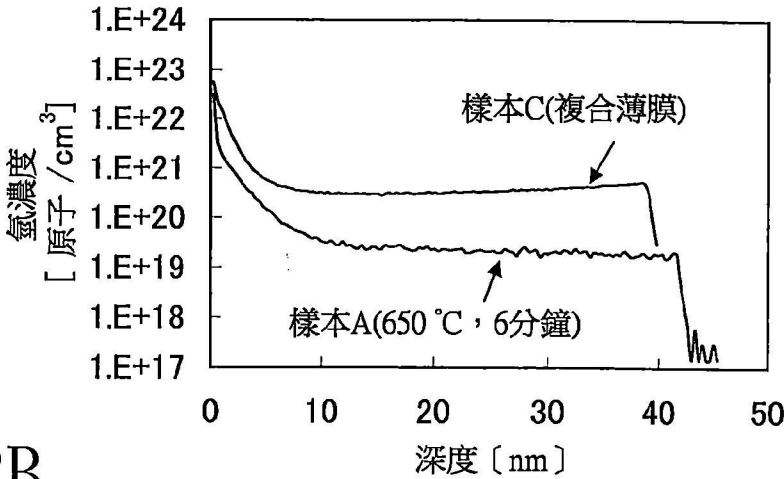


圖 32B

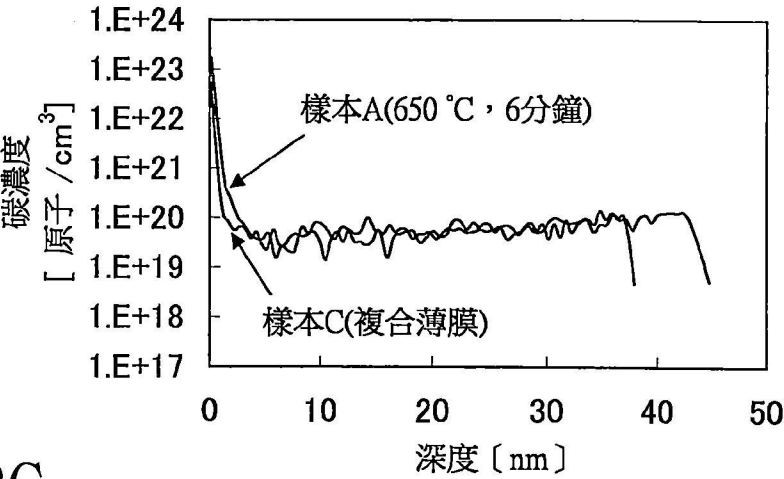


圖 32C

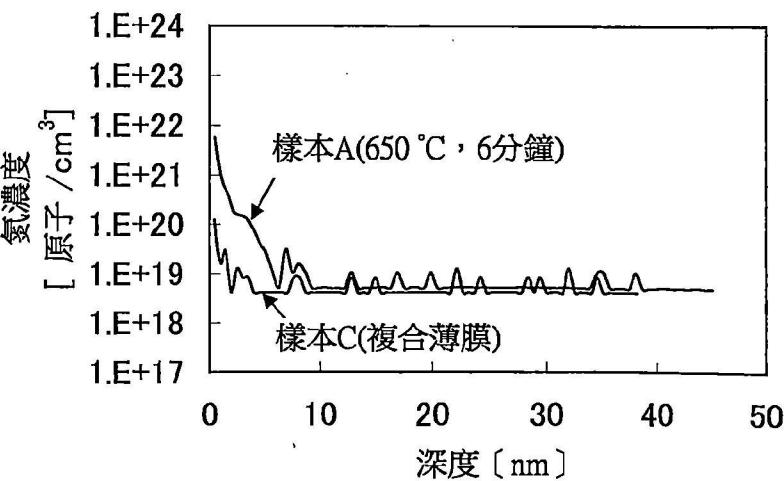


圖 33

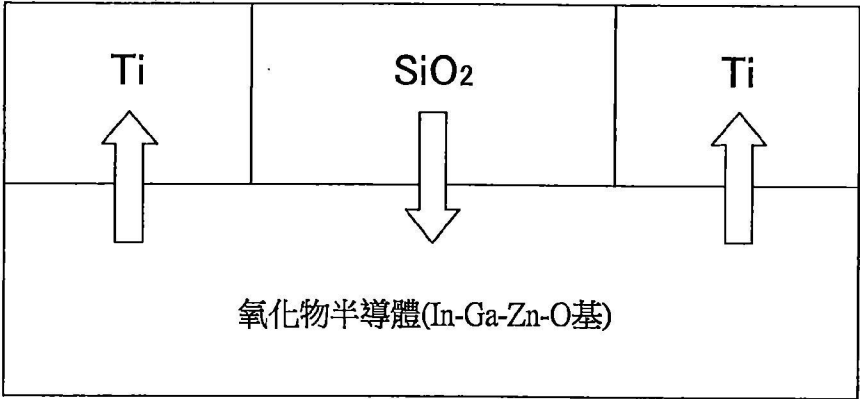


圖 34A

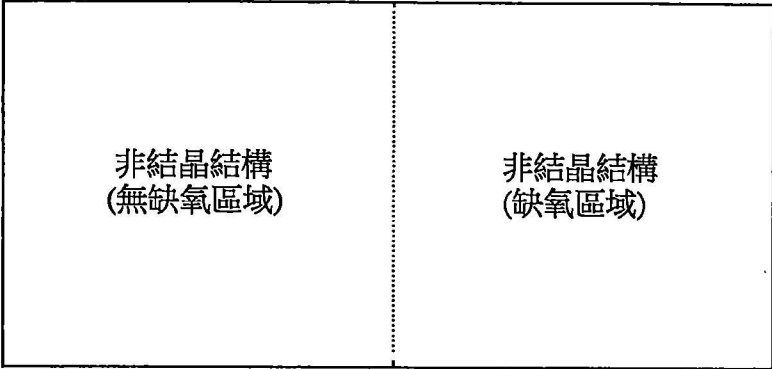


圖 34B

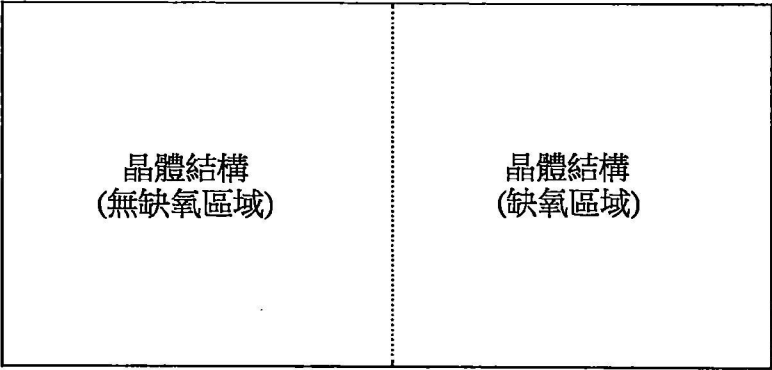


圖 35A

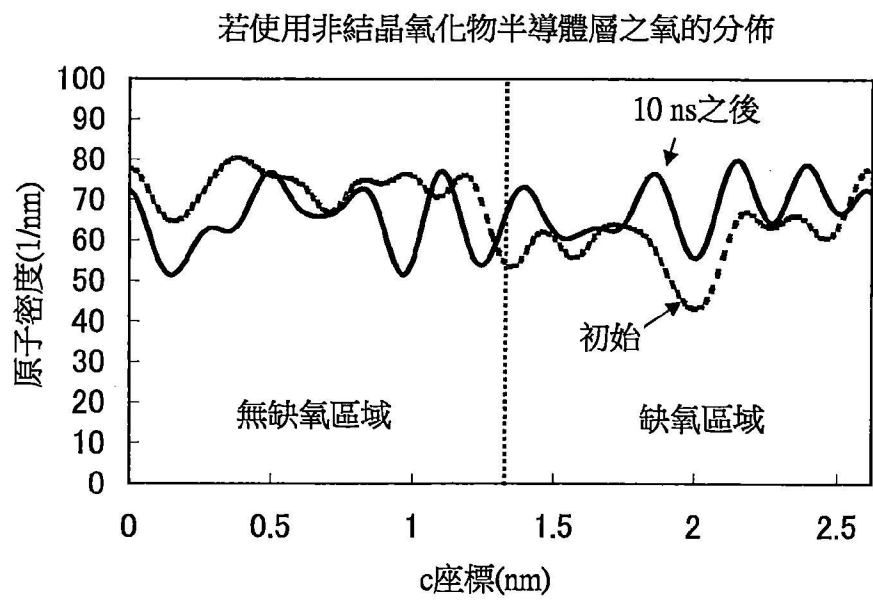


圖 35B

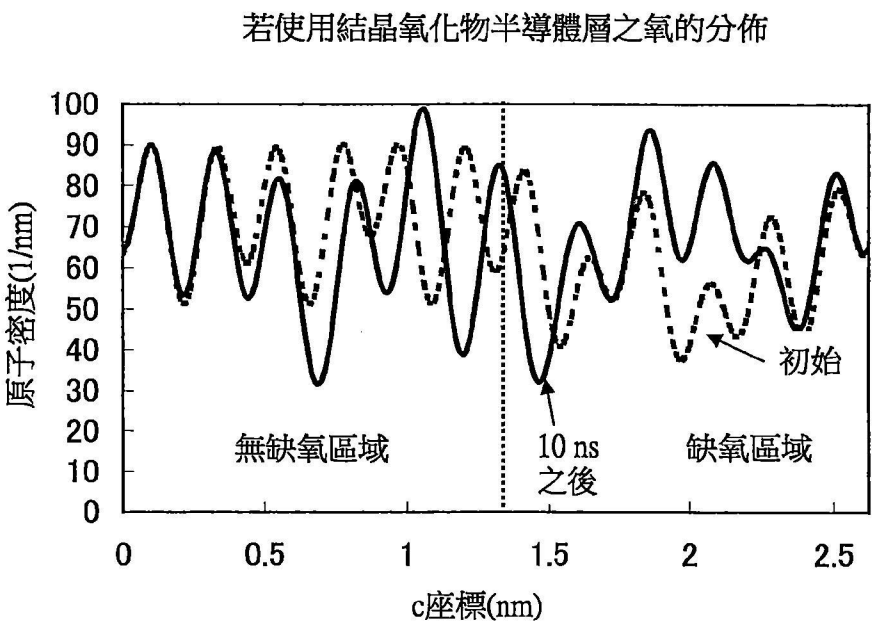
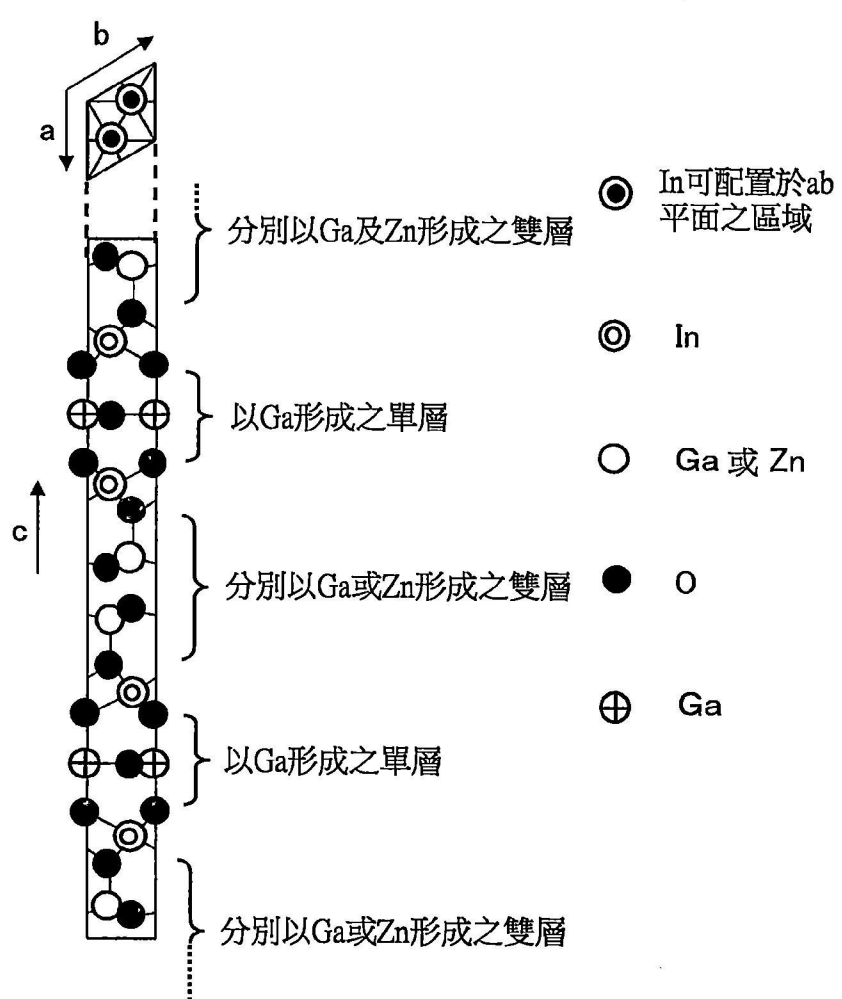


圖 36



$\text{In}_2\text{Ga}_2\text{ZnO}_7$ 之晶體結構

圖 37A

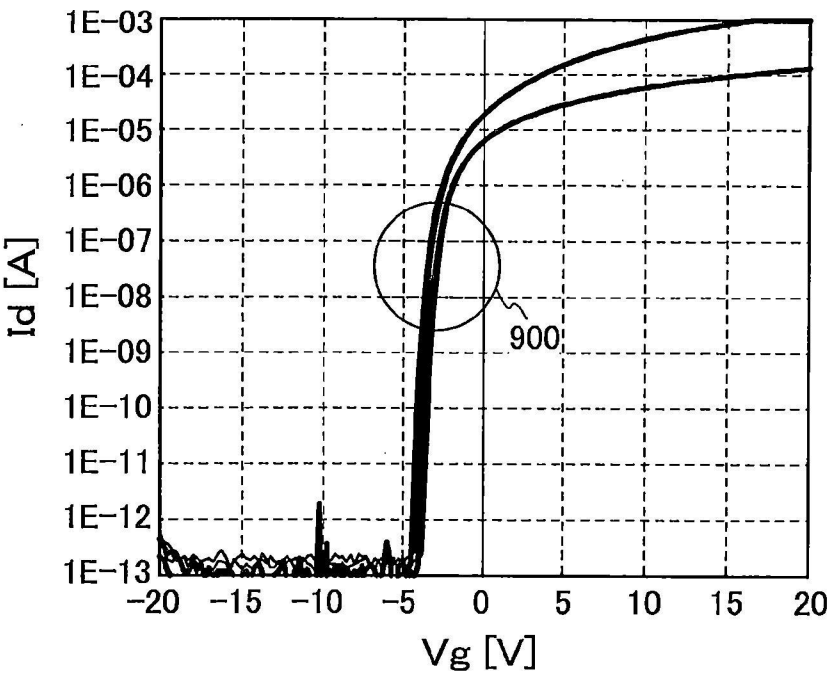


圖 37B

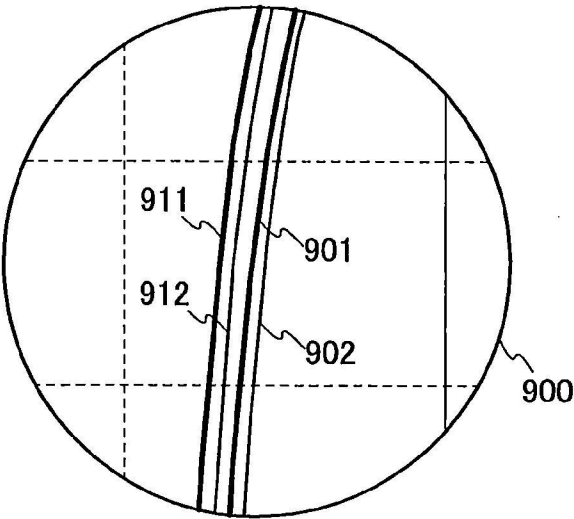


圖 38A

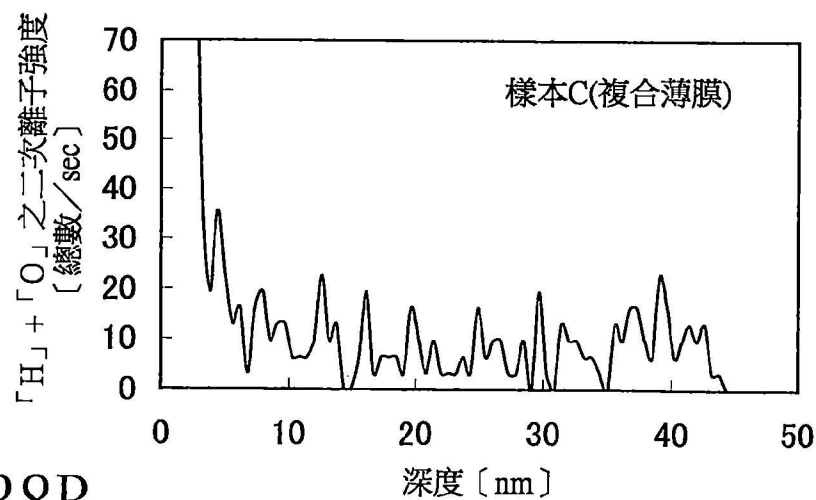


圖 38B

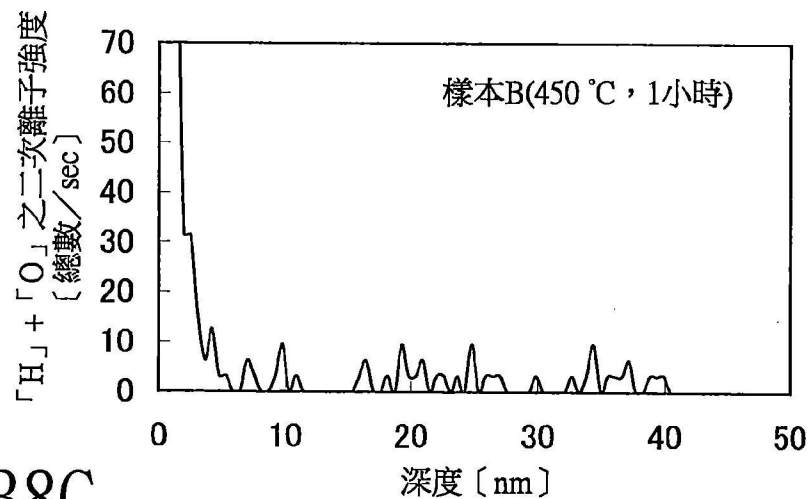


圖 38C

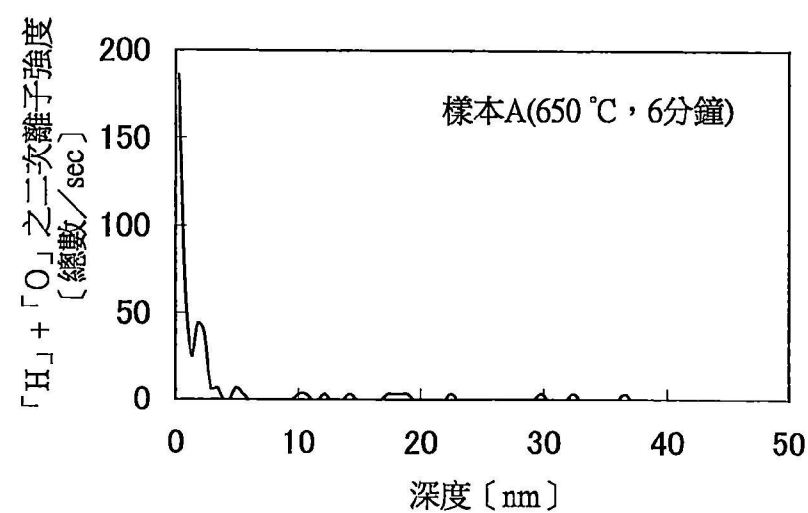


圖 39A

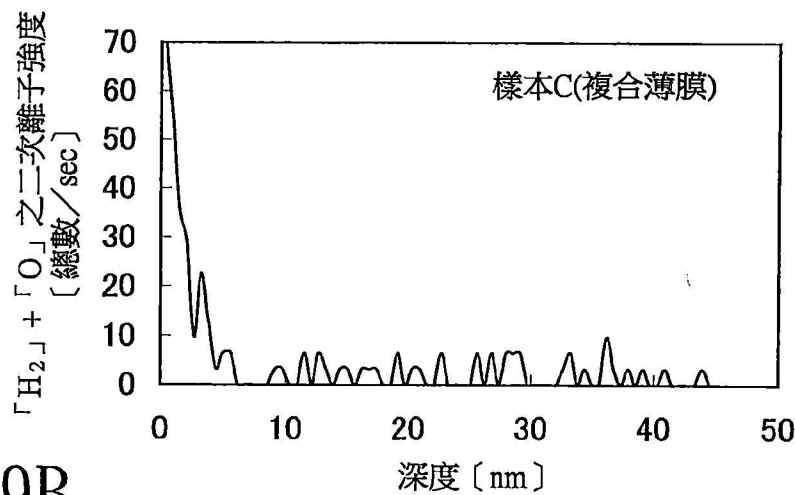


圖 39B

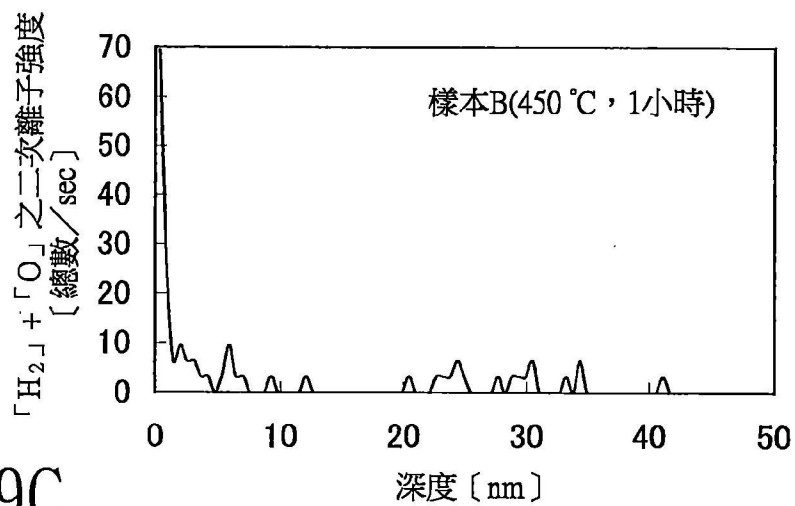


圖 39C

