

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成20年6月5日(2008.6.5)

【公表番号】特表2007-534106(P2007-534106A)
 【公表日】平成19年11月22日(2007.11.22)
 【年通号数】公開・登録公報2007-045
 【出願番号】特願2007-509536(P2007-509536)
 【国際特許分類】

G 1 1 C 16/02 (2006.01)

【F I】

G 1 1 C 17/00 6 1 1 G

G 1 1 C 17/00 6 4 1

【手続補正書】
 【提出日】平成20年4月17日(2008.4.17)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

不揮発性メモリセルの対応する異なる電荷レベルとして電荷蓄積素子の中にデータを蓄積するタイプの不揮発性メモリセルのプログラミングを行う方法であって、前記素子の電荷蓄積レベルが、前記プログラミングに先立って、リセットされた電荷蓄積レベルの分布状態にある方法において、

少なくとも 2 回のパスで前記電荷蓄積素子をプログラムするステップであって、第 1 のパス中に前記素子のうちの選択した素子をプログラムして、第 1 の蓄積レベルの分布状態に変え、後続する第 2 のパス中に前記リセットされた電荷蓄積レベルの分布状態にある素子のうちの選択した素子をプログラムして、第 2 の蓄積レベルの分布状態に変え、前記第 1 の蓄積レベルの分布状態にある素子のうちの選択した素子をプログラムして、第 3 の蓄積レベルの分布状態に変え、前記第 2 の蓄積レベルの分布状態が、前記リセットされた蓄積レベルの分布状態と前記第 1 の蓄積レベルの分布状態との間にある、プログラムするステップを有し、

前記素子のうちの少なくとも 1 つの素子を前記第 2 のパス中にプログラムするのにホストデータが不十分な場合、前記少なくとも 1 つの素子をプログラムして、前記第 1 のパス中に前記第 1 の蓄積レベルに変え、前記プログラムするステップが、前記少なくとも 1 つの素子の電荷蓄積レベルを、前記第 2 のパスの後に前記第 3 の蓄積レベルの分布状態の電荷蓄積レベル未満となるようにする方法。

【請求項 2】

請求項 1 記載の方法において、

前記プログラムするステップが、データバッファ内へホストデータをロードするステップと、前記データバッファ内のデータに従って電圧を前記素子と結合して、選択した蓄積レベルに合わせて前記素子をプログラムするステップとを有し、前記プログラムするステップが、前記第 1 のパスの後に前記データバッファ内へデータをロードし、それによって前記データバッファ内に対応するホストデータを有していない素子を前記素子間で前記第 2 のパス中にプログラムしないようにするステップをさらに有する方法。

【請求項 3】

請求項 2 記載の方法において、

前記第 1 のパスの後に前記データバッファ内へロードされる前記データが、ホストから得られたデータではない方法。

【請求項 4】

請求項 2 記載の方法において、

前記第 1 のパスの後に前記データバッファ内へロードされる前記データが、前記リセットされた電荷蓄積レベルの分布状態に対応する方法。

【請求項 5】

請求項 2 記載の方法において、

前記第 1 のパスの後に前記データバッファ内へロードされる前記データが、前記第 2 のパス中に前記データバッファ内の禁止の対象となる対応するデータを用いることなく、前記素子のプログラミングを行わせる方法。

【請求項 6】

請求項 2 記載の方法において、

対応するホストデータを前記データバッファ内に有していない前記素子の電圧レベルと、前記データバッファ内に対応するホストデータを有する前記素子の電圧レベルとを、個々に制御されない検知回路がプログラムする方法。

【請求項 7】

請求項 2 記載の方法において、

前記素子をグループ化して、複数のグループに変え、複数のフラグ電荷蓄積セルの各々を利用して、前記複数のグループ内の対応するグループの素子が前記第 2 のパス時にプログラムされたものであるか否かを示すフラグデータを蓄積し、前記方法が、

前記複数の素子グループに蓄積された蓄積レベルを読み出すステップであって、異なる読み出し電圧をこのような素子と結合することによって、前記グループのうちの 1 つのグループ内の少なくともいくつかの素子の各々に蓄積された前記蓄積レベルを読み出して、複数の読み出し値を得るようにする、読み出すステップと、

記憶装置の中に前記複数の読み出し値を蓄積するステップと、

前記複数の読み出し値のうちの 1 つの値のみを選択して、前記グループのうちの前記 1 つのグループに対応する前記（単複の）フラグ電荷蓄積セルに蓄積された前記フラグデータに従って、前記少なくともいくつかの素子の各々に蓄積されたホストデータを表すようにするステップと、

をさらに有する方法。

【請求項 8】

請求項 2 記載の方法において、

前記素子をグループ化して、複数のグループに変え、このようなグループの素子が前記第 2 のパス時にプログラムされたものかどうかを示すフラグデータを蓄積する少なくとも 1 つのフラグ電荷蓄積セルが前記個々のグループの中に含まれ、前記複数のグループのうちの少なくとも 2 つのグループ内の素子を共通のワードラインによって制御し、前記読み出すステップが、前記フラグ電荷蓄積セルに蓄積された前記フラグデータを読み出し、それによって、前記少なくとも 2 つのグループのうちの第 1 のグループ内の素子が前記第 2 のパス時にプログラムされたものであること、並びに、前記少なくとも 2 つのグループのうちの第 2 のグループ内の素子が前記第 2 のパス時にプログラムされなかったことを前記フラグデータによって示されたとき、前記読み出すステップが、異なるシーケンスの読み出し電圧を前記第 1 および第 2 のグループ内の素子と結合することによって、前記第 1 および第 2 の素子グループに蓄積された蓄積レベルを読み出す方法。

【請求項 9】

請求項 8 記載の方法において、

前記第 1 および第 2 のグループ内の素子の各素子の蓄積レベルによって表されるデータが、順序づけられたセットの少なくとも第 1 の 2 進値変数と第 2 の 2 進値変数とを含み、前記素子をプログラムするために前記順序づけられたセットも利用し、前記第 1 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 1 の

変数値に従って決定し、前記第 2 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 2 の変数値に従って決定し、

前記読み出すステップが、唯一の読み出し電圧を前記第 1 のグループ内の素子と結合して、前記蓄積レベルによって表される前記第 1 の変数値を出力するようにし、2 つの異なる読み出し電圧を前記第 2 のグループ内の素子と結合して、前記蓄積レベルによって表される前記第 1 の変数値を出力するようにする方法。

【請求項 10】

請求項 8 記載の方法において、

前記読み出すステップが、前記少なくとも 2 つのグループに対応する前記フラグ電荷蓄積セルに蓄積された前記フラグデータを読み出し、それによって、前記共通のワードラインが制御する前記素子のうちのいくつかの素子ではあるが、すべてではない素子が前記第 2 のパス時にプログラムされたことを前記フラグデータが示したとき、前記第 2 のパス時にプログラムされなかった素子の読み出しのためにさらに多くの時間を割り当てるようにする方法。

【請求項 11】

請求項 10 記載の方法において、

前記フラグ電荷蓄積セルを前記ワードラインに沿って配置して、前記ワードラインに沿った前記複数の素子グループのうちの少なくとも 2 つのグループが、前記第 2 のパス中にプログラムされたかどうかを示すようにし、前記ワードラインにより制御される前記グループのうちの 1 以上のグループが前記第 2 のパス中にプログラムされなかったことが前記フラグデータにより示されたとき、前記第 2 のパス時にプログラムされなかった素子を読み出す際に、さらに多くの呼出し時間を予期する旨をユーザに示すように話中信号を生成する方法。

【請求項 12】

請求項 2 記載の方法において、

前記素子の各素子の蓄積レベルによって表されるデータが、順序づけられたセットの少なくとも第 1 の 2 進値変数と第 2 の 2 進値変数とを含み、前記素子をプログラムするために前記順序づけられたセットも利用し、前記第 1 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 1 の変数値に従って決定し、前記第 2 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 2 の変数値に従って決定し、前記方法が、

異なる読み出し電圧をこのような素子と結合することによって前記素子の蓄積レベルを読み出して、前記蓄積レベルにより表される前記第 2 の変数値を出力するようにするステップであって、第 1 の読み出し電圧の場合、前記第 2 の変数の第 1 の値は、前記読み出すステップ中のこのような素子内の電流の方がしきい値よりも低くなることを示し、前記第 2 の変数の第 2 の値は、前記読み出すステップ中のこのような素子内の電流の方が前記しきい値よりも高くなることを示し、第 2 の読み出し電圧の場合、前記第 2 の変数の第 1 の値は、前記読み出すステップ中のこのような素子内の電流の方が前記しきい値よりも高くなることを示し、前記第 2 の変数の第 2 の値は、前記読み出すステップ中のこのような素子内の電流の方が前記しきい値よりも低くなることを示す、ステップをさらに有する方法。

【請求項 13】

請求項 12 記載の方法において、

前記第 1 の読み出し電圧が前記リセットレベルと前記第 2 の蓄積レベルとの間にあり、前記第 2 の読み出し電圧が前記第 1 と第 3 の蓄積レベルとの間にある方法。

【請求項 14】

請求項 2 記載の方法において、

前記素子をグループ化して、複数のグループに変え、複数のフラグ電荷蓄積セルの各セルを利用して、前記複数のグループ内の対応するグループの素子が前記第 2 のパス時にプログラムされたものかどうかを示すフラグデータを蓄積し、前記方法が、

キャッシュタイミングを用いて前記複数の素子グループに蓄積された蓄積レベルを読み出すステップであって、前記キャッシュタイミングにはダミーの時間が含まれ、前記第2のパス時にプログラムされなかった前記グループのうちの1つのグループ内の素子に蓄積された前記蓄積レベルを読み出すための(単複の)ダミーの時間の方が、前記第2のパス時にプログラムされた前記グループのうちの別のグループ内の素子に蓄積された前記蓄積レベルを読み出すための(単複の)ダミーの時間よりも長くなる、ステップをさらに有する方法。

【請求項15】

請求項2記載の方法において、

前記素子をグループ化して、複数のグループに変え、このようなグループの素子が前記第2のパス時にプログラムされたものかどうかを示すフラグデータを蓄積する少なくとも1つのフラグ電荷蓄積セルが前記個々のグループの中に含まれ、前記複数のグループのうちの少なくとも2つのグループを共通のワードラインによって制御し、前記方法が、

前記少なくとも2つのグループのうちの少なくとも1つのグループではあるが、すべてのグループではないグループを前記第2のパス中にプログラムするのに十分なホストデータが存在するとき、前記少なくとも2つのグループ内のフラグ電荷蓄積セルのうちの少なくとも1つのセル内でフラグデータの蓄積または変更を行って、前記ホストデータの境界を示すようにするステップをさらに有する方法。

【請求項16】

請求項15記載の方法において、

前記少なくとも2つのグループ間にある2つのグループが相互に隣接して配置され、前記2つの隣接するグループのうちの第1のグループのうちの1つのグループ内の素子が前記第2のパス時にプログラムされたものであり、前記2つの隣接するグループのうちの第2のグループのうちの1つのグループ内の素子が前記第2のパス時にプログラムされたものではなく、ホストデータの境界が前記2つの隣接するグループ間に配置されていることを示すために、前記(単複の)フラグセルの第1のグループに蓄積された前記フラグデータが、前記(単複の)フラグセルの第2のグループに蓄積された前記フラグデータとは異なるように、前記蓄積を行うことがフラグセルの前記2つの隣接するグループのうちの少なくとも1つのフラグセル内にフラグデータを蓄積する方法。

【請求項17】

請求項1記載の方法において、

前記プログラムするステップが、データバッファ内へホストデータをロードするステップと、前記データバッファ内のデータに従って電圧を前記素子と結合して、コード構成に従って、選択した蓄積レベルの分布状態に前記素子をプログラムするステップとを有し、前記コード構成が、前記データバッファ内に対応するホストデータを有していない素子と、プログラミング電圧とを前記第2のパス中に前記素子間で結合しないようにする構成である方法。

【請求項18】

請求項17記載の方法において、

前記コード構成が、グレーのグレーコードではない方法。

【請求項19】

請求項17記載の方法において、

前記素子の各素子の蓄積レベルによって表されるデータが、順序づけられたセットの少なくとも第1の2進値変数と第2の2進値変数とを含み、前記素子をプログラムするために前記順序づけられたセットも利用し、前記第1のパス中に前記素子をプログラムする際に従う前記(単複の)蓄積レベルを少なくとも前記第1の変数値に従って決定し、前記第2のパス中に前記素子をプログラムする際に従う前記(単複の)蓄積レベルを少なくとも前記第2の変数値に従って決定し、前記コード構成によって、前記リセットされた蓄積レベルと、第1の蓄積レベルとを表す前記第2の変数値とが同じ値となるようにする方法。

【請求項20】

請求項 19 記載の方法において、

3つの異なる読み出し電圧をこのような素子とシーケンシャルに結合することによって、前記素子に蓄積された蓄積レベルを読み出して、前記第2の変数値を得るようにするステップをさらに有する方法。

【請求項 21】

請求項 1 記載の方法において、

前記プログラムするステップが、データバッファ内へホストデータをロードするステップと、前記データバッファ内のデータに従って電圧を前記素子と結合して、コード構成に従って、選択した蓄積レベルに合わせて前記素子をプログラムするステップとを有し、前記コード構成が、前記データバッファ内に対応するホストデータを有していない前記素子の電荷蓄積レベルが前記第2のパスの後に前記素子間で前記第3の蓄積レベルの分布状態の電荷蓄積レベル未満となるようにする方法。

【請求項 22】

請求項 21 記載の方法において、

前記データバッファ内に対応するホストデータを有していない前記素子の近傍にある素子をプログラムするステップが、前記データバッファ内に対応するホストデータを有していない前記素子の電荷蓄積レベルに、前記第1の蓄積レベルの分布状態とは異なる分布状態を電界効果の結合の結果持たせるようにする方法。

【請求項 23】

請求項 21 記載の方法において、

前記コード構成が、グレーコードではない方法。

【請求項 24】

請求項 21 記載の方法において、

前記素子の各素子の蓄積レベルによって表されるデータが、順序づけられたセットの少なくとも第1の2進値変数と第2の2進値変数とを含み、前記素子をプログラムするために前記順序づけられたセットも利用し、前記第1のパス中に前記素子をプログラムする際に従う前記(単複の)蓄積レベルを少なくとも前記第1の変数値に従って決定し、前記第2のパス中に前記素子をプログラムする際に従う前記(単複の)蓄積レベルを少なくとも前記第2の変数値に従って決定し、前記コード構成によって、前記リセットされた蓄積レベルと、第1の蓄積レベルとを表す前記第2の変数値とが同じ値となるようにする方法。

【請求項 25】

請求項 24 記載の方法において、

3つの異なる読み出し電圧をこのような素子とシーケンシャルに結合することによって、前記素子に蓄積された蓄積レベルを読み出して、前記第2の変数値を得るようにするステップをさらに有する方法。

【請求項 26】

データに対応する異なる電荷蓄積レベルとして蓄積するタイプの不揮発性電荷蓄積素子を含むメモリシステムをプログラムする方法であって、

少なくとも2回のパスで前記電荷蓄積素子をプログラムしてデータを蓄積するための3つ以上の電荷蓄積レベルのうちの1つに変える、プログラムするステップであって、前記電荷蓄積素子をグループ化して、複数のグループに変え、各グループは少なくとも2ビットのフラグデータを蓄積するための少なくとも1つの対応するフラグ電荷蓄積セルを有し、前記フラグデータの各ビットは前記パスのうちの1つと関連する、プログラムするステップを有し、

前記プログラムするステップは、先のパスと前記先のパスの後に実施される後のパスを有する少なくとも2回のシーケンシャルなパスで実施され、前記先のパスと関連するフラグデータビット値を前記先のパスの後にセットする方法。

【請求項 27】

請求項 26 記載の方法において、

前記先のパスに関連する前記フラグデータビット値を、前記後のパスの間にセットする

方法。

【請求項 28】

請求項 26 記載の方法において、

前記電荷蓄積素子がグループ化されてページとなり、各ページは 2 つ以上の前記グループを含み、前記プログラムするステップは、前記ページのうちの 1 ページ毎に前記電荷蓄積素子をプログラムし、前記ページのうちの 1 つが、ホストデータに従い前記後のパス中にプログラムされた電荷蓄積素子の少なくとも第 1 のグループ、およびプログラムするにはホストデータが不十分なため前記後のパス中にプログラムされなかった電荷蓄積素子の少なくとも第 2 グループを有し、前記第 1 および第 2 のグループ内の前記フラグ電荷蓄積セルの中に蓄積されている前記先のパスと関連する前記フラグデータビット値が、十分なホストデータを有する電荷蓄積素子および十分なホストデータを有していない電荷蓄積素子の間の境界を示す方法。

【請求項 29】

請求項 26 記載の方法において、

前記グループ内の前記フラグ電荷蓄積セルの中に蓄積された前記先のパスと関連する前記フラグデータビット値に従い、複数の異なる読み出しシーケンスから選択された読み出しシーケンスに従って、前記グループの前記電荷蓄積素子内に蓄積されたデータを読み出すステップをさらに有する方法。

【請求項 30】

請求項 26 記載の方法において、

前記プログラムするステップが、前記複数のグループのうちの 1 つのグループのフラグ電荷蓄積セルの中に蓄積された前記先のパスと関連する前記フラグデータビット値を、前記グループの前記電荷蓄積素子が前記後のパス中にプログラムされたか否かを示すようにセットする方法。

【請求項 31】

請求項 30 記載の方法において、

前記プログラムするステップは、前記先のパスに関連する前記フラグデータビット値を、リセット電荷蓄積レベルを示す値から前記リセット電荷蓄積レベルとは異なる値へと変える方法。

【請求項 32】

請求項 30 記載の方法において、

前記グループ内の前記電荷蓄積素子の各電荷蓄積素子の電荷蓄積レベルによって表されるデータが、順序づけられたセットの少なくとも第 1 の 2 進値変数と第 2 の 2 進値変数を含み、前記先のパス中に前記電荷蓄積素子をプログラムする際に従う前記電荷蓄積レベルを少なくとも前記第 1 の変数値に従って決定し、前記後のパス中に前記電荷蓄積素子をプログラムする際に従う前記電荷蓄積レベルを少なくとも前記第 2 の変数値に従って決定し、前記方法が、

前記プログラムするステップの後に、前記第 1 の変数値を読み出すために、前記グループ内の前記電荷蓄積素子の各電荷蓄積素子の前記電荷蓄積レベルと、前記先のパスと関連する前記フラグデータビット値を読み出すために、前記グループ内の前記フラグ電荷蓄積セルの前記電荷蓄積レベルとを、1 つの検知動作で検知するステップをさらに有する方法。

。

【請求項 33】

請求項 32 記載の方法において、

前記電荷蓄積素子がグループ化されてページとなり、各ページは 2 つ以上の前記グループを含み、前記プログラムするステップは、前記ページの各ページ毎に前記電荷蓄積素子をプログラムし、前記検知するステップは、1 つのみの読み出し電圧を、前記後のパスにプログラムされた各ページの中の前記電荷蓄積素子に結合して、前記第 1 の変数値を出力し、2 つの異なる読み出し電圧を、前記後のパス時にプログラムされなかった少なくとも 1 つの電荷蓄積素子と、前記後のパス時にプログラムされた少なくとも 1 つの電荷蓄積素

子とを含む各ページの前記電荷蓄積素子にシーケンシャルに結合して、前記第 1 の変数値を出力する方法。

【請求項 3 4】

請求項 3 3 記載の方法において、

前記後のパス時にプログラムされなかった少なくとも 1 つの電荷蓄積素子と、前記後のパス時にプログラムされた少なくとも 1 つの電荷蓄積素子とを含む各ページを読み出して、前記第 1 の変数値を出力するために、さらに多くの時間が割り当てられる方法。

【請求項 3 5】

請求項 3 4 記載の方法において、

前記後のパス時にプログラムされなかった電荷蓄積素子を読み出す際に、さらに多くの呼び出し時間を予期する旨をユーザに示す話中信号を生成するステップをさらに有する方法。

【請求項 3 6】

請求項 3 4 記載の方法において、

異なった長さのダミーの時間を使ってさらに多くの時間が割り当てられる方法。

【請求項 3 7】

記憶装置であって、

データに対応する異なる電荷レベルとして電荷蓄積素子内に蓄積するタイプのプログラム可能な不揮発性メモリセルであって、前記素子の前記電荷蓄積レベルが、前記プログラムするステップに先立って、リセットされた電荷蓄積レベルの分布状態にあるメモリセルと、

少なくとも 2 回のパスで前記電荷蓄積素子をプログラムする手段であって、第 1 のパス中に前記素子のうちの選択した素子をプログラムして、第 1 の蓄積レベルの分布状態に変え、後続する第 2 のパス中に前記リセットされた電荷蓄積レベルの分布状態にある素子のうちの選択した素子をプログラムして、第 2 の蓄積レベルの分布状態に変え、前記第 1 の蓄積レベルの分布状態にある素子のうちの選択した素子をプログラムして、第 3 の蓄積レベルの分布状態に変え、前記第 2 の蓄積レベルの分布状態が、前記リセットされた蓄積レベルの分布状態と前記第 1 の蓄積レベルの分布状態との間にあり、前記第 1 の蓄積レベルの分布状態が前記第 2 の蓄積レベルの分布状態と前記第 3 の蓄積レベルの分布状態との間にある、プログラムする手段と、を備え、

前記素子のうちの少なくとも 1 つの素子を前記第 2 のパス中にプログラムするのにホストデータが不十分な場合、前記少なくとも 1 つの素子をプログラムして、前記第 1 のパス中に前記第 1 の蓄積レベルに変え、前記プログラムする手段が、前記少なくとも 1 つの素子の電荷蓄積レベルを、前記第 2 のパスの後に前記第 3 の蓄積レベルの分布状態の電荷蓄積レベル未満となるようにする記憶装置。

【請求項 3 8】

請求項 3 7 記載の記憶装置において、

前記プログラムする手段が、データバッファ内へホストデータをロードし、前記データバッファ内のデータに従って電圧を前記素子と結合して、選択した蓄積レベルに合わせて前記素子をプログラムし、前記プログラムする手段が、前記第 1 のパスの後に前記データバッファ内へデータをロードし、それによって前記データバッファ内に対応するホストデータを有していない素子を前記素子間で前記第 2 のパス中にプログラムしないようにする記憶装置。

【請求項 3 9】

請求項 3 8 記載の記憶装置において、

前記第 1 のパスの後に前記データバッファ内へロードされる前記データが、ホストから得られたデータではない記憶装置。

【請求項 4 0】

請求項 3 8 記載の記憶装置において、

前記第 1 のパスの後に前記データバッファ内へロードされる前記データが、前記リセッ

トされた電荷蓄積レベルの分布状態に対応する記憶装置。

【請求項 4 1】

請求項 3 8 記載の記憶装置において、

前記第 1 のパスの後に前記データバッファへロードされる前記データが、前記第 2 のパス中に前記データバッファ内の禁止の対象となる対応するデータを用いることなく、前記素子のプログラミングを行わせる記憶装置。

【請求項 4 2】

請求項 3 8 記載の記憶装置において、

前記プログラムする手段が、メモリ動作を制御する手段を含み、対応するホストデータを前記データバッファ内に有していない前記素子の前記電圧レベルと、対応するホストデータを前記データバッファ内に有する前記素子の前記電圧レベルとが、前記制御する手段に対してトランスペアレントな方法でプログラムされる記憶装置。

【請求項 4 3】

請求項 3 8 記載の記憶装置において、

前記素子をグループ化して、複数のグループに変え、前記記憶装置が複数のフラグ電荷蓄積セルをさらに備え、前記フラグ電荷蓄積セルの各々は、前記複数のグループ内の対応するグループの素子が前記第 2 のパス時にプログラムされたものか否かを示すフラグデータを蓄積し、前記プログラムする手段が、前記複数の素子グループに蓄積された蓄積レベルを読み出し、異なる読み出し電圧をこのような素子と結合することによって、前記グループのうちの 1 つのグループ内の少なくともいくつかの素子の各々に蓄積された前記蓄積レベルを読み出して、複数の読み出し値を得るようにし、前記プログラムする手段は、前記複数の読み出し値を蓄積し、前記複数の読み出し値のうちの 1 つの読み出し値のみを選択して、前記グループのうちの前記 1 つのグループに対応する前記（単複の）フラグ電荷蓄積セルに蓄積された前記フラグデータに従って、前記少なくともいくつかの素子の各々に蓄積されたホストデータを表すようにする記憶装置。

【請求項 4 4】

請求項 3 8 記載の記憶装置において、

前記素子をグループ化して、複数のグループに変え、前記記憶装置は、このようなグループの素子が前記第 2 のパス時にプログラムされたものか否かを示すフラグデータを蓄積する少なくとも 1 つのフラグ電荷蓄積セルを前記個々のグループの中に備え、前記複数のグループのうちの少なくとも 2 つのグループ内の素子を共通のワードラインによって制御し、前記プログラムする手段が、前記フラグ電荷蓄積セルに蓄積された前記フラグデータを読み出し、それによって、前記少なくとも 2 つのグループのうちの第 1 のグループ内の前記素子が前記第 2 のパス時にプログラムされたものであること、並びに、前記少なくとも 2 つのグループのうちの第 2 のグループ内の前記素子が前記第 2 のパス時にプログラムされなかったことを前記フラグデータによって示されたとき、前記プログラムする手段が、異なるシーケンスの読み出し電圧を前記第 1 および第 2 のグループ内の素子と結合することによって、前記第 1 および第 2 の素子グループに蓄積された蓄積レベルを読み出す記憶装置。

【請求項 4 5】

請求項 4 4 記載の記憶装置において、

前記第 1 および第 2 のグループ内の素子の各素子の蓄積レベルによって表されるデータが、順序づけられたセットの少なくとも第 1 の 2 進値変数と第 2 の 2 進値変数とを含み、前記素子をプログラムするために前記順序づけられたセットも利用し、前記第 1 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 1 の変数値に従って決定し、前記第 2 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 2 の変数値に従って決定し、

前記プログラムする手段が、唯一の読み出し電圧を前記第 1 のグループ内の素子と結合して、前記蓄積レベルによって表される前記第 1 の変数値を出力するようにし、2 つの異なる読み出し電圧を前記第 2 のグループ内の素子と結合して、前記蓄積レベルによって表

される前記第 1 の変数値を出力するようにする記憶装置。

【請求項 46】

請求項 44 記載の記憶装置において、

前記プログラムする手段が、前記少なくとも 2 つのグループに対応する前記フラグ電荷蓄積セルに蓄積された前記フラグデータを読み出し、それによって、前記共通のワードラインが制御する前記素子のうちのいくつかの素子ではあるが、すべてではない素子が前記第 2 のパス時にプログラムされたことを前記フラグデータが示したとき、前記プログラムする手段が前記第 2 のパス時にプログラムされなかった素子の読み出しのためにさらに多くの時間を割り当てるようにする記憶装置。

【請求項 47】

請求項 46 記載の記憶装置において、

前記フラグ電荷蓄積セルを前記ワードラインに沿って配置して、前記ワードラインに沿った前記複数の素子グループのうちの少なくとも 2 つのグループが、前記第 2 のパス中にプログラムされたかどうかを示すようにし、前記ワードラインにより制御される前記グループのうちの 1 以上のグループが前記第 2 のパス中にプログラムされなかったことが前記フラグデータにより示されたとき、前記プログラムする手段が前記第 2 のパス時にプログラムされなかった素子を読み出す際に、さらに多くの呼出し時間を予期する旨をユーザに示すように話中信号を生成する記憶装置。

【請求項 48】

請求項 38 記載の記憶装置において、

前記素子の各素子の蓄積レベルによって表されるデータが、順序づけられたセットの少なくとも第 1 の 2 進値変数と第 2 の 2 進値変数とを含み、前記素子をプログラムするために前記順序づけられたセットも利用し、前記第 1 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 1 の変数値に従って決定し、前記第 2 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 2 の変数値に従って決定し、前記プログラムする手段が、異なる読み出し電圧をこのような素子と結合することによって前記素子の蓄積レベルを読み出して、前記蓄積レベルにより表される前記第 2 の変数値を出力し、第 1 の読み出し電圧の場合、前記第 2 の変数の第 1 の値は、前記読み出し中のこのような素子内の電流の方がしきい値よりも低くなることを示し、前記第 2 の変数の第 2 の値は、前記読み出し中のこのような素子内の電流の方が前記しきい値よりも高くなることを示し、第 2 の読み出し電圧の場合、前記第 2 の変数の第 1 の値は、前記読み出し中のこのような素子内の電流の方が前記しきい値よりも高くなることを示し、前記第 2 の変数の第 2 の値は、前記読み出し中のこのような素子内の電流の方が前記しきい値よりも低くなることを示す記憶装置。

【請求項 49】

請求項 48 記載の記憶装置において、

前記第 1 の読み出し電圧が前記リセットレベルと前記第 2 の蓄積レベルとの間にあり、前記第 2 の読み出し電圧が前記第 1 と第 3 の蓄積レベルとの間にある記憶装置。

【請求項 50】

請求項 38 記載の記憶装置において、

前記素子をグループ化して、複数のグループに変え、前記記憶装置は複数のフラグ電荷蓄積セルをさらに備え、その各々が前記複数のグループ内の対応するグループの素子が前記第 2 のパス時にプログラムされたものかどうかを示すフラグデータを蓄積し、前記記憶装置が、

キャッシュタイミングを用いて前記複数の素子グループに蓄積された蓄積レベルを読み出すことをさらに有し、前記キャッシュタイミングにはダミーの時間が含まれ、前記第 2 のパス時にプログラムされなかった前記グループのうちの 1 つのグループ内の素子に蓄積された前記蓄積レベルを読み出すための（単複の）ダミーの時間の方が、前記第 2 のパス時にプログラムされた前記グループのうちの別のグループ内の素子に蓄積された前記蓄積レベルを読み出すための（単複の）ダミーの時間よりも長くなる記憶装置。

【請求項 5 1】

請求項 3 8 記載の記憶装置において、

前記素子をグループ化して、複数のグループに変え、このようなグループの素子が前記第 2 のパス時にプログラムされたものか否かを示すフラグデータを蓄積する少なくとも 1 つのフラグ電荷蓄積セルが前記個々のグループの中に含まれ、前記複数のグループのうちの少なくとも 2 つのグループを共通のワードラインによって制御し、前記少なくとも 2 つのグループのうちの少なくとも 1 つのグループではあるが、すべてのグループではないグループを前記第 2 のパス中にプログラムするのに十分なホストデータが存在するとき、前記プログラムする手段が前記少なくとも 2 つのグループ内のフラグ電荷蓄積セルのうちの少なくとも 1 つのセル内でフラグデータの蓄積または変更を行って、前記ホストデータの境界を示す記憶装置。

【請求項 5 2】

請求項 5 1 記載の記憶装置において、

前記少なくとも 2 つのグループ間にある 2 つのグループが相互に隣接して配置され、前記 2 つの隣接するグループのうちの第 1 のグループのうちの 1 つのグループ内の素子が前記第 2 のパス時にプログラムされたものであり、前記 2 つの隣接するグループのうちの第 2 のグループのうちの 1 つのグループ内の素子が前記第 2 のパス時にプログラムされたものではなく、前記プログラムする手段は、ホストデータの境界が前記 2 つの隣接するグループ間に配置されていることを示すために、前記（単複の）フラグセルの第 1 のグループに蓄積された前記フラグデータが、前記（単複の）フラグセルの第 2 のグループに蓄積された前記フラグデータとは異なるように、前記蓄積を行うことがフラグセルの前記 2 つの隣接するグループのうちの少なくとも 1 つのフラグセル内にフラグデータを蓄積する記憶装置。

【請求項 5 3】

請求項 3 7 記載の記憶装置において、

前記記憶装置がデータバッファを備え、前記プログラムする手段が、データバッファ内へホストデータをロードすることと、前記データバッファ内のデータに従って電圧を前記素子と結合して、コード構成に従って、選択した蓄積レベルの分布状態に前記素子をプログラムすることとを有し、前記コード構成が、前記データバッファ内に対応するホストデータを有していない素子と、プログラミング電圧とを前記第 2 のパス中に前記素子間で結合しないようにする構成する記憶装置。

【請求項 5 4】

請求項 5 3 記載の記憶装置において、

前記コード構成が、グレーのグレーコードではない記憶装置。

【請求項 5 5】

請求項 5 3 記載の記憶装置において、

前記素子の各素子の蓄積レベルによって表されるデータが、順序づけられたセットの少なくとも第 1 の 2 進値変数と第 2 の 2 進値変数とを含み、前記素子をプログラムするために前記プログラムする手段によって前記順序づけられたセットも利用し、前記第 1 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 1 の変数値に従って決定し、前記第 2 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 2 の変数値に従って決定し、前記コード構成によって、前記リセットされた蓄積レベルと、第 1 の蓄積レベルとを表す前記第 2 の変数値が同じ値となるようにする記憶装置。

【請求項 5 6】

請求項 5 5 記載の記憶装置において、

前記プログラムする手段が 3 つの異なる読み出し電圧をこのような素子とシークンシャルに結合することによって、前記素子に蓄積された蓄積レベルを読み出して、前記第 2 の変数値を得るようにする記憶装置。

【請求項 5 7】

請求項 3 7 記載の記憶装置において、

前記記憶装置がデータバッファを含み、前記プログラムする手段が、データバッファ内へホストデータをロードし、前記データバッファ内のデータに従って電圧を前記素子と結合して、コード構成に従って、選択した蓄積レベルに合わせて前記素子をプログラムし、前記コード構成が、前記データバッファ内に対応するホストデータを有していない前記素子の電荷蓄積レベルが前記第 2 のパスの後に前記素子間で前記第 3 の蓄積レベルの分布状態の電荷蓄積レベル未満となるようにする記憶装置。

【請求項 5 8】

請求項 5 7 記載の記憶装置において、

前記プログラムする手段が、前記データバッファ内に対応するホストデータを有していない前記素子の前記電荷蓄積レベルに、前記第 1 の蓄積レベルの分布状態とは異なる分布状態を電界効果の結合の結果持たせるようにする記憶装置。

【請求項 5 9】

請求項 5 7 記載の記憶装置において、

前記コード構成が、グレーコードではない記憶装置。

【請求項 6 0】

請求項 5 7 記載の記憶装置において、

前記素子の各素子の蓄積レベルによって表されるデータが、順序づけられたセットの少なくとも第 1 の 2 進値変数と第 2 の 2 進値変数とを含み、前記素子をプログラムするために前記順序づけられたセットも利用し、前記第 1 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 1 の変数値に従って決定し、前記第 2 のパス中に前記素子をプログラムする際に従う前記（単複の）蓄積レベルを少なくとも前記第 2 の変数値に従って決定し、前記コード構成によって、前記リセットされた蓄積レベルと、第 1 の蓄積レベルとを表す前記第 2 の変数値が同じ値となるようにする記憶装置

。

【請求項 6 1】

請求項 6 0 記載の記憶装置において、

前記プログラムする手段が 3 つの異なる読み出し電圧をこのような素子とシーケンシャルに結合することによって、前記素子に蓄積された蓄積レベルを読み出して、前記第 2 の変数値を得るようにする記憶装置。

【請求項 6 2】

記憶装置であって、

データに対応する異なる電荷蓄積レベルとして蓄積するタイプの不揮発性電荷蓄積素子と、

少なくとも 2 回のパスで前記電荷蓄積素子をプログラムしてデータを蓄積するための 3 以上の電荷蓄積レベルのうちの 1 つに変える、プログラムする手段であって、前記電荷蓄積素子をグループ化して、複数のグループに変え、各グループは少なくとも 1 つの対応する、少なくとも 2 ビットのフラグデータを蓄積するためのフラグ電荷蓄積セルを有し、各ビットの前記フラグデータが前記パスのうちの 1 つと関連する、プログラムする手段と、を備え、

前記プログラムする手段は、先のパスと前記先のパスの後に実施される後のパスを含む、少なくとも 2 回のシーケンシャルなパスで前記電荷蓄積素子をプログラムし、前記先のパスと関連するフラグデータビット値を前記先のパスの後にセットするようにする記憶装置。

【請求項 6 3】

請求項 6 2 記載の記憶装置において、

前記先のパスに関連する前記フラグデータビット値が、前記後のパスの間にセットされる記憶装置。

【請求項 6 4】

請求項 6 2 記載の記憶装置において、

前記プログラムする手段が、前記複数のグループのうちの1つのグループのフラグ電荷蓄積セルの中に蓄積された前記先のバスと関連がある前記フラグデータビット値をセットして、前記グループの前記電荷蓄積素子が前記後のバス時にプログラムされたか否かを示すようにする記憶装置。

【請求項 6 5】

請求項 6 4 記載の記憶装置において、

前記プログラムする手段が、前記先のバスに関連する前記フラグデータビット値を、リセット電荷蓄積レベルを示す値から前記リセット電荷蓄積レベルとは異なる値に変えるようにする記憶装置。

【請求項 6 6】

請求項 6 4 記載の記憶装置において、

前記グループ内の前記電荷蓄積素子の各素子の電荷蓄積レベルによって表されるデータが、順序づけられたセットの少なくとも第1の2進値変数と第2の2進値変数とを含み、前記先のバス中に前記電荷蓄積素子をプログラムする際に従う前記電荷蓄積レベルを少なくとも前記第1の変数値に従って決定し、前記後のバス中に前記電荷蓄積素子をプログラムする際に従う前記電荷蓄積レベルを少なくとも前記第2の変数値に従って決定し、前記プログラムする手段は、前記第1の変数値を読み出すために、前記グループ内の前記電荷蓄積素子の各電荷蓄積素子の前記電荷蓄積レベルと、前記先のバスと関連する前記フラグデータビット値を読み出すために、前記グループ内の前記フラグ電荷蓄積セルの前記電荷蓄積レベルとを、1つの検知動作で検知する記憶装置。

【請求項 6 7】

請求項 6 6 記載の記憶装置において、

前記電荷蓄積素子がグループ化されてページとなり、各ページは2つ以上の前記グループを含み、前記プログラムする手段は、前記ページの各ページ毎に前記電荷蓄積素子をプログラムし、1つのみの読み出し電圧を、前記後のバスにプログラムされた各ページの中の前記電荷蓄積素子に結合して、前記第1の変数値を出力し、2つの異なる読み出し電圧を、前記後のバス時にプログラムされなかった少なくとも1つの電荷蓄積素子と、前記後のバス時にプログラムされた少なくとも1つの電荷蓄積素子とを含む各ページの前記電荷蓄積素子にシーケンシャルに結合して、前記第1の変数値を出力する記憶装置。

【請求項 6 8】

請求項 6 7 記載の記憶装置において、

前記プログラムする手段は、前記後のバス時にプログラムされなかった少なくとも1つの電荷蓄積素子と、前記後のバス時にプログラムされた少なくとも1つの電荷蓄積素子とを含む各ページを読み出して、前記第1の変数値を出力するために、さらに多くの時間が割り当てられる記憶装置。

【請求項 6 9】

請求項 6 8 記載の記憶装置において、

前記プログラムする手段は、前記後のバス時にプログラムされなかった電荷蓄積素子を読み出す際に、さらに多くの呼び出し時間を予期する旨をユーザに示す話中信号を生成する記憶装置。

【請求項 7 0】

請求項 6 8 記載の記憶装置において、

前記プログラムする手段により異なった長さのダミーの時間を使ってさらに多くの時間が割り当てられる記憶装置。

【請求項 7 1】

請求項 6 2 記載の記憶装置において、

前記電荷蓄積素子がグループ化されてページとなり、各ページは2つ以上の前記グループを含み、前記プログラムする手段は、前記ページのうちの1ページ毎に前記電荷蓄積素子をプログラムし、前記ページのうちの1つが、ホストデータに従い前記後のバス中にプログラムされた電荷蓄積素子の少なくとも第1のグループ、およびプログラムするにはホ

ストデータが不十分なため前記後のパス中にプログラムされなかった電荷蓄積素子の少なくとも第２グループを含み、前記第１および第２のグループ内の前記フラグ電荷蓄積セルの中に蓄積されている前記先のパスと関連する前記フラグデータビット値が、十分なホストデータを有する電荷蓄積素子および十分なホストデータを有していない電荷蓄積素子の間の境界を示す記憶装置。

【請求項 ７ ２】

請求項 ６ ２ 記載の記憶装置において、

前記プログラムする手段が、前記グループ内の前記フラグ電荷蓄積セルの中に蓄積された前記先のパスと関連する前記フラグデータビット値に従い、複数の異なる読み出しシーケンスから選択された読み出しシーケンスに従って、前記グループの前記電荷蓄積素子内に蓄積されたデータを読み出す記憶装置。