

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年1月8日(08.01.2015)



(10) 国際公開番号
WO 2015/001883 A1

- (51) 国際特許分類:
H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2014/064482
- (22) 国際出願日: 2014年5月30日(30.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-139828 2013年7月3日(03.07.2013) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 森 貴浩(MORI, Takahiro); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖(HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町9番8号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

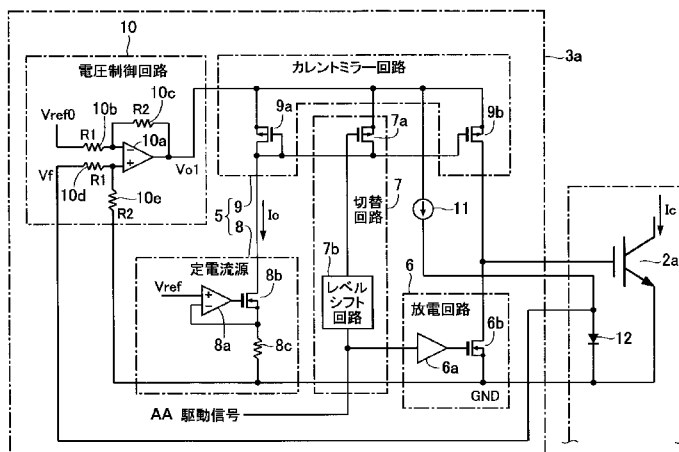
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: DRIVE DEVICE FOR INSULATED-GATE SEMICONDUCTOR ELEMENT, AND POWER CONVERSION DEVICE

(54) 発明の名称: 絶縁ゲート型半導体素子の駆動装置および電力変換装置



(57) Abstract: A plurality of insulated-gate semiconductor elements connected in parallel are driven in parallel in a well-balanced manner. To turn on one (2a) of a plurality of IGBTs connected in parallel, while driving the gate thereof with a constant current from a constant-current circuit (5) containing a constant-current source (8) and a current-mirror circuit (9), a drive voltage (Vo1) for driving the gate of the IGBT (2a) is outputted to the constant-current source (8) and the current-mirror circuit (9) by a voltage-controlling circuit (10), said drive voltage (Vo1) being a variable voltage that depends on the difference (ΔV) between a reference voltage (Vref0) and a temperature-dependent diode voltage (Vf) outputted by an integrated temperature-detecting diode (12) in the IGBT (2a). As a result, in addition to the fact that the use of constant-current driving reduces losses and noise when the IGBTs are turned on, the turn-on times of the IGBTs and the amounts of current that flow therethrough can be made uniform regardless of gate-threshold-voltage variability due to differences between the individual IGBTs (2a).

(57) 要約:

[続葉有]

WO 2015/001883 A1



並列接続された複数の絶縁ゲート型半導体素子をバランス良く並列駆動する。並列接続された複数の IGBT の 1 つ (2 a) をターンオン制御するとき、そのゲートを定電流源 (8) とカレントミラー回路 (9) とを含む定電流回路 (5) によって定電流駆動しながら、電圧制御回路 (10) が IGBT (2 a) に内蔵された温度検出用ダイオード (12) により温度に対応する値で出力されるダイオード電圧 (V_f) と基準電圧 (V_{ref0}) との電圧差 ΔV に応じた可変の電圧を、IGBT (2 a) のゲートを駆動する駆動電圧 (V_{o1}) として定電流源 (8) とカレントミラー回路 (9) に出力する。これにより、定電流駆動によりターンオン時における損失およびノイズを低減できることに加え、複数の IGBT (2 a) の個体差に起因するゲート閾値電圧のばらつきに拘わることなく、そのターンオン時間および流れる電流の電流値を揃えることができる。

明 細 書

発明の名称：

絶縁ゲート型半導体素子の駆動装置および電力変換装置

技術分野

[0001] 本発明は絶縁ゲート型半導体素子の駆動装置および電力変換装置に関し、特に並列接続された複数の絶縁ゲート型半導体素子をそれぞれ一定の電流で均等に並列駆動することのできる絶縁ゲート型半導体素子の駆動装置および電力変換装置に関する。

背景技術

[0002] 電力変換装置では、負荷を制御する半導体素子として電力制御用の IGBT (Insulated-Gate Bipolar Transistors)、MOS-FET (Metal-Oxide-Semiconductor Field-Effect Transistor) 等の絶縁ゲート型半導体素子が使用されている。特に、大電力負荷に対応した電力変換装置では、絶縁ゲート型半導体素子を複数個並列に接続し、これらの絶縁ゲート型半導体素子を並列駆動することが一般に行われる。

[0003] 図4は複数の絶縁ゲート型半導体素子の駆動装置を並列配置した電力変換装置の概略構成例を示す図である。

この構成例によれば、電力変換装置1は、複数のIGBT $2a \sim 2n$ と、これらIGBT $2a \sim 2n$ をそれぞれ個別に駆動する複数の駆動装置 $3a \sim 3n$ とを備えている。複数のIGBT $2a \sim 2n$ は、各コレクタを相互に接続し、各エミッタを相互に接続することで並列に配置され、各ゲートは、対応する駆動装置 $3a \sim 3n$ の出力にそれぞれ接続されている。これらのIGBT $2a \sim 2n$ は、相互に接続されたコレクタが大電力負荷4に接続され、相互に接続されたエミッタが接地ラインGNDに接続されている。

[0004] 複数の駆動装置 $3a \sim 3n$ は、共通の駆動信号をそれぞれ受けて、それぞれ対応するIGBT $2a \sim 2n$ を並列に駆動する。これにより、複数のIGBT $2a \sim 2n$ は、1つのパワースイッチングデバイスとして機能し、大電

力負荷 4 を駆動する。

[0005] ここで、駆動装置 3 a ~ 3 n は、IGBT 2 a ~ 2 n のゲートに所定の電圧を印加することで制御している。これに対し、IGBT 2 a ~ 2 n のゲートに一定の電流を供給して IGBT 2 a ~ 2 n をターンオンさせることにより、ターンオン時における損失およびノイズの発生を低減することが提唱されている（例えば、特許文献 1 参照）。

[0006] 図 5 は従来の IGBT のゲートに一定の電流を供給する方式による絶縁ゲート型半導体素子の駆動装置の概略構成を示す図である。なお、図 4 に示す電力変換装置 1 の複数の駆動装置 3 a ~ 3 n は、それぞれ同じ構成を有しているため、この図 5 では、代表して駆動装置 3 a の構成を例示している。

[0007] 駆動装置 3 a は、一定電流を生成する定電流回路 5 と、IGBT 2 a のゲートを接地する放電回路 6 と、駆動信号に応じて定電流回路 5 と放電回路 6 とを相補的にオン・オフ制御する切替回路 7 とを備えている。

[0008] 以上の構成の駆動装置 3 a によれば、切替回路 7 は、IGBT 2 a をターンオン制御する駆動信号を入力したとき、定電流回路 5 にて生成された一定電流を IGBT 2 a のゲートに供給して IGBT 2 a をターンオンする。一方、IGBT 2 a をターンオフ制御する駆動信号を入力したときには、切替回路 7 は、放電回路 6 を作動させ、IGBT 2 a のゲートを接地してゲートに蓄積された電荷を放電することにより、IGBT 2 a をターンオフする。

[0009] このように構成された駆動装置 3 a によれば、IGBT 2 a のゲートに一定電流を供給して IGBT 2 a をターンオンさせるので、IGBT 2 a のゲートに蓄積される電荷の充電速度を一定化することができる。したがって、IGBT のゲート電圧を制御して IGBT をオン・オフする従来一般的な駆動方法のように、IGBT のゲートを駆動する半導体素子（トランジスタ）の温度に依存するオン抵抗の変化に起因して IGBT のゲートの充電速度が変化することがない。故に、温度変化に拘わることなく IGBT 2 a のターンオン時間を一定化することができ、ターンオン時における損失とノイズを低減することが可能となる。

- [0010] しかし、並列接続した複数の IGBT 2a~2n にそれぞれ一定電流を供給してターンオンさせても、各 IGBT 2a~2n の個体差に伴うゲート閾値電圧のばらつきに起因してゲート閾値電圧の低い IGBT に電流が集中して流れる虞がある。このようなターンオン時における電流の集中は、IGBT の熱的破壊を招来する危険性がある。
- [0011] そこで、従来では、あらかじめ複数の IGBT 2a~2n のゲート電流値を測定して記憶しておき、これらのゲート電流値に基づいて各 IGBT 2a~2n のゲート電流を制御して電流バランスをとることが提唱されている（例えば、特許文献 2 参照）。
- [0012] また、目標ゲート閾値電圧と IGBT 2a~2n のゲート閾値電圧との差に応じてその駆動用制御電圧と IGBT 2a~2n のエミッタ電圧とに等電位のオフセットを与えることも提唱されている（例えば、特許文献 3 参照）。これにより、IGBT 2a~2n は、それぞれがターンオンするときのタイミングが揃えられ、複数の IGBT 2a~2n において電流バランスをとるようにしている。
- [0013] また、低温素子、高温素子を検出し、高温素子にはより遅延を大きくした駆動信号を供給することで電流を流れにくくし、低温素子には遅延を小さくした駆動信号を供給することで電流を流れやすくすることも提唱されている（例えば、特許文献 4 参照）。
- [0014] また、低温素子、高温素子を検出し、低温素子には遅延した駆動信号を供給してターンオフ時におけるスイッチング損失を増加させて発熱量を多くすることにより、高温素子との温度および電流を均等化することも提唱されている（例えば、特許文献 5 参照）。
- [0015] さらに、並列接続された 2 つのパワー MOS-FET の温度を比較し、温度が高い方のパワー MOS-FET のゲート電圧を下げることにより、パワー MOS-FET の温度の均等化を図ることも提唱されている（例えば、特許文献 6 参照）。

先行技術文献

特許文献

- [0016] 特許文献1：特開2008-103895号公報
特許文献2：特開平11-235015号公報
特許文献3：特開2008-178248号公報
特許文献4：特開2009-159662号公報
特許文献5：特開2009-135626号公報
特許文献6：特開2002-142492号公報

発明の概要

発明が解決しようとする課題

- [0017] しかしながら、特許文献2、3にそれぞれ示される手法においては、あらかじめ複数のIGBTのゲート電流値またはゲート閾値電圧をそれぞれ求めておく必要がある。しかも、あらかじめ求めたIGBTの特性データに従って各IGBTのゲート電流を個別に制御したり、各IGBTの駆動用制御電圧とエミッタ電圧とをそれぞれオフセット制御したりすることが必要であり、手間が掛かる上に構成が複雑化するという問題点があった。
- [0018] また、特許文献4-6にそれぞれ示される手法においては、並列に接続された2つの半導体素子の温度を比較し、両者の温度バランスを取るようにしたものである。半導体素子が3つ以上並列接続されている場合には対応することができない。さらに、2つの半導体素子は、一方が他方の温度によって動作するので、ハンチング動作を起こす可能性がある。また、特許文献6に記載の装置では、ゲート電圧の変化量を一定にしているため、2つの半導体素子が温度平衡状態に達するまで、温度を下げる制御を交互に繰り返す必要があり、応答性が悪くなってしまう。
- [0019] 本発明はこのような事情を考慮してなされたもので、その目的は、並列接続された複数の絶縁ゲート型半導体素子を一定電流で均等に、かつ、電流バランス良く並列駆動することのできる簡易な構成の絶縁ゲート型半導体素子の駆動装置および電力変換装置を提供することにある。

課題を解決するための手段

- [0020] 本発明では上記の課題を解決するために、並列接続された複数の絶縁ゲート型半導体素子の1つを駆動する駆動装置が提供される。この絶縁ゲート型半導体素子の駆動装置は、絶縁ゲート型半導体素子のターンオン時にゲートに一定電流を供給する定電流回路を備え、絶縁ゲート型半導体素子を定電流駆動する。駆動装置は、また、絶縁ゲート型半導体素子のターンオフ時にゲートに蓄積された電荷を放電する放電回路と、駆動信号が入力され、絶縁ゲート型半導体素子に対して定電流回路で定電流駆動を行うか放電回路で電荷の放電を行うかの切り替えを行う切替回路とを備えている。本発明の駆動装置は、さらに、電圧制御回路を備え、絶縁ゲート型半導体素子が内蔵する温度検出素子が検出した温度に応じて定電流回路の電源電圧を可変制御するようにしている。すなわち、この駆動装置は、絶縁ゲート型半導体素子を定電流駆動と駆動電圧制御とを併用したことにより、複数の絶縁ゲート型半導体素子を流れる電流を均等化している。
- [0021] また、本発明では、並列接続された複数の絶縁ゲート型半導体素子と、絶縁ゲート型半導体素子をそれぞれ駆動する複数の駆動装置とを備えた電力変換装置が提供される。ここで、すべての駆動装置は、定電流回路を備え、絶縁ゲート型半導体素子のターンオン時にゲートに一定電流を供給するようにしている。また、すべての駆動装置は、絶縁ゲート型半導体素子のターンオフ時にゲートに蓄積された電荷を放電する放電回路と、駆動信号が入力され、絶縁ゲート型半導体素子に対して定電流回路で定電流駆動を行うか放電回路で電荷の放電を行うかの切り替えを行う切替回路とを備えている。本発明の駆動装置は、さらに、電圧制御回路を備え、絶縁ゲート型半導体素子が内蔵する温度検出素子が検出した温度に対応する検出電圧と基準電圧との差に応じて定電流回路の電源電圧を可変制御するようにしている。すなわち、この電力変換装置では、すべての駆動装置は、絶縁ゲート型半導体素子を定電流駆動と駆動電圧制御とを併用したことにより、複数の絶縁ゲート型半導体素子を流れる電流を均等化している。

発明の効果

- [0022] 上記構成の絶縁ゲート型半導体素子の駆動装置および電力変換装置は、温度検出素子が検出した温度に応じて各絶縁ゲート型半導体素子をそれぞれターンオンする為の駆動電圧の大きさが調整されることで、複数の絶縁ゲート型半導体素子の個体差に起因するゲート閾値電圧のばらつきに拘わることなく、そのターンオン時間を揃えることができる。
- [0023] しかも、絶縁ゲート型半導体素子のゲートには一定電流を供給するので、温度に依存する絶縁ゲート型半導体素子のゲートを駆動する半導体素子（トランジスタ）のオン抵抗の変化に影響されることなく各絶縁ゲート型半導体素子をターンオンさせることができ、ターンオン時における損失とノイズを低減することができる。
- [0024] したがって、絶縁ゲート型半導体素子に内蔵される温度検出素子から発生する電圧に応じてその絶縁ゲート型半導体素子のゲートに供給する駆動電圧の大きさを調整するという簡易な構成の下で、複数の絶縁ゲート型半導体素子の電流バランスを確保することができ、電流集中による絶縁ゲート型半導体素子の熱的破壊を未然に防止することができる等の実用上多大なる効果が奏せられる。
- [0025] 本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

- [0026] [図1]第1の実施の形態に係る絶縁ゲート型半導体素子の駆動装置の要部概略構成例を示す図である。
- [図2]絶縁ゲート型半導体素子のターンオン駆動電圧特性を示す図である。
- [図3]第2の実施の形態に係る絶縁ゲート型半導体素子の駆動装置の要部概略構成例を示す図である。
- [図4]複数の絶縁ゲート型半導体素子の駆動装置を並列配置した電力変換装置の概略構成例を示す図である。

[図5]従来の I G B T のゲートに一定の電流を供給する方式による絶縁ゲート型半導体素子の駆動装置の概略構成を示す図である。

発明を実施するための形態

[0027] 以下、本発明の実施の形態について、絶縁ゲート型半導体素子として I G B T を使用した場合を例に図面を参照して詳細に説明する。

図 1 は第 1 の実施の形態に係る絶縁ゲート型半導体素子の駆動装置の要部概略構成例を示す図、図 2 は絶縁ゲート型半導体素子のターンオン駆動電圧特性を示す図である。なお、図 1 は、図 4 に記した複数の I G B T 2 a ~ 2 n をそれぞれ駆動する駆動装置 3 a ~ 3 n の中の 1 つを代表して駆動装置 3 a の概略構成を示しているが、他の駆動装置 3 b ~ 3 n も同様に構成される。また、図 5 に示した駆動装置 3 a を構成する要素と同一の要素には同一の符号を付してある。

[0028] 駆動装置 3 a は、定電流源 8 とカレントミラー回路 9 とを備え、定電流源 8 およびカレントミラー回路 9 は、図 5 に示した定電流回路 5 を構成している。駆動装置 3 a は、また、放電回路 6 と、切替回路 7 と、電圧制御回路 1 0 と、定電流回路 1 1 とを備えている。また、I G B T 2 a には、温度検出素子として、I G B T 2 a が発生する熱を検出する温度検出用ダイオード 1 2 が内蔵されている。

[0029] 定電流源 8 は、オペアンプ 8 a と、n チャネル型の F E T (以下、n - F E T と略記する) 8 b と、抵抗 8 c とを備えている。オペアンプ 8 a は、その非反転入力端子 (+) に基準電圧 V_{ref} が供給され、出力端子は、n - F E T 8 b のゲートに接続されている。n - F E T 8 b のソースは、オペアンプ 8 a の反転入力端子 (-) に接続されるとともに、抵抗 8 c を介して接地ライン G N D に接続されている。

[0030] この定電流源 8 においては、オペアンプ 8 a の 2 つの入力端子が仮想短絡することにより、n - F E T 8 b のソースと接地ラインとの間に介挿された抵抗 8 c に基準電圧 V_{ref} が印加される。したがって、この定電流源 8 の出力電流 (すなわち、n - F E T 8 b のドレイン電流) I_o は、抵抗 8 c の

値を R_{ref} としたとき、 $I_o = V_{ref} / R_{ref}$ として一定化される。

[0031] カレントミラー回路9は、1対のpチャネル型のFET（以下、p-FETと略記する）9a、9bを備えている。p-FET9aは、ソースが電源ラインに接続され、ドレインが自身のゲートに接続されているとともに、定電流源8の出力（すなわち、n-FET8bのドレイン）に接続されている。一方、p-FET9bは、ソースが電源ラインに接続され、ドレインがIGBT2aのゲートに接続され、ゲートがp-FET9aのドレインおよびゲートに接続されている。

[0032] このカレントミラー回路9は、p-FET9aが定電流源8によって出力される一定の電流 I_o により駆動されると、p-FET9bが一定の電流 I_o に比例した一定の電流 $[k \cdot I_o]$ （ k は定数）を出力する。これにより、カレントミラー回路9は、電流 I_o に比例した一定の電流 $[k \cdot I_o]$ をIGBT2aのゲートに供給することになる。

[0033] 放電回路6は、バッファ回路6aとn-FET6bとを備えている。バッファ回路6aは、その入力端子に駆動信号が入力され、出力端子には、n-FET6bのゲートが接続されている。n-FET6bは、ドレインがIGBT2aのゲートに接続され、ソースが接地ラインGNDに接続されている。

[0034] この放電回路6は、バッファ回路6aに入力される駆動信号が[Hレベル]のときに、バッファ回路6aがn-FET6bをオンしてIGBT2aのゲートに蓄積された電荷を接地ラインGNDに放電し、これによってIGBT2aをターンオフする。

[0035] 切替回路7は、p-FET7aとレベルシフト回路7bとを備えている。p-FET7aは、ソースが電源ラインに接続され、ドレインがカレントミラー回路9のp-FET9bのゲートに接続されている。レベルシフト回路7bは、その入力に駆動信号が入力され、出力には、p-FET7aのゲートが接続されている。

[0036] この切替回路7は、レベルシフト回路7bが駆動信号をレベルシフトして

p-FET 7 a のゲート電圧を制御することによりカレントミラー回路 9 の p-FET 9 a, 9 b をオン・オフする。

[0037] すなわち、切替回路 7 は、駆動信号が [L レベル] のとき、レベルシフト回路 7 b が p-FET 7 a をオフし、カレントミラー回路 9 をオンにする。これにより、カレントミラー回路 9 の p-FET 9 b は、IGBT 2 a のゲートに一定の電流 $[k \cdot I_0]$ を供給する。このとき、[L レベル] の駆動信号が放電回路 6 に供給されて、放電回路 6 の n-FET 6 b がオフされているので、IGBT 2 a は、ターンオンされる。

[0038] 一方、[H レベル] の駆動信号が入力されているとき、切替回路 7 は、レベルシフト回路 7 b が p-FET 7 a をオンする。これにより、カレントミラー回路 9 は、オフされ、カレントミラー回路 9 から IGBT 2 a のゲートへの電流供給が停止される。このとき、放電回路 6 は、[H レベル] の駆動信号が入力されていることにより n-FET 6 b がオンし、IGBT 2 a のゲートが接地ライン GND に接続されて IGBT 2 a のゲートに蓄積された電荷が放電される。これによって IGBT 2 a は、ターンオフされる。

[0039] IGBT 2 a は、温度検出用ダイオード 12 を内蔵している。その温度検出用ダイオード 12 は、アノードに定電流回路 11 が接続され、カソードは、接地ライン GND に接続されている。温度検出用ダイオード 12 は、定電流回路 11 から出力される定電流が常時流されていて、IGBT 2 a の温度により変化する順方向電圧をダイオード電圧 V_f として出力するように構成されている。なお、温度検出用ダイオード 12 の順方向電圧の温度特性は、例えば、 $-2.0 \sim -2.5 \text{ mV}/^\circ\text{C}$ 程度である。

[0040] 電圧制御回路 10 は、オペアンプ 10 a と、4 つの抵抗 10 b, 10 c, 10 d, 10 e とを備え、差動増幅回路を構成している。すなわち、オペアンプ 10 a は、その反転入力端子 (-) に抵抗 10 b を介して基準電圧 V_{ref0} が供給されるように構成されるとともに、抵抗 10 c を介して自身の出力に接続されている。基準電圧 V_{ref0} は、定電流源 8 およびカレントミラー回路 9 の駆動電圧 V_{o1} を規定するためのもので、あらかじめ設定さ

れている。オペアンプ10aの非反転入力端子(+)は、抵抗10dを介して温度検出用ダイオード12のダイオード電圧Vfを入力するように構成されるとともに、抵抗10eを介して接地ラインGNDに接続されている。

[0041] 電圧制御回路10は、ダイオード電圧Vfと基準電圧Vref0との電圧差ΔVを増幅し、定電流源8およびカレントミラー回路9の駆動電圧Vo1を出力するように構成されている。

[0042] 具体的には、オペアンプ10aの入力抵抗である抵抗10b, 10dの値をそれぞれR1とし、帰還抵抗の抵抗10cおよび接地抵抗の抵抗10eの値をそれぞれR2としたとき、電圧制御回路10が出力する駆動電圧Vo1は、

$$V_{o1} = (R2/R1) \cdot (V_f - V_{ref0})$$

となる。すなわち、電圧制御回路10は、IGBT2aで発生する熱を内蔵する温度検出用ダイオード12が検出してダイオード電圧Vfを出力し、そのダイオード電圧Vfに応じて定電流源8およびカレントミラー回路9の駆動電圧Vo1をフィードバック制御している。具体的には、IGBT2aの温度が上がる(下がる)→ダイオード電圧Vfが小さく(大きく)なる→駆動電圧Vo1が小さくなる(大きくなる)→IGBT2aのオン時の最終ゲート電圧は駆動電圧Vo1で決まるので、IGBT2aのゲート電圧が小さくなる(大きくなる)→IGBT2aに流れる電流が小さくなる(大きくなる)、というフィードバックが行われる。

[0043] すなわち、IGBT2aの個体差に起因するゲート閾値電圧のばらつきに応じて(生じる温度に応じて)定電流源8およびカレントミラー回路9の駆動電圧Vo1を制御することにより、IGBT2aのゲートを駆動する駆動電圧Vo1の大きさを制御することが可能となる。

[0044] 特に、入力抵抗の抵抗10b, 10d、帰還抵抗の抵抗10cおよび接地抵抗の抵抗10eは、温度特性が同じものを用いているので、それらの抵抗値のばらつきを相殺することができる。さらには、すべての駆動装置3a~3nにおいて、基準電圧Vref0の温度特性を、例えば、-20~125

℃の範囲で標準値の±3%以内に収めるとともに、ダイオード電圧 V_f の温度特性を±10%以内に収めるようにしている。これにより、上述した抵抗値のばらつきの相殺効果と相俟って、定電流源8およびカレントミラー回路9の駆動電圧 V_{o1} の温度特性は、IGBT2a~2nの温度変化に対して十分に精度を高くすることができる。

[0045] この結果、並列接続された複数のIGBT2a~2nのゲート閾値電圧にばらつきがあっても、IGBT2a~2nの温度（ダイオード電圧 V_f ）に応じ、ゲートを駆動する駆動電圧 V_{o1} の大きさを、フィードバック制御して最適化することができる。すなわち、図2に示したように、IGBT2a~2nの温度の温度が高くなる（ダイオード電圧 V_f が小さくなる）に従って駆動電圧 V_{o1} の大きさが連続的に小さくなるようにフィードバック制御し、IGBT2a~2nに流れる電流 I_c を一定に保つようにしている。これにより、IGBT2a~2nの中に、ゲート閾値電圧のばらつきに起因して流れる電流が変化し、温度が変化するものがあつたとしても、駆動電圧 V_{o1} が変化することで、流れる電流 I_c が一定に保たれるようになる。このため、並列に設けられた複数のIGBT2a~2nのそれぞれに流れる電流 I_c がアンバランスとなることを効果的に防ぐことが可能となり、特定のIGBTへの電流集中を防いでその熱的破壊を未然に防ぐことが可能となる。

[0046] このように、第1の実施形態に係る駆動装置3aによれば、IGBT2aの温度を内蔵する温度検出用ダイオード12が検出して定電流源8およびカレントミラー回路9の駆動電圧 V_{o1} をフィードバック制御している。IGBT2a~2nの定電流駆動と駆動電圧制御とにより、個々のIGBT2a~2nに流れる電流 I_c は、温度特性がほぼ同じ基準電圧 V_{ref0} に対応する電流値にそれぞれ収束するようになり、すべてのIGBT2a~2nの電流 I_c を均等化できる。

[0047] 図3は第2の実施の形態に係る絶縁ゲート型半導体素子の駆動装置の要部概略構成例を示す図である。この図3において、図1に示した構成要素と同じ構成要素については同じ符号を付して詳細な説明を省略する。

- [0048] この第2の実施の形態に係る絶縁ゲート型半導体素子の駆動装置3aは、第1の実施の形態のものと比較して電圧制御回路10が別構成の電圧制御回路13によって置き換えられている。
- [0049] すなわち、電圧制御回路13は、複数（図示の例では4個）の比較器13a, 13b, 13c, 13dと、スイッチ素子として機能するp-FET13f, 13g, 13h, 13iと、抵抗13k, 13l, 13m, 13n, 13oとを備えている。
- [0050] 比較器13a, 13b, 13c, 13dは、それらの反転入力端子（-）に温度検出用ダイオード12のダイオード電圧 V_f を入力するように構成されている。比較器13a, 13b, 13c, 13dの非反転入力端子（+）は、第1の閾値電圧 V_{ref1} 、第2の閾値電圧 V_{ref2} 、第3の閾値電圧 V_{ref3} および第4の閾値電圧 V_{ref4} がそれぞれ入力するように構成されている。比較器13a, 13b, 13c, 13dの出力は、p-FET13f, 13g, 13h, 13iのゲートにそれぞれ接続されている。
- [0051] p-FET13fのソースは、装置電源電圧として供給された電源電圧 V_{cc} に接続されるとともに、直列接続されて分圧回路を構成する抵抗13k, 13l, 13m, 13n, 13oを介して接地ラインGNDに接続されている。抵抗13kと抵抗13lとの接続点は、p-FET13gのソースに接続され、抵抗13lと抵抗13mとの接続点は、p-FET13hのソースに接続され、抵抗13mと抵抗13nとの接続点は、p-FET13iのソースに接続されている。そして、p-FET13f, 13g, 13h, 13iのドレインは、纏められて定電流源8およびカレントミラー回路9の駆動電圧 V_{o2} として出力するように構成されている。
- [0052] 電圧制御回路13によれば、比較器13a~13dがダイオード電圧 V_f を第1~第4の閾値電圧 V_{ref1} ~ V_{ref4} とそれぞれ比較し、これらの比較結果に応じて定電流源8およびカレントミラー回路9の駆動電圧 V_{o2} を可変設定するようにしている。なお、通常（IGBT2aの温度が所定温度以下のとき）は、ダイオード電圧 V_f とこれら第1~第4の閾値電圧 V_{ref1} ~ V_{ref4}

$v_{ref1} \sim v_{ref4}$ との関係は、

$$V_f > V_{ref1} > V_{ref2} > V_{ref3} > V_{ref4}$$

である。

[0053] 具体的には、電源電圧 V_{cc} を、直列接続した5つの抵抗 $13k$ (R_{11})、 $13l$ (R_{12})、 $13m$ (R_{13})、 $13n$ (R_{14})、 $13o$ (R_{15})で分圧し、分圧した電圧と電源電圧 V_{cc} とをダイオード電圧 V_f に応じて選択し、駆動電圧 V_{o2} として出力している。

[0054] 例えば、通常動作の場合、ダイオード電圧 V_f は、第1の閾値電圧 V_{ref1} より大きいので、 p -FET $13f \sim 13i$ は、すべてオンした状態になり、駆動電圧 V_{o2} は、電源電圧 V_{cc} と等しくなる。また、IGBT $2a$ の温度が上昇し、ダイオード電圧 V_f が第1の閾値電圧 V_{ref1} より低くなると、 p -EET $13f$ がオフとなるため、駆動電圧 V_{o2} は、電源電圧 V_{cc} の分圧値となり、

$$V_{o2} = V_{cc} \times R_{15} / (R_{11} + R_{15})$$

となる。このとき、抵抗 $13l$ (R_{12})、 $13m$ (R_{13})、 $13n$ (R_{14})は、 p -FET $13g \sim 13i$ がオンしていることによって短絡されている。

[0055] IGBT $2a$ の温度がさらに上昇して、ダイオード電圧 V_f が第2の閾値電圧 V_{ref2} より低くなると、駆動電圧 V_{o2} は、

$$V_{o2} = V_{cc} \times R_{15} / (R_{11} + R_{12} + R_{15})$$

となる。

[0056] このような電圧制御回路 13 を備える駆動装置 $3a$ によれば、IGBT $2a$ の駆動電圧 V_{o2} は、図2に示すように、IGBTの温度に応じて段階的（ここでは、5段階）に変化させている。したがって、第1の実施形態のものと比較してその制御精度が粗いものの、第1の実施形態と同様にIGBT $2a \sim 2n$ の各ゲートに供給する駆動電圧 V_{o2} の大きさを、IGBT $2a \sim 2n$ のターンオン特性に合わせることができる。しかも、IGBT $2a \sim 2n$ にそれぞれ流れる電流 I_c を一定に保つことができ、並列に設けられた

複数の IGBT 2a～2n にそれぞれ流れる電流 Ic がアンバランスとなることを効果的に防ぐことが可能となる。この結果、特定の IGBT への電流集中が防止され、その熱的破壊を未然に防ぐことが可能となる。

[0057] なお、本発明は上述した各実施形態に限定されるものではない。例えば、定電流源 8 の構成を別のものとしたり、第 2 の実施の形態に係る絶縁ゲート型半導体素子の駆動装置における駆動電圧 Vo2 の切り替えをダイオード電圧 Vf に応じてさらに多段階もしくは少ない段階に可変設定したりすることも勿論可能である。また、前述した IGBT に代えて MOS-FET を駆動する場合にも、本発明を同様に適用可能なことも言うまでもない。さらに、駆動装置 3a～3n 間のばらつきを低減するために、個々の駆動装置 3a～3n が備えていた基準電圧 Vref, Vref0 および第 1～第 4 の閾値電圧 Vref1～Vref4 を、すべての駆動装置 3a～3n で共用するように構成することもできる。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

[0058] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0059] 1 電力変換装置
2a～2n IGBT (絶縁ゲート型半導体素子)
3a～3n 駆動装置
4 大電力負荷
5 定電流回路
6 放電回路
6a バッファ回路
6b n-FET

- 7 切替回路
 - 7 a p-FET
 - 7 b レベルシフト回路
- 8 定電流源
 - 8 a オペアンプ
 - 8 b n-FET
 - 8 c 抵抗
- 9 カレントミラー回路
 - 9 a, 9 b p-FET
- 10 電圧制御回路
 - 10 a オペアンプ
 - 10 b, 10 c, 10 d, 10 e 抵抗
- 11 定電流回路
- 12 温度検出用ダイオード（温度検出素子）
- 13 電圧制御回路
 - 13 a, 13 b, 13 c, 13 d 比較器
 - 13 f, 13 g, 13 h, 13 i p-FET（スイッチ素子）
 - 13 k, 13 l, 13 m, 13 n, 13 o 抵抗

請求の範囲

- [請求項1] 並列接続された複数の絶縁ゲート型半導体素子の1つを駆動する駆動装置において、
- 前記絶縁ゲート型半導体素子のターンオン時にゲートに一定電流を供給する定電流回路と、
- 前記絶縁ゲート型半導体素子のターンオフ時に前記ゲートに蓄積された電荷を放電する放電回路と、
- 駆動信号が入力され、前記絶縁ゲート型半導体素子に対して前記定電流回路で定電流駆動を行うか前記放電回路で前記電荷の放電を行うかの切り替えを行う切替回路と、
- 前記絶縁ゲート型半導体素子が内蔵する温度検出素子が検出した温度に応じて前記定電流回路の電源電圧を可変制御する電圧制御回路と、
- 、
- を備えていることを特徴とする絶縁ゲート型半導体素子の駆動装置。
- [請求項2] 前記電圧制御回路は、前記温度検出素子によって検出された温度に対応する電圧とあらかじめ設定された基準電圧とを入力して温度に対応する前記電圧と前記基準電圧との電圧差を増幅した電圧を前記定電流回路の電源電圧として出力するオペアンプを備え、前記温度検出素子により検出された前記電圧に応じて前記定電流回路の前記電源電圧を連続的に変化させることを特徴とする請求項1記載の絶縁ゲート型半導体素子の駆動装置。
- [請求項3] 前記電圧制御回路は、前記温度検出素子によって検出された温度に対応する電圧とあらかじめ設定された複数の基準電圧とを比較する複数の比較器と、供給された装置電源電圧を分圧した複数の電圧出力を有する分圧回路と、前記装置電源電圧および複数の前記電圧出力と前記定電流回路の電源ラインとの間にそれぞれ接続され前記比較器の比較結果に応じてオン・オフ制御される複数のスイッチ素子とを備え、

前記温度検出素子により検出された前記電圧に応じて複数の前記スイッチ素子を選択的にオン・オフさせることにより前記定電流回路の前記電源電圧を段階的に変化させることを特徴とする請求項1記載の絶縁ゲート型半導体素子の駆動装置。

[請求項4] 前記定電流回路は、ソースが抵抗を介して接地ラインに接続された第1トランジスタと、前記抵抗の端子電圧と基準電圧とを比較して前記第1トランジスタのゲートを駆動するオペアンプと、ドレインおよびゲートが前記第1トランジスタのドレインに接続されソースが電源ラインに接続された第2のトランジスタと、ソースが前記電源ラインに接続されゲートが前記第2のトランジスタのゲートに接続されドレインが前記絶縁ゲート型半導体素子のゲートに接続された第3のトランジスタとを備えていることを特徴とする請求項1記載の絶縁ゲート型半導体素子の駆動装置。

[請求項5] 前記放電回路は、前記切替回路から前記駆動信号を受けるバッファ回路と、ゲートが前記バッファ回路の出力端子に接続されソースが接地ラインに接続されドレインが前記絶縁ゲート型半導体素子のゲートに接続されたトランジスタを備えていることを特徴とする請求項1記載の絶縁ゲート型半導体素子の駆動装置。

[請求項6] 前記切替回路は、ソースが前記定電流回路の前記電源ラインに接続されドレインが前記第2のトランジスタのゲートに接続された第4のトランジスタと、前記駆動信号をレベルシフトして前記第4のトランジスタのゲートに供給するレベルシフト回路とを備えていることを特徴とする請求項4記載の絶縁ゲート型半導体素子の駆動装置。

[請求項7] 並列接続された複数の絶縁ゲート型半導体素子と、前記絶縁ゲート型半導体素子をそれぞれ駆動する複数の駆動装置とを備えた電力変換装置において、

前記駆動装置は、

前記絶縁ゲート型半導体素子のターンオン時にゲートに一定電流を

供給する定電流回路と、

前記絶縁ゲート型半導体素子のターンオフ時に前記ゲートに蓄積された電荷を放電する放電回路と、

駆動信号が入力され、前記絶縁ゲート型半導体素子に対して前記定電流回路で定電流駆動を行うか前記放電回路で前記電荷の放電を行うかの切り替えを行う切替回路と、

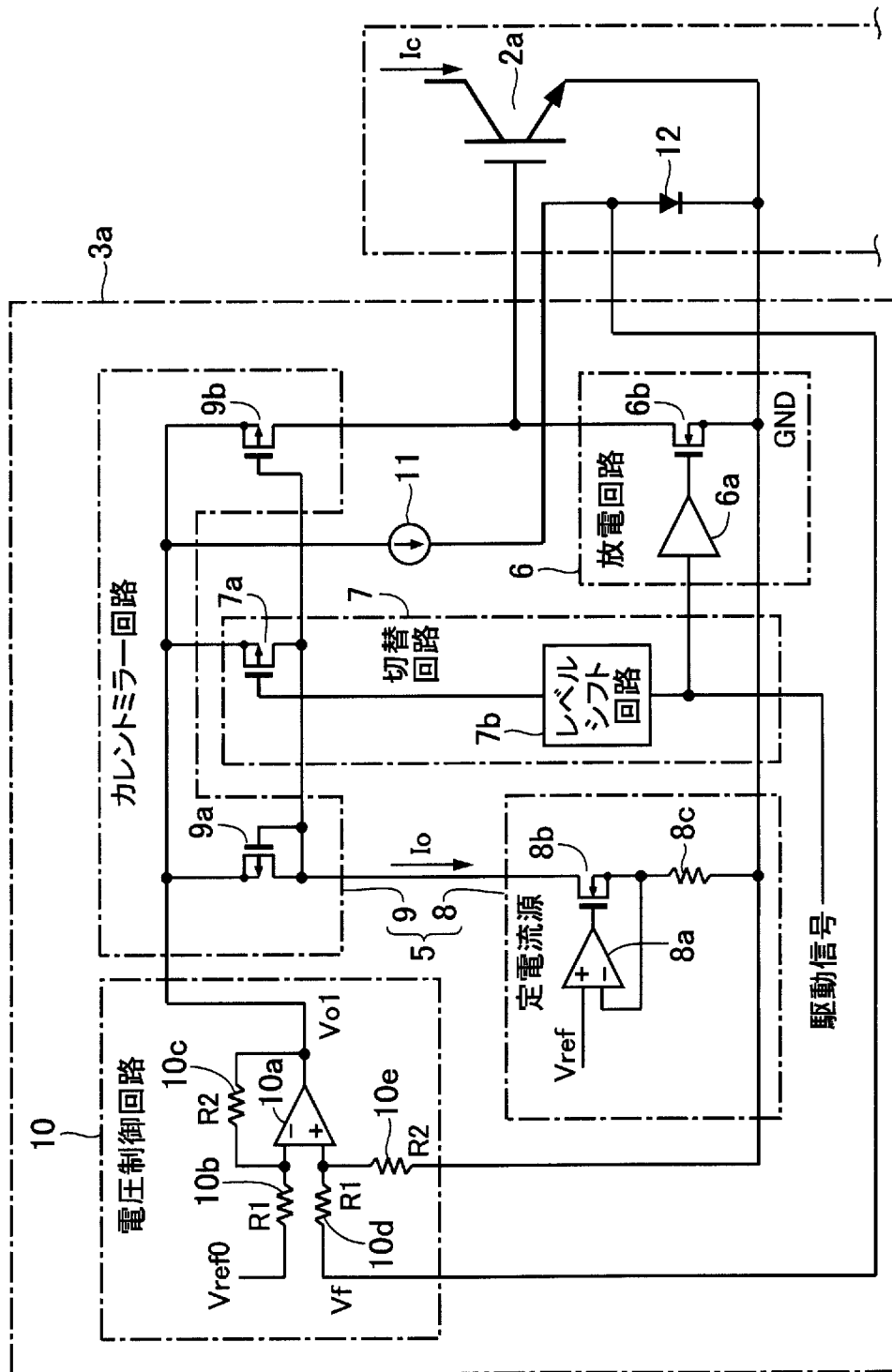
前記絶縁ゲート型半導体素子が内蔵する温度検出素子が検出した温度に対応する検出電圧と基準電圧との差に応じて前記定電流回路の電源電圧を可変制御する電圧制御回路と、

を備えていることを特徴とする電力変換装置。

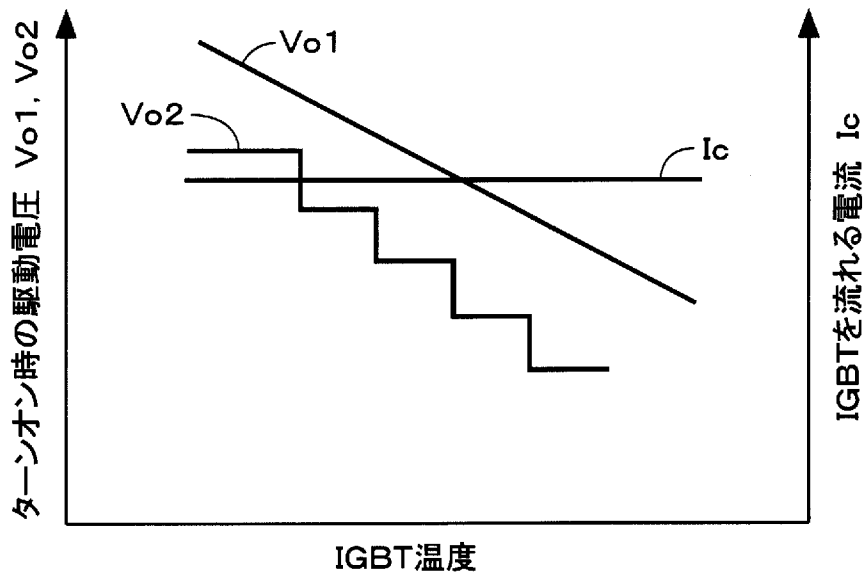
[請求項8]

すべての前記駆動装置において、前記基準電圧の温度特性を $-20 \sim 125$ ℃の範囲で標準値の $\pm 3\%$ 以内とし、前記温度検出素子の温度特性を $\pm 10\%$ 以内としたことを特徴とする請求項7記載の電力変換装置。

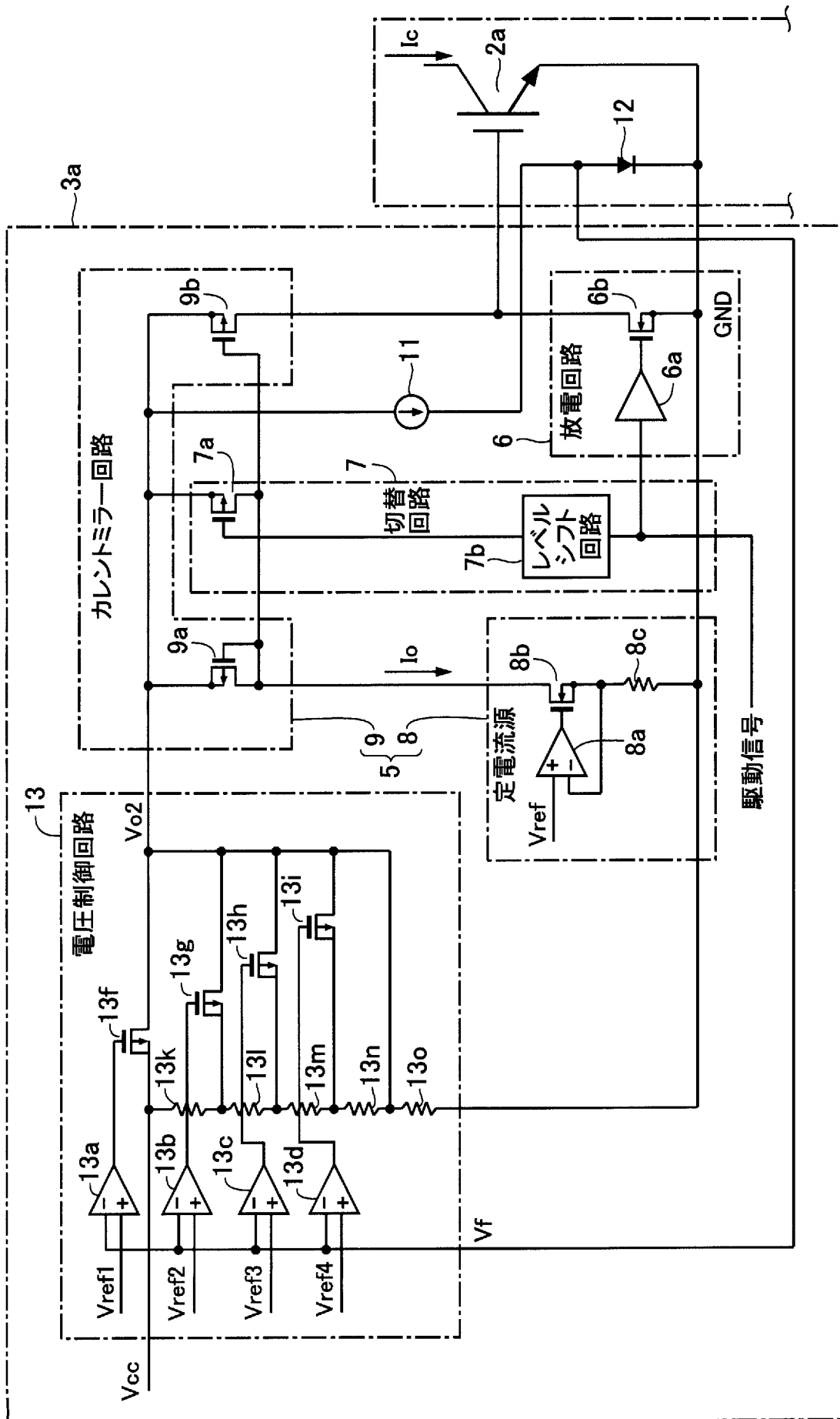
[図1]



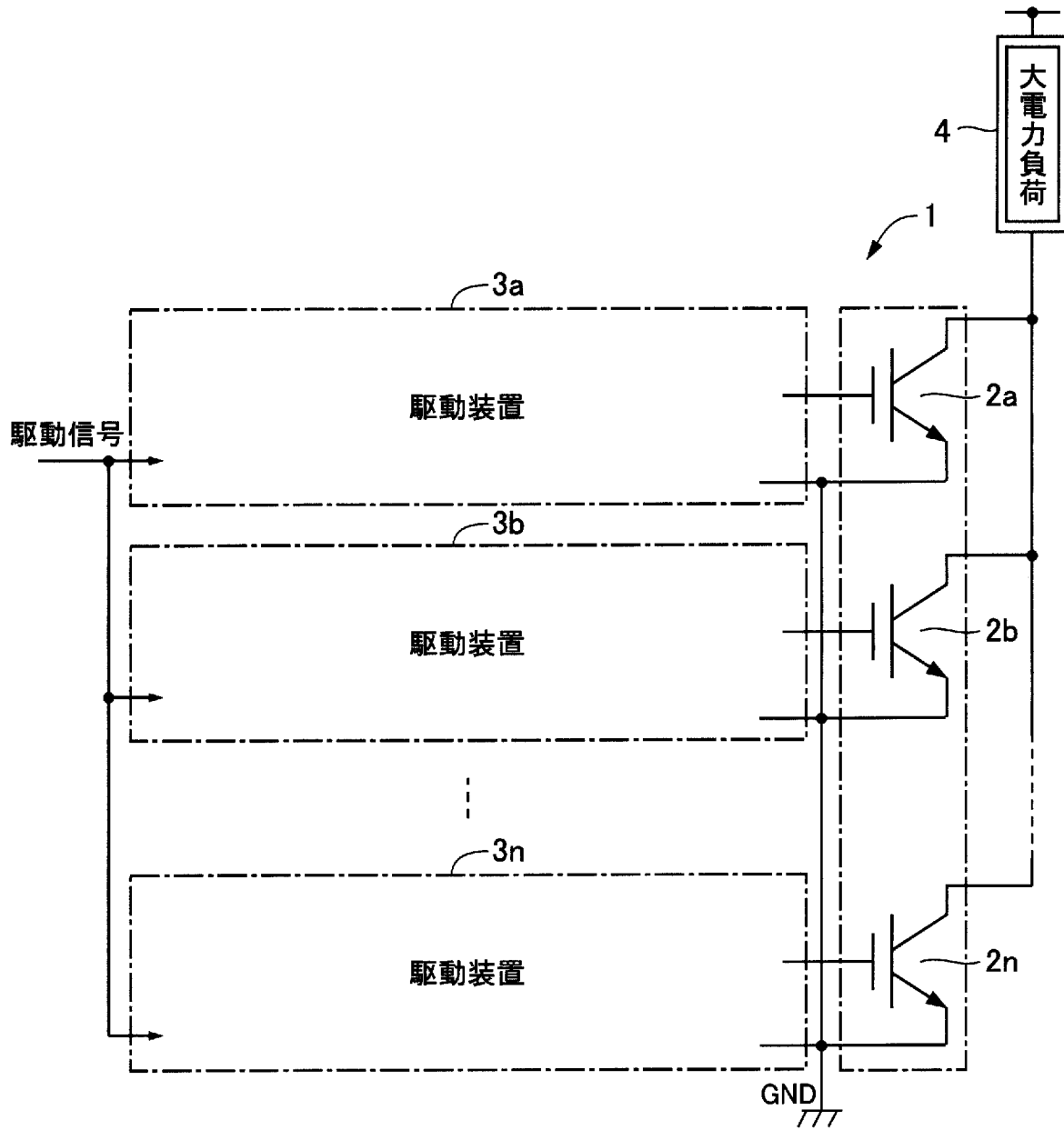
[図2]



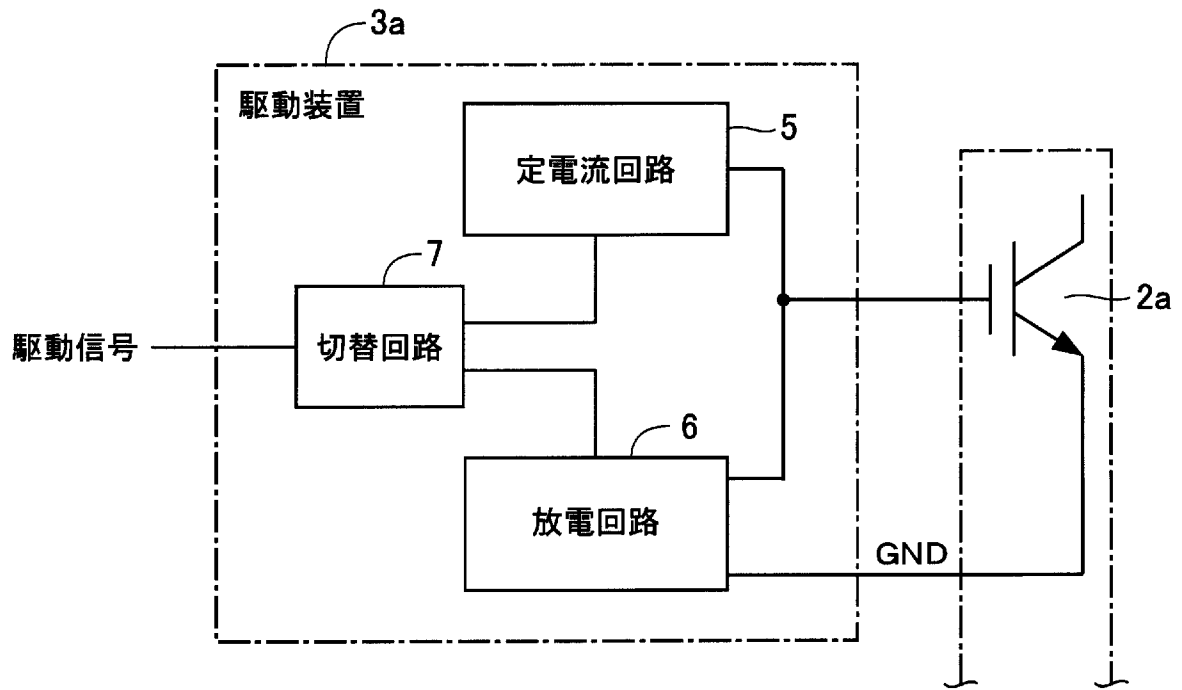
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/064482

A. CLASSIFICATION OF SUBJECT MATTER
H02M1/08 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2001/089090 A1 (Mitsubishi Electric Corp.), 22 November 2001 (22.11.2001), entire text; all drawings & EP 1292027 A1	1-8
A	JP 10-42548 A (Fuji Electric Co., Ltd.), 13 February 1998 (13.02.1998), entire text; all drawings (Family: none)	1-8
A	JP 8-186976 A (Hitachi, Ltd.), 16 July 1996 (16.07.1996), entire text; all drawings (Family: none)	1-8

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 August, 2014 (08.08.14)	Date of mailing of the international search report 26 August, 2014 (26.08.14)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/064482

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-369497 A (Fuji Electric Co., Ltd.), 20 December 2002 (20.12.2002), entire text; all drawings (Family: none)	1-8
A	JP 2002-142445 A (Toshiba Corp.), 17 May 2002 (17.05.2002), entire text; all drawings (Family: none)	1-8
P,A	WO 2014/069146 A1 (Fuji Electric Co., Ltd.), 08 May 2014 (08.05.2014), entire text; all drawings & JP 2014-93836 A	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M1/08(2006.01)j		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M1/08		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2001/089090 A1 (三菱電機株式会社) 2001. 11. 22, 全文、全図 & EP 1292027 A1	1-8
A	JP 10-42548 A (富士電機株式会社) 1998. 02. 13, 全文、全図 (ファミリーなし)	1-8
A	JP 8-186976 A (株式会社日立製作所) 1996. 07. 16, 全文、全図 (ファミリーなし)	1-8
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 08. 08. 2014	国際調査報告の発送日 26. 08. 2014	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 尾家 英樹 電話番号 03-3581-1101 内線 3357	3V 9335

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-369497 A (富士電機株式会社) 2002. 12. 20, 全文、全図 (ファミリーなし)	1-8
A	JP 2002-142445 A (株式会社東芝) 2002. 05. 17, 全文、全図 (ファミリーなし)	1-8
P, A	WO 2014/069146 A1 (富士電機株式会社) 2014. 05. 08, 全文、全図 & JP 2014-93836 A	1-8