



(12) 发明专利

(10) 授权公告号 CN 102859882 B

(45) 授权公告日 2016. 01. 27

(21) 申请号 201080066077. 9

(22) 申请日 2010. 12. 23

(30) 优先权数据

12/799, 323 2010. 04. 22 US

(85) PCT国际申请进入国家阶段日

2012. 10. 09

(86) PCT国际申请的申请数据

PCT/US2010/062014 2010. 12. 23

(87) PCT国际申请的公布数据

W02011/133193 EN 2011. 10. 27

(73) 专利权人 德州仪器公司

地址 美国得克萨斯州

(72) 发明人 迈克尔·D·斯内德克

(74) 专利代理机构 北京律盟知识产权代理有限公司

责任公司 11287

代理人 王璐

(51) Int. Cl.

H03M 1/38(2006. 01)

(56) 对比文件

US 2006077081 A1, 2006. 04. 13, 全文.

CN 1945978 A, 2007. 04. 11, 全文.

US 2008186214 A1, 2008. 08. 07, 全文.

审查员 郭涛

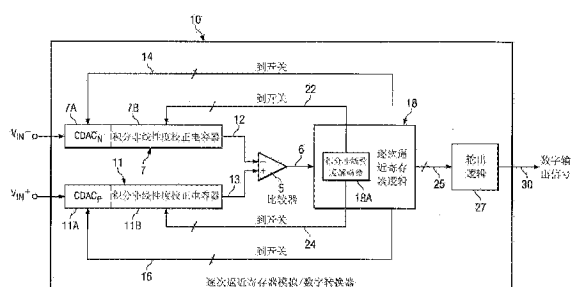
权利要求书3页 说明书11页 附图7页

(54) 发明名称

具有积分非线性度校正的逐次逼近寄存器模拟 / 数字转换器

(57) 摘要

通过提供各自具有连接到导体 (13) 的第一端子的校正电容器 (HB) 来降低逐次逼近寄存器 SAR 模拟 / 数字转换器 ADC (10) 中的积分非线性度 INL 误差, 所述导体 (13) 还连接到 CDAC (HA) 的电容器 (11) 的一个端子且连接到所述 SAR ADC 的比较器 (5) 的输入。利用所存储的 INL 误差信息 (18A) 来控制耦合到所述校正电容器的第二端子的开关以响应于所述所存储的 INL 误差信息而选择性地 将所述第二端子耦合到接地电压 (GND) 或参考电压 (VREF), 以便降低所述 INL 误差。



1. 一种包括逐次逼近寄存器 SAR 模拟 / 数字转换器 ADC 的装置, 所述逐次逼近寄存器 SAR 模拟 / 数字转换器 ADC 包含:

第一电容器数字 / 模拟转换器 CDAC, 其经连接以接收第一模拟输入信号且包括各自具有耦合到第一导体的第一端子的多个电容器;

第一校正电容器电路, 其包括具有耦合到所述第一导体的第一端子的校正电容器;

比较器, 其具有耦合到所述第一导体的第一输入;

逐次逼近寄存器逻辑电路, 其具有耦合到所述比较器的输出的输入且还具有第一输出总线, 所述第一输出总线经耦合以分别控制耦合到所述第一电容器数字 / 模拟转换器的所述电容器的第二端子的多个开关, 以选择性地将所述第一电容器数字 / 模拟转换器的所述电容器的所述第二端子耦合到接地电压或第二参考电压, 所述逐次逼近寄存器逻辑电路产生表示所述第一模拟输入信号的数字信号; 及

解码器电路, 其具有第一输出总线, 所述第一输出总线经耦合以控制耦合到所述校正电容器的第二端子的开关响应于所存储的积分非线性度 INL 误差信息而选择性地将所述校正电容器的所述第二端子耦合到所述接地电压或第三参考电压, 以便校正所述模拟 / 数字转换器的传递特性中的积分非线性度误差。

2. 根据权利要求 1 所述的装置, 其中所述第一校正电容器电路包括多个所述校正电容器, 且其中所述解码器电路的所述第一输出总线经耦合以控制分别耦合到所述第一校正电容器电路的所述校正电容器的第二端子的多个开关。

3. 根据权利要求 2 所述的装置, 其包括第二电容器数字 / 模拟转换器, 所述第二电容器数字 / 模拟转换器接收第二模拟输入信号且包括各自具有耦合到第二导体的第一端子的多个电容器, 所述第二导体耦合到所述比较器的第二输入, 所述转换器还包括第二校正电容器电路, 所述第二校正电容器电路包括各自具有耦合到所述第二导体的第一端子的多个校正电容器, 其中所述逐次逼近寄存器逻辑电路具有第二输出总线, 所述第二输出总线经耦合以分别控制耦合到所述第二电容器数字 / 模拟转换器的所述电容器的第二端子的多个开关, 以选择性地将所述第二电容器数字 / 模拟转换器的所述电容器的所述第二端子耦合到所述接地电压或所述第二参考电压, 其中所述解码器电路具有第二输出总线, 所述第二输出总线经耦合以控制耦合到所述第二校正电容器电路的所述校正电容器的所述第二端子的多个开关响应于所存储的积分非线性度误差信息而选择性地将所述第二校正电容器电路的所述校正电容器的所述第二端子耦合到所述接地电压或所述第三参考电压, 其中所述逐次逼近寄存器逻辑电路产生用于表示所述第一模拟输入信号与所述第二模拟输入信号之间的差异的所述数字信号。

4. 根据权利要求 3 所述的装置, 其中所述第一及第二校正电容器电路中的每一者包括 6 个校正电容器。

5. 根据权利要求 4 所述的装置, 其中所述第一导体通过第三导体及耦合在所述第一导体与所述第三导体之间的第一缩放电容器来耦合到所述第一校正电容器电路的所述电容器的所述第一端子及所述比较器的所述第一输入, 且其中所述第二导体通过第四导体及耦合在所述第二导体与所述第四导体之间的第二缩放电容器来耦合到所述第二校正电容器电路的所述电容器的所述第一端子及所述比较器的所述第二输入。

6. 根据权利要求 1 所述的装置, 其中由所述逐次逼近寄存器逻辑做出的预定数目个初

始位决策的结果被所述解码器用来存取查找表,以确定所述校正电容器中的哪一些将被选择性地耦合到所述第三参考电压。

7. 根据权利要求 6 所述的装置,其中所述查找表存储以统计方式确定的积分非线性度校正信息。

8. 一种用于降低逐次逼近寄存器 SAR 模拟 / 数字转换器 ADC 中的积分非线性度误差的方法,所述逐次逼近寄存器 SAR 模拟 / 数字转换器 ADC 包括:

电容器数字 / 模拟转换器 CDAC,其接收模拟输入信号,包括各自具有耦合到第一导体的第一端子的多个电容器,

比较器,其具有耦合到所述第一导体的第一输入;及

逐次逼近寄存器 SAR 逻辑电路,其具有耦合到所述比较器的输出的输入且还具有第一输出总线,所述第一输出总线经耦合以分别控制耦合到所述电容器数字 / 模拟转换器的所述电容器的第二端子的多个开关,以选择性地将所述第二端子耦合到接地电压或第二参考电压,所述逐次逼近寄存器逻辑电路产生表示所述输入信号的数字信号;

所述方法包含:

提供所存储的积分非线性度误差信息;

将校正电容器电路中的多个校正电容器中的每一者的第一端子耦合到所述第一导体;
及

控制耦合到所述校正电容器中的每一者的第二端子的开关响应于所述所存储的非线性度校正误差信息而选择性地将所述校正电容器的第二端子分别耦合到所述接地或第三参考电压,以校正所述逐次逼近寄存器模拟 / 数字转换器的传递函数中的非线性度误差。

9. 根据权利要求 8 所述的方法,其包括利用由所述逐次逼近寄存器逻辑电路做出的预定数目个初始位决策的结果来存取查找表,以确定所述校正电容器中的哪一些将被选择性地耦合到所述第三参考电压。

10. 根据权利要求 9 所述的方法,其包括在所述查找表中存储以统计方式确定的积分非线性度误差信息。

11. 根据权利要求 10 所述的方法,其中所述积分非线性度误差主要由所述电容器数字 / 模拟转换器的所述电容器的电压系数引起,所述方法包括通过从用于所述逐次逼近寄存器模拟 / 数字转换器的理想传递函数中减去用于所述逐次逼近寄存器模拟 / 数字转换器的实际传递函数来确定所述积分非线性度误差。

12. 根据权利要求 11 所述的方法,其包括通过具有经耦合以接收数字缩放信号的输入的数字 / 模拟转换器来产生所述第三参考电压。

13. 一种用于降低逐次逼近寄存器 SAR 模拟 / 数字转换器 ADC 中的积分非线性度误差的电路,所述逐次逼近寄存器 SAR 模拟 / 数字转换器 ADC 包括:

电容器数字 / 模拟转换器 CDAC,其接收模拟输入信号,包括各自具有耦合到第一导体的第一端子的多个电容器,

比较器,其具有耦合到所述第一导体的第一输入,及

逐次逼近寄存器 SAR 逻辑电路,其具有耦合到所述比较器的输出的输入且还具有第一输出总线,所述第一输出总线经耦合以分别控制耦合到所述电容器数字 / 模拟转换器的所述电容器的第二端子的多个开关,以选择性地将所述第二端子耦合到接地电压或第二参考

电压,所述逐次逼近寄存器逻辑电路产生表示所述输入信号的数字信号;

所述电路包含:

第一校正电容器构件,其用于将校正电容器电路中的多个校正电容器中的每一者的第一端子耦合到所述第一导体;

用于存储积分非线性度误差信息的构件;及

用于控制耦合到所述校正电容器中的每一者的第二端子的开关响应于所存储的积分非线性度误差信息而选择性地将所述校正电容器的第二端子分别耦合到所述接地电压或第三参考电压以校正所述逐次逼近寄存器模拟/数字转换器的传递函数中的积分非线性误差的构件。

具有积分非线性度校正的逐次逼近寄存器模拟 / 数字转换器

技术领域

[0001] 本发明涉及用于校正使用逐次逼近寄存器 (SAR) 逻辑的模拟 / 数字转换器 (ADC) 中的积分非线性度 (INL) 误差的电路及方法。

背景技术

[0002] 逐次逼近寄存器 (SAR) 模拟 / 数字转换器 (ADC) 通过二进制算法将模拟信号转变成数字信号, 所述二进制算法在输入电压被取样到电容器数字 / 模拟转换器 (CDAC) 上之后执行二进制逐位比较。此取样在 CDAC 中存储电荷, 操纵所述电荷且将其与参考进行比较以确定最接近地表示模拟输入电压的数字输出代码。

[0003] 电容器固有地具有二阶电压系数, 所述二阶电压系数使存储在电容器上的电荷量相对于跨越所述电容器的电压是非线性的。此些电压系数在 ADC 的输出中引起积分非线性度 (INL) 误差。随着正在 ADC 中被取样的模拟输入电压增大, 归因于 CDAC 电容器的二阶系数的 INL 误差增大。由电容器电压系数引起的实际 SARADC 传递曲线与“理想”直线阶梯传递函数之间的差异被认为是 INL 误差。

[0004] ADC 中的 INL 误差的量值随着输入信号的量值增大而增大。此 INL 误差的增大是由于归因于 CDAC 电容器的电容器电压系数的 INL 误差与跨越所述电容器的电压之间的特有二阶或“平方律”关系。因此, 输入电压范围的加倍将导致四倍的 INL 误差。举例来说, 如果将 5 伏峰峰输入信号施加到 SAR ADC 且这导致 1 个最低有效位 (LSB) 的 INL 误差的产生, 那么 10 伏峰峰输入信号将在输入信号峰值处产生 4LSB 的误差。基于 CDAC 中的各个电容器的匹配且还基于输入是单极还是双极的 (且还固有地基于电压系数, 因为它们是 INL 误差的原因的一部分), INL 误差的图表的中心点可向左或向右移位。可取决于用于转换输入信号的算法来使 SARADC 的 INL 曲线的特有 S 形状颠倒。

[0005] 现有方式描述于美国专利第 7, 501, 965 号及第 7, 196, 645 号中。

[0006] 图 1 及 2 为揭示基本的 INL 校正技术的第 7, 501, 965 号美国专利的图 6 及 7 的复制图。图 2 展示图 1 的 CDAC 630 的细节。比较器 610 将中间信号 (其由 CDAC 630 响应于 V_{IN} 及辅助 DAC 640 而产生) 与中级参考电压进行比较, 以产生到 SAR 逻辑 626 的输入。辅助 DAC 640 接收由误差计算块 625 计算的数字 INL 误差信号且产生 INL 误差信号的模拟表示作为到 CDAC 630 的输入。INL 误差信号的模拟表示用于校正由 CDAC 630 产生的模拟输出电压。SAR 逻辑 626 执行典型的 SAR 算法来控制计算块 625 及 CDAC 630。‘965 专利的技术使用转换操作的最初几个 SAR ADC 位决策来确定 SAR ADC 传递函数的正发生当前转换过程的部分。因此, 由 CDAC 电容器的电容性电压系数产生的典型误差在 SAR ADC 转换结束之前被校正。

[0007] 在第 7, 501, 965 号美国专利中的误差计算块 625 中执行的 INL 误差校正由复杂的“数学引擎”执行, 所述“数学引擎”根据所述专利中描述的复杂过程及相关联的方程来计算确定 INL 误差校正所需的各种系数, 且由此为每一单个 SARADC 芯片提供非常精确的校正。

然而,所述数学引擎的使用导致所揭示的 SAR ADC 不合意地复杂、缓慢且昂贵。

[0008] 在一些已知的 CDAC 中,提供动态误差校正电容器来校正由信号电压稳定问题引起的动态误差。

[0009] 需要低成本地实现由 SARADC 中的电容器电压系数引起的 INL 误差的快速校正,且需要避免用于实现此校正的复杂数学引擎。

发明内容

[0010] 根据一个实施例,通过提供各自具有连接到导体 (13) (其还连接到 CDAC(11A) 的电容器)的一个端子且连接到 SAR ADC 的比较器 (5) 的输入) 的第一端子的校正电容器 (11B),本发明提供一种通过用来降低 SAR ADC(10) 中的 INL 误差的电路及方法。所存储的 INL 误差信息 (18A) 用于控制耦合到所述校正电容器的第二端子的开关 (32) 响应于所存储的 INL 误差信息而选择性地第二端子耦合到接地电压或参考电压 (V_{REF}),以降低 INL 误差。

[0011] 在一个实施例中,本发明提供包括第一 CDAC(11A) 的 SAR ADC(10),所述第一 CDAC(11A) 接收第一模拟输入信号 (V_{IN}^+) 且包括各自具有耦合到第一导体 (13) 的第一端子的多个 CDAC 电容器。第一校正电容器电路 (11B) 包括具有耦合到第一导体 (13) 的第一端子的校正电容器。比较器 (5) 具有耦合到第一导体 (13) 的第一输入 (+)。SAR 逻辑电路 (18) 具有耦合到比较器 (5) 的输出 (6) 的输入且还具有第一输出总线 (16),所述第一输出总线 (16) 经耦合以分别控制耦合到第一 CDAC(11A) 的电容器 (11A) 的第二端子的多个开关 (32),以选择性将第二端子耦合到第一参考电压 (GND) 或第二参考电压 (V_{REF})。SAR 逻辑电路 (18) 产生表示第一模拟输入信号 (V_{IN}^+) 的数字信号 (25)。解码器电路 (18A) 具有第一输出总线 (24),所述第一输出总线 (24) 经耦合以控制耦合到校正电容器 (11B) 的第二端子的开关 (32) 响应于所存储的 INL 误差信息而选择性地第二端子耦合到第一参考电压 (GND) 或第三参考电压 (图 8 中的 V_{REF} 或 V_{REF1}),以校正 SAR ADC 的传递特性中的 INL 误差。

[0012] 在所描述的实施例中,第一校正电容器电路 (11B) 包括多个校正电容器 (11B)。解码器电路 (18A) 的第一输出总线 (24) 经耦合以控制分别耦合到第一校正电容器电路 (11B) 的校正电容器的第二端子的多个开关 (32)。第二 CDAC(7A) 接收第二模拟输入信号 (V_{IN}) 且包括多个 CDAC 电容器,所述电容器各自具有耦合到一个耦合到比较器 (5) 的第二输入 (-) 的第二导体 (12) 的第一端子。SAR ADC(10) 还包括第二校正电容器电路 (7B),其包括各自具有耦合到第二导体 (12) 的第一端子的多个校正电容器。SAR 逻辑电路 (18) 具有第二输出总线 (14),所述第二输出总线 (14) 经耦合以分别控制耦合到第二 CDAC(7A) 的电容器 (7A) 的第二端子的多个开关 (32),以选择性地第二 CDAC(7A) 的电容器 (7A) 的第二端子耦合到第一参考电压 (GND) 或第二参考电压 (V_{REF})。解码器电路 (18A) 具有第二输出总线 (22),所述第二输出总线 (22) 经耦合以控制耦合到第二校正电容器电路 (7B) 的校正电容器的第二端子的多个开关 (32) 响应于所存储的 INL 误差信息而选择性地第二校正电容器电路 (7B) 的校正电容器的第二端子耦合到第一参考电压 (GND) 或第三参考电压 (图 8 中的 V_{REF} 或 V_{REF1}),其中 SAR 逻辑电路 (18) 产生数字信号 (25) 以表示第一 (V_{IN}^+) 模拟输入信号与第二 (V_{IN}) 模拟输入信号之间的差异 ($V_{IN}^+ - V_{IN}$)。解码器 (18A) 为 SAR 逻辑电路 (18) 的一部

分。输出逻辑电路 (27) 接收数字信号 (25) 以将数字信号 (25) 格式化为 SAR ADC(10) 的数字输出信号 (DOUT)。

[0013] 在所描述的实施例中,第一 (11A) 及第二 (7A)CDAC 的电容器以二进制方式加权,且第一 (11B) 及第二 (7B) 校正电容器电路的校正电容器也以二进制方式加权。

[0014] 在一个实施例中,第一导体 (13) 通过第三导体 (13A) 及耦合在第一 (13) 导体与第三 (13A) 导体之间的第一缩放电容器 (图 7 中的 C_{SCALE}) 来耦合到第一校正电容器电路 (11B) 的电容器的第一端子及比较器 (5) 的第一 (+) 输入,且其中第二导体 (12) 通过第四导体 (12A) 及耦合在第二 (12) 导体与第四 (12A) 导体之间的第二缩放电容器 (图 7 中的 C_{SCALE}) 来耦合到第二校正电容器电路 (7B) 的电容器的第一端子及比较器 (5) 的第二 (-) 输入。

[0015] 在一个实施例中,数字/模拟转换器 (15) 具有输入 (17),所述输入 (17) 经耦合以接收数字输入信号 (缩放代码) 以用于产生第三参考电压 (V_{REF1})。

[0016] 在所描述的实施例中,INL 误差主要由第一 (11A) 及第二 (7A)CDAC 的电容器的电压系数引起。

[0017] 在所描述的实施例中,由 SAR 逻辑 (18) 做出的预定数目个初始位决策的结果被解码器 (18A) 用来存取查找表 (表 1),以确定校正电容器中的哪一个将被选择性地耦合到第三参考电压 (V_{REF} 或 V_{REF1})。

[0018] 在一个实施例中,查找表 (表 1) 存储用于 SAR ADC 的以统计方式确定的 INL 校正信息。

[0019] 在一个实施例中,本发明提供一种用于降低 SARADC(10) 中的 INL 误差的方法,所述 SAR ADC(10) 包括:CDAC(11A),其接收模拟输入信号 (V_{IN}^+),包括各自具有耦合到第一导体 (13) 的第一端子的多个 CDAC 电容器;比较器 (5),其具有耦合到第一导体 (13) 的第一输入 (+);及 SAR 逻辑电路 (18),其具有耦合到比较器 (5) 的输出 (6) 的输入且还具有第一输出总线 (16),所述第一输出总线 (16) 经耦合以分别控制耦合到 CDAC(11A) 的电容器 (11B) 的第二端子的多个开关 (32),以选择性地第二端子耦合到第一参考电压 (GND) 或第二参考电压 (V_{REF}),所述 SAR 逻辑电路 (18) 产生表示输入信号 (V_{IN}^+) 的数字信号 (25),其中所述方法包括提供所存储的 INL 误差信息;将校正电容器电路 (11B) 中的多个校正电容器中的每一者的第一端子耦合到第一导体 (13);及控制耦合到所述校正电容器中的每一者的第二端子的开关 (32) 响应于所存储的 INL 误差信息而选择性地第二端子分别耦合到第一参考电压 (GND) 或第三参考电压 (图 8 中的 V_{REF} 或 V_{REF1}),以校正 SAR ADC(10) 的传递函数中的 INL 误差。

[0020] 在所描述的实施例中,所述方法包括使用由 SAR 逻辑电路 (18) 做出的预定数目个初始位决策的结果来存取查找表 (表 1),以确定校正电容器中的哪一些将被选择性地耦合到第三参考电压 (V_{REF} 或 V_{REF1})。在所描述的实施例中,所述方法包括在查找表 (表 1) 中存储用于 SAR ADC 的以统计方式确定的 INL 校正信息。所述方法还包括通过从用于 SARADC(10) 的理想传递函数减去用于所述 SARADC 的实际传递函数来确定 INL 误差。在一个实施例中,所述方法包括通过数字/模拟转换器 (15) 来产生第三参考电压 (V_{REF1}),所述数字/模拟转换器 (15) 具有经耦合以接收数字输入信号 (缩放代码) 的输入 (17)。

[0021] 在一个实施例中,所述方法包括用于降低 SAR ADC(10) 中的 INL 误差的电路,所

述 SAR ADC(10) 包括 :CDAC(11A),其接收模拟输入信号 (V_{IN}^+),包括各自具有耦合到第一导体 (13) 的第一端子的多个 CDAC 电容器 ;比较器 (5),其具有耦合到第一导体 (13) 的第一输入 (+) ;及 SAR 逻辑电路 (18),其具有耦合到比较器 (5) 的输出 (6) 的输入且还具有第一输出总线 (16),所述第一输出总线 (16) 经耦合以分别控制耦合到 CDAC(11A) 的电容器的第二端子的多个开关 (32),以选择性地将第二端子耦合到第一参考电压 (GND) 或第二参考电压 (V_{REF}), SAR 逻辑电路 (18) 产生表示输出信号 (V_{IN}^+) 的数字信号 (25),所述电路包括 :第一校正电容器构件 (11B),其用于将校正电容器电路 (11B) 中的多个校正电容器中的每一者的第一端子耦合到第一导体 (13) ;构件 (表 1,18A),其用于存储 INL 误差信息 ;及构件 (18A),其用于控制耦合到所述校正电容器中的每一者的第二端子的开关 (32) 响应于所存储的 INL 误差信息而选择性地将所述校正电容器的第二端子分别耦合到第一参考电压 (GND) 或第三参考电压 (V_{REF} 或 V_{REF1}),以校正 SAR ADC(10) 的传递函数中的 INL 误差。

附图说明

[0022] 参考附图描述实例实施例,其中 :

[0023] 图 1 为包括现有技术 INL 误差校正电路的数字 / 模拟转换器的示意图。

[0024] 图 2 为图 1 中的块 620 的示意图。

[0025] 图 3 为说明根据本发明的典型 INL 特性曲线及 INL 校正曲线的图表。

[0026] 图 4 为根据本发明的包括 INL 误差校正电容器及相关联电路的 SAR ADC 的框图。

[0027] 图 5 为包括 4 个 INL 校正电容器的图 4 的 SAR ADC 的实施方案的示意图。

[0028] 图 6 为包括 12 个 INL 校正电容器的图 4 的 SAR ADC 的实施方案的示意图。

[0029] 图 7 为包括 12 个 INL 校正电容器及 2 个缩放电容器的图 4 的 SAR ADC 的实施方案的示意图。

[0030] 图 8 为包括 12 个 INL 校正电容器及 DAC(数字 / 模拟转换器)的图 4 的 SAR ADC 的实施方案的示意图,所述 DAC 用于响应于缩放代码而产生用于参考 CDAC 及缩放电容器的参考电压。

具体实施方式

[0031] 理想的 SAR ADC 传递函数为使 SAR ADC 的模拟输入电压与其数字表示相关的直线或线性阶梯函数。传递函数中归因于 SAR ADC 中的 CDAC 的电容器电压系数的 INL 误差(积分非线性度误差)引起其实际传递函数与其理想传递函数不同。来自理想传递函数的差异可由特有 S 形状 INL 误差曲线指示,如图 3 中所展示。INL 曲线具有针对 SARADC 归因于其 CDAC 电容器的电压系数的积分非线性度而观察到的特有 S 形状。INL 误差曲线通过从实际传递曲线中减去理想线性传递曲线来获得。

[0032] INL 误差曲线的特有 S 形状由二阶电容器电压系数引起。INL 误差曲线实际上通过从实际 SAR ADC 传递函数的端点描绘直线且接着从理想直线传递函数中减去实际传递函数来获得。所述线的描绘使最初及最后线段中的任何变化对于最终结果是透明的。

[0033] 三阶多项式方程曾用于提供对图 3 中展示的 INL 曲线的简单表示,但可替代地使用更复杂且因此更精确的方程。在任何情形下,待由所述方程表示的所需的 INL 校正量首先必须通过分割 INL 曲线来确定。校正的限制来自最初及最后线段中的最大误差,因为在

这些线段中不能进行校正。

[0034] 在图 3 的图表中,表示为“INL”的模拟 S 形曲线表示由 SAR ADC 的 CDAC 中的电容器的电压系数引起的积分非线性度误差。图 3 的图表中的垂直轴指示以 LSB(最低有效位)表示(且因此隐含地以伏特表示)的经正规化的 INL 误差。每一 LSB 具有相关联的“LSB 大小”,其等于引起数字输出信号 DOUT(图 4)的最低有效位从“0”切换到“1”或从“1”切换到“0”所需的输入电压变化量。最大 INL 误差电压的值取决于正被使用的参考电压及所施加的输入电压的范围。“LSB 大小”取决于 CDAC 的配置及架构。使图 3 中的 INL 曲线的垂直轴正规化,使得最大误差正好等于一个 LSB。在图 3 中的水平轴上指示的“经正规化的输入电压范围”指示 SAR ADC 的双极输入电压的范围。注意,在图 3 的水平轴上,未指示实际二进制代码,因为其已被正规化为 ± 1 伏特。图 3 中的“INL 调整(经正规化)曲线”为图 4 及 5 中展示的 SARADC 的模拟“经校正”INL 误差,其是因针对其中针对图 4 中的块 5、7 及 11 提供图 5 中的 CDAC 电路 10-1 的情形将 INL 校正电容器切换到 V_{REF} 而产生。本发明的 INL 校正电容器用于提供以模拟 INL 调整(经正规化)曲线指示的经降低的 INL 误差。INL 调整(经正规化)曲线指示由于使用了本发明的 INL 校正电容器技术在 SARADC 传递函数中相比于未经校正的(即, S 形)INL 误差量而大大降低的 INL 误差量。

[0035] 在图 3 中, INL 调整(经正规化)曲线从 INL 调整(实际)曲线及理想传递函数曲线获得。注意, INL 调整(经正规化)曲线的左端点及右端点两者均在垂直轴上的 0LSB 处。当通过从实际 SAR ADC 传递函数减去 SAR ADC 的对应的实际理想线性传递函数来获得实际经校正 INL 误差曲线时(当使用图 4 及 5 的实例中展示的 INL 校正电路时),结果是在图 3 中展示的 INL 调整(实际)曲线。注意,其计算出的端点不在 0LSB 处。因此,理想传递函数曲线实际上通过穿过理想传递函数曲线的左端点及右端点描绘直线来获得。接着,实际传递函数及 INL 调整(实际)实际上通过将理想传递函数的左端点升高到 0LSB 且将右端点下降到 0LSB 来“正规化”。理想传递函数曲线的每一点的移位量用于相等地使 INL 调整(实际)曲线的对应点移位,且所述移位产生 INL 调整(经正规化)曲线。

[0036] 在图 4 中, SAR ADC 10 包括 CDAC 11,其包括 CDAC 11A 及块 11B 中的多个 INL 校正电容器两者。将输入电压 V_{IN}^+ 施加到 CDAC 11A 的输入。CDAC 11 的输出 13 连接到比较器 5 的 (+) 输入,所述比较器 5 的输出连接到 SAR 逻辑 18 的输入。SAR ADC 10 还包括 CDAC 7,其包括 CDAC 7A 及块 7B 中的多个 INL 校正电容器两者。将输入电压 V_{IN} 施加到 CDAC 7A 的输入。CDAC 7 的输出 12 连接到比较器 5 的 (-) 输入。(注意, V_{IN}^+ 与 V_{IN} 相对于比较器 5 的 (+) 及 (-) 输入的连接性的关系可在 SAR 逻辑 18 内被颠倒及补偿。)

[0037] 从其模拟图 3 的 INL 及 INL 调整(经正规化)曲线的 CDAC 7 及 11 的实施方案的细节展示在图 5 中。参考图 5,电路 10-1 可用于实施图 4 中的 CDAC 7A 及 11A 及 INL 校正电容器块 7B 及 11B。(图 4 中的 INL 校正电容器 7B 及 11B 可被认为分别是 CDAC 7 及 11 的一部分)。在图 5 的 CDAC 11A 中,分别具有电容 C 、 $2C$ 、 $4C$ 、 $8C \cdots xC$ 、 yC 及 zC 的多个以二进制方式加权的 CDAC 电容器中的每一者使其上端子由导体 13 连接到比较器 5 的 (+) 输入。那些 CDAC 电容器中的每一者的下端子连接到对应开关 32 的滑动片(wiper),所述开关 32 使一个端子被连接到接地(GND)且使另一个端子被连接到 V_{REF} 。类似地,在 CDAC 7A 中,分别具有电容 C 、 $2C$ 、 $4C$ 、 $8C \cdots xC$ 、 yC 及 zC 的多个以二进制方式加权的 CDAC 电容器中的每一者使其下端子由导体 12 连接到比较器 5 的 (-) 输入。CDAC 7A 中的每一 CDAC 电容器的上端

子连接到对应开关 32 的滑动片,所述开关 32 使一个端子被连接到接地且使另一个端子被连接到 V_{REF} 。CDAC 11A 中的开关 32 中的控制电极连接到图 4 中的总线 16 的对应导体,且 CDAC 7A 中的开关 32 的控制电极连接到图 4 中的总线 14 的对应导体。

[0038] 图 5 还展示用于图 4 的块 7B 及 11B 中的 INL 校正电容器的电路。在图 5 的块 7B 中,具有电容 $C/4$ 及 $C/2$ 的两个 INL 校正电容器中的每一者使其上端子连接到导体 12 且使其下端子连接到对应的开关 32 的滑动片,所述开关 32 使一个端子被连接到接地且使另一个端子被连接到 V_{REF} 。类似地,在图 5 的块 11B 中,具有电容 $C/4$ 及 $C/2$ 的两个 INL 校正电容器中的每一者使其下端子连接到导体 13 且使其上端子连接到对应的开关 32 的滑动片,所述开关 32 使一个端子被连接到接地且使另一个端子被连接到 V_{REF} 。

[0039] 块 11B 中的开关 32 的控制电极连接来自 INL 解码器 18A(图 4)的总线 24 的对应导体,且类似地,块 7B 中的开关 32 的控制电极连接到总线 22(图 4)的对应导体。在此实例中,图 5 中的校正电容器值经缩放以具有对应于 0.5 及 0.25LSB 的值。这允许三个 INL 校正值 0.25、0.5 及 0.75LSB 被提供到比较器 5 的 (+) 或 (-) 输入(其中将 LSB 界定为具有对应于一个电容值 C 的值)。图 4 及 5 中展示的配置用于针对 12 位 SAR ADC 的情形而产生图 3 中的模拟 INL 及 INL 调整(经正规化)曲线。(图 3 中的图表经正规化,且实际上可适用于 8 位以上的任何 SAR ADC。)

[0040] 图 3 中的 INL 调整(经正规化)曲线指示当在本 SAR ADC 转换的过程中做出初始数目个位决策(例如,5 位决策)时,所选择数量的分段 INL 校正可如何用于实际上通过将所选择量的 INL 校正电容添加到 CDAC 7A 及 CDAC 11A 的电容来校正 INL 误差。由此确定对应的校正值且将其叠加到图 5 的 CDAC 7A 的导体 12 或 CDAC 11A 的导体 13 上,以校正所期望的统计 INL 误差。在图 4 及 5 的实例中,在已做出最初 5 个决策之后,将校正施加到导体 12 或导体 13。(然而,注意,使用更多初始位决策的结果来确定需要多少 INL 误差校正产生更精确的 INL 校正结果。)使用 5 位来评估样本所处的传递函数的“位置”提供 32 个可能的 INL 误差校正值。

[0041] INL 校正电容器 11A 的“接通”(例如,如稍后描述的表 1 中所指示)通过将所述电容器经由对应开关 32 连接到 V_{REF} 且经由导体 13 连接到比较器 5 的 (+) 输入来实现。这引起 CDAC 11 中的有效存储电荷增加,因此增加总线 25 上的 SARADC 输出代码值(其除了数据格式之外与总线 30 上的 DOUT 完全相同。类似地,通过将电容器 7A 经由对应开关 32 及导体 12 连接到比较器 5 的 (-) 输入来“接通”INL 校正电容器 7A 引起 CDAC11 中的有效存储电荷减少,因此降低 SARADC 输出代码值。

[0042] 在取样差动输入电压 $V_{IN}^+ - V_{IN}^-$ 以在 CDAC 11A 及 7A 的电容器中存储对应量的电荷期间,将 INL 校正电容器耦合到接地参考电压 (GND)。随后,将所选择的校正电容器切换到 V_{REF} ,以便在导体 13 或导体 12 上进行适当的 INL 校正。(注意,可颠倒此过程,即,可将校正电容器取样到 V_{REF} 且切换到接地以进行调整。然而,将必须调整查找表以允许这样做。)因为 SAR ADC 10 相继地做出位决策,所以最高有效位或上位决策的结果可用于确定 SAR ADC 传递函数的其中正发生当前转换的部分或位置。使用此信息,块 7B 中的校正电容器与 CDAC 7A 中的电容器一起被连接到导体 12 或块 11B 中的校正电容器与 CDAC 11A 的电容器一起被连接到导体 13,且因此实际上分别被添加到或叠加到 CDAC 11A 或 CDAC 7A 上,以达到以由随后描述的 INL 解码器 18A 及随后描述的表 1 的其相关联的实施方案确定的方式来校正

INL 误差的目的。INL 校正的大小根据以统计方式期望的 INL 误差而作为许多 LSB 或“LSB 大小”出现,且相对于输入信号范围而得到调整。

[0043] 在图 4 中,SAR 逻辑 18 包括常规 SAR 逻辑及寄存器电路,且还包括 INL 解码器 18A 以控制在转换过程期间接通(即,连接到参考电压 V_{REF}) 哪一个 INL 校正电容器。SAR 逻辑 18 的一个输出由一组导体或数字总线 14 耦合到 CDAC 7A 的各种开关的控制端子,所述控制端子操作以根据由 SAR 逻辑 18 执行的常规 SAR 算法的执行而将块 7A 中的各种以二进制方式加权的电容器连接到接地或 V_{REF} 。类似地, SAR 逻辑 18 的另一输出通过一组导体或总线 16 耦合到 CDAC 11A 的各种开关的控制端子,所述控制端子操作以根据 SAR 算法而将块 11A 中的各种以二进制方式加权的电容器连接到接地或 V_{REF} 。

[0044] INL 解码器 18A 的一个输出通过一组导体 22 连接到各种开关的控制端子,所述控制端子操作以根据本发明的 INL 误差校正过程而将块 7B 中的各个校正电容器连接到接地或 V_{REF} 。类似地, INL 解码器 18A 的另一输出通过一组导体 24 连接到各种开关的控制端子,所述控制端子根据本发明的 INL 误差校正过程而将块 11B 中的各个校正电容器连接到接地或 V_{REF} 。

[0045] SAR 逻辑 18 的输出由数字总线 25 耦合到输出逻辑 27 的输入,所述输出逻辑 27 将 SAR 逻辑 18 中的 SAR 寄存器的内容转换成串行或并行数字输出字 DOUT。

[0046] 可使用 INL 解码器 18A 的各种实施方案。举例来说,可结合多路复用器来使用简单的硬接线查找表。基于由 SAR 逻辑 18 做出的最初 5 个最高有效位决策的结果, INL 解码器 18A 选择将哪些 INL 校正电容器 11B 或 7B 接通。最初位决策指示 SAR ADC 转换过程是在图 3 中的 S 形 INL 误差曲线的正部分还是负部分中操作,且因此指示要接通(通过将校正电容器连接到 V_{REF}) 块 7B 还是块 11B 中的校正电容器以降低 INL 误差。接下来的 4 个位决策指示 CDAC 电路的所述侧(即, (+) 侧或 (-) 侧)上的 INL 校正电容器中的哪一个将把递增量的 INL 误差校正电荷及电压叠加在比较器 5 的输入(导体 12 或导体 13)上。对于 SAR ADC 传递函数的对应于图 3 的左侧的第一半部来说,减去 INL 误差以校正实际 INL 误差,且对于 INL 传递函数的对应于图 3 的右侧的另一半部来说,添加误差量以校正实际 INL 误差。(注意,可颠倒 INL 曲线的 S 形的极性,在这种情况下还将必须颠倒上文提及的 INL 误差的减去及添加)。

[0047] 在 SAR 逻辑 18 已做出最初 5 位决策之后, INL 解码器 18A 被激活且解码(举例来说)5 个最高有效位决策的 MSB 位结果,且使用所述信息来确定需要响应于来自表 1 表示的查找表的信息而做出的 INL 误差校正的极性及其量。接着, INL 解码器 18A 实际上相应地接通各种校正电容器,以便将适当量的递增 INL 误差电荷(及电压)叠加在导体 12 或导体 13 上。

[0048] 因此,在允许导体 12 或导体 13 上的所得电压稳定之后, SAR 逻辑 18 继续执行 SAR ADC 转换算法。输出逻辑电路 27 接收来自 SAR 逻辑 18 的数字输出代码信号 25 且将其转换成所要的格式,例如,串行格式、并行格式等等。

[0049] 如先前所提及,在一些 CDAC 中使用“动态误差校正电容器”来校正由信号电压稳定问题引起的动态误差。(动态误差可在位决策中的任一者期间被引入。通常,最高有效位是引入最多动态误差且需要最多稳定时间的地方。)如果此类动态误差校正电容器存在,那么应在 SAR 逻辑 18 中利用此类动态误差校正电容器中的最后一者之前应用本发明的 INL

校正。应在本发明的至少一个误差校正位操作之前执行动态误差校正操作,使得如果在转换期间引入任何额外误差,那么可补偿所述误差。

[0050] 如先前提及, INL 解码器 18A 可包括硬接线查找表(其包括在以下展示的表 1 中指示的信息),且可包括用于存取查找表 1 的常规多路复用或寻址电路。在表 1 中,最初 5 个 MSB 决策位是最初 5 个 MSB 位决策的结果(从结果 00000 开始)。位决策结果 00000 表示图 3 中展示的水平轴上的“输入电压范围”值的经正规化 -1.0000 经正规化值。类似地,位决策结果 11111 表示图 3 中的水平轴上的“输入电压范围”的经正规化 1.0000 值。

[0051] 可通过简单地调整查找表以选择块 11B 与 7B 中的 INL 校正电容器的各种组合来提供用于各种输入电压范围的 INL 调整(经正规化)校正水平。可提供额外的 INL 校正电容器(即,图 5 中展示的 4 个以上的校正电容器)以允许对较大范围的参考电压的较大 INL 误差进行校正。当较大的输入电压被施加到 ADC SAR 10 的输入时,这是有帮助的。通常,输入电压越高,INL 误差将越大,因为 INL 误差的量值是输入电压的平方律函数。

[0052] 举例来说,如果输入信号范围为 ± 10 伏特,那么用于所述 SAR ADC 的最大 INL 误差将为 8LSB。使用图 6 中展示的 12 个 INL 校正电容器的配置可校正多达 8LSB 的 INL 误差。然而,如果输入信号的范围减小到 ± 5 伏特(输入范围已减小一半),那么这具有使 INL 误差范围减小为原来的四分之一的作用。接着,8LSB 的 INL 误差范围减小到 2LSB。在所述情形中,图 6 中展示的具有电容 4C 及 2C 的校正电容器对于 INL 校正是不需要的。因此,在此情形中,可调整表 1 以仅使用较低值 INL 校正电容器。然而,优选地,将较高值的 INL 校正电容器包括在块 11B 及 7B 中,以允许针对最差的可能的所期望 INL 误差而调整表 1。

	决策位	INL 校正电容器			
		PC/2	PC/4	NC/2	NC/4
[0053]	00000				
	00001			接通	
	00010			接通	
	00011			接通	接通
	00100			接通	接通
	00101			接通	接通
	00110			接通	接通
	00111			接通	接通
	01000			接通	接通
	01001			接通	接通
	01010			接通	接通

[0054]	01011		接通	接通
	01100		接通	
	01101		接通	
	01110			接通
	01111			
	10000			
	10001		接通	
	10010			
	10011	接通		
	10100	接通		
	10101	接通	接通	
	10110	接通	接通	
	10111	接通	接通	
	11000	接通	接通	
	11001	接通	接通	
	11010	接通	接通	
	11011	接通	接通	
	11100	接通	接通	
	11101	接通		
	11110	接通		
	11111			

[0055] 表 1

[0056] 可扩展 INL 解码器 18A(图 4) 以针对不同的输入电压范围而调整。可通过再添加两个校正电容器到每一 CDAC 来校正较大的误差。图 3 中的 INL 及 INL 调整(正规化)曲线假设固定的输入电压范围。然而,如果此固定输入电压范围加倍,那么误差从 1LSB 增大到 4LSB。通过分别将上文提及的具有值 1.0LSB 及 2.0LSB 的两个额外补偿电容器添加到如图 6 展示的 CDAC 7B 及 11B 中的每一者,可校正额外误差。

[0057] 在图 3 中,如果经正规化的输入电压范围为 ± 1.000 伏特,那么可见水平轴上的约在 0.5 与 0.6 之间的经正规化的输入电压的值针对垂直轴上的 1.0LSB 的最坏情况 INL 误差而出现。更具体来说,基于 SAR ADC 的特定设计的所观察到的统计性能,如果经正规化的输入电压的值为 -0.55 伏特,那么 INL 曲线指示 1LSB 的 INL 误差。因此,INL 曲线指示需要大量的 INL 误差校正的 SAR ADC 转换过程中的“位置”。最初两个位决策在需要此最大校正的经正规化的输入电压范围的部分中出现。一旦已执行最初 2 个电容器的转换(即,一旦已做出最初两个位决策),那两个位决策就大约指示输入电压位于输入电压范围内的何处。

[0058] 图 3 中展示的模拟 INL 曲线展示统计的、未经校正且经正规化的积分非线性度误差曲线值,其具有 1.000LSB 的最大值及 -1.000LSB 的最小值。相比之下,由 INL 调整(经正规化)曲线指示的经校正误差具有 0.250LSB 的经正规化的最大值及 -0.250LSB 的经正规化的最小值,其比正好 1.000LSB 的经正规化的 INL 曲线最大值及 -1.000 的经正规化的最小值小得多。

[0059] 因此,在此实例中,本发明的 INL 误差校正过程将 INL 误差减小为约四分之一,其

中图 5 的块 7B 及 11B 中展示的 4 个校正电容器用于图 4 的块 7B 及 11B 中。

[0060] 图 6 中的电路 10-2 基本上与图 5 中的电路 10-1 一样。然而,电路 10-2 包括通过导体 13 连接到 SAR 比较器 5 的 (+) 输入的块 11B 中的分别具有电容 $C/8$ 、 $C/4$ 、 $C/2$ 、 C 、 $2C$ 及 $4C$ 的 6 个 INL 二进制加权 INL 校正电容器。图 6 中的电路 10-2 还包括通过导体 12 连接到 SAR 比较器 5 的 (-) 输入的块 7B 中的分别具有电容 $C/8$ 、 $C/4$ 、 $C/2$ 、 C 、 $2C$ 及 $4C$ 的 6 个 INL 二进制加权 INL 校正电容器。可修改查找表 1 以再提供可分别耦合到比较器 5 的每一输入的 4 个 INL 校正电容器。表 1 还可提供不同的输入电压范围。即,图 6 的实施方案经设计以结合较大查找表的不同部分而配合不同输入电压范围来起作用。

[0061] 在图 7 中,SARADC 电路 10-3 与图 6 中一样,除了导体 13 连接到具有电容 C_{SCALE} 的第一缩小电容器的一个端子,所述第一缩小电容器使其另一端子通过导体 13A 连接到比较器 5 的 (+) 输入且连接到块 11B 中的 INL 校正电容器的上端子。类似地,在电路 10-3 中,导体 12 连接到具有电容 C_{SCALE} 的第二缩小电容器的一个端子,所述第二缩小电容器使其另一端子通过导体 12A 连接到比较器 5 的 (-) 输入且连接到块 7B 中的 INL 校正电容器的下端子。图 7 的实施方案可使用单个查找表且通过适当修改缩小电容器来提供用于各种输入电压范围的必要调整。

[0062] 在图 8 中,SAR ADC 电路 10-4 包括图 6 中的电路 10-2 且进一步包括 DAC 15,所述 DAC 15 使其数字输入 17 经连接以接收标记为“缩放代码”的缩放代码。DAC 15 具有参考电压输入 19,其经连接以接收参考电压 V_{REF} 。DAC 15 的输出通过导体 20 连接以将缩放参考电压 V_{REF1} 施加到 INL 校正块 11B 及 7B 中的开关 32 的参考电压端子。图 8 中的 DAC 15 的输出为固定电压,其在 SAR ADC 的输入电压的所期望范围的基础上缩放。如上文描述,单个查找表可用于通过将各种 INL 校正电容器切换到比较器 5 的适当输入来进行 INL 校正。这与先前提及的‘965 专利形成对比,‘965 专利使用单个 INL 校正电容器且调整辅助 DAC 的输出电压以提供所需的 INL 校正,其中辅助 DAC 为进行 INL 校正中的有源组件(所以切换 INL 校正电容器不是进行 INL 校正的主要方法)。

[0063] 如上文提及的‘965 专利的 INL 误差校正系统所要求,所描述的本发明的实施例避免在 SAR ADC 转换期间使用复杂的数学引擎及相关联电路来计算各种系数。而是,本发明提供基于查找表的使用的简单得多的 INL 校正技术来响应于 SAR DAC 转换过程的预定数目个初始位决策来切换与二进制加权 CDAC 电容器并联的各种 INL 校正电容器。所述查找表确定需要哪些 INL 校正电容器来调整 CDAC 输出,以在不使用复杂数学引擎的情况下校正 INL 误差。

[0064] 虽然本发明的 INL 校正技术不像‘965 专利中描述的技术一样精确(因为本发明是基于 INL 误差的统计平均值),但本发明的技术避免了使用数学引擎的复杂性、成本及低速,但却为大多数应用提供可接受的精确度。此外,本发明的 SAR ADC 的制造期间的最终测试比针对现有技术的 SAR ADC 的情形成本低得多且快得多。

[0065] 与本发明相关的领域的技术人员将明白,可修改所描述的实例。举例来说,虽然已描述本发明的差动的实施例,但本发明可同样适用于单端实施例(其中两个实质上包括在每一个所描述的差动实施例中)。此外,也可通过不同于二进制加权的方法来缩放校正电容器的权重以定制算法的校正响应。虽然多个校正电容器包括在所描述的实施例中,但在一些情形下,仅使用单个校正电容器可为实际的。并且,可能仅将比较器的一个侧连接到

CDAC, 其中另一侧连接到固定参考电压。所属领域的技术人员将明白, 许多其它实施例及变型在所主张的本发明的范围内也是可能的。本文还意在包括具有在具有所有或仅一些此类特征或步骤的实例实施例的背景下描述的特征或步骤中的一者或一者以上的不同组合的实施例。

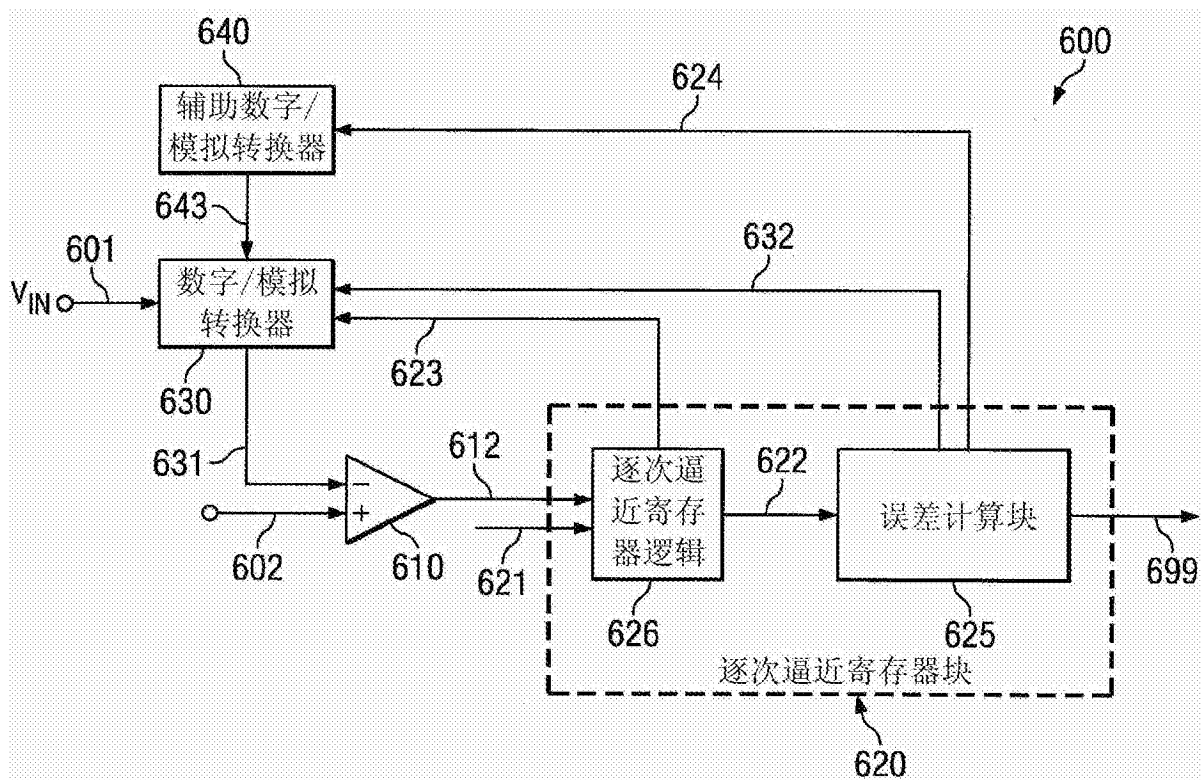


图 1(现有技术)

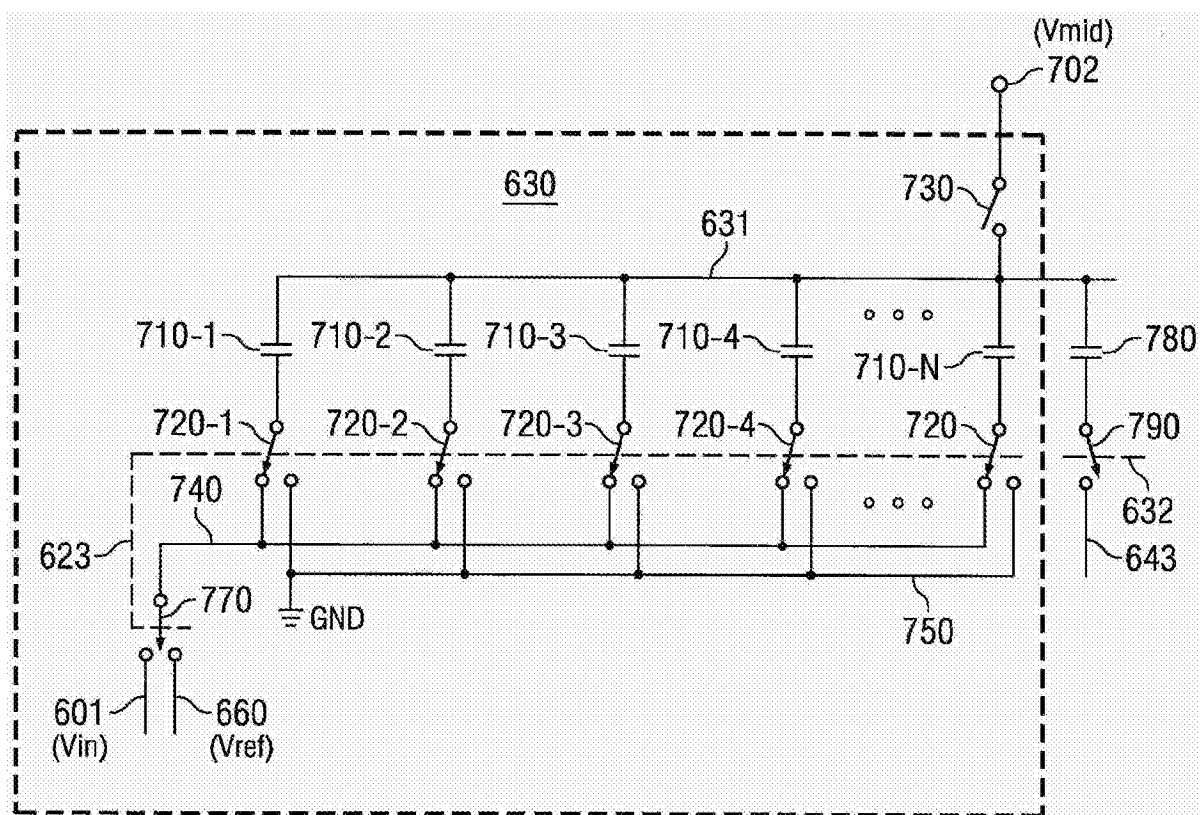


图 2(现有技术)

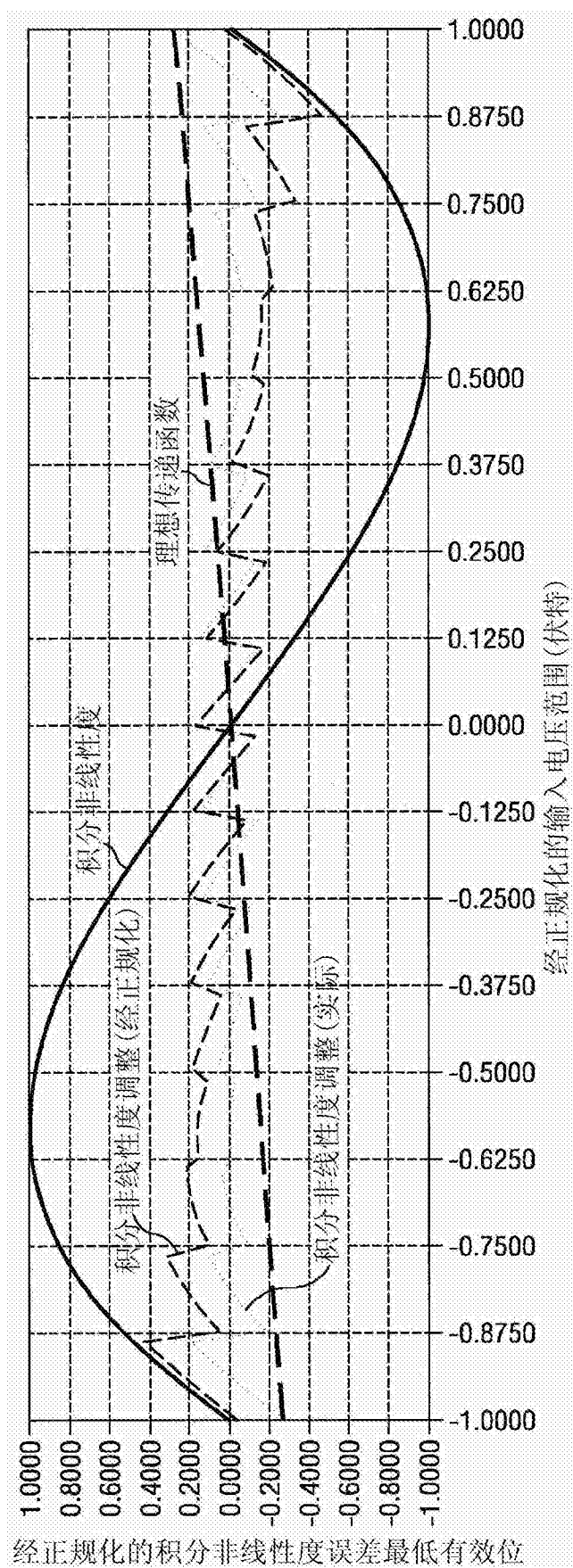


图 3

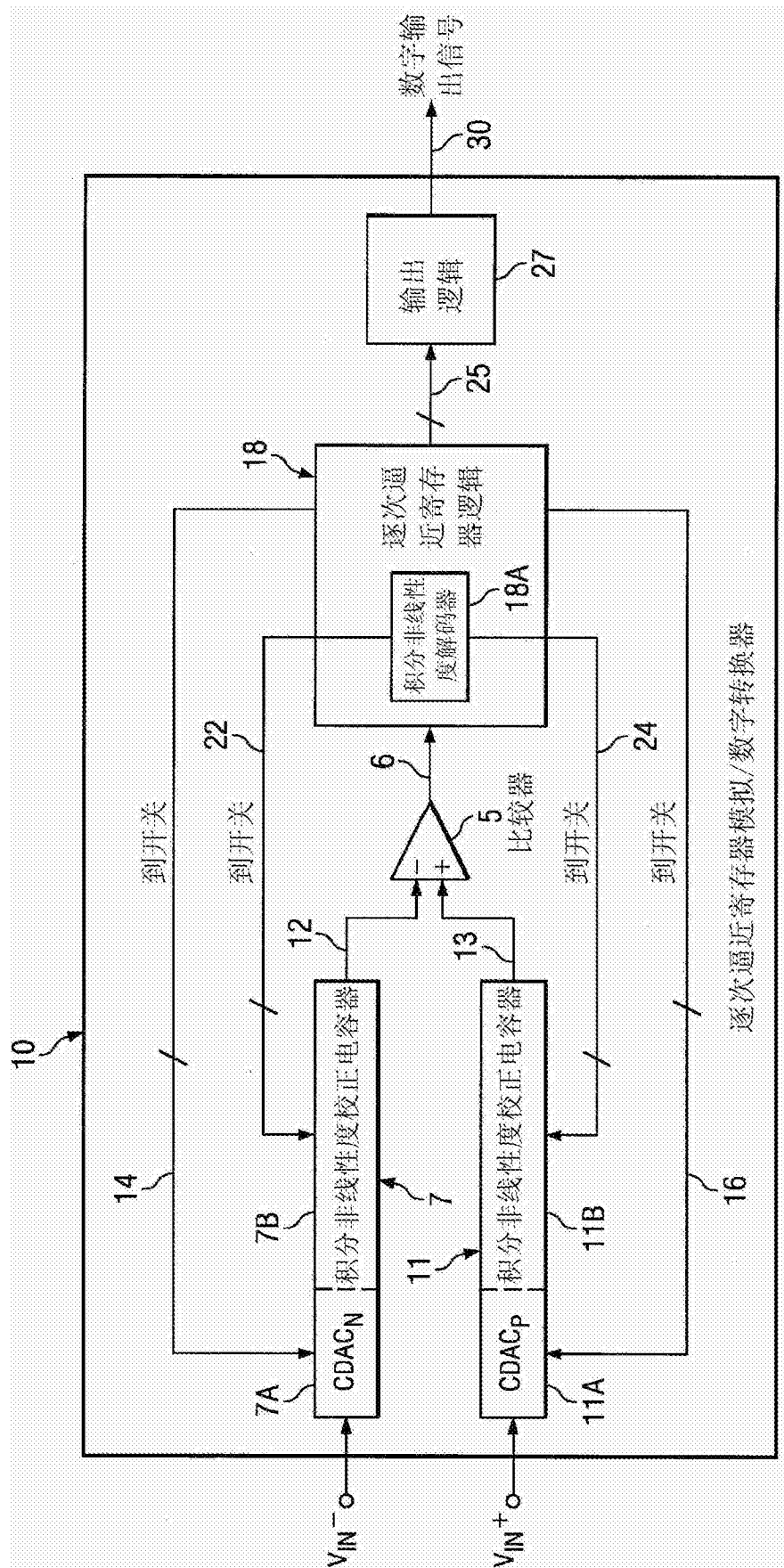


图 4

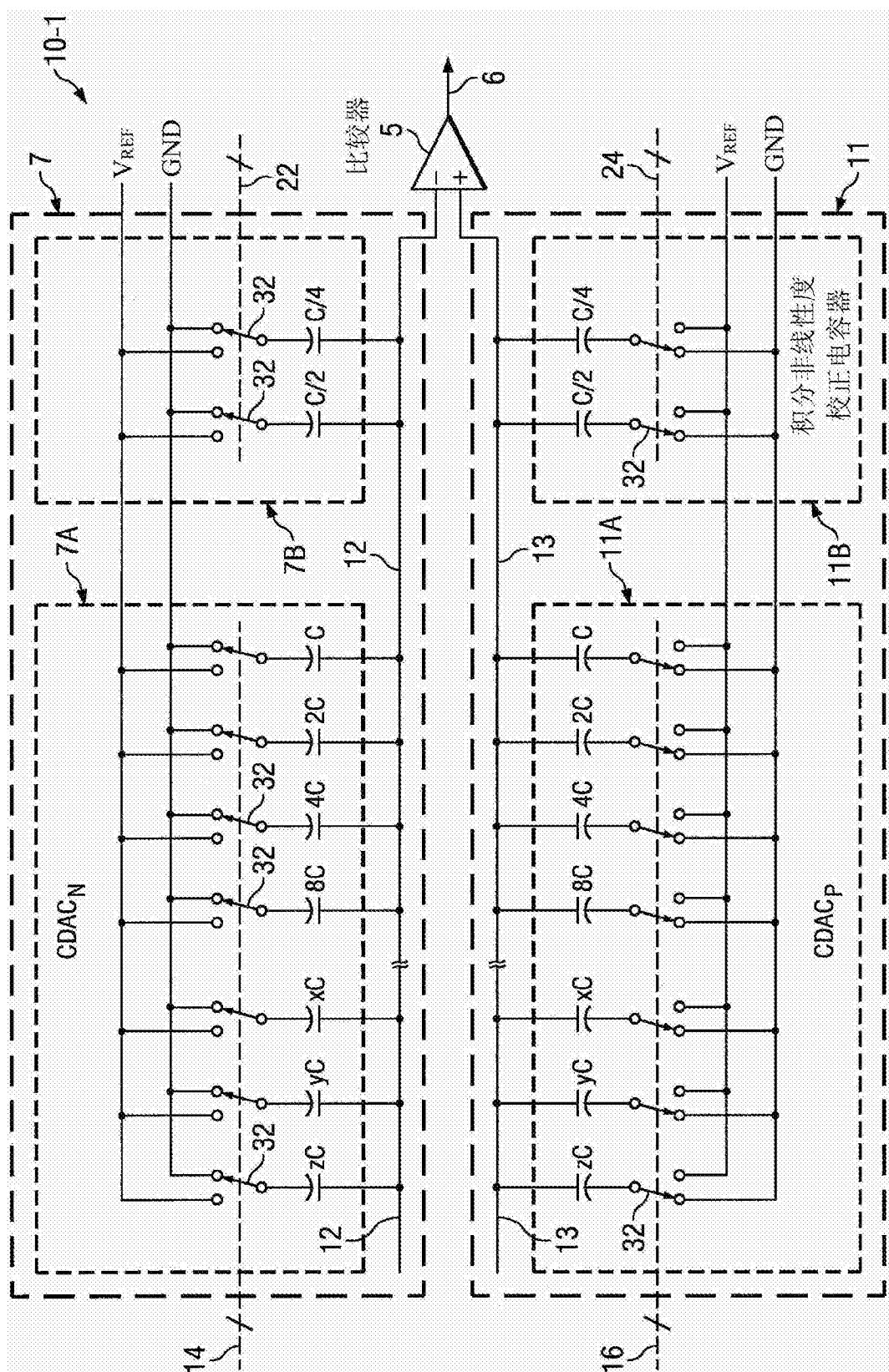


图 5

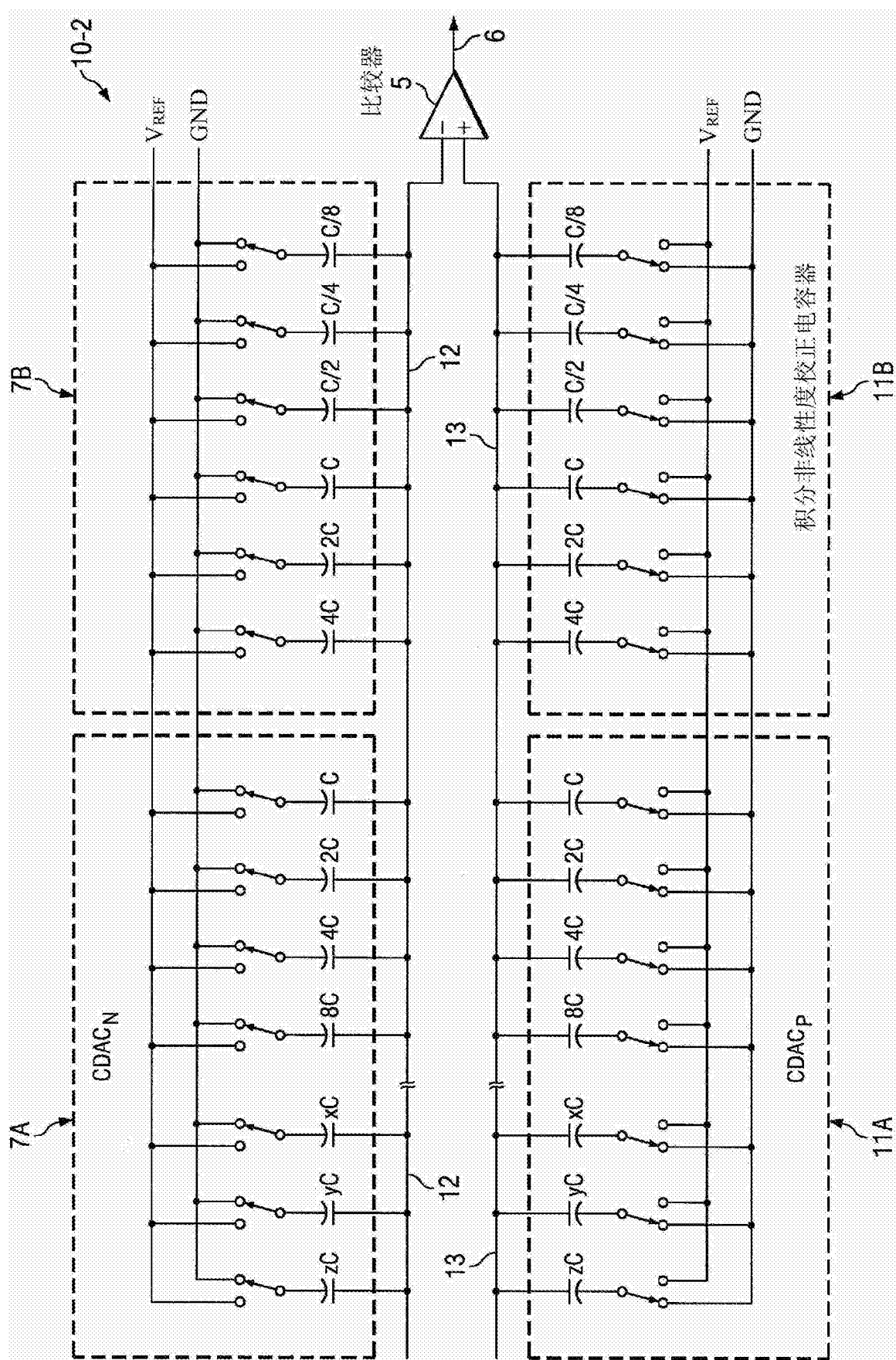


图 6

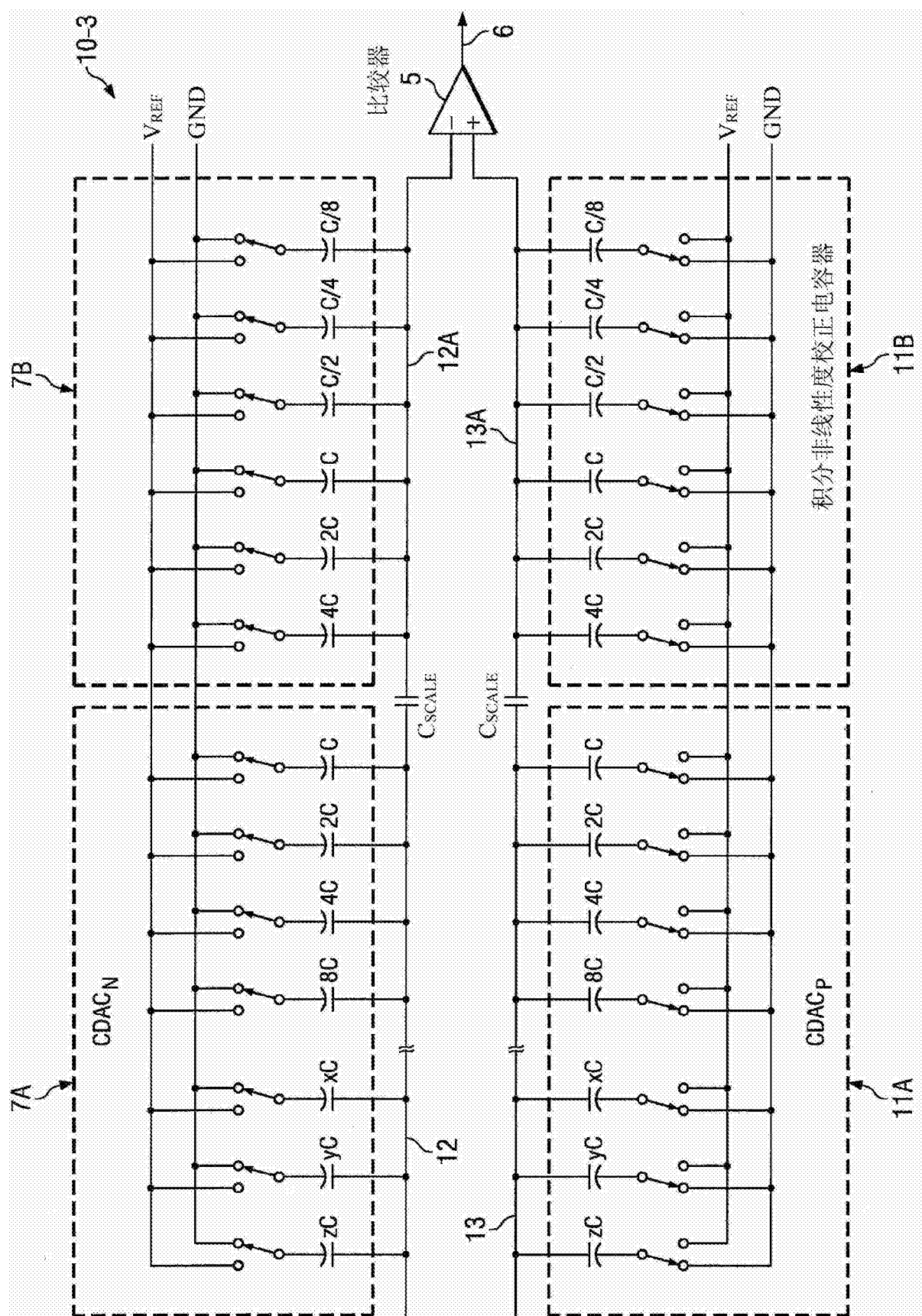


图 7

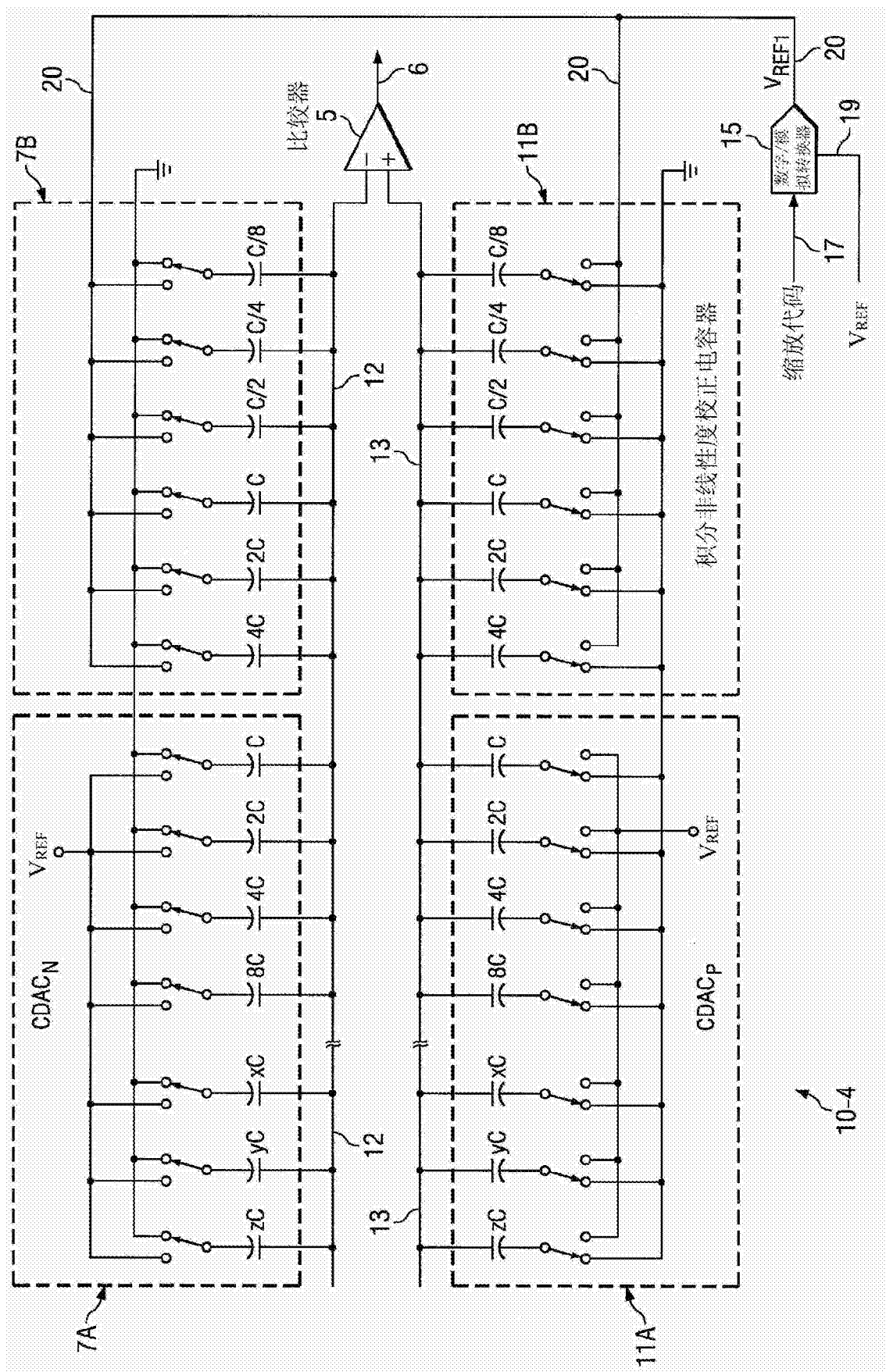


图 8