

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成16年9月9日(2004.9.9)

【公開番号】特開2000-269787(P2000-269787A)

【公開日】平成12年9月29日(2000.9.29)

【出願番号】特願平11-304369

【国際特許分類第7版】

H 0 3 K 3/03

G 0 9 G 3/20

G 0 9 G 3/36

// G 0 6 F 1/06

【F I】

H 0 3 K 3/03

G 0 9 G 3/20 6 2 1 F

G 0 9 G 3/36

G 0 6 F 1/04 3 1 2 Z

【手続補正書】

【提出日】平成15年8月28日(2003.8.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

クロック入力およびNステージを備えるクロックパルス発生器であって、ここでNは3よりも大きく、

該ステージの各第*i*ステージは、

クロック入力からパスゲートの出力へクロックパルスを通す第(*i* - 1)ステージからの制御信号により制御されるように配置されるパスゲートと、

該パスゲートの出力に応じて制御信号を第(*i* + 1)ステージへ供給する制御信号発生回路とを備え、

該制御信号発生回路は第(*i* + 2)ステージからの制御信号に応じてさらなる制御信号を供給することを抑制されるように配置され、ここで1 < *i* < (N - 1)であり、

各第*i*ステージの該制御信号発生回路は、第1と第2の電源入力との間で直列に接続された反対の導電性タイプである第1および第2の金属酸化シリコンフィールド効果トランジスタと、該パスゲートの該出力に接続される該第1のトランジスタのゲートと、該第(*i* + 2)ステージの該制御信号発生回路に接続される該第2のトランジスタのゲートとを備える、クロックパルス発生器。

【請求項2】

各第*i*ステージが、前記第(*i* + 1)ステージからの制御信号によりパスゲートが選択的に制御されるようにするスイッチング配置と、第(*i* - 2)ステージからの制御信号に応じて抑制される前記制御信号発生回路とを備える、請求項1に記載の発生器。

【請求項3】

前記スイッチング配置が、前記制御信号発生回路の前記出力に接続され、方向制御信号を受信する制御入力を有する、複数のさらなるパスゲートを備える、請求項2に記載の発生器。

【請求項4】

前記パスゲート出力の少なくとも1つが、前記クロックパルス発生器の出力を構成する、請求項1に記載の発生器。

【請求項5】

前記制御信号またはその相補体の少なくとも1つが、前記クロックパルス発生器の出力信号を構成する、請求項1に記載の発生器。

【請求項6】

前記パスゲートが、前記クロック入力に接続された入力を有する、請求項1に記載の発生器。

【請求項7】

各第iステージが、前記パスゲートへの前記制御信号を受信するように接続された入力と、該パスゲートに接続された出力とを有するインバータを備える、請求項1に記載の発生器。

【請求項8】

各前記パスゲートは、反対の導電性タイプである第3、第4の金属酸化シリコンフィールド効果トランジスタを備えるトランスミッションゲートであって、該トランジスタのソースドレイン路は反平行に接続されている、請求項1に記載の発生器。

【請求項9】

各第iステージが、前記パスゲートへの前記制御信号を受信するように接続された入力と該パスゲートに接続された出力とを有するインバータを備え、
各前記パスゲートが、反対の導電性タイプの第3、第4の金属酸化シリコンフィールド効果トランジスタを備えるトランスミッションゲートであって、該トランジスタのソースドレイン路は反平行に接続されており、
該第4のトランジスタのゲートが該インバータの出力に接続され、該第3のトランジスタのゲートが該インバータの入力に接続される、請求項1に記載の発生器。

【請求項10】

各第iステージの前記パスゲートが、前記第1のトランジスタと同じ導電性タイプの第5の金属酸化シリコンフィールド効果トランジスタを備える、請求項1に記載の発生器。

【請求項11】

前記クロック入力単相クロック入力である、請求項1に記載の発生器。

【請求項12】

連続したステージの前記パスゲートによりパスされた前記クロックパルスが、反対の極性である、請求項11に記載の発生器。

【請求項13】

各前記パスゲートが、反対の導電性タイプの第3および第4の金属酸化シリコンフィールド効果トランジスタを備えるトランスミッションゲートであり、該トランジスタのソースドレイン路が反平行に接続されており、
連続したステージの該トランスミッションゲートの該第3トランジスタが、反対の導電性タイプである、請求項12に記載の発生器。

【請求項14】

各第iステージが、前記パスゲートへの前記制御信号を受信するように接続された入力と、前記パスゲートに接続された出力とを有するインバータを備え、
各該パスゲートが、反対の導電性タイプの第3および第4金属酸化シリコンフィールド効果トランジスタを備えるトランスミッションゲートであって、該トランジスタのソースドレイン路が反平行に接続されており、
該第4のトランジスタのゲートが該インバータの出力に接続され、該第3のトランジスタのゲートが該インバータの入力に接続され、
連続したステージの該トランスミッションゲートの該第3のトランジスタが、反対の電性タイプである、請求項12に記載の発生器。

【請求項15】

連続したステージの前記第1のトランジスタが反対の導電性タイプである、請求項1に記

載の発生器。

【請求項 16】

前記クロック入力が二相クロック入力である、請求項 1 に記載の発生器。

【請求項 17】

前記パスゲートが、前記クロック入力に接続された入力を有し、
連続したステージの該パスゲート入力が、異なるクロック入力相に接続される、請求項 16 に記載の発生器。

【請求項 18】

前記ステージの前記パスゲートによりパスされた前記クロックパルスが同じ極性である、
請求項 17 に記載の発生器。

【請求項 19】

各前記パスゲートは、反対の導電性タイプである第 3 および第 4 の金属酸化シリコンフィールド効果トランジスタを備えるトランスミッションゲートであり、該トランジスタのソースドレイン路は反平行に接続されており、
該ステージの該第 3 のトランジスタが同じ導電性タイプである、請求項 18 に記載の発生器。

【請求項 20】

各第 i ステージが、前記パスゲートへの前記制御信号を受信するように接続された入力と、
該パスゲートに接続された出力とを有するインバータを備え、
各該パスゲートが、反対の導電性タイプの第 3 および第 4 金属酸化シリコンフィールド効果トランジスタを備えるトランスミッションゲートであって、該トランジスタのソースドレイン路が反平行に接続されており、
該第 4 のトランジスタのゲートが、該インバータの出力に接続され、該第 3 のトランジスタのゲートが該インバータの入力に接続され、
該ステージの該第 3 のトランジスタが、同じ導電性タイプである、請求項 18 に記載の発生器。

【請求項 21】

前記ステージの前記第 1 のトランジスタが、同じ導電性タイプである、請求項 1 に記載の発生器。

【請求項 22】

各ステージの前記パスゲート出力が、プルアップまたはプルダウントランジスタと共に提供される、請求項 1 に記載の発生器。

【請求項 23】

各第 i ステージが、前記パスゲートへの前記制御信号を受信するように接続された入力と、
前記パスゲートに接続された出力とを有するインバータを備え、
各プルアップまたはプルダウントランジスタが、該インバータの該入力または出力に接続された制御電極を有する、請求項 22 に記載の発生器。

【請求項 24】

各前記ステージが、前記パスゲートへの前記制御信号を受信する制御信号入力を有し、各制御信号入力が、プルアップまたはプルダウン配置と共に提供される、請求項 1 に記載の発生器。

【請求項 25】

各第 i ステージが、前記パスゲートへの前記制御信号を受信するように接続された入力と、
該パスゲートに接続された出力とを有するインバータを備え、
各プルアップまたはプルダウン配置が、該インバータの該出力に接続された第 1 の制御電極と、
先行するステージの該制御信号入力に接続された第 2 の制御電極または該先行するステージの該インバータの該出力とを有するトランジスタ配置を備える、請求項 24 に記載の発生器。

【請求項 26】

各前記ステージが、リセット信号に応じて該ステージをリセットするリセット回路を有す

る、請求項 1 に記載の発生器。

【請求項 27】

前記各ステージが、リセット信号に応じて該ステージをリセットするリセット回路を有し、
各該ステージが前記パスゲートへの前記制御信号を受信する制御信号入力と、該信号の論理状態を制御信号入力において反対の状態にリセットするように配置される連続したステージの該リセット回路とを有する、請求項 11 または 15 に記載の発生器。

【請求項 28】

各前記リセット回路が、第 6 のトランジスタを備える、請求項 27 に記載の発生器。

【請求項 29】

連続したステージの前記第 6 のトランジスタが、反対の導電性タイプであり、反対の極性の入力をリセットするように接続された制御電極を有する、請求項 28 に記載の発生器。

【請求項 30】

前記第 6 のトランジスタが、同じ導電性タイプであり、共通のリセット入力に接続された制御電極を有する、請求項 28 に記載の発生器。

【請求項 31】

各前記ステージが、リセット信号に応じて該ステージをリセットするリセット回路を有し、
各該ステージが、前記パスゲートへの前記制御信号を受信する制御信号入力と、該信号の論理状態を該ステージの制御信号入力において同じ状態にリセットするように配置される連続したステージの該リセット回路を有する、請求項 16 または 21 に記載の発生器。

【請求項 32】

各前記リセット回路が第 6 のトランジスタを備える、請求項 31 に記載の発生器。

【請求項 33】

前記第 6 のトランジスタが同じ導電性タイプであり、共通のリセット入力に接続された制御入力を有する、請求項 32 に記載の発生器。

【請求項 34】

CMOS 集積回路を備える、請求項 1 に記載の発生器。

【請求項 35】

請求項 1 に記載のクロックパルス発生器を備える、空間光変調器。

【請求項 36】

液晶デバイスを備える、請求項 35 に記載のモジュレータ。

【請求項 37】

請求項 35 に記載のモジュレータを備える、ディスプレイ。

【請求項 38】

請求項 36 に記載のモジュレータを備える、ディスプレイ。

【請求項 39】

前記各ステージが、リセット信号に応じて該ステージをリセットするリセット回路を有し

、

該各ステージが前記パスゲートへの前記制御信号を受信する制御信号入力と、該信号の論理状態を該制御信号入力において反対の状態にリセットするように配置される連続したステージの前記リセット回路とを有する、請求項 15 に記載の発生器。

【請求項 40】

前記各ステージが、リセット信号に応じて該ステージをリセットするリセット回路を有し

、

該各ステージが前記パスゲートへの前記制御信号を受信する制御信号入力と、該信号の論理状態を、該ステージの該制御信号入力において同じ状態にリセットするように配置される該リセット回路とを有する、請求項 21 に記載の発生器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】 0 0 2 6

【補正方法】 変更

【補正の内容】

【 0 0 2 6 】

本発明の第 3 の局面によると、本発明の第 2 の局面によるモジュレータを備えるディスプレイが提供される。

各ステージが、リセット信号に応じてステージをリセットするリセット回路を有し、各ステージがパスゲートへの制御信号を受信する制御信号入力と、信号の論理状態を制御信号入力において反対の状態にリセットするように配置される連続したステージのリセット回路とを有してもよい。

各ステージが、リセット信号に応じてステージをリセットするリセット回路を有し、各ステージがパスゲートへの制御信号を受信する制御信号入力と、信号の論理状態を、ステージの制御信号入力において同じ状態にリセットするように配置されるリセット回路とを有してもよい。