

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3832943号

(P3832943)

(45) 発行日 平成18年10月11日(2006.10.11)

(24) 登録日 平成18年7月28日(2006.7.28)

(51) Int. Cl.		F I	
H03F	1/30	(2006.01)	H03F 1/30 A
G05F	3/24	(2006.01)	G05F 3/24 Z
H03F	3/343	(2006.01)	H03F 3/343 A
H03M	1/74	(2006.01)	H03M 1/74

請求項の数 21 (全 16 頁)

(21) 出願番号	特願平9-282399	(73) 特許権者	000000295
(22) 出願日	平成9年10月15日(1997.10.15)		沖電気工業株式会社
(65) 公開番号	特開平11-122048		東京都港区虎ノ門1丁目7番12号
(43) 公開日	平成11年4月30日(1999.4.30)	(74) 代理人	100086807
審査請求日	平成16年6月24日(2004.6.24)		弁理士 柿本 恭成
		(72) 発明者	佐々木 征一郎
			東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		審査官	野元 久道
		(56) 参考文献	特開昭50-073549(JP, A)
			特開昭08-136247(JP, A)
			特開平03-114305(JP, A)
			特開平09-179644(JP, A)
			最終頁に続く

(54) 【発明の名称】 定電流源回路とそれを用いたディジタル／アナログ変換回路

(57) 【特許請求の範囲】

【請求項1】

電源電圧を伝える電源手段に接続された第1電極と第2電極と制御電極とを有し、この制御電極に与えられた第1のバイアス電圧に基づき該第1及び第2電極間の導通状態が設定されて第1の電流を該第2電極から出力する第1のトランジスタと、

前記第1のトランジスタの第2電極に接続された第1電極と第2電極と制御電極とを有し、この制御電極に与えられた第2のバイアス電圧に基づき該第1及び第2電極間の導通状態が設定されて前記第1の電流を該第2電極から出力する第2のトランジスタと、

前記第1のバイアス電圧を生成して前記第1のトランジスタの制御電極に与えるバイアス回路と、

前記第1のトランジスタの制御電極と前記第2のトランジスタの制御電極との間に接続されたバイアス設定用抵抗と、

第2の電流を前記バイアス設定用抵抗に流して前記第2のバイアス電圧を設定する電圧設定手段と、

前記バイアス設定用抵抗に流れる前記第2の電流の温度補償を行う補償手段とを備えたことを特徴とする定電流源回路。

【請求項2】

前記バイアス回路は、

参照電圧と帰還電圧との差を増幅して前記第1のバイアス電圧を生成する増幅器と、

前記電源手段に接続された第1電極と第2電極と制御電極とを有しこの制御電極に与え

られた前記第1のバイアス電圧に基づき該第1及び第2電極間の導通状態が設定されて前記第1のトランジスタの出力する前記第1の電流に対応する電流を該第2電極から出力する第1のダミー用トランジスタと、

前記第1のダミー用トランジスタの第2電極に接続された第1電極と第2電極と制御電極とを有しこの制御電極に与えられた前記第2のバイアス電圧に基づき該第1及び第2電極間の導通状態が設定される第2のダミー用トランジスタと、

前記第2のダミー用トランジスタの第2電極と接地との間に接続され、前記第1のダミー用トランジスタの出力電流を該第2のダミー用トランジスタを介して入力して前記帰還電圧に変換する抵抗手段とで、構成したことを特徴とする請求項1記載の定電流源回路。

【請求項3】

前記電圧設定手段は、

前記バイアス設定用抵抗と接地との間に接続され、制御信号を入力し、該制御信号に対応した前記第2の電流を該バイアス設定用抵抗を介して該接地に流す電流回路で構成し、

前記補償回路は、

前記電源手段と前記接地との間に接続された負荷抵抗と、温度に応じて前記負荷抵抗に流れる電流を変化させる温度補償素子とを有し、該負荷抵抗から第3のバイアス電圧を出力するバイアス電圧発生部と、

前記電源手段に接続された第1電極と第2電極と前記負荷抵抗に接続された制御電極とを有し、この制御電極に与えられた前記第3のバイアス電圧に基づき該第1及び第2電極間の導通状態が設定されて該第2電極から制御用電流を出力する第3のトランジスタと、

前記制御用電流を前記制御信号に変換して前記電流回路に与える変換部とで、構成したことを特徴とする請求項1または2記載の定電流源回路。

【請求項4】

前記バイアス回路は、

参照電圧と帰還電圧との差を増幅して前記第1のバイアス電圧を生成する増幅器と、

前記電源手段に接続された第1電極と第2電極と制御電極とを有しこの制御電極に与えられた前記第1のバイアス電圧に基づき該第1及び第2電極間の導通状態が設定されて前記第1のトランジスタが出力する前記第1の電流に対応する電流を該第2電極から出力する第1のダミー用トランジスタと、

前記第1のダミー用トランジスタの第2電極に接続された第1電極と第2電極と制御電極とを有しこの制御電極に与えられた前記第2のバイアス電圧に基づき該第1及び第2電極間の導通状態が設定される第2のダミー用トランジスタと、

前記第2のダミー用トランジスタの第2電極と前記接地との間に接続され、前記第1のダミー用トランジスタの出力電流を該第2のダミー用トランジスタを介して入力して前記帰還電圧に変換する抵抗手段とで構成し、

前記電圧設定手段は、

前記バイアス設定用抵抗と接地との間に接続され、制御信号を入力し、該制御信号に対応した前記第2の電流を該バイアス設定用抵抗を介して該接地に流す電流回路で構成し、

前記補償回路は、

前記電源手段に接続された第1電極と第2電極と前記バイアス回路の出力する第1のバイアス電圧を入力する制御電極とを有し、前記第1のダミー用トランジスタに対してカレントミラーとなる第4のトランジスタと、

前記第4のトランジスタの出力電流に対応した前記制御信号を生成して前記電流回路に与える変換部とで構成した、ことを特徴とする請求項1記載の定電流源回路。

【請求項5】

前記第4のトランジスタと前記第1のダミー用トランジスタとは同じ極性のMOSトランジスタで構成すると共に、該第4のトランジスタのゲート長は該第1のダミー用トランジスタのゲート長よりも長くしたことを特徴とする請求項4記載の定電流源回路。

【請求項6】

前記第4のトランジスタの第1電極または第2電極に、該第4のトランジスタに流れる

10

20

30

40

50

電流を低減する抵抗を設けたことを特徴とする請求項 4 記載の定電流源回路。

【請求項 7】

複数のデジタルデータで構成される入力信号をデコードし、該入力信号の値を表す複数のデータ信号を生成するデコーダと、

電源電圧を伝える電源手段に接続された第 1 電極と第 2 電極と制御電極とを有し、この制御電極に与えられた第 1 のバイアス電圧に基づき該第 1 及び第 2 電極間の導通状態が設定されて第 1 の電流を該第 2 電極から出力する第 1 のトランジスタと、前記第 1 のトランジスタの第 2 電極に接続された第 1 電極と第 2 電極と制御電極とを有し、この制御電極に与えられた第 2 のバイアス電圧に基づき該第 1 及び第 2 電極間の導通状態が設定されて前記第 1 の電流を該第 2 電極から出力する第 2 のトランジスタとで、それぞれ構成された複数の電流発生部と、

10

前記第 1 のバイアス電圧を生成して前記第 1 のトランジスタの制御電極に与えるバイアス回路と、

前記第 1 のトランジスタの制御電極と前記第 2 のトランジスタの制御電極との間に接続されたバイアス設定用抵抗と、

第 2 の電流を前記バイアス設定用抵抗に流して前記第 2 のバイアス電圧を設定する電圧設定手段と、

前記バイアス設定用抵抗に流れる前記第 2 の電流の温度補償を行う補償手段と、

前記各電流発生部における前記第 2 のトランジスタの第 2 端子にそれぞれ接続され、前記データ信号に基づき開閉して該各電流発生部が出力する前記第 1 の電流をそれぞれ通す複数のスイッチ部と、

20

前記各スイッチ部を介して与えられた前記第 1 の電流を合成して入力し、前記入力信号に対応する電圧に変換する電圧変換素子とを、

備えたことを特徴とするデジタル／アナログ変換回路。

【請求項 8】

定電流源回路において、

第 1 のバイアス電圧を出力するバイアス回路と、

電源電位と出力ノードとの間に接続され、前記第 1 のバイアス電圧によって第 1 の電流を流す第 1 の MOS トランジスタと、

前記第 1 の MOS トランジスタと前記出力ノードとの間に接続された第 2 の MOS トランジスタと、

30

前記バイアス回路に接続され、前記第 2 の MOS トランジスタの導通状態を制御する第 2 のバイアス電圧を設定するバイアス電圧設定抵抗と、

前記バイアス電圧設定抵抗の値に基づいて発生する前記第 2 のバイアス電圧を制御するバイアス電圧制御回路と、

前記バイアス電圧制御回路に接続され、前記第 2 の電圧の温度補償を行う補償回路とを有することを特徴とする定電流源回路。

【請求項 9】

請求項 8 記載の定電流源回路において、

前記バイアス電圧設定抵抗は、前記第 1 の MOS トランジスタの制御電極と前記第 2 の MOS トランジスタの制御電極との間に接続されていることを特徴とする定電流源回路。

40

【請求項 10】

請求項 8 または 9 記載の定電流源回路において、

前記第 1 の MOS トランジスタと前記第 2 の MOS トランジスタとは同一導電型であることを特徴とする定電流源回路。

【請求項 11】

請求項 8 ～ 10 のいずれか 1 項に記載の定電流源回路において、

前記補償回路は前記バイアス回路を制御することを特徴とする定電流源回路。

【請求項 12】

請求項 8 ～ 11 のいずれか 1 項に記載の定電流源回路において、

50

前記バイアス回路は、

参照電圧と帰還電圧との差を増幅して、前記第1のバイアス電圧を生成する増幅回路と

、
前記電源電位と接地電位との間に接続され、前記第1のバイアス電圧に基づいて導通状態が制御される第1のダミー用MOSトランジスタと、

前記第1のダミー用MOSトランジスタと前記接地電位との間に接続され、前記第2のバイアス電圧によって導通状態が制御される第2のダミー用MOSトランジスタと、

前記第2のダミー用MOSトランジスタと前記接地電位との間に接続され、前記帰還電圧を生成する抵抗手段とで構成されていることを特徴とする定電流源回路。

【請求項13】

10

請求項12記載の定電流源回路において、

バイアス電圧制御回路は、前記バイアス電圧設定抵抗と前記接地電位との間に接続され、前記第2の電流を前記バイアス電圧設定抵抗を介して前記接地電位に流す電流回路で構成されていることを特徴とする定電流源回路。

【請求項14】

請求項12または13記載の定電流源回路において、

前記補償回路は、

前記電源電位と前記接地電位との間に接続された負荷抵抗と、温度に応じて前記負荷抵抗に流れる電流を変化させる温度補償素子とを有し、前記負荷抵抗に基づいて第3のバイアス電圧を出力するバイアス電圧発生部と、

20

前記電源電位と前記接地電位との間に接続され、前記第3のバイアス電圧によって導通状態が制御される第3のMOSトランジスタとで構成されており、

前記第3のバイアス電圧によって前記第3のMOSトランジスタに流れる電流に基づいて、前記バイアス電圧制御回路を制御することを特徴とする定電流源回路。

【請求項15】

定電流源回路において、

第1のバイアス電圧を出力するバイアス回路と、

電源電位と出力ノードとの間に接続され、前記第1のバイアス電圧によって第1の電流を流す第1のMOSトランジスタと、

前記第1のMOSトランジスタと前記出力ノードとの間に接続され、第2のバイアス電圧によって導通状態が制御される第2のMOSトランジスタと、

30

前記第2のバイアス電圧を設定するバイアス電圧制御回路と、

前記バイアス電圧制御回路に接続され、前記第2のバイアス電圧の温度補償を行う補償回路とを有することを特徴とする定電流源回路。

【請求項16】

請求項15記載の定電流源回路において、

前記第1のMOSトランジスタの制御電極と前記第2のMOSトランジスタの制御電極との間に接続されたバイアス電圧設定抵抗を有することを特徴とする定電流源回路。

【請求項17】

請求項15または16記載の定電流源回路において、

40

前記第1のMOSトランジスタと前記第2のMOSトランジスタとは同一導電型であることを特徴とする定電流源回路。

【請求項18】

請求項15～17のいずれか1項に記載の定電流源回路において、

前記補償回路は前記バイアス回路を制御することを特徴とする定電流源回路。

【請求項19】

請求項15～18のいずれか1項に記載の定電流源回路において、

前記バイアス回路は、

参照電圧と帰還電圧との差を増幅して、前記第1のバイアス電圧を生成する増幅回路と

50

前記電源電位と接地電位との間に接続され、前記第1のバイアス電圧に基づいて導通状態が制御される第1のダミー用MOSトランジスタと、

前記第1のダミー用MOSトランジスタと前記接地電位との間に接続され、前記第2のバイアス電圧によって導通状態が制御される第2のダミー用MOSトランジスタと、

前記第2のダミー用MOSトランジスタと前記接地電位との間に接続され、前記帰還電圧を生成する抵抗手段とで構成されていることを特徴とする定電流源回路。

【請求項20】

請求項19記載の定電流源回路において、

バイアス電圧制御回路は、前記バイアス電圧設定抵抗と前記接地電位との間に接続され、前記第2の電流を前記バイアス電圧設定抵抗を介して前記接地電位に流す電流回路で構成されていることを特徴とする定電流源回路。

10

【請求項21】

請求項19または20記載の定電流源回路において、

前記補償回路は、

前記電源電位と前記接地電位との間に接続された負荷抵抗と、温度に応じて前記負荷抵抗に流れる電流を変化させる温度補償素子とを有し、前記負荷抵抗に基づいて第3のバイアス電圧を出力するバイアス電圧発生部と、

前記電源電位と前記接地電位との間に接続され、前記第3のバイアス電圧によって導通状態が制御される第3のMOSトランジスタとで構成されており、

前記第3のバイアス電圧によって前記第3のMOSトランジスタに流れる電流に基づいて、前記バイアス電圧制御回路を制御することを特徴とする定電流源回路。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源ラインと負荷との間に接続され、その負荷に定電流を供給する定電流源回路と、それを用いたデジタル／アナログ変換回路（以下、DACという）とに関するものである。

【0002】

【従来の技術】

従来、この分野の技術としては、例えば、次のような文献に記載されるものがあった。

30

文献；特開昭63-265315号公報

上記文献には、共通の電源ラインに接続された複数個の定電流源回路が示されている。各定電流源回路は、定電流出力用のPチャネル型電界効果トランジスタ（以下、PMOSという）を有すると共に、新たに設けられたNチャネル型電界効果トランジスタ（以下、NMOSという）を備えている。各PMOS及びNMOSのソース同士が接続され、例えばそのNMOSのドレインが電源電圧を供給する電源ラインに接続されてる。PMOSのドレインから定電流を出力する構成になっている。各NMOSのゲートには、電源電圧に基づいてバイアス回路で生成されたバイアス電源が共通に与えられ、各PMOSのゲートには、電源電圧に基づいてそのバイアス回路で生成されたバイアス電圧が各PMOSとは独立して与えられる接続になっている。

40

以上のように、上記文献では、PMOSと電源ラインとの間に設けられたNMOSにより、電源ラインの抵抗分によって生じる各定電流源回路における電源電圧の変動が補正されるので、各定電流源回路の出力する定電流値のばらつきをなくすることができる。

【0003】

【発明が解決しようとする課題】

しかしながら、従来の定電流源回路では、次のような課題があった。

バイアス回路で生成してNMOSとPMOSに与えるバイアス電圧は、電源電圧の温度変動によって変動する。そのため、PMOSから出力する定電流も温度に異存して変動する。

【0004】

50

【課題を解決するための手段】

前記課題を解決するために、本発明のうちの第1の発明は、低電流源回路において、次のような第1、第2のトランジスタ、バイアス回路、バイアス設定用抵抗、電圧設定手段、及び補償手段を備えている。

第1のトランジスタは、電源電圧を伝える電源手段に接続された第1電極と第2電極と制御電極とを有し、この制御電極に与えられた第1のバイアス電圧に基づき第1及び第2電極間の導通状態が設定されて第1の電流を該第2電極から出力するトランジスタである。第2のトランジスタは、第1のトランジスタの第2電極に接続された第1電極と第2電極と制御電極とを有し、この制御電極に与えられた第2のバイアス電圧に基づき第1及び第2電極間の導通状態が設定されて第1の電流を第2電極から出力するトランジスタである。バイアス回路は、第1のバイアス電圧を生成して第1のトランジスタの制御電極に与えるものである。バイアス設定用抵抗は、第1のトランジスタの制御電極と第2のトランジスタの制御電極との間に接続されている。電圧設定手段は、第2の電流をバイアス設定用抵抗に流して第2のバイアス電圧を設定するものである。補償手段は、バイアス設定用抵抗に流れる第2の電流の温度補償を行うものである。

10

【0005】

第2の発明は、第1の発明のバイアス回路を、参照電圧と帰還電圧との差を増幅して第1のバイアス電圧を生成する増幅器と、電源手段に接続された第1電極と第2電極と制御電極とを有しこの制御電極に与えられた第1のバイアス電圧に基づき該第1及び第2電極間の導通状態が設定されて第1のトランジスタの出力する第1の電流に対応する電流を第2電極から出力する第1のダミー用トランジスタと、第1のダミー用トランジスタの第2電極に接続された第1電極と第2電極と制御電極とを有しこの制御電極に与えられた第2のバイアス電圧に基づき第1及び第2電極間の導通状態が設定される第2のダミー用トランジスタと、第2のダミー用トランジスタの第2電極と接地との間に接続され、第1のダミー用トランジスタの出力電流を第2のダミー用トランジスタを介して入力して帰還電圧に変換する抵抗手段とで、構成している。

20

【0006】

第3の発明は、第1及び第2の発明における電圧設定手段は、バイアス設定用抵抗と接地との間に接続され、制御信号を入力し、該制御信号に対応した第2の電流を該バイアス設定用抵抗を介して接地に流す電流回路で構成している。補償回路は、電源手段と接地との間に接続された負荷抵抗と、温度に応じて負荷抵抗に流れる電流を変化させる温度補償素子とを有し、負荷抵抗から第3のバイアス電圧を出力するバイアス電圧発生部と、電源手段に接続された第1電極と第2電極と負荷抵抗に接続された制御電極とを有し、この制御電極に与えられた第3のバイアス電圧に基づき第1及び第2電極間の導通状態が設定され、第2電極から制御用電流を出力する第3のトランジスタと、制御用電流を制御信号に変換して電流回路に与える変換部とで、構成している。

30

【0007】

第4の発明は、第1の発明におけるバイアス回路を、参照電圧と帰還電圧との差を増幅して第1のバイアス電圧を生成する増幅器と、電源手段に接続された第1電極と第2電極と制御電極とを有しこの制御電極に与えられた第1のバイアス電圧に基づき第1及び第2電極間の導通状態が設定されて第1のトランジスタが出力する第1の電流に対応する電流を第2電極から出力する第1のダミー用トランジスタと、第1のダミー用トランジスタの第2電極に接続された第1電極と第2電極と制御電極とを有しこの制御電極に与えられた第2のバイアス電圧に基づきその第1及び第2電極間の導通状態が設定される第2のダミー用トランジスタと、第2のダミー用トランジスタの第2電極と接地との間に接続され、第1のダミー用トランジスタの出力電流を第2のダミー用トランジスタを介して入力して帰還電圧に変換する抵抗手段とで構成している。さらに、電圧設定手段は、バイアス設定用抵抗と接地との間に接続され、制御信号に対応した第2の電流を、バイアス設定用抵抗を介して接地に流す電流回路で構成し、補償回路は、電源手段に接続された第1電極と第2電極とバイアス回路の出力する第1のバイアス電圧を入力する制御電極とを有し、第1の

40

50

ダミー用トランジスタに対してカレントミラーとなる第4のトランジスタと、第4のトランジスタの出力電流に対応した制御信号を生成して電流回路に与える変換部とで構成している。

【0008】

第5の発明は、第4の発明における第4のトランジスタと第1のダミー用トランジスタとは同じ極性のMOSトランジスタで構成すると共に、第4のトランジスタのゲート長はその第1のダミー用トランジスタのゲート長よりも長くしている。

第6の発明は、第4の発明における第4のトランジスタの第1電極または第2電極に、該第4のトランジスタに流れる電流を低減する抵抗を設けている。

第7の発明は、DACにおいて、次のような構成にしている。

10

即ち、複数のデジタルデータで構成される入力信号をデコードし、この入力信号の値を表す複数のデータ信号を生成するデコーダと、第1の発明における第1のトランジスタと第2のトランジスタとでそれぞれ構成された複数の電流発生部と、第1の発明におけるバイアス回路、バイアス設定用抵抗、電圧設定手段及び補償手段と、その各電流発生部における第2のトランジスタの第2端子にそれぞれ接続され、データ信号に基づき開閉して各電流発生部が出力する第1の電流をそれぞれ通す複数のスイッチ部と、各スイッチ部を介して与えられた第1の電流を合成し入力し、入力信号に対応する電圧に変換する電圧変換素子とを、備えている。

第8の発明は、定電流源回路において、第1のバイアス電圧を出力するバイアス回路と、電源電位と出力ノードとの間に接続され、前記第1のバイアス電圧によって第1の電流を流す第1のMOSトランジスタと、前記第1のMOSトランジスタと前記出力ノードとの間に接続された第2のMOSトランジスタと、前記バイアス回路に接続され、前記第2のMOSトランジスタの導通状態を制御する第2のバイアス電圧を設定するバイアス電圧設定抵抗と、前記バイアス電圧設定抵抗の値に基づいて発生する前記第2のバイアス電圧を制御するバイアス電圧制御回路と、前記バイアス電圧制御回路に接続され、前記第2の電圧の温度補償を行う補償回路とを有している。

20

第9の発明は、第8の発明の定電流源回路において、前記バイアス電圧設定抵抗は、前記第1のMOSトランジスタの制御電極と前記第2のMOSトランジスタの制御電極との間に接続されている。

第10の発明は、第8または第9の発明の定電流源回路において、前記第1のMOSトランジスタと前記第2のMOSトランジスタとは同一導電型である。

30

第11の発明は、第8～第10の発明のいずれか1つの定電流源回路において、前記補償回路は前記バイアス回路を制御する。

第12の発明は、第8～第11の発明のいずれか1つの定電流源回路において、前記バイアス回路は、参照電圧と帰還電圧との差を増幅して、前記第1のバイアス電圧を生成する増幅回路と、前記電源電位と接地電位との間に接続され、前記第1のバイアス電圧に基づいて導通状態が制御される第1のダミー用MOSトランジスタと、前記第1のダミー用MOSトランジスタと前記接地電位との間に接続され、前記第2のバイアス電圧によって導通状態が制御される第2のダミー用MOSトランジスタと、前記第2のダミー用MOSトランジスタと前記接地電位との間に接続され、前記帰還電圧を生成する抵抗手段とで構成されている。

40

第13の発明は、第12の発明の定電流源回路において、バイアス電圧制御回路は、前記バイアス電圧設定抵抗と前記接地電位との間に接続され、前記第2の電流を前記バイアス電圧設定抵抗を介して前記接地電位に流す電流回路で構成されている。

第14の発明は、第12または第13の発明の定電流源回路において、前記補償回路は、前記電源電位と前記接地電位との間に接続された負荷抵抗と、温度に応じて前記負荷抵抗に流れる電流を変化させる温度補償素子とを有し、前記負荷抵抗に基づいて第3のバイアス電圧を出力するバイアス電圧発生部と、前記電源電位と前記接地電位との間に接続され、前記第3のバイアス電圧によって導通状態が制御される第3のMOSトランジスタとで構成されている。そして、前記第3のバイアス電圧によって前記第3のMOSトランジ

50

スタに流れる電流に基づいて、前記バイアス電圧制御回路を制御する。

第15の発明は、定電流源回路において、第1のバイアス電圧を出力するバイアス回路と、電源電位と出力ノードとの間に接続され、前記第1のバイアス電圧によって第1の電流を流す第1のMOSトランジスタと、前記第1のMOSトランジスタと前記出力ノードとの間に接続され、第2のバイアス電圧によって導通状態が制御される第2のMOSトランジスタと、前記第2のバイアス電圧を設定するバイアス電圧制御回路と、前記バイアス電圧制御回路に接続され、前記第2のバイアス電圧の温度補償を行う補償回路とを有している。

第16の発明は、第15の発明の定電流源回路において、前記第1のMOSトランジスタの制御電極と前記第2のMOSトランジスタの制御電極との間に接続されたバイアス電圧設定抵抗を有している。

第17の発明は、第15または第16の発明の定電流源回路において、前記第1のMOSトランジスタと前記第2のMOSトランジスタとは同一導電型である。

第18の発明は、第15～第17の発明のいずれか1つの定電流源回路において、前記補償回路は前記バイアス回路を制御する。

第19の発明は、第15～第18の発明のいずれか1つの定電流源回路において、前記バイアス回路は、参照電圧と帰還電圧との差を増幅して、前記第1のバイアス電圧を生成する増幅回路と、前記電源電位と接地電位との間に接続され、前記第1のバイアス電圧に基づいて導通状態が制御される第1のダミー用MOSトランジスタと、前記第1のダミー用MOSトランジスタと前記接地電位との間に接続され、前記第2のバイアス電圧によって導通状態が制御される第2のダミー用MOSトランジスタと、前記第2のダミー用MOSトランジスタと前記接地電位との間に接続され、前記帰還電圧を生成する抵抗手段とで構成されている。

第20の発明は、第19の発明の定電流源回路において、バイアス電圧制御回路は、前記バイアス電圧設定抵抗と前記接地電位との間に接続され、前記第2の電流を前記バイアス電圧設定抵抗を介して前記接地電位に流す電流回路で構成されている。

第21の発明は、第19または第20の発明の定電流源回路において、前記補償回路は、前記電源電位と前記接地電位との間に接続された負荷抵抗と、温度に応じて前記負荷抵抗に流れる電流を変化させる温度補償素子とを有し、前記負荷抵抗に基づいて第3のバイアス電圧を出力するバイアス電圧発生部と、前記電源電位と前記接地電位との間に接続され、前記第3のバイアス電圧によって導通状態が制御される第3のMOSトランジスタとで構成されている。そして、前記第3のバイアス電圧によって前記第3のMOSトランジスタに流れる電流に基づいて、前記バイアス電圧制御回路を制御する。

【0009】

第1～第6、第8～第21の発明によれば、以上のように定電流源回路を構成したので、第1のバイアス電圧に基づき第1のトランジスタが第1の電流を流す。一方、バイアス設定用抵抗、電圧設定手段及び補償手段によって、第2のトランジスタの制御電極に与えられる第2のバイアス電圧が設定される。第2のバイアス電圧が与えられた第2のトランジスタは、第1のトランジスタの第2電極に、出力端子の電圧変動をマスクする。よって、第1のトランジスタの出力する第1の電流が第2のトランジスタ及び出力端子を介して出力される。ここで、補償手段によって、第2のバイアス電圧が温度の変動に伴って変化することが防止され、出力端子から出力される定電流も温度特性が低減される。

第7の発明によれば、バイアス回路、バイアス設定用抵抗、電圧設定手段及び補償手段が、複数の電流発生部に対して共通に機能し、各電流発生部における第1のトランジスタの制御電極と、第2のトランジスタの制御電極とには、第1～第6の発明における第1のバイアス電圧と第2のバイアス電圧とがそれぞれ与えられて、第1～第6の発明の電流源回路と同様に動作する。従って、前記課題を解決できるのである。

【0010】

【発明の実施の形態】

第1の実施形態

10

20

30

40

50

図1は、本発明の第1の実施形態を示す定電流源回路の回路図である。

この定電流源回路は、電源電圧VDDを供給する電源手段である電源ラインLに第1電極のソースが接続されて第1の電流である定電流 I_1 を出力する第1のトランジスタを構成するPMOS11と、該PMOS11にカスケード接続された第2のトランジスタであるPMOS12と、バイアス回路20とを備えている。

PMOS11の第2電極であるドレインに、PMOS12のソースが接続され、該PMOS12のドレインが、この定電流源回路の出力端子Oに接続されている。PMOS12の導電率を示すコンダクタンス g_m は、トランジスタサイズや不純物濃度の変更によってPMOS11よりも大きく設定されている。PMOS11の制御電極であるゲートには、バイアス回路20から第1のバイアス電圧Vb1が入力される接続になっている。

10

【0011】

バイアス回路20は、参照電圧Vrefと帰還電圧Vfbとの差を増幅して、バイアス電圧Vb1を生成する演算増幅器21と、PMOS11の出力する定電流 I_1 と同等の電流を出力する第1のダミー用トランジスタであるPMOS22と、PMOS12と同じ特性を有する第2のダミー用トランジスタであるPMOS23とを、有している。PMOS22のソースが電源ラインLに接続され、該PMOS22のドレインがPMOS23のソースに接続されている。PMOS22のゲートには、演算増幅器21の出力端子が接続されている。PMOS23のドレインと接地（以下、グランドという）との間には、該PMOS23を介して与えられたPMOS22の出力電流に基づき帰還電圧Vfbを生成する抵抗手段である抵抗24が接続されている。

20

この定電流源回路には、さらに、PMOS11のゲートとPMOS12及びPMOS23のゲートとの間に接続され、該PMOS12のゲートに与える第2のバイアス電圧Vb2を設定するためのバイアス設定用抵抗30と、該抵抗30に第2の電流である定電流 I_2 を流す電圧設定手段40と、その抵抗30に流れる定電流 I_2 の温度補償を行う補償手段50とが設けられている。

電圧設定手段40は、ソースがPMOS12及びPMOS23のゲートと抵抗30との接続点に接続され、ドレインがグランドに接続されて定電流 I_2 を流す電流手段であるPMOS41で構成されている。補償手段50は、第3のバイアス電圧Vb3を生成するバイアス電圧発生部50Aと、第3のトランジスタであるPMOS58と変換部50Bとから構成されている。バイアス電圧発生部50Aの出力するバイアス電圧Vb3は、PMOS58のゲートに与えられると共に、バイアス回路20中の演算増幅器21に駆動電源として与えられる接続になっている。

30

【0012】

バイアス電圧発生部50Aは、電源ラインLにソースがそれぞれ接続されたPMOS51、52を備えている。PMOS51のドレインは、これらPMOS51、52のゲートに共通接続されると共に、NMOS53のドレインに接続されている。PMOS52のドレインは、そのNMOS53のゲートに接続されると共に、NMOS54のドレイン及びゲートに接続されている。NMOS53のソースが、負荷抵抗55及び温度補償素子であるダイオード56を介してグランドに接続されている。NMOS54のソースが温度補償素子であるダイオード57を介してグランドに接続されている。

40

PMOS58のソースは電源ラインLに接続されている。PMOS58のゲートは、バイアス電圧発生部50AのPMOS51のドレインに接続され、該PMOS58のソースが、変換部50B中のPMOS59のゲート及びドレインに接続されると共に、電圧設定手段40のPMOS41のゲートに接続されている。PMOS59のソースは、グランドに接続されている。

【0013】

次に、図1の定電流源回路の動作を説明する。

バイアス回路20は、PMOS22、23及び抵抗24で生成されて負帰還された帰還電圧Vfbと参照電圧Vrefとの差に対する反転増幅を行って第1のバイアス電圧Vb1を出力する。このバイアス電圧Vb1は帰還電圧Vfbの負帰還により、一定の値になり、各PMO

50

S 1 1, 2 2 のゲートに与えられる。

電源ライン L から電源電圧 V D D が与えられると、バイアス電圧発生部 5 0 A が、該電源電圧 V D D に対応したバイアス電圧 V b 3 を生成する。即ち、電圧 V D D に応じて P M O S 5 2、N M O S 5 4 及びダイオード 5 7 からなる電流路に電流が流れ、この電流に対応する電流が、P M O S 5 1、N M O S 5 3、抵抗 5 5 及びダイオード 5 6 からなる電流路に流れる。抵抗 5 5 及びダイオード 5 6 に電流が流れると、P M O S 5 1 のドレインの電圧が設定されてバイアス電圧 V b 3 として出力される。ここで、電源電圧 V D D 或いは抵抗 5 5 が温度で変動しても、ダイオード 5 6, 5 7 の温度特性がそれを補償するので、バイアス電圧 V b 3 は温度による変動がない。

【0014】

10

バイアス電圧 V b 3 は、変換部 5 0 B 中の P M O S 5 8 のゲートに与えられて、該 P M O S 5 8 のオン状態が設定され、該 P M O S 5 8 が P M O S 5 9 のオン状態を設定する。そして、オンした P M O S 5 8 が P M O S 5 9 を介してグランドに制御電流を出力する。この制御電流も、バイアス電圧 V b 3 に基づいた電流である。そのため、P M O S 5 8 のドレイン電圧も温度に依存せず、このドレイン電圧が制御信号として P M O S 4 1 のゲートに与えられる。制御信号として P M O S 5 8 のドレイン電圧をゲートに入力した P M O S 4 1 は、電源ライン L 及び抵抗 3 0 を介して温度に依存しない定電流 I_2 をグランドに流す。この定電流 I_2 が抵抗 3 0 に流れることにより、バイアス電圧 V b 1 から抵抗 3 0 の電圧降下分下回った P M O S 1 2, 2 3 のゲートのバイアス電圧 V b 2 が、設定される。

P M O S 1 2 は、バイアス電圧 V b 2 に基づいて導通状態になり、P M O S 1 1 が出力する定電流 I_1 を出力端子 O に流す。ここで、P M O S 1 2 のゲートに与えられたバイアス電圧 V b 2 が一定なため、P M O S 1 1 のドレインの電位は、電圧 $V_{b2} + V_{th}$ (V_{th} は、P M O S 1 2 の閾値) となり、例えば出力端子 O の電圧が変わっても、P M O S 1 1 のドレイン-ソース間電圧が変化しない。そのため、P M O S 1 1 の出力電流 I_1 が一定になる。

20

【0015】

以上のように、この第 1 の実施形態では、P M O S 1 1 のドレインと出力端子 O との間に P M O S 1 2 を設けると共に、抵抗 3 0 と、電圧設定手段 4 0 と補償手段 5 0 とを設けたので、次の (1) から (3) のような利点を得られる。

(1) 図 2 は、図 1 の利点を説明する出力電流の特性図である。

出力端子 O に、電流 I_1 を電圧に変換する負荷抵抗を接続した場合を想定し、その負荷抵抗で 1.3 V までの出力電圧 V o u t を出力させるものとする。抵抗 2 4 の抵抗値を変化させると、出力端子 O からの出力する電流 I_1 が変化し、出力電圧 V o u t のフルスケールを変えることができる。ここで、例えば P M O S 1 2 が無い場合には、電源電圧 V D D を 5 V とすると、出力電圧 V o u t に対して電流 I_1 は、図 2 に破線で示した特性曲線になり、出力電圧 V o u t が 1.3 V になるまでは、ほぼ一定の電流値になる。ところが、電源電圧 V D D を 3 V とすると、電流 I_1 の特性が劣化する。そのため、負荷抵抗に応じて出力電圧 V o u t が直線的 (積分直線性) に変化するものが、直線的に変化しなくなる。これは、P M O S 1 2 が無いので、P M O S 1 1 のドレイン電圧が出力端子 O の電圧になり、該 P M O S 1 1 のドレイン-ソース間電圧が低下したためである。

30

これに対し、この第 1 の実施形態では P M O S 1 2 を設けたので、P M O S 1 1 のドレイン-ソース間電圧が一定に確保され、満足のいく積分直線性が得られる。よって、電源電圧 V D D の低圧化が可能になる。

40

(2) 抵抗 3 0 と電圧設定手段 4 0 と補償手段 5 0 とにより、P M O S 1 2 のゲートに与えるバイアス電圧 V b 2 は、電源電圧 V D D の温度変動の影響を受けにくい。よって、出力電流 I_1 の温度特性を低減できる。

(3) P M O S 1 2 が P M O S 1 1 のドレイン電位を固定するので、出力端子 O に接続される負荷抵抗や、フルスケール調整を行う抵抗 2 4 の抵抗値を変更しても、望ましい出力電流 I_1 が得られる。

【0016】

第 2 の実施形態

50

図 3 は、本発明の第 2 の実施形態を示す定電流源回路の回路図であり、図 1 中と共通する要素には共通の符号が付されている。

この定電流源回路が第 1 の実施形態の定電流源回路と異なる点は、補償手段 50 の代わりに補償手段 60 を設けたことであり、他の構成は第 1 の実施形態と同様になっている。

補償手段 60 は、電源ライン L にソースが接続され、演算増幅器 21 の出力端子にゲートが接続された第 4 のトランジスタである PMOS 61 と、該 PMOS 61 のドレインにソースが接続されて変換部 60A を構成する PMOS 62 とで構成されている。PMOS 61 のドレインは、さらに、PMOS 62 のゲートに接続されると共に、電圧設定手段 40 中の PMOS 41 のゲートに接続されている。PMOS 62 のドレインがグランドに接続されている。PMOS 61 は、PMOS 22 に対するカレントミラーになっており、該 PMOS 61 のゲート長は、PMOS 22 のゲート長よりも長く形成されている。

10

【0017】

次に、図 3 の定電流源回路の動作を説明する。

PMOS 22, 23 及び抵抗 24 で生成されて負帰還された帰還電圧 V_{fb} と参照電圧 V_{ref} との差に対する反転増幅を行って第 1 のバイアス電圧 V_{b1} を出力する。このバイアス電圧 V_{b1} は帰還電圧 V_{fb} の負帰還により、温度に依存しない一定の値になり、各 PMOS 11, 22 のゲートに与えられると共に PMOS 61 のゲートに与えられる。

バイアス電圧 V_{b1} がゲートに入力された PMOS 61 は、導通状態になり、PMOS 62 及び PMOS 41 のゲートに、制御信号としてドレイン電圧を出力する。これにより、PMOS 41 の導通状態が設定され、抵抗 30 には制御電流と同じ定電流 I_2 が流れ、PMOS 12, 23 のゲート電圧が設定れる。バイアス電圧 V_{b1} がゲートに与えられた PMOS 11 と、バイアス電圧 V_{b2} が与えられた PMOS 12 とが、第 1 の実施形態と同様に動作して出力端子 O から定電流 I_1 が出力される。

20

【0018】

図 4 (a), (b) は、電源電圧 V_{DD} に対する出力電圧の変化率を示す特性図であり、この図 4 (a), (b) を参照しつつ、図 3 の定電流源回路の利点を説明する。

抵抗 30 及びそれを流れる電流が正の温度特性があり、第 1 の実施形態の定電流源回路では、環境温度が低いときに、PMOS 11, 12 のゲート間電圧が小さくなりすぎる可能性があった。そのため、出力端子 O に負荷を接続して電流 I_1 を出力電圧 V_{out} に変換すると、出力電圧 V_{out} が電流 I_2 に影響されて温度変動する。図 4 (a), (b) は、電源電圧 V_{DD} を固定して、出力電圧 V_{out} を 0V から例えば 1.3V に変化させた場合に、出力電圧 V_{out} の直線性（積分直線性）からのずれを、変化分として測定したものであり、図 4 (a) は、第 1 の実施形態の測定結果であり、図 4 (b) は第 2 の実施形態における測定結果である。図 4 (a) のように、第 1 の実施形態では、電源電圧 V_{DD} を 2.5V 付近及び 3.7V 付近とした場合に、 -40°C における変化分が大きくなる。これに対して、第 2 の実施形態では、図 4 (b) のように、 -40°C における変化分が小さい。

30

【0019】

つまり、この第 2 の実施形態では、演算増幅器 21、PMOS 22, 23、及び抵抗 24 の負帰還ループで生成される一定なバイアス電圧 V_{b1} を、ゲートに入力する PMOS 61 を用いて補償手段 60 を構成したので、抵抗 30 が温度変化をしても、それを補償するような定電流 I_2 が抵抗 30 に流れる。よって、PMOS 12 のゲート電圧が低くなりすぎることがなくなり、第 1 の実施形態と同様の効果が得られるばかりでなく、高精度の定電流 I_1 を出力することができる。その上、PMOS 61 のゲート長を PMOS 22 のゲート長よりも大きくしているので、該 PMOS 61 に流れる電流が低減される構成にしたので、抵抗 24 や出力端子 O に接続される負荷抵抗を変更しても、電流 I_2 に与える影響が小さくなり、これらの変更幅を大きくできる。

40

【0020】

第 3 の実施形態

図 5 は、本発明の第 3 の実施形態を示す定電流源回路の回路図であり、図 3 中と共通する

50

要素には共通の符号が付されている。

この定電流源回路が第2の実施形態の定電流源回路と異なる点は、補償手段60中のPMOS61をPMOS63に変更すると共に、抵抗64を設けたことであり、他の構成は第2の実施形態と同様になっている。

PMOS63は、PMOS22と同じゲート長を有し、該PMOS63のゲートにバイアス電圧Vb1が入力されてPMOS11, 22と同じ電流を出力する構成になっている。PMOS63のソースが電源ラインLに接続され、ドレインがPMOS62のソースに接続されている。

この定電流源回路の基本的動作は、第2の実施形態と同様である。ただし、抵抗64がPMOS63及びPMOS62に流れる電流を低減する。そのため、抵抗24や出力端子Oに接続される負荷抵抗を変更しても、電流 I_2 に与える影響が小さくなり、これらの変更幅を大きくできる。

10

【0021】

第4の実施形態

図6は、本発明の第4の実施形態を示すDACの構成図である。

このDACは、例えば6ビットのデジタルデータD0～D5で構成される入力信号を入力して格納するレジスタ70と、該レジスタ70に出力側に接続された2つのデコーダ(COLUMN DECODER, ROW DECODER)71, 72と、定電流源回路部80と、電圧変換素子である抵抗73とで構成されている。

レジスタは、入力信号の下位3ビットを平行にデコーダ71に出力すると共に、上位3ビットを平行にデコーダ72に与える構成になっている。各デコーダ71, 72は、デコード結果を定電流源回路部80にそれぞれ平行に出力する構成になっている。

20

【0022】

図7は、図6中の定電流源回路部を示す構成図である。

定電流源回路部80は、第1～第3の実施形態のバイアス回路20、抵抗30、電圧設定手段40、及び補償手段50または60とを備え、これらを共通に用いる複数の電流発生部81を有している。各電流発生部81は共通の構成であり、ソースが電源ラインLに接続されて定電流 I_1 を出力するPMOS11と、該PMOS11のドレインにソースが接続されたPMOS12とをそれぞれ備えている。

各電流発生部81のPMOS11のゲートには、バイアス電圧Vb1が共通に与えられ、PMOS12のゲートには抵抗30で生成されたバイアス電圧Vb2が共通に与えられる接続になっている。

30

各PMOS12のドレインにはスイッチ部82を構成する2つのPMOS82a, 82bのソースが接続されている。各PMOS82aのドレインはグランドに接続され、各PMOS82bのドレインが、抵抗73に共通に接続されている。各電流発生部81には、デコーダ71, 72から入力されたデータ信号に基づいた論理を求める2つのゲート83, 84がそれぞれ設けられている。ゲート84の出力する論理がPMOS82aのゲートに入力される。また、その論理がインバータ85を介して反転されてPMOS82bのゲートに入力され構成になっている。このような複数の電流発生部81が、デコーダ71, 72に対してマトリクス状に配置されている。

40

【0023】

次に、図6のDACの動作を説明する。

レジスタ70は、シリアルに入力された入力信号を格納し、平行に出力する。デコード71にはデータD0～D2が入力され、該デコーダ71がデータD0～D2をデコードし、デコード結果を電流源回路部80に平行に出力する。デコード72にはデータD3～D5が入力され、該デコーダ72がデータD3～D5をデコードし、デコード結果を電流源回路部80に平行に出力する。

バイアス回路20、抵抗30、電圧設定手段40、及び補償手段50または60と各電流発生部81とは、第1～第3の実施形態で説明した動作で定電流 I_1 を出力する。また、各電流発生部81では、ゲート83, 84がデコーダ71, 72から与えられたデータ

50

に対応する論理を求める。この論理に基づいてPMOS 82a, 82bのいずれかがオン状態になり、他方がオフ状態になる。PMOS 82bがオン状態になった電流発生部81から、定電流I1が出力される。そのため、抵抗73には、PMOS 82bがオン状態になった電流発生部81の定電流I1が合成されて入力される。抵抗73は合成電流を流して入力信号に対応したアナログ電圧を出力する。

【0024】

以上のように、この第4の実施形態では、DACの定電流源回路部80中の個々の電流発生部81のPMOS 11, 12のゲート間を抵抗30で接続し、各PMOS 12のゲート電圧を、補償手段50, 60及び電圧設定手段40で設定するので、第1～第3の実施形態で説明したように、高精度で温度依存の小さい定電流I₁が得られ、出力電圧の高精度化が可能になると共に、とくに、積分直線性に優れたDACを実現できる。そのうえ、電源電圧VDDを低電圧化することも可能になる。

10

なお、本発明は、上記実施形態に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(i) グランドと電源電圧VDDの極性を逆にした場合には、PMOS 11, 12, 22, 23, 51, 52, 58, 59, 41等はNMOSとしてもよい。また、バイポーラトランジスタを用いて構成しても、上記実施形態と同様の効果が得られる。

(ii) PMOS 41は、抵抗30とグランドとの間に接続したが、電源ラインLと抵抗30との間に接続しても、同様の効果を奏する。

【0025】

20

【発明の効果】

以上詳細に説明したように、第1～第6、第8～第21の発明によれば、第1のトランジスタと、第1のバイアス電圧を生成するバイアス回路とを備えた定電流源回路に、該第1のトランジスタにカスケード接続された第2のトランジスタとバイアス設定用抵抗と電圧設定手段と補償手段とを設けたので、第2のトランジスタの制御電極に与える第2のバイアス電圧が、該バイアス設定用抵抗と電圧設定手段と補償手段とで設定されるので、出力端子の電圧や温度変動の影響を無視できる高精度の電流源回路が実現できる。

第7の発明によれば、第1～第6の発明の定電流源回路を基本にしてDACを構成したので、積分直線性に優れた温度変動の影響を無視できる高精度の電流源回路が実現できる。

30

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す定電流源回路の回路図である。

【図2】図1の利点を説明する出力電流の特性図である。

【図3】本発明の第2の実施形態を示す定電流源回路の回路図である。

【図4】電源電圧VDDに対する出力電圧の変化率を示す特性図である。

【図5】本発明の第3の実施形態を示す定電流源回路の回路図である。

【図6】本発明の第4の実施形態を示すDACの構成図である。

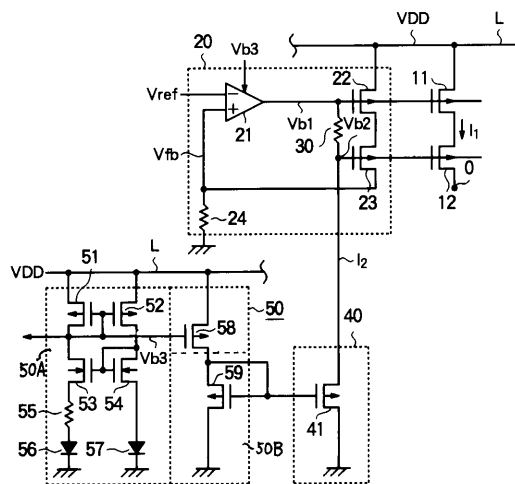
【図7】図6中の定電流源回路部を示す構成図である。

【符号の説明】

11, 12	PMOS (第1及び第2のトランジスタ)	40
20	バイアス回路	
21	演算増幅器	
22, 23	PMOS (第1及び第2のダミー用トランジスタ)	
24	抵抗手段	
30	バイアス設定用抵抗	
40	電圧設定手段	
41	PMOS (電流回路)	
50, 60	補償手段	
50A	バイアス電圧発生部	
50B	変換部	50

56, 57	ダイオード (温度補償素子)
58	PMOS (第3のトランジスタ)
61, 63	PMOS (第4のトランジスタ)
70	レジスタ
71, 72	デコーダ
73	抵抗 (電圧変換素子)
81	電流発生部
82	スイッチ部
Vb1, Vb2, Vb3	第1～第3のバイアス電圧
I_1 , I_2	第1及び第2の電流
O	出力端子

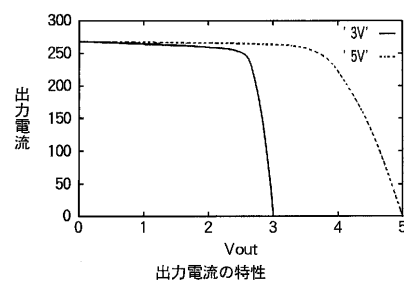
【図1】



11,12 : PMOS (第1,2のトランジスタ)
 20 : バイアス回路
 22,23 : PMOS (第1,2のダミー用トランジスタ)
 24 : 抵抗手段
 30 : バイアス設定用抵抗
 40 : 電圧設定手段
 50 : 補償手段
 50A : バイアス電圧発生部
 50B : 変換部
 56, 57 : ダイオード
 58 : PMOS (第3のトランジスタ)

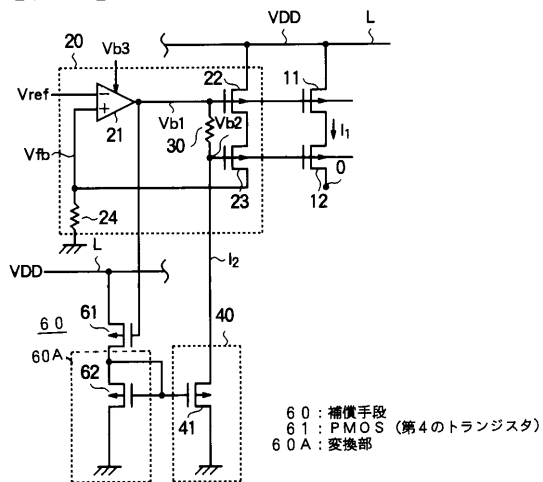
本発明の第1の実施形態の定電流源回路

【図2】



出力電流の特性

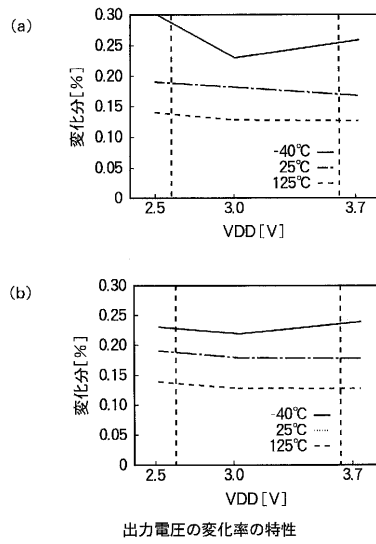
【図3】



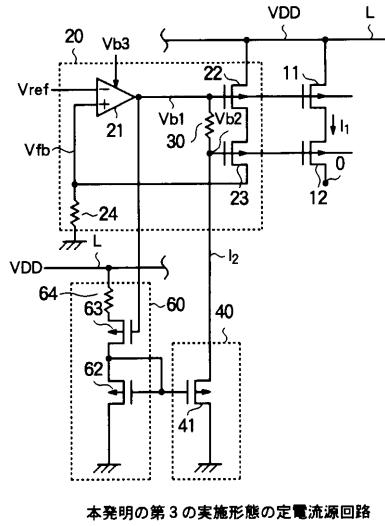
60 : 補償手段
 61 : PMOS (第4のトランジスタ)
 60A : 変換部

本発明の第2の実施形態の定電流源回路

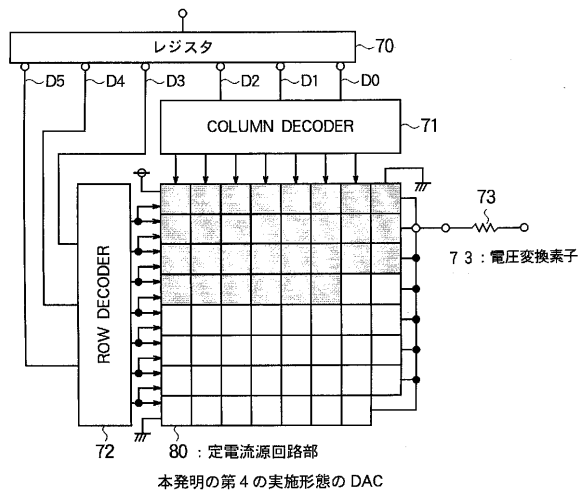
【図 4】



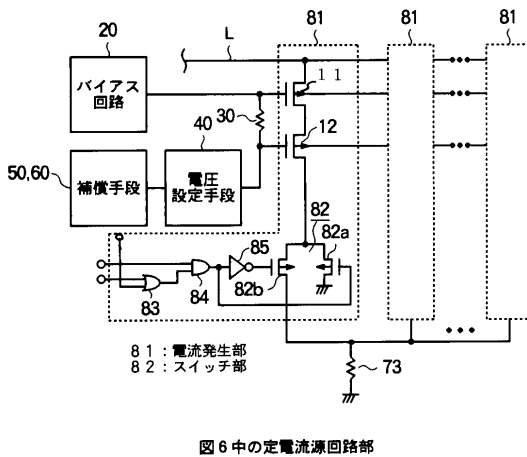
【図 5】



【図 6】



【図 7】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)
H03F1/00-3/72