

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4811339号  
(P4811339)

(45) 発行日 平成23年11月9日(2011.11.9)

(24) 登録日 平成23年9月2日(2011.9.2)

(51) Int.Cl.		F I		
<b>HO3M</b>	<b>1/14</b>	<b>(2006.01)</b>	HO3M	1/14 B
<b>HO3M</b>	<b>1/74</b>	<b>(2006.01)</b>	HO3M	1/74
<b>HO3M</b>	<b>1/18</b>	<b>(2006.01)</b>	HO3M	1/18

請求項の数 11 (全 22 頁)

(21) 出願番号	特願2007-124610 (P2007-124610)	(73) 特許権者	000004260
(22) 出願日	平成19年5月9日(2007.5.9)		株式会社デンソー
(65) 公開番号	特開2008-104142 (P2008-104142A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成20年5月1日(2008.5.1)	(74) 代理人	100071135
審査請求日	平成21年5月20日(2009.5.20)		弁理士 佐藤 強
(31) 優先権主張番号	特願2006-255739 (P2006-255739)	(72) 発明者	堀江 真清
(32) 優先日	平成18年9月21日(2006.9.21)		愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(33) 優先権主張国	日本国(JP)		審査官 柳下 勝幸

最終頁に続く

(54) 【発明の名称】 A/D変換器

(57) 【特許請求の範囲】

【請求項1】

A / D変換回路と、

このA / D変換回路の入力電圧と所定のアナログ電圧との差電圧を増幅した残余電圧を生成する残余電圧生成回路と、

外部信号電圧および前記残余電圧生成回路から出力される電圧のうち何れか一方を前記A / D変換回路および前記残余電圧生成回路に入力する入力切替回路と、

前記残余電圧生成回路におけるアナログ電圧を所定の規定値とし、前記外部信号電圧を前記入力切替回路を介して前記残余電圧生成回路に入力し、その残余電圧生成回路の出力電圧を必要に応じて前記入力切替回路および前記残余電圧生成回路を通して巡回させることにより前記外部信号電圧を増幅し、その後、前記残余電圧生成回路におけるアナログ電圧を前記A / D変換回路から出力されるデジタル変換値のD / A変換値とした上で、前記外部信号電圧の増幅電圧を前記入力切替回路、前記A / D変換回路および前記残余電圧生成回路を通して巡回させることによりA / D変換を実行する制御回路とを備えていることを特徴とするA / D変換器。

【請求項2】

前記残余電圧生成回路は、

1または複数のアレイコンデンサを備え、当該各アレイコンデンサの一端が共通側電極としてコモンラインに接続され、他端が非共通側電極として複数の基準電圧線および前記入力切替回路のうちの何れかに接続されるコンデンサアレイ回路と、

前記コモンラインの電圧を入力とし前記増幅電圧または前記残余電圧を出力する演算増幅器と、

前記演算増幅器の入出力端子間に接続可能な積分コンデンサとを備えて構成され、

前記制御回路は、前記入力切替回路を介して前記積分コンデンサと前記アレコンデンサとの中から選択したコンデンサに対し前記外部信号電圧に応じた電荷を設定するとともに残るコンデンサを初期化し、続いて前記積分コンデンサを前記演算増幅器の入出力端子間に接続した状態で前記アレコンデンサの非共通側電極をそれぞれ前記複数の基準電圧線の所定の何れかに接続することにより前記アレコンデンサと前記積分コンデンサとの間で電荷再分配を行い、その後必要に応じて前記演算増幅器から出力される電圧に応じた前記電荷設定と初期化それに続く前記電荷再分配を行うことにより前記外部信号電圧を増幅し、その後、前記入力切替回路を介して前記積分コンデンサと前記アレコンデンサとの中から選択したコンデンサに対し前記増幅した電圧に応じた電荷を設定するとともに残るコンデンサを初期化し、続いて前記積分コンデンサを前記演算増幅器の入出力端子間に接続した状態で前記A/D変換回路の変換結果に応じて前記各アレコンデンサの非共通側電極をそれぞれ前記複数の基準電圧線の何れかに接続することにより前記アレコンデンサと前記積分コンデンサとの間で電荷再分配を行い、その後必要回数だけ前記演算増幅器から出力される残余電圧に応じた前記電荷設定と初期化それに続く前記電荷再分配を行うことにより前記増幅した電圧をA/D変換することを特徴とする請求項1記載のA/D変換器。

10

【請求項3】

20

前記残余電圧生成回路は、前記コモンラインと前記演算増幅器の入力端子との間に接続された第1のスイッチ回路と、前記コモンラインと所定の電圧線との間に接続された第2のスイッチ回路とを備え、

前記制御回路は、前記外部信号電圧の増幅動作において、前記第1のスイッチ回路を開いて前記第2のスイッチ回路を閉じた状態で電荷設定と初期化を実行し、続いて前記第2のスイッチ回路を開いて前記第1のスイッチ回路を閉じるとともに前記積分コンデンサを前記演算増幅器の入出力端子間に接続した状態で電荷再分配を実行し、その後のA/D変換動作において、前記第1のスイッチ回路を開いて前記第2のスイッチ回路を閉じた状態で電荷設定と初期化を実行し、続いて前記第2のスイッチ回路を開いて前記第1のスイッチ回路を閉じるとともに前記積分コンデンサを前記演算増幅器の入出力端子間に接続した状態で前記A/D変換回路の変換結果に応じて前記各アレコンデンサの非共通側電極をそれぞれ前記複数の基準電圧線の何れかに接続して電荷再分配を実行することを特徴とする請求項2記載のA/D変換器。

30

【請求項4】

前記残余電圧生成回路から前記入力切替回路に至る経路にサンプルホールド回路を備えたことを特徴とする請求項2記載のA/D変換器。

【請求項5】

前記残余電圧生成回路は、前記A/D変換回路の入力電圧と前記所定のアナログ電圧との差電圧に対する増幅率を変更可能に構成され、

前記制御回路は、前記外部信号電圧の増幅動作における前記残余電圧生成回路の増幅率と、その後のA/D変換動作における前記残余電圧生成回路の増幅率とをそれぞれ独立して設定することを特徴とする請求項1記載のA/D変換器。

40

【請求項6】

前記積分コンデンサは、その静電容量を変更可能に構成され、

前記制御回路は、前記外部信号電圧の増幅動作における前記積分コンデンサの静電容量と、その後のA/D変換動作における前記積分コンデンサの静電容量とをそれぞれ独立して設定することを特徴とする請求項2記載のA/D変換器。

【請求項7】

前記制御回路は、前記アナログ電圧の規定値をゼロとして前記外部信号電圧の増幅動作を実行することを特徴とする請求項1ないし6の何れかに記載のA/D変換器。

50

## 【請求項 8】

前記制御回路は、前記外部信号電圧の増幅動作において、被増幅電圧を前記残余電圧生成回路に通過させるごとに前記アナログ電圧の規定値を異なる値に設定可能であることを特徴とする請求項 1 ないし 6 の何れかに記載の A / D 変換器。

## 【請求項 9】

前記残余電圧生成回路は、前記 A / D 変換回路から出力されるデジタル変換値を D / A 変換して前記アナログ電圧を生成する D / A 変換回路を備え、

前記制御回路は、前記外部信号電圧の増幅動作時に、前記 D / A 変換回路に対し前記 A / D 変換回路から出力されるデジタル変換値に替えて所定のデジタル値を与えることを特徴とする請求項 1 記載の A / D 変換器。

10

## 【請求項 10】

前記 A / D 変換回路、前記残余電圧生成回路および前記入力切替回路は、それぞれ差動動作可能に構成されていることを特徴とする請求項 1 ないし 9 の何れかに記載の A / D 変換器。

## 【請求項 11】

外部信号電圧を選択して前記入力切替回路に与えるマルチプレクサを備え、

前記制御回路は、前記マルチプレクサの選択チャンネルごとに前記外部信号電圧の増幅動作における巡回数を設定可能に構成されていることを特徴とする請求項 1 ないし 10 の何れかに記載の A / D 変換器。

## 【発明の詳細な説明】

20

## 【技術分野】

## 【0001】

本発明は、巡回型の A / D 変換器に関する。

## 【背景技術】

## 【0002】

加速度センサ、圧力センサなどの車両用センサは、一般に数 mV から数百 mV の非常に小さいレベルの信号を出力する。一方、車両用マイクロコンピュータ（マイコン）などに搭載されている A / D 変換器は、0 V から 5 V の入力ダイナミックレンジ（変換電圧範囲）を持つものが多く、上記センサからの微小な信号をそのまま A / D 変換すると、入力ダイナミックレンジを有効に用いることができない。

30

## 【0003】

これに対しては、一般に図 17 に示すように A / D 変換器の前に増幅器（アンプ）を設け、センサの種類、品番、信号レベルなどに応じて増幅器のゲインを最適な値に選択、設定する手段が用いられている。図 18（a）は増幅器に入力されるセンサの出力電圧を示しており、図 18（b）は A / D 変換器の入力ダイナミックレンジに合わせて増幅した後の増幅器の出力電圧（A / D 変換器の入力電圧）を示している。特許文献 1 には、A / D 変換器の前にスイッチトキャパシタにより構成された複数の増幅器を設け、その各増幅器のゲインを調整可能な構成が開示されている。

## 【0004】

また、その他の手段としては、A / D 変換器の分解能を高めることが考えられるが、分解能を高めることは必ずしも容易ではない。特許文献 2 には、A / D 変換器のフルレンジ入力に対する量子化分解能を上限として、入力信号の大きさに応じて分解能を下げることで量子化幅を合わせる構成が開示されている。

40

【特許文献 1】米国特許第 5 8 9 2 4 7 2 号明細書

【特許文献 2】特開 2 0 0 5 - 2 6 0 4 4 9 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

特許文献 1 のように増幅器を複数段設けることは、IC のチップサイズの増大を招くとともに、各増幅器のオフセット誤差、ゲイン誤差、リニアリティ誤差（非直線性誤差）な

50

どが累積することになり、増幅器とA/D変換器とを含めた総合的な変換精度が悪化する。各増幅器の誤差を低減することも可能であるが、そのためには種々の補償回路などを付加する必要があり、ICのチップサイズが一層増大することになる。また、特許文献2のように分解能を下げる方向で調整する構成では、センサからの微小な信号に対してその振幅をフルレンジとして分解能を高めることはできない。

【0006】

本発明は上記事情に鑑みてなされたもので、その目的は、増幅機能を有するA/D変換器を提供することにある。

【課題を解決するための手段】

【0007】

請求項1に記載した手段によれば、A/D変換動作に先立って、巡回型のA/D変換器が本来備えている残余電圧生成回路を用いてA/D変換の対象である外部信号電圧を増幅する。すなわち、残余電圧生成回路において用いるアナログ電圧を所定の規定値とし、外部信号電圧を入力切替回路を介して残余電圧生成回路に入力すると、残余電圧生成回路は、外部信号電圧と規定値との差電圧を増幅した電圧を出力する。その後、必要とする増幅率が得られるように、この残余電圧生成回路の出力電圧を必要に応じて入力切替回路および残余電圧生成回路を通して巡回させることにより、A/D変換器自体に増幅機能を持たせることができる。

【0008】

この外部信号電圧の増幅後は、残余電圧生成回路において、A/D変換回路から出力されるデジタル変換値をD/A変換してアナログ電圧を生成するようにし、外部信号電圧の増幅電圧を入力切替回路、A/D変換回路および残余電圧生成回路を通して巡回させることによりA/D変換を実行する。

【0009】

A/D変換器の残余電圧生成回路は、高いA/D変換精度を得るために一般に高精度に構成されている。このため、残余電圧生成回路の増幅作用を用いることにより、新たに増幅器を付加することなく高精度、低オフセット、高リニアリティの特性を持つ可変ゲイン増幅器を実現できる。その結果、A/D変換器の前段に増幅器を付加する必要がなくなり、回路構成を縮小できICのチップサイズを低減できる。

【0010】

請求項2に記載した手段によれば、残余電圧生成回路は、コンデンサアレイ回路、演算増幅器および積分コンデンサにより構成される。入力切替回路を介して積分コンデンサとアレイコンデンサとの中から選択したコンデンサに対し外部信号電圧に応じた電荷を設定するとともに残るコンデンサを初期化し、続いて積分コンデンサを演算増幅器の入出力端子間に接続した状態でアレイコンデンサと積分コンデンサとの間で電荷再分配を行う。これにより、外部信号電圧に対する増幅が行われる。そして、演算増幅器から出力される電圧に応じた上記電荷設定と初期化それに続く上記電荷再分配を必要に応じて行えばさらに増幅が行われ、その繰り返し数(巡回数)に応じた増幅率が得られる。

【0011】

その後は、積分コンデンサとアレイコンデンサとの中から選択したコンデンサに対し上記増幅した電圧に応じた電荷を設定するとともに残るコンデンサを初期化し、続いて積分コンデンサを演算増幅器の入出力端子間に接続した状態でA/D変換回路の変換結果に応じて各アレイコンデンサの非共通側電極をそれぞれ複数の基準電圧線の何れかに接続することによりアレイコンデンサと積分コンデンサとの間で電荷再分配を行う。そして、分解能に応じて必要回数だけ演算増幅器から出力される残余電圧に応じた上記電荷設定と初期化それに続く上記電荷再分配を行うことにより高精度のA/D変換が行われる。

【0012】

請求項3に記載した手段によれば、残余電圧生成回路は、コモンラインと演算増幅器の入力端子との間に第1のスイッチ回路を備え、コモンラインと所定の電圧線との間に第2のスイッチ回路を備えている。増幅動作およびA/D変換動作において、第1のスイッチ

10

20

30

40

50

回路を開いて第2のスイッチ回路を閉じた状態で電荷設定と初期化を実行するので、電荷設定期間において演算増幅器と積分コンデンサをホールド回路として動作させることができ、巡回動作をさせる上で別にサンプルホールド回路を設ける必要がなく、チップサイズを一層低減できる。また、積分コンデンサが接続された演算増幅器をホールド回路として用いるので、新たな誤差が加わることがなく精度の良いA/D変換結果が得られる。

**【0013】**

請求項4に記載した手段によれば、残余電圧生成回路から出力される増幅電圧または残余電圧がサンプルホールド回路により保持されるので、増幅動作における巡回動作、増幅動作からA/D変換動作への移行動作およびA/D変換動作における巡回動作での電荷設定を正しく実行できる。

10

**【0014】**

請求項5に記載した手段によれば、外部信号電圧の増幅動作における残余電圧生成回路の増幅率と、その後のA/D変換動作における残余電圧生成回路の増幅率とをそれぞれ独立して設定できる。従って、A/D変換動作に影響を及ぼすことなく増幅動作における増幅率だけを高く設定でき、増幅動作時の巡回数を減らして変換時間を短縮できる。もしくは、A/D変換動作に影響を及ぼすことなく増幅動作における増幅率だけを低く設定でき、増幅動作時の巡回数に応じて増幅率を小刻みに（小幅に）変更することができる。

**【0015】**

請求項6に記載した手段によれば、外部信号電圧の増幅動作における積分コンデンサの静電容量と、その後のA/D変換動作における積分コンデンサの静電容量とをそれぞれ独立して設定できる。従って、A/D変換動作に影響を及ぼすことなく増幅動作における増幅率だけを高く設定でき、増幅動作時の巡回数を減らして変換時間を短縮できる。もしくは、A/D変換動作に影響を及ぼすことなく増幅動作における増幅率だけを低く設定でき、増幅動作時の巡回数に応じて増幅率を小刻みに（小幅に）変更することができる。

20

**【0016】**

請求項7に記載した手段によれば、外部信号電圧に対しオフセット電圧を与えることなく増幅することができる。一方、請求項8に記載した手段によれば、被増幅電圧を残余電圧生成回路に通過させるごとにアナログ電圧の規定値を異なる値に設定できるので、外部信号電圧に対し適当なオフセット電圧を与えながら増幅することができる。

**【0017】**

請求項9に記載した手段によれば、残余電圧生成回路はD/A変換回路を備え、外部信号電圧の増幅動作時に、D/A変換回路に対しA/D変換回路から出力されるデジタル変換値に替えて所定のデジタル値を与えることにより、残余電圧生成回路におけるアナログ電圧を所定の規定値としている。

30

**【0018】**

請求項10に記載した手段によれば、オフセット電圧を持つ外部信号電圧やセンサからの差動出力信号を、入力ダイナミックレンジを適切に維持しながらA/D変換できる。また、コモンモードノイズなどを有効に除去することができる。さらに、回路構成が対称となっているので、各スイッチ回路の切り替え時に発生するフィードスルーなどによる誤差を相殺でき、より高い変換精度を得ることができる。

40

**【0019】**

請求項11に記載した手段によれば、外部信号電圧を選択して入力切替回路に与えるマルチプレクサを備え、マルチプレクサの選択チャンネルごとに外部信号電圧の増幅動作における巡回数を設定できる。その結果、可変ゲインアンプをA/D変換器に前置したり、分解能の異なる複数のA/D変換器を設ける必要がなく、信号電圧レンジの異なる複数の信号を効率よくA/D変換することができる。

**【発明を実施するための最良の形態】****【0020】**

（第1の実施形態）

以下、本発明の第1の実施形態について図1ないし図3を参照しながら説明する。

50

図1は、車載用制御ICに用いられる巡回型A/D変換器の構成を示している。この巡回型A/D変換器1は、信号入力端子2に入力された信号電圧 $V_{in}$ (外部信号電圧)を増幅し、その増幅した電圧をA/D変換してNビットのA/D変換コードを出力するもので、MビットのA/D変換回路3、MビットのマルチプライングD/A変換器4、サンプルホールド回路5、切替回路6および制御回路7から構成されている。

【0021】

サンプルホールド回路5は、マルチプライングD/A変換器4の出力電圧(後述するように増幅電圧または残余電圧)をサンプルホールドし、切替回路6(入力切替回路に相当)は、信号入力端子2に入力された信号電圧 $V_{in}$ およびサンプルホールド回路5の出力電圧のうち何れか一方を選択してA/D変換回路3およびマルチプライングD/A変換器4

10

【0022】

マルチプライングD/A変換器4(残余電圧生成回路に相当)は、A/D変換回路3の入力電圧と、制御回路7から出力されるデジタル値をD/A変換して得たアナログ電圧との差電圧を増幅した電圧(増幅電圧または残余電圧)を生成するもので、サンプルホールド回路8、MビットのD/A変換回路9、サンプルホールド回路8の出力電圧からD/A変換回路9の出力電圧を減算する減算器10および増幅回路11から構成されている。

【0023】

図2は、制御回路7のうち増幅動作とA/D変換動作との切替回路の構成を示している。AND回路12は、A/D変換回路3から出力されたMビット分の各信号と切替信号AMPBとの各AND信号を生成し、そのAND信号をマルチプライングD/A変換器4に対し出力するようになっている。切替信号AMPBは、後述するように増幅動作時にロウレベル、A/D変換動作時にハイレベルとなる。制御回路7は、ロジック回路に替えてマイコンにより構成されていてもよい。

20

【0024】

次に、巡回型A/D変換器1の動作タイミングを示す図3を参照しながらその動作を説明する。以下の説明においては、動作タイミング図に示したマルチプライングD/A変換器4の機能を括弧付きで記載している。巡回型A/D変換器1は、A/D変換を実行するために本来備えているマルチプライングD/A変換器4、サンプルホールド回路5および切替回路6を用いて信号電圧 $V_{in}$ を増幅し、その後、A/D変換回路3も用いてA/D変換

30

【0025】

(増幅動作)

制御回路7は、切替信号AMPBをロウレベルにしてD/A変換回路9への入力デジタル値をゼロとし、D/A変換回路9の出力電圧を0V(所定の規定値に相当)に設定する。そして、切替回路6を信号入力端子2側(信号電圧 $V_{in}$ 側)に切り替えて、マルチプライングD/A変換器4(のサンプルホールド回路8)をサンプリング動作させる(Sampling)。

【0026】

制御回路7は、マルチプライングD/A変換器4に信号電圧 $V_{in}$ をホールドさせた後、切替回路6をサンプルホールド回路5側に切り替えて、マルチプライングD/A変換器4を増幅動作させる。マルチプライングD/A変換器4は、ホールドした信号電圧 $V_{in}$ からD/A変換回路9の出力電圧(0V)を減算し、それを増幅回路11で増幅して出力する。サンプルホールド回路5は、この増幅期間(Amp(1))中にマルチプライングD/A変換器4から出力される増幅電圧をサンプルし、その後ホールドする。

40

【0027】

本実施形態では、より高い増幅率を得るために、上記ホールドした増幅電圧を切替回路6とマルチプライングD/A変換器4を通して巡回させ、マルチプライングD/A変換器4に1回目と同様にして2回目のサンプリング動作と増幅動作を行わせる(Sampling、Amp(2))。この2回目の増幅動作は、サンプルホールド回路5が増幅電圧をホールドした時

50

点で終了する。

【0028】

(A/D変換動作)

その後、制御回路7は、切替信号AMPBをハイレベルにして、A/D変換回路3から出力されるデジタル変換値をD/A変換回路9への入力デジタル値とする。そして、マルチプライングD/A変換器4にサンプルホールド回路5から出力される上記増幅電圧をサンプリングさせるとともに、A/D変換回路3に上記増幅電圧をA/D変換させる(Sampling)。A/D変換のタイミング(図3に記載されたA/D変換回路3の出力が変化するタイミング)は、サンプルホールド回路5のホールド期間内であれば、必ずしも図示したタイミングでなくてもよい。制御回路7は、A/D変換値をシフト加算回路(図示せず)に

10

【0029】

マルチプライングD/A変換器4は、サンプルホールド回路8にホールドされた上記増幅電圧からD/A変換回路9の出力電圧(A/D変換回路3のデジタル変換値に応じたD/A変換値)を減算し、それを増幅回路11で増幅して出力する(MD/A(1))。サンプルホールド回路5は、このマルチプライングD/A変換器4から出力される残余電圧をサンプリングし、その後ホールドする。

【0030】

制御回路7は、この残余電圧を切替回路6、A/D変換回路3およびマルチプライングD/A変換器4を通して巡回させる。上述した増幅電圧(残余電圧)をマルチプライングD/A変換器4に(K-1)回通過させることにより、A/D変換回路3はK回のA/D変換を実行し、制御回路7のシフト加算回路は、各A/D変換値を1ビットずつ重ねながら順次加算して最終的に $N = K \cdot (M - 1)$ ビットのA/D変換コードを出力する。なお、 $M = 1.5$ ビットの場合には $M = 2$ として計算され、 $N = K$ ビットとなる。

20

【0031】

以上説明したように、本実施形態の巡回型A/D変換器1は、最初にサンプルホールドされた信号電圧 $V_{in}$ を切替回路6とマルチプライングD/A変換器4とサンプルホールド回路5とを介して適当な回数巡回させることにより、所望のゲイン倍だけ増幅することができる。これにより、車両用センサから出力される数mVから数百mV程度の微小レベルの信号を増幅し、A/D変換に適したダイナミックレンジ(例えば0Vから5Vの範囲)に調整してからA/D変換を実行することができ、これによって本来の(上記増幅機能を有しない)A/D変換器の分解能を有効に活用することができ、実効的にA/D変換分解能を高めることができる。

30

【0032】

巡回型A/D変換器1は、A/D変換を実行するために本来備えている回路要素を用いて増幅動作を行うので、従来構成のものとは異なり巡回型A/D変換器1の前段に増幅器を付加する必要がなく、回路構成を縮小できICのチップサイズを低減できる。特に、マルチプライングD/A変換器4は、高いA/D変換精度を得るために一般に高精度を有しているため、このマルチプライングD/A変換器4を用いることにより、高精度、低オフセット、高リニアリティの特性を持つ優れた増幅器を実現できる。また、マルチプライングD/A変換器4への通過回数(=巡回回数+1)に応じて増幅率を変えることができるので、プログラマブルな可変ゲイン増幅器を実現できる。

40

【0033】

以下では、上述した第1の実施形態に示した巡回型A/D変換器1を具体化した種々の実施形態について順次説明する。

(第2の実施形態)

本発明の第2の実施形態について、図4ないし図7を参照しながら説明する。

図4は、巡回型A/D変換器13の構成を示しており、図1に示す構成と同一部分には同一符号を付している。図5は、A/D変換回路3の構成を示している。A/D変換回路3は、 $V_{refp}$ (5V)と $V_{refm}$ (0V)を基準電圧とし、 $M = 1.5$ ビットつまり3値の

50

デジタル変換値 0、1、2 (= 00、01、10) を出力するようになっている。

【0034】

具体的には、基準電圧  $V_{refp}$  と  $V_{refm}$  の差電圧を抵抗  $R_0$ 、 $R_1$ 、 $R_2$  で分圧し、抵抗  $R_0$  と  $R_1$ 、抵抗  $R_1$  と  $R_2$  の各接続点は、それぞれコンパレータ  $CMP_1$ 、 $CMP_2$  の非反転入力端子に接続されている。コンパレータ  $CMP_1$ 、 $CMP_2$  の反転入力端子には、切替回路 6 を介して電圧が入力されている。ここで、抵抗  $R_0$ 、 $R_1$ 、 $R_2$  の抵抗値としては、抵抗  $R_1$  を所定の抵抗値  $R$  [ ] としたときに、抵抗  $R_0$  と  $R_2$  を  $1.5R$  [ ] となるように設定している。

【0035】

コンパレータ  $CMP_1$ 、 $CMP_2$  から出力されるハイレベルまたはロウレベルを有する出力信号はラッチ回路 15 に入力される。ラッチ回路 15 は、ラッチ信号がハイレベルになると、その時のコンパレータ  $CMP_1$ 、 $CMP_2$  の出力信号を保持して、その保持した出力信号をエンコーダ 16 に出力する。また、エンコーダ 16 は、ラッチ回路 15 からの信号に基づいて 3 値の A/D 変換コードを生成して出力する。

10

【0036】

図 4 に示すマルチプライング D/A 変換器 14 ( 残余電圧生成回路に相当 ) は、オペアンプ 17、コンデンサ  $C_S$ 、 $C_F$  およびスイッチ  $S_1 \sim S_4$  から構成されている。オペアンプ 17 は、コモンライン 18 の電圧を入力とし、増幅電圧または残余電圧を出力する。コンデンサ  $C_S$  は、本発明でいうアレイコンデンサ ( コンデンサアレイ回路 ) に相当し、その一端 ( 共通側電極 ) はコモンライン 18 に接続され、他端 ( 非共通側電極 ) はスイッチ  $S_4$  を介して複数の基準電圧線 (  $V_{refp}$  ( 5 V )、 $V_{ref}$  ( 2.5 V )、 $V_{refm}$  ( 0 V ) の各電圧線 ) および切替回路 6 の共通接点のうちの何れかに接続されるようになっている。

20

【0037】

オペアンプ 17 の反転入力端子と出力端子との間にはスイッチ  $S_1$  が接続されており、切替回路 6 とオペアンプ 17 の反転入力端子との間には、スイッチ  $S_3$  とコンデンサ  $C_F$  とが直列に接続されている。また、スイッチ  $S_3$  とコンデンサ  $C_F$  との接続点とオペアンプ 17 の出力端子との間には、スイッチ  $S_2$  が接続されている。コンデンサ  $C_F$  は、本発明でいう積分コンデンサに相当し、スイッチ  $S_1$  がオフ、スイッチ  $S_2$  がオンの状態でオペアンプ 17 の入出力端子間に接続される。

30

【0038】

サンプルホールド回路 5 は、オペアンプ 19、マルチプライング D/A 変換器 14 とオペアンプ 19 の反転入力端子との間に接続されたスイッチ  $S_5$  とコンデンサ  $C_A$ 、これらスイッチ  $S_5$  とコンデンサ  $C_A$  との接続点とグランドとの間に接続されたスイッチ  $S_6$ 、オペアンプ 19 の反転入力端子と出力端子との間に並列に接続されたスイッチ  $S_7$  とコンデンサ  $C_B$  とにより構成されている。

【0039】

次に、図 6 および図 7 を参照しながら巡回型 A/D 変換器 13 の動作を説明する。

制御回路 20 は、A/D 変換回路 3 とスイッチ  $S_1 \sim S_4$  を制御して、図 6 に示すように信号電圧  $V_{in}$  を 1 回巡回させて ( マルチプライング D/A 変換器 14 に 2 回通過させて ) 増幅動作を実行し、その後、その増幅電圧を 9 回巡回させて ( A/D 変換回路 3 に A/D 変換を 10 回実行させて ) 10 ビットの A/D 変換動作を実行する。

40

【0040】

( 増幅動作 )

制御回路 20 は、切替回路 6 を信号入力端子 2 側 ( 信号電圧  $V_{in}$  側 )、スイッチ  $S_4$  を切替回路 6 側に切り替え、スイッチ  $S_1$ 、 $S_3$  をオン、スイッチ  $S_2$  をオフとし、コンデンサ  $C_F$  と  $C_S$  に信号電圧  $V_{in}$  で電荷設定をする ( Sampling )。続いて、切替回路 6 をサンプルホールド回路 5 側、スイッチ  $S_4$  を  $V_{refm}$  側に切り替え、スイッチ  $S_1$ 、 $S_3$ 、 $S_6$  をオフ、スイッチ  $S_2$ 、 $S_5$ 、 $S_7$  をオンとし、マルチプライング D/A 変換器 14 を増幅動作させるとともに、サンプルホールド回路 5 をサンプリング動作させる ( Amp(1) )

50



。

## 【0041】

これにより、コンデンサCFがオペアンプ17の入出力端子間に接続され、コンデンサCFとCSとの間で電荷再分配が行われる。オペアンプ17の出力電圧をVoutとすれば、Vrefmを0Vとしている点も考慮して電荷再分配に係る式は(1)式のようになり、増幅された出力電圧Voutは(2)式ようになる。CF = CSに設定されていると、信号電圧VinをマルチプライングD/A変換器14に1回通過させることにより2倍の増幅率を得られる。

$$(CF + CS)(Vin - 0) = CS(0 - 0) + CF(Vout - 0) \quad \dots (1)$$

$$Vout = (CF + CS) / CF \cdot Vin \quad \dots (2)$$

10

## 【0042】

本実施形態ではより高い増幅率を得るために、制御回路20は、スイッチS5、S7をオフ、スイッチS6をオンしてサンプルホールド回路5をホールド動作させて上記マルチプライングD/A変換器14の出力(Vout)をホールドした後、ホールドした増幅電圧を切替回路6とマルチプライングD/A変換器14を通して巡回させ、マルチプライングD/A変換器14に2回目の増幅動作を行わせる。この増幅動作は、1回目と同様に、スイッチS4を切替回路6側に切り替え、スイッチS1、S3をオン、スイッチS2をオフして電荷を設定し(Sampling)、その後スイッチS4をVrefm側に切り替え、スイッチS1、S3をオフ、スイッチS2をオンして電荷を再分配することにより行われる(Amp(2))。増幅動作は、スイッチS5、S7をオフ、スイッチS6をオンしてサンプルホールド回路5が増幅電圧をホールドした時点で終了する。以上の一連の増幅動作によって、信号電圧Vinは4倍増幅されたことになる。

20

## 【0043】

(A/D変換動作)

制御回路20は、スイッチS4を切替回路6側に切り替え、スイッチS1、S3をオン、スイッチS2をオフとし、コンデンサCFとCSに上記増幅電圧で電荷設定をする(Sampling)。A/D変換回路3のA/D変換値が整定するとラッチ回路15に対しハイレベルのラッチ信号を出力し、電荷設定が完了するとスイッチS1とS3をオフし、その後スイッチS2をオンするとともにA/D変換回路3のA/D変換値に応じてスイッチS4を切り替えて電荷再分配を実行する(MD/A(1))。これとともに、スイッチS6をオフ、スイッチS5、S7をオンとし、サンプルホールド回路5をサンプリング動作させる。

30

## 【0044】

図7は、マルチプライングD/A変換器14の変換特性を示している。横軸と縦軸は、それぞれマルチプライングD/A変換器14の入力電圧Viと出力電圧Vout(残余電圧)である。入力電圧Viに対するA/D変換回路3のA/D変換値およびスイッチS4の切り替えは、以下のようになる。

## 【0045】

$$0V \quad \text{入力電圧 } Vi < 1.875V \quad : \quad A/D \text{ 変換値} = 00 \quad S4 = Vrefm$$

$$1.875V \quad \text{入力電圧 } Vi < 3.125V \quad : \quad A/D \text{ 変換値} = 01 \quad S4 = Vref$$

$$3.125V \quad \text{入力電圧 } Vi < 5V \quad : \quad A/D \text{ 変換値} = 10 \quad S4 = Vrefp$$

40

## 【0046】

上記電荷再分配に係る式は(3)式のようになり、CF = CS、Vrefp = 2・Vref、Vrefm = 0Vの条件の下で得られる残余電圧Voutは(4)式および図7に示すようになる。ここで、nはA/D変換値(0、1、2の何れか)である。

$$(CF + CS)(Vi - 0) = CS(n \cdot Vref - 0) + CF(Vout - 0) \quad \dots (3)$$

$$Vout = 2(Vi - n(Vref/2)) \quad \dots (4)$$

## 【0047】

その後、制御回路20は、(4)式に示す残余電圧Voutをサンプルホールド回路5、切替回路6、A/D変換回路3およびマルチプライングD/A変換器14を通して巡回させる。上述した増幅電圧(残余電圧)をマルチプライングD/A変換器14に9(=K -

50

1) 回通過させることにより、A/D変換回路3は10(=K)回のA/D変換を実行し、制御回路20のシフト加算回路は、各A/D変換値を1ビットずつ重ねながら順次加算して最終的にN=10ビットのA/D変換コードを出力する。

【0048】

以上説明したように、本実施形態の巡回型A/D変換器13によれば、A/D変換に先立って、A/D変換を実行するために本来備えているマルチプライングD/A変換器14に、D/A変換値を強制的に0Vに設定した状態で信号電圧 $V_{in}$ を通過させる(巡回させる)ことにより信号電圧 $V_{in}$ を増幅することができる。この種のA/D変換器では、一般にコンデンサCFとCSの静電容量の比は非常に高精度に設定されているので、高い精度を持つ可変ゲイン増幅器を実現できる。

10

【0049】

なお、上記動作説明より明らかなように、本実施形態におけるサンプルホールド回路5の役割は、マルチプライングD/A変換器14が電荷再分配を実施した後にその出力電圧を一旦サンプルホールドし、巡回動作における次のステップのコンデンサCFとCSへの電荷設定に備えるためであった。従って、サンプルホールド回路5の代わりに、マルチプライングD/A変換器14と同様のマルチプライングD/A変換器と1.5ビットA/D変換回路3と同様の1.5ビットA/D変換回路をもう一つずつ準備し、これでサンプルホールド回路5を置き換えることも可能である。このような構成において、これら2対のマルチプライングD/A変換器にそれぞれが交互に互いに逆の動作となるようにサンプリング(電荷設定)動作と電荷再分配動作とを行わせることにより、変換時間を短縮することができる。

20

【0050】

(第3の実施形態)

本発明の第3の実施形態について、図8ないし図10を参照しながら説明する。

図8は、巡回型A/D変換器21の構成を示しており、図1に示す構成と同一部分には同一符号を付している。また、A/D変換回路3は、図9に示すように3ビットである点を除いて、図5に示す1.5ビットのA/D変換回路と同様に構成されている。従って、このA/D変換回路自体、ラッチ回路およびエンコーダには、図5に示すものと同じ符号を付している。

【0051】

30

本実施形態のマルチプライングD/A変換器22(残余電圧生成回路に相当)は、図1に示すマルチプライングD/A変換器4とサンプルホールド回路5の機能を併せ持つもので、オペアンプ23、コンデンサアレイ回路24、コンデンサCFおよびスイッチS10~S20から構成されている。

【0052】

コンデンサアレイ回路24は、互いに等しい静電容量Cを有する8個のアレイコンデンサCS10~CS17により構成されている。これらコンデンサCS10~CS17の下部電極(共通側電極)はそれぞれコモンライン25に接続され、上部電極(非共通側電極)はそれぞれスイッチS10~S17を介して複数の基準電圧線( $V_{refp}(5V)$ )、 $V_{refm}(0V)$ の各電圧線)および切替回路6の共通接点うちの何れかに接続されるようになっている。

40

【0053】

コモンライン25は、スイッチS19(第1のスイッチ回路に相当)を介してオペアンプ23の反転入力端子に接続されるとともに、スイッチS20(第2のスイッチ回路に相当)を介してグランド(所定の電圧線に相当)に接続されている。また、オペアンプ23の反転入力端子と出力端子との間にはスイッチS18が接続されており、切替回路6とオペアンプ23の反転入力端子との間には、各コンデンサCS10~CS17の2倍の静電容量2Cを有するコンデンサCF(積分コンデンサに相当)が接続されている。

【0054】

次に、図10を参照しながら巡回型A/D変換器21の動作を説明する。

50

制御回路 26 は、A/D 変換回路 3 とスイッチ S 10 ~ S 20 を制御して、図 10 に示すように信号電圧  $V_{in}$  を 1 回巡回させて (マルチプライング D/A 変換器 22 に 2 回通過させて) 増幅動作を実行し、その後、その増幅電圧を 2 回巡回させて (A/D 変換回路 3 に A/D 変換を 3 回実行させて) 6 ビットの A/D 変換動作を実行する。

【0055】

(増幅動作)

制御回路 26 は、切替回路 6 を信号入力端子 2 側 (信号電圧  $V_{in}$  側)、スイッチ S 10 ~ S 15 を切替回路 6 側、スイッチ S 16、S 17 を  $V_{refm}$  側に切り替え、スイッチ S 18、S 20 をオン、スイッチ S 19 をオフとし、コンデンサ CF と CS 10 ~ CS 15 に信号電圧  $V_{in}$  で電荷設定をするとともに、コンデンサ CS 16 と CS 17 の電荷を初期化

10

【0056】

これにより、コンデンサ CF がオペアンプ 23 の入出力端子間に接続され、コンデンサ CF、CS 10 ~ CS 17 の間で電荷再分配が行われる。オペアンプ 23 の出力電圧を  $V_{out}$  とすれば、電荷再分配に係る式は (5) 式のようになり、増幅された出力電圧  $V_{out}$  は (6) 式ようになる。つまり、信号電圧  $V_{in}$  をマルチプライング D/A 変換器 22 に 1 回通過させることにより 4 倍の増幅率を得られる。

20

$$(CF + 6 \cdot CS)(V_{in} - 0) = 8 \cdot CS(0 - 0) + CF(V_{out} - 0) \dots (5)$$

$$V_{out} = (CF + 6 \cdot CS) / CF \cdot V_{in} = 4 \cdot V_{in} \dots (6)$$

【0057】

本実施形態ではより高い増幅率を得るために、制御回路 26 は、スイッチ S 19 をオフして増幅電圧をホールドし、その増幅電圧を切替回路 6 を介してマルチプライング D/A 変換器 22 に巡回させ、マルチプライング D/A 変換器 22 に 2 回目の増幅動作を行わせる。すなわち、スイッチ S 10 ~ S 15 を切替回路 6 側に切り替え、スイッチ S 20 をオンしてコンデンサ CS 10 ~ CS 15 に電荷を設定するとともに、コンデンサ CS 16 と CS 17 の電荷を初期化する (Sampling)。その後、スイッチ S 20 をオフとした後、スイッチ S 10 ~ S 17 を  $V_{refm}$  側に切り替え、スイッチ S 19 をオンとし、電荷を再分配

30

【0058】

(A/D 変換動作)

制御回路 26 は、A/D 変換回路 3 のラッチ回路 15 に対しハイレベルのラッチ信号を出力する。そして、スイッチ S 10 ~ S 15 を切替回路 6 側に切り替え、スイッチ S 20 をオンしてコンデンサ CS 10 ~ CS 15 に増幅電圧で電荷設定をするとともに、コンデンサ CS 16 と CS 17 の電荷を初期化する (Sampling)。電荷設定が完了すると、スイッチ S 20 をオフし、その後スイッチ S 19 をオンするとともに A/D 変換回路 3 の A/D 変換値に応じてスイッチ S 10 ~ S 17 を  $V_{refp}$  側または  $V_{refm}$  側に切り替えて電荷再分配を実行する (MD/A(1))。

40

【0059】

制御回路 26 は、電荷再分配が完了すると、スイッチ S 19 をオフして残余電圧をホールドし、その残余電圧をマルチプライング D/A 変換器 22 に巡回させる。増幅電圧 (残余電圧) をマルチプライング D/A 変換器 22 に 2 (= K - 1) 回通過させることにより、A/D 変換回路 3 は 3 (= K) 回の A/D 変換を実行し、制御回路 22 のシフト加算回路は、各 A/D 変換値を 1 ビットずつ重ねながら順次加算して最終的に N = 6 ビットの A/D 変換コードを出力する。

【0060】

本実施形態においては、スイッチ S 19 を新たに設けることによって、スイッチ S 19

50

とオペアンプ23と積分コンデンサCFは、コンデンサアレイ回路24とは分離されたサンプルホールド回路として機能することができ、第1、第2の実施形態におけるサンプルホールド回路5を省くことができる。これにより、回路を一層簡素化でき、高精度化が図れる。また、スイッチS20を新たに設けることによって、このサンプルホールドされた電圧をアレイコンデンサCS10～CS17に充電することができるため、上記一連の巡回動作が可能となる。

【0061】

以上説明したように、本実施形態の巡回型A/D変換器21も、A/D変換を実行するために本来備えているマルチプライングD/A変換器22を用いて高精度の増幅動作をさせることができ、第1および第2の実施形態と同様の作用および効果を得られる。

10

【0062】

(第4の実施形態)

本発明の第4の実施形態について、図11および図12を参照しながら説明する。

図11は、巡回型A/D変換器の構成を示しており、図1、図8と同一構成部分には同一符号を付している。A/D変換回路3は、図5に示す1.5ビットの構成を備えている。マルチプライングD/A変換器28(残余電圧生成回路に相当)におけるコンデンサアレイ回路29は、静電容量CSを有する2つのアレイコンデンサCS10とCS11により構成されており、それに伴ってスイッチS10とS11が設けられている。また、コンデンサCFは、各コンデンサCS10、CS11の2倍の静電容量2Cを有している。

20

【0063】

制御回路30は、A/D変換回路3とスイッチS10、S11、S18～S20を制御して、図12に示すように信号電圧Vinを1回巡回させて(マルチプライングD/A変換器28に2回通過させて)増幅動作を実行し、その後、その増幅電圧を9回巡回させて(A/D変換回路3にA/D変換を10回実行させて)10ビットのA/D変換動作を実行する。

【0064】

(増幅動作)

制御回路30は、第3の実施形態と同様にして、A/D変換動作に先立って増幅動作を実行する。すなわち、切替回路6を信号入力端子2側(信号電圧Vin側)、スイッチS10、S11を切替回路6側に切り替え、スイッチS18、S20をオン、スイッチS19をオフとし、コンデンサCFとCS10、CS11に信号電圧Vinで電荷設定をする(Sampling)。続いて、スイッチS18、S20をオフとした後、切替回路6をマルチプライングD/A変換器28側、スイッチS10、S11をVrefm側に切り替え、スイッチS19をオンとし、マルチプライングD/A変換器28を増幅動作させる(Amp(1))。

30

【0065】

オペアンプ23の出力電圧をVoutとすれば、Vrefmが0Vに設定されているとして電荷再分配に係る式は(7)式のようになり、増幅された出力電圧Voutは(8)式のようになる。つまり、信号電圧VinをマルチプライングD/A変換器28に1回通過させることにより2倍の増幅器を実現できる。その後、第3の実施形態と同様に、マルチプライングD/A変換器28に2回目の増幅動作を行わせている(Amp(2))。

40

$$(CF + 2 \cdot CS)(Vin - 0) = 2 \cdot CS(0 - 0) + CF(Vout - 0) \dots (7)$$

$$Vout = (CF + 2 \cdot CS) / CF \cdot Vin = 2 \cdot Vin \dots (8)$$

【0066】

その後のA/D変換動作も第3の実施形態と同様であるため動作説明を省略する。

本実施形態によっても、第1、第3の実施形態と同様の作用および効果を得られる。

【0067】

(第5の実施形態)

本発明の第5の実施形態について図13および図14を参照しながら説明する。

図13に示す巡回型A/D変換器31は、図11に示す巡回型A/D変換器27を差動構成としたもので、1.5ビットの分解能を有するA/D変換回路32とマルチプライン

50

グD/A変換器33(残余電圧生成回路に相当)とから構成されている。また、差動出力型のオペアンプ34の非反転出力端子および反転出力端子は、それぞれ( $V_{refp} + V_{refm}$ )/2を中心として逆位相で変化する差動電圧が出力されるようになっている。

【0068】

A/D変換回路32の非反転入力端子は、スイッチ6pを介して非反転信号入力端子2pまたはオペアンプ34の非反転出力端子の何れかに選択的に接続されるようになっている。同様に、A/D変換回路32の反転入力端子は、スイッチ6mを介して反転信号入力端子2mまたはオペアンプ34の反転出力端子の何れかに選択的に接続されるようになっている。

【0069】

スイッチ6pの共通接点とオペアンプ34の反転入力端子との間には、図11に示すシングル構成と同様にして、コンデンサCFp、アレイコンデンサCS10pとCS11pからなるコンデンサアレイ回路29p、これらコンデンサCS10pとCS11pの上部電極の接続を切り替えるスイッチS10pとS11pおよびスイッチS19pが接続されている。また、コモンライン25pとグランドの間にはスイッチS20pが接続されており、オペアンプ34の反転入力端子と非反転出力端子の間にはスイッチS18pが接続されている。

【0070】

同様に、スイッチ6mの共通接点とオペアンプ34の非反転入力端子との間には、コンデンサCFm、アレイコンデンサCS10mとCS11mからなるコンデンサアレイ回路29m、これらコンデンサCS10mとCS11mの上部電極の接続を切り替えるスイッチS10mとS11mおよびスイッチS19mが接続されている。また、コモンライン25mとグランドの間にはスイッチS20mが接続されており、オペアンプ34の非反転入力端子と反転出力端子の間にはスイッチS18mが接続されている。なお、回路のレイアウトは、非反転信号側と反転信号側とで対称構造とすることが好ましい。

【0071】

A/D変換回路32より出力されるA/D変換コードnは、制御回路35内のシフト加算回路(図示せず)において1ビットずつずらしながら加算されるようになっている。

上記構成を有する巡回型A/D変換器31の動作タイミングは、図12に示した動作タイミングとほぼ同様となる。ただし、A/D変換動作における電荷再分配時において、スイッチS10p、S11pはA/D変換回路32から出力されるA/D変換コードnに基づいて切り替えられ、スイッチS10m、S11mは(2-n)に基づいて切り替えられる。こうした一連の動作において、非反転信号側と反転信号側における各スイッチの切り替えは同タイミングで行われるようになっている。

【0072】

図14は、 $\pm 0.15625V (= \pm 2.5V / 16)$ の範囲の入力電圧 $V_{in}$ を $\pm 2.5V$ の変換レンジを有する2種類の巡回型A/D変換器でA/D変換した場合の変換誤差を示している。図中に示すE1は、増幅機能を有しない従来の14ビット巡回型A/D変換器(図13に示す構成において増幅動作のないもの:  $N = 14$ )を用いた場合であり、図中に示すE2は、本実施形態の巡回型A/D変換器31を用いて $2^4 = 16$ 倍の増幅動作を行った後に10ビットのA/D変換( $N = 10$ )を行った場合である。ここでは、実際のLSI製造上のコンデンサ容量のばらつきを想定し、図13におけるコンデンサCFp、CFmの容量値が理想的な値に対して1%大きいとしている。

【0073】

巡回型A/D変換器31の増幅動作においてゲイン誤差とオフセット誤差がない理想的な16倍の増幅が行われた場合、10ビットの分解能を有するA/D変換動作により得られた10ビットのA/D変換コードは、1LSBあたりの電圧分解能が $2.5V \times 2 / 2^{10} / 16 = 2.5V \times 2 / 2^{14}$ となり、 $\pm 2.5V$ の変換レンジを有する14ビットA/D変換器の電圧分解能と等しくなる。従って、10ビット巡回型A/D変換器31のA/D変換コードのMSB側を4ビット拡張して考えれば、等価的に従来の14ビット巡回型

10

20

30

40

50

A / D変換器から出力されるA / D変換コードと考えることができる。

【0074】

実際には、10ビット巡回型A / D変換器31が出力するA / D変換コードには、A / D変換動作に起因する誤差だけでなく、増幅動作において発生するゲイン誤差、オフセット誤差も含まれる。図14は、実際にLSIを製造する際に避けられないコンデンサ容量比のばらつきを前提とした場合に、本実施形態の優れた効果を示している。すなわち、増幅機能を有しない14ビット巡回型A / D変換器を用いた場合、2箇所において変換値の不連続点が見られる。こうした不連続点ではミスコードが発生する可能性がある。この不連続点は、コンデンサ容量の相対比が理想値からずれている場合に、A / D変換結果に応じたD / A変換および残余電圧生成処理に起因して発生するものである。

10

【0075】

これに対して、10ビット巡回型A / D変換器31では、不連続性(微分非直線性)が大幅に改善されている。これは、巡回型A / D変換器31における16倍の増幅動作が、その増幅器としての入出力特性に不連続点を発生させないためである。それに続く10ビットのA / D変換動作においては上記不連続は発生するものの、16倍増幅された信号に対して発生するため、その不連続の度合いは1 / 16に低減され、優れた微分非直線性を得ることができる。

【0076】

図14において、変換誤差が右肩上がりとなっているのは、コンデンサの容量比で決まる2倍増幅のゲインが理想値からずれるためである。こうした誤差は、リニアリティを悪化させるものではなく、多くの用途では問題とならない。これに対し、巡回型A / D変換器は、巡回数を増やすことによって容易に分解能を高めることができるため、増幅機能を持たない従来の巡回型A / D変換器の巡回数を増やし、必要であれば得られたA / D変換値の上位ビットを切り捨てるという構成を採用することも考えられる。しかし、このような構成では、リニアリティが悪化する不都合が生じる。

20

【0077】

その他、本実施形態の巡回型A / D変換器31によれば、第3、第4の実施形態と同様の作用および効果を得られ、さらに信号電圧 $V_{inp}$ と $V_{inm}$ との差電圧をA / D変換するので、外部からのコモンモードノイズを有効に除去することができる。

【0078】

(第6の実施形態)

本発明の第5の実施形態について図15ないし図17を参照しながら説明する。

図15は、複数チャンネル(以下、チャンネルを $Ch$ で表す)を有するA / D変換システムの構成を示している。 $Ch1$ から $ChN$ の各入力端子51には、それぞれ相異なる信号電圧(外部信号電圧)が入力されている。例えば、 $Ch1$ の入力端子51(1)には加速度センサが接続され、 $Ch2$ の入力端子51(2)には温度センサが接続され、 $Ch3$ の入力端子51(3)にはICの外部で抵抗によって分圧されたバッテリー電圧が入力されるようになっている。制御回路53は、これらの信号をマルチプレクサ52を用いて時分割で選択し、上述した巡回型A / D変換器1により順次A / D変換するようになっている。

【0079】

車載制御用途においては、こうした複数の信号電圧をそれぞれA / D変換して車両制御に用いている。この場合、A / D変換対象となる信号電圧の大きさ(ダイナミックレンジ)は、各信号ごとに異なっているのが普通である。一例を示せば、加速度センサの出力電圧レンジは15mV、温度センサの出力電圧レンジは500mV、分圧されたバッテリー電圧のレンジは5Vである。

40

【0080】

こうした場合、A / D変換器のダイナミックレンジは、最も大きい信号電圧レンジを包含するように決定しなければならない。上述の例では、分圧されたバッテリー電圧のレンジに合わせて変換レンジを5Vに設定する。本実施形態では、A / D変換器に上述した巡回型A / D変換器1を適用し、それぞれのA / D変換対象電圧(マルチプレクサ52の選択

50

チャンネル)ごとに最適な増幅ゲイン(増幅動作における巡回数)を設定している。最適なゲインとは、増幅後の信号電圧レンジが巡回型A/D変換器1のダイナミックレンジを超えない範囲でできるだけ大きいゲインである。

【0081】

図16は、具体的なゲイン設定例を示している。10ビットの巡回型A/D変換器1を用いる場合、その増幅機能を用いることにより、最も振幅の小さいCh1の加速度センサからの信号電圧を入力換算で $0.019\text{mV}$ ( $=5000\text{mV}/1024/256$ )の分解能でA/D変換することができる。これは、5Vレンジの18ビットA/D変換器の分解能と等価である。一方、分圧されたバッテリー電圧に対しては、5Vレンジの10ビットA/D変換器の分解能である $4.88\text{mV}$ ( $=5000\text{mV}/1024$ )の分解能でA/D変換される。

10

【0082】

すなわち、本実施形態のように巡回型A/D変換器1をマルチチャンネルA/D変換器に適用し、マルチプレクサ52の選択チャンネルごとに増幅動作における巡回数を設定可能とすることで、可変ゲインアンプ増幅器をA/D変換器に前置したり、分解能の異なる複数のA/D変換器を搭載する必要がなく、信号レンジの異なる複数の信号を効率よくA/D変換することができ、高分解能A/D変換器を用いる必要がなくなる。

【0083】

(その他の実施形態)

なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

20

【0084】

上述した各実施形態では、信号電圧 $V_{in}$ をマルチプライングD/A変換器4、14、22、28、33に2回通過(1回巡回)させることにより増幅したが、1回通過させた後にA/D変換を実行させてもよいし、3回以上通過(2回以上巡回)させた後にA/D変換を実行させてもよい。この通過回数(巡回数)を適宜設定することにより、A/D変換器にプログラマブルな可変ゲイン増幅器としての機能を持たせることができる。

【0085】

増幅動作中、マルチプライングD/A変換器4、14、22、28、33に被増幅信号を通過させるごとに増幅率を変更してもよい。この場合、信号電圧 $V_{in}$ の増幅動作における増幅率とその後のA/D変換動作における増幅率とをそれぞれ独立して設定する。増幅動作における増幅率は1倍以下であってもよい。

30

【0086】

例えば第3の実施形態において、増幅動作時にコンデンサCF、CS10~CS15に電荷設定をしたが、コンデンサCFとコンデンサCS10~CS17のうちの少なくとも1つに電荷設定する構成としてもよい。これにより、1.5倍、2倍、2.5倍、3倍、3.5倍、4倍、4.5倍、5倍の増幅率が得られる。また、増幅動作の電荷再分配時にスイッチS10~S17の少なくとも1つを $V_{refm}$ 側ではなく切替回路6側に切り替えれば、1倍以下の増幅率を含めさらに多種類の増幅率を実現できる。

【0087】

コンデンサCFの静電容量を変更可能に構成し、信号電圧 $V_{in}$ の増幅動作におけるコンデンサCFの静電容量と、その後のA/D変換動作におけるコンデンサCFの静電容量とをそれぞれ独立して設定してもよい。例えば第3の実施形態において、A/D変換動作でのコンデンサCFの静電容量2Cに対し、増幅動作でのコンデンサCFの静電容量をCに変更すれば、より高い増幅率が得られる。

40

【0088】

各実施形態において、増幅動作時にオフセット電圧を与える構成としてもよい。すなわち、信号電圧 $V_{in}$ をマルチプライングD/A変換器4、14、22、28、33に通過させるごとに、本発明でいうアナログ電圧の規定値を異なる値に設定してもよい。例えば第1の実施形態では、増幅動作時に制御回路7からD/A変換回路9への入力デジタル値を

50

オフセット電圧に応じた値とし、第2の実施形態では、増幅動作時の電荷再分配に際しスイッチS4をVrefp側またはVref側に切り替えればよい。また、第3の実施形態では、増幅動作時の電荷再分配に際しスイッチS10～S17のうち少なくとも1つをVrefp側に切り替えればよい。

【0089】

各実施形態において、増幅動作時における巡回数を変更可能とし、増幅動作時にもA/D変換回路3、32にA/D変換を実行させ、その変換結果に基づいて信号電圧VinがA/D変換に適したダイナミックレンジにまで増幅されたか否かを判断して巡回動作を停止するように構成してもよい。この場合、制御回路7、20、26、30、35は、巡回数(マルチプライングD/A変換器4、14、22、28、33への通過回数)と各回の増幅率とを記憶し、得られたA/D変換値に対する補正処理を行えばよい。

10

【図面の簡単な説明】

【0090】

【図1】本発明の第1の実施形態を示す巡回型A/D変換器の構成図

【図2】増幅動作とA/D変換動作との切替回路の構成を示す図

【図3】動作タイミングを示す図

【図4】本発明の第2の実施形態を示す図1相当図

【図5】1.5ビットA/D変換回路の構成図

【図6】図3相当図

【図7】1.5ビットマルチプライングD/A変換器の変換特性を示す図

20

【図8】本発明の第3の実施形態を示す図1相当図

【図9】3ビットA/D変換回路の構成図

【図10】図3相当図

【図11】本発明の第4の実施形態を示す図1相当図

【図12】図3相当図

【図13】本発明の第5の実施形態を示す図1相当図

【図14】入力電圧を±2.5Vの変換レンジを有する2種類の巡回型A/D変換器でA/D変換した場合の変換誤差を示す図

【図15】本発明の第6の実施形態を示すマルチチャンネルA/D変換システムの構成図

【図16】各チャンネルごとのゲイン設定例を示す図

30

【図17】従来技術を示す増幅器とA/D変換器との組み合わせを示す図

【図18】増幅器の入出力波形を示す図

【符号の説明】

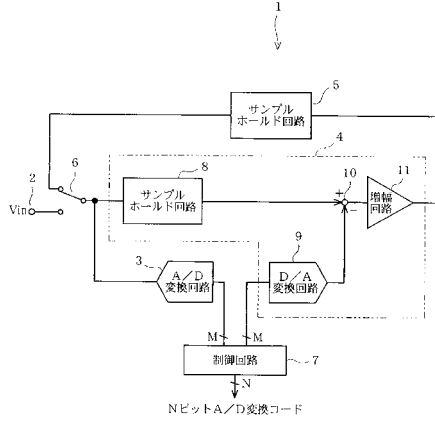
【0091】

図面中、1、13、21、27、31は巡回型A/D変換器、3、32はA/D変換回路、4、14、22、28、33はマルチプライングD/A変換器(残余電圧生成回路)、5はサンプルホールド回路、6、6p、6mは切替回路(入力切替回路)、7、20、26、30、35は制御回路、17、23、34はオペアンプ(演算増幅器)、18、25、25p、25mは共通ライン、24、29、29p、29mはコンデンサアレイ回路、52はマルチプレクサ、CS、CS10～CS17、CS10p、CS11p、CS10m、CS11mはコンデンサ(アレイコンデンサ)、CF、CFp、CFmはコンデンサ(積分コンデンサ)、S19、S19p、S19mはスイッチ(第1のスイッチ回路)、S20、S20p、S20mはスイッチ(第2のスイッチ回路)である。

40

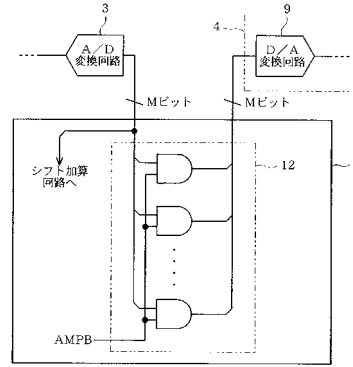


【図1】

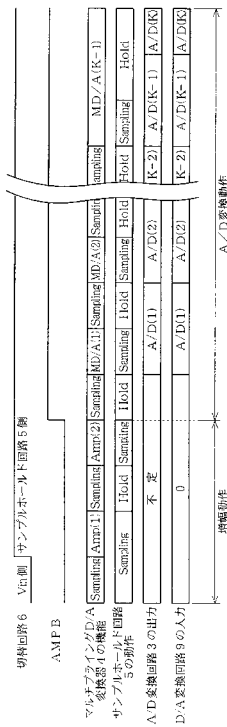


- 1: A/D変換器
- 4: 残余電圧生成回路
- 6: 入力切替回路

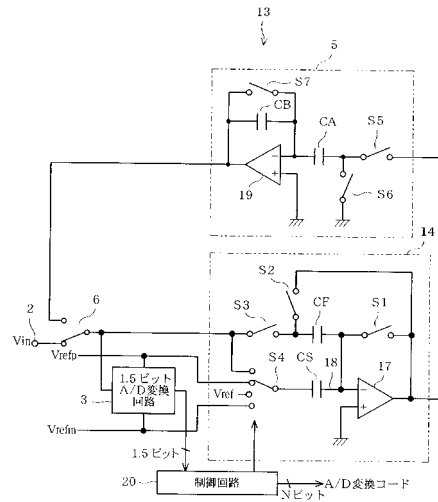
【図2】



【図3】

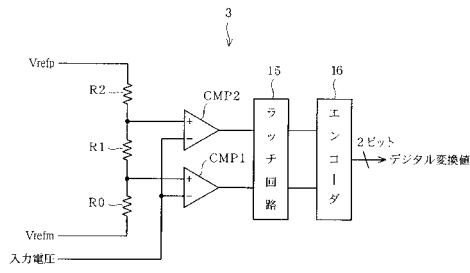


【図4】

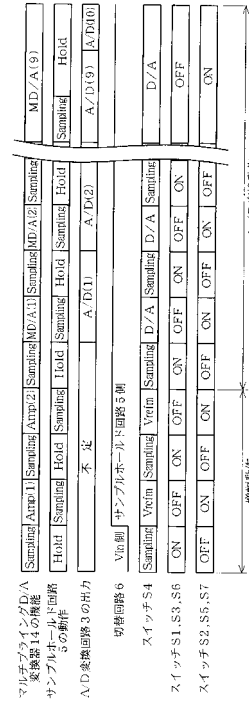


- 13: A/D変換器
- 14: 残余電圧生成回路
- 17: 演算増幅器
- 18: コモンライン
- CF: 積分コンデンサ
- CS: アレイコンデンサ

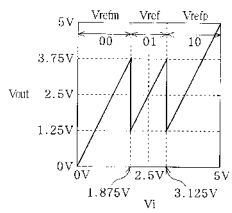
【 図 5 】



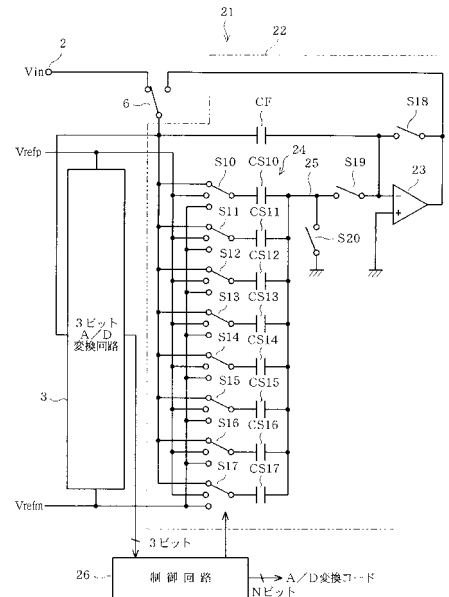
【 図 6 】



【 図 7 】

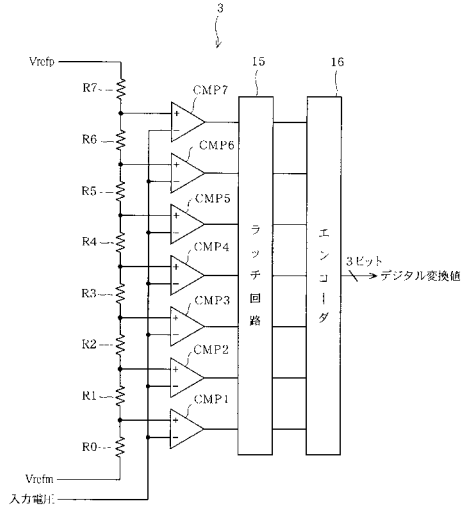


【 図 8 】

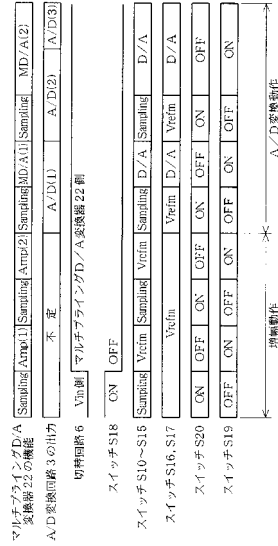


- 21 : A/D変換器
- 22 : 残余電圧生成回路
- 23 : 演算増幅器
- 24 : コンデンサアレイ回路
- 25 : コモンライン
- CF : 積分コンデンサ
- CS10~CS17 : アレイコンデンサ
- S19 : 第1のスイッチ回路
- S20 : 第2のスイッチ回路

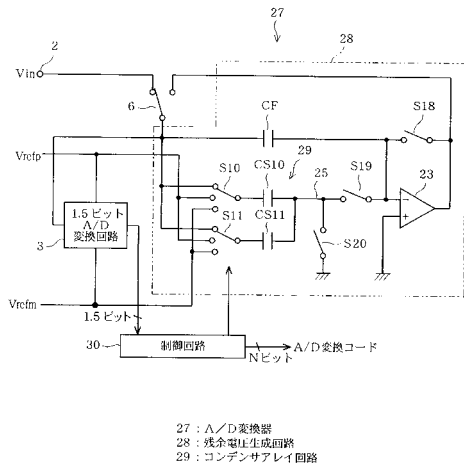
【図9】



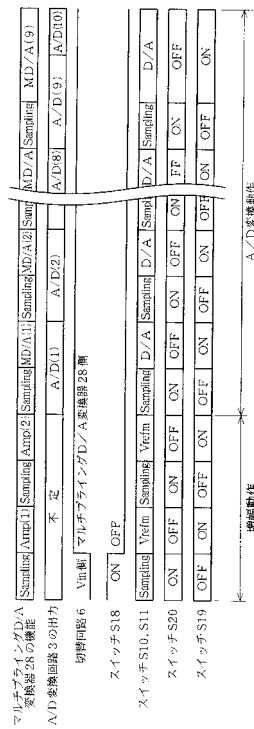
【図10】



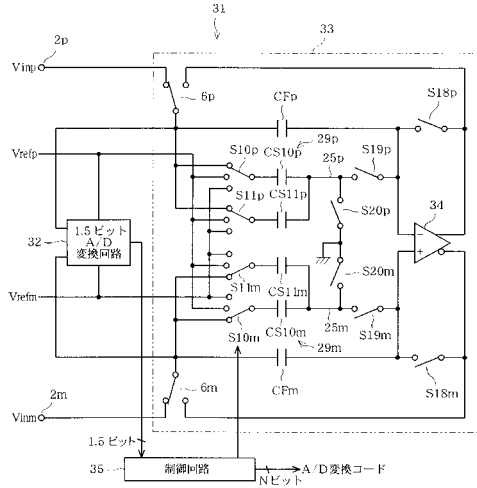
【図11】



【図12】

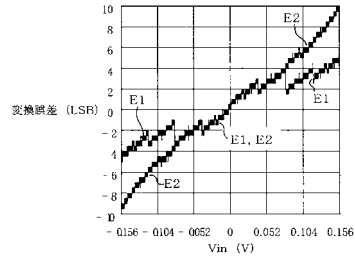


【図 13】

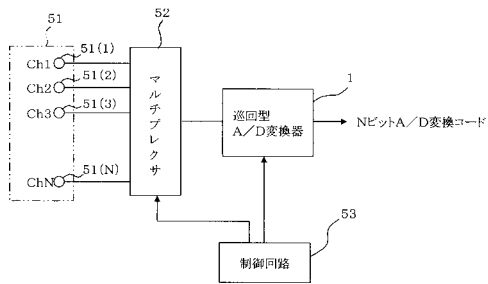


6p, 6m: 入力切替回路  
 25p, 25m: コモンフォイン  
 29p, 29m: コンデンサアレイ回路  
 31: A/D変換器  
 32: 残余電圧生成回路  
 34: 演算増幅器  
 CFp, CFm: 積分コンデンサ  
 CS10p, CS11p, CS10m, CS11m: アレイコンデンサ  
 S19p, S19m: 第1のスイッチ回路  
 S20p, S20m: 第2のスイッチ回路

【図 14】



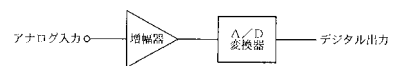
【図 15】



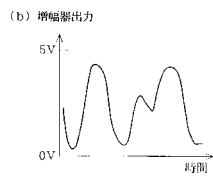
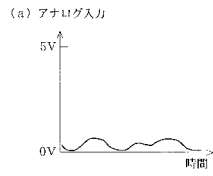
【図 16】

	信号種類	信号電圧レンジ	設定ゲイン	増幅後の 信号振幅レンジ	入力換算の 変換分解能
Ch1	加速度センサ	15mV	2 <sup>8</sup> =256	3.84V	0.015mV
Ch2	温度センサ	500mV	2 <sup>4</sup> =8	4.0V	0.61mV
Ch3	バッテリー電圧 (分圧後)	5V	1	5.0V	4.88mV

【図 17】



【図18】



---

フロントページの続き

(56)参考文献 特開2005-244343(JP,A)  
特開昭58-213516(JP,A)  
特開平11-145829(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03M1/00-1/88