



# (12) 发明专利

(10) 授权公告号 CN 110010552 B

(45) 授权公告日 2023. 07. 14

(21) 申请号 201910222017.4

(22) 申请日 2016.10.10

(65) 同一申请的已公布的文献号  
申请公布号 CN 110010552 A

(43) 申请公布日 2019.07.12

(30) 优先权数据  
14/964,412 2015.12.09 US

(62) 分案原申请数据  
201610885245.6 2016.10.10

(73) 专利权人 派赛公司  
地址 美国加利福尼亚州

(72) 发明人 贝夫鲁斯·塔什巴什  
西蒙·爱德华·威拉德  
阿拉因·迪瓦莱  
锡南·格克泰佩利

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227  
专利代理师 杜诚 杨林森

(51) Int.Cl.  
H01L 21/84 (2006.01)  
H01L 27/12 (2006.01)

(56) 对比文件  
CN 103247684 A, 2013.08.14  
US 2010314685 A1, 2010.12.16  
审查员 李毅妮

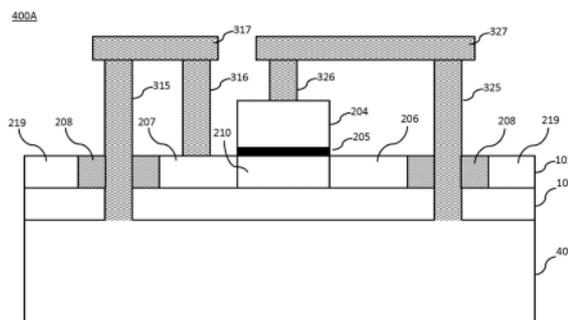
权利要求书3页 说明书12页 附图18页

## (54) 发明名称

用于绝缘体上硅的s接触

## (57) 摘要

公开了用于绝缘体上硅的s接触(s-contact)。描述了用于使用电阻式结构改善防止电荷注入器件层中的系统、方法和装置。可以使用更简单的制造方法和更少的制造步骤来制作这样的电阻式结构,即s接触部。对于金属氧化物半导体(MOS)场效应晶体管(FET),可以将s接触部制作成直接连接或电阻式连接至晶体管的所有区,包括源极区、漏极区和栅极。



1. 一种半导体器件,包括:  
高电阻率半导体衬底,所述高电阻率基于所述半导体衬底的轻微掺杂;  
覆于所述衬底上的绝缘层;  
覆于所述绝缘层上的有源层,并且所述有源层包括所述半导体器件的有源区和隔离区;  
形成在所述有源层的隔离部分中的晶体管,所述晶体管包括漏极区、源极区和栅极沟道区;以及  
第一导电结构,其将漏极接触部或源极接触部以及栅极接触部中的一个接触部电阻式连接至所述半导体衬底,所述第一导电结构包括:  
第一导线,其将所述漏极接触部或所述源极接触部以及所述栅极接触部中的所述一个接触部连接至第一导电接触部,所述第一导电接触部在所述有源层的位于所述有源层的所述隔离部分外部的区域处延伸穿过所述有源层,并且在所述半导体衬底的如下区域处穿过所述绝缘层以与所述半导体衬底形成直接接触,所述区域具有所述轻微掺杂并且缺乏与所述轻微掺杂不同的掺杂,  
其中,所述第一导电接触部与所述高电阻率半导体衬底之间的有效接触电阻在0.2至20G欧姆的范围内。
2. 根据权利要求1所述的半导体器件,其中,所述第一导电接触部在所述半导体器件的隔离区处延伸穿过所述有源层。
3. 根据权利要求2所述的半导体器件,其中,所述隔离区是浅沟槽隔离STI区。
4. 根据权利要求1所述的半导体器件,其中,所述第一导电接触部在所述半导体器件的有源区处延伸穿过所述有源层。
5. 根据权利要求1所述的半导体器件,其中,所述第一导电结构将所述漏极接触部电阻式连接至所述半导体衬底。
6. 根据权利要求1所述的半导体器件,其中,所述第一导电结构将所述源极接触部电阻式连接至所述半导体衬底。
7. 根据权利要求1所述的半导体器件,其中,所述第一导电结构将所述栅极接触部电阻式连接至所述半导体衬底。
8. 根据权利要求1所述的半导体器件,其中,所述漏极接触部、所述源极接触部、所述第一导线、第二导线和所述第一导电接触部包括钨、铜以及多晶硅之一。
9. 根据权利要求1所述的半导体器件,其中,所述漏极接触部、所述源极接触部、所述第一导线、第二导线和所述第一导电接触部包括金属。
10. 根据权利要求1所述的半导体器件,还包括第二导电结构,所述第二导电结构将漏极接触部或源极接触部以及栅极接触部中的所述一个接触部的其它接触部电阻式连接至所述半导体衬底。
11. 根据权利要求10所述的半导体器件,其中,所述第二导电结构包括:  
第二导线,所述第二导线将漏极接触部或源极接触部以及栅极接触部中的所述一个接触部的所述其它接触部连接至第二导电接触部,所述第二导电接触部被电阻式耦接至所述半导体衬底。
12. 根据权利要求11所述的半导体器件,其中,所述第二导电接触部在所述有源层的位

于所述有源层的所述隔离部分外部的区域处延伸穿过所述有源层,并且延伸穿过所述绝缘层,以与所述半导体衬底形成直接接触。

13. 根据权利要求12所述的半导体器件,其中,所述第二导电接触部在所述半导体器件的隔离区处延伸穿过所述有源层。

14. 根据权利要求12所述的半导体器件,其中,所述第二导电接触部在所述半导体器件的有源区处延伸穿过所述有源层。

15. 根据权利要求11所述的半导体器件,其中,所述第二导电接触部被电阻式耦接至在所述有源层的所述隔离部分外部的有源区。

16. 根据权利要求15所述的半导体器件,其中,在所述有源层的所述隔离部分外部的所述有源区是第二晶体管的有源区。

17. 根据权利要求16所述的半导体器件,其中,所述第二晶体管的所述有源区经由与所述第一导电结构相似的导电结构被电阻式耦接至所述半导体衬底,其中所述导电结构的导电接触部延伸穿过所述有源层,并且穿过所述绝缘层,以与所述半导体衬底形成直接接触。

18. 根据权利要求1所述的半导体器件,其中,所述高电阻率半导体衬底的电阻率值在3000欧姆·厘米至20000欧姆·厘米的范围内。

19. 根据权利要求1所述的半导体器件,其中,所述高电阻率半导体衬底的电阻率值大于3000欧姆·厘米。

20. 根据权利要求10所述的半导体器件,还包括一个或更多个另外的第一导电结构和/或一个或更多个另外的第二导电结构。

21. 根据权利要求20所述的半导体器件,其中,所述一个或更多个另外的第一导电结构的数目基于所述第一导电结构与所述半导体衬底的离开所述绝缘层的底表面之间的期望的等效电阻。

22. 根据权利要求20所述的半导体器件,其中,所述一个或更多个另外的第二导电结构的数目基于所述第二导电结构与所述半导体衬底的离开所述绝缘层的底表面之间的期望的等效电阻。

23. 根据权利要求20所述的半导体器件,其中,所述一个或更多个另外的第一导电结构的数目的增加使穿过所述半导体衬底、在所述第一导电结构与所述半导体衬底的离开所述绝缘层的底表面之间的等效电阻减小;以及/或者所述一个或更多个另外的第二导电结构的数目的增加使穿过所述半导体衬底、在所述第二导电结构与所述半导体衬底的离开所述绝缘层的底表面之间的等效电阻减小。

24. 根据权利要求20所述的半导体器件,其中,所述第一导电结构相对于所述第二导电结构的相对位置基于穿过所述半导体衬底、在所述第一导电结构与所述第二导电结构之间的期望的等效电阻。

25. 根据权利要求1所述的半导体器件,其中,所述晶体管是N型金属氧化物半导体场效应晶体管NMOSFET。

26. 根据权利要求1所述的半导体器件,其中,所述晶体管是P型金属氧化物半导体场效应晶体管PMOSFET。

27. 一种半导体器件,包括:

高电阻率半导体衬底,所述高电阻率基于所述半导体衬底的轻微掺杂;

覆于所述衬底上的绝缘层；

覆于所述绝缘层上的有源层，并且所述有源层包括所述半导体器件的有源区和隔离区；

形成在所述有源层的隔离部分中的晶体管，所述晶体管包括漏极区、源极区和栅极沟道区；以及

第一导电结构，其将漏极接触部或源极接触部以及栅极接触部中的一个接触部电阻式连接至所述半导体衬底，所述第一导电结构包括：

第一导线，其将漏极接触部或源极接触部以及栅极接触部中的所述一个接触部连接至第一导电接触部，所述第一导电接触部在所述有源层的位于所述有源层的所述隔离部分外部的区域处延伸穿过所述有源层，并且在所述半导体衬底的如下区域处穿过所述绝缘层以与所述半导体衬底形成直接接触，所述区域具有所述轻微掺杂并且缺乏与所述轻微掺杂不同的掺杂。

## 用于绝缘体上硅的s接触

[0001] 本申请是申请日为2016年10月10日、申请号为201610885245.6、发明名称为“用于绝缘体上硅的s接触”的发明专利申请的分案申请。

### 技术领域

[0002] 本文中描述的各实施方式一般涉及用于在器件的制造阶段期间防止绝缘体上硅(SOI)器件充电的系统、方法和设备。

### 背景技术

[0003] 半导体器件的制造阶段可以包括：使半导体器件经受电势梯度或者在半导体器件的表面上感应出电荷的过程。在一些情况下，与这样的过程相关联的高能带电粒子(离子)进而可以进入半导体器件的层中，并且在这样的层内被俘获。层内被俘获的电荷进而会对半导体器件的工作特性产生不利影响，例如相应阈值电压的高变化，并且在极端情况下可以造成器件的内部结构/层的破裂，从而导致器件无功能。

[0004] 已经设计出用于提供在例如等离子体蚀刻阶段期间注入到半导体器件的各层内的电荷的放电路径的各种方法和设备。这样的半导体器件可以包括金属氧化物半导体(MOS)场效应晶体管(FET)，并且特别是在绝缘体上硅(SOI)衬底和蓝宝石上硅(SOS)衬底上制造的MOSFET。

[0005] 具体地，用于向在低电阻率衬底上制造的SOI器件的层提供放电路径的方法和设备使用有源二极管和/或结二极管的组合。使用这样的二极管以不影响配备该放电路径的半导体器件的正常操作。在使用高电阻率衬底制造SOI器件的情况下，会期望提供更简单、更紧凑但仍有效的放电路径。

### 发明内容

[0006] 根据本公开内容的第一方面，提出了一种器件，该器件包括：高电阻率半导体衬底；覆于衬底上的绝缘层；覆于绝缘层上的有源层，该有源层包括器件的有源区和隔离区；形成在有源层的隔离部分中的晶体管，该晶体管包括漏极区、源极区、以及栅极沟道区；以及第一导电结构，其将(a)漏极接触部或源极接触部以及(b)栅极接触部中的一个接触部电阻式连接至半导体衬底，该第一导电结构包括：第一导线，其将(a)与(b)中的该一个接触部连接至第一导电接触部，第一导电接触部在有源层的位于有源层的隔离部分外部的区域处延伸穿过有源层，并且穿过绝缘层，以与半导体衬底形成接触。

[0007] 根据本公开内容的第二方面，提出了一种器件，该器件包括：高电阻率半导体衬底；覆于衬底上的富陷阱层；覆于富陷阱层上的绝缘层；覆于绝缘层上的有源层，其包括器件的有源区和隔离区；形成在有源层的隔离部分中的晶体管，该晶体管包括漏极区、源极区、以及栅极沟道区；以及第一导电结构，其将(a)漏极接触部或源极接触部以及(b)栅极接触部中的一个接触部电阻式连接至半导体衬底，该第一导电结构包括：第一导线，其将(a)与(b)中的该一个接触部连接至第一导电接触部，第一导电接触部在有源层的位于有源层

的隔离部分外部的区域处延伸穿过有源层,进一步延伸穿过绝缘层并且穿透富陷阱层,以与半导体衬底形成电阻式接触。

[0008] 根据本公开内容的第三方面,提出了一种用于向绝缘体上硅(SOI)晶体管器件提供放电路径的方法,该方法包括:(i)在高电阻率衬底上形成有源层,该有源层经由覆于高电阻率衬底上的绝缘层与高电阻率衬底隔离;(ii)在有源层的隔离部分内形成晶体管器件的有源区,该有源区包括晶体管器件的源极区、漏极区、以及栅极沟道区;(iii)形成第一导电结构,其将晶体管器件的(a)漏极接触部或源极接触部以及(b)栅极接触部中的至少一个接触部电阻式连接至高电阻率衬底,第一导电结构通过下述操作被形成:形成第一导线,其将(a)和(b)中的该至少一个接触部连接至第一导电接触部;使第一导电接触部在有源层的位于有源层的隔离部分外部的区域处延伸穿过有源层,并且穿过绝缘层以与高电阻率半导体衬底形成电阻式接触;以及(iv)基于第一导电结构的形成,向晶体管器件提供第一放电路径。

### 附图说明

[0009] 附图并入本文中并且构成本说明书的一部分,附图示出本公开内容的一个或多个实施方式,并且连同示例实施方式的描述一起用于说明本公开内容的原理和实施。

[0010] 图1示出了布置在等离子体蚀刻室内的半导体衬底。

[0011] 图2A示出了绝缘体上硅(SOI)晶体管器件的顶视图。

[0012] 图2B示出了沿图2A的线AA的图2A的绝缘体上硅(SOI)晶体管器件的截面视图。SOI晶体管器件被示出为包括形成在有源层中的有源区以及在绝缘层顶部处制造的栅极多晶硅层的栅极多晶硅结构。

[0013] 图3A示出了用于向SOI晶体管器件的有源层和栅极多晶硅层提供放电路径的现有技术的实施方式。

[0014] 图3B示出了当器件在处理室内时图3A的现有技术器件的示意性表示。

[0015] 图3C示出了在器件的正常操作期间图3A的现有技术器件的示意性表示。

[0016] 图4A示出了向SOI晶体管器件提供的根据本公开内容的一个实施方式的双s接触。s接触向SOI晶体管器件的有源层(源极区)和栅极多晶硅层提供放电路径。

[0017] 图4B示出了向SOI晶体管器件提供的根据本公开内容的一个实施方式的双s接触。s接触向SOI晶体管器件的有源层(漏极区)和栅极多晶硅层提供放电路径。

[0018] 图4C至图4D示出了具有向晶体管器件的一个区域提供的根据本公开内容的一个实施方式的一个s接触的SOI晶体管器件。晶体管器件的其它区域可以电阻式耦接至向其它晶体管器件提供的s接触。

[0019] 图4E示出了根据本公开内容的一个实施方式的各自具有一个s接触的两个相邻的晶体管器件。

[0020] 图4F示出了根据本公开内容的一个实施方式的与第一晶体管器件相关联的s接触与第二晶体管器件的电阻式耦接。

[0021] 图4G至图4H示出了向SOI晶体管器件提供的根据本公开内容的一个实施方式的双s接触,其中s接触穿透晶体管器件的有源区。

[0022] 图4I示出了向包括富陷阱层的SOI晶体管提供的根据本公开内容的一个实施方式

的双s接触。

[0023] 图4J示出了当器件在处理室内时图4A的器件的示意性表示。

[0024] 图4K示出了在器件的正常操作期间图4A的器件的示意性表示。

[0025] 图4L示出了当器件在处理室内时图4B的器件的示意性表示。

[0026] 图4M示出了在器件的正常操作期间图4B的器件的示意性表示。

[0027] 图5A至图5B示出了根据本发明的配备有多个s接触的SOI晶体管器件的顶视图。

### 具体实施方式

[0028] 贯穿本说明书,描述了实施方式和变型,用于示出本发明构思的用途和实现方式的目的。所说明的描述应当被理解为呈现本发明构思的示例,而不是限制本文所公开的构思的范围。

[0029] 在本公开内容中描述了提供从顶上制造有绝缘(电绝缘)层的半导体器件的层的放电路径的设备和方法。根据本公开内容的各个实施方式的放电路径是纯电阻式路径,并且因此与现有技术实施方式相比结构更简单并且包括更少的制造步骤。这样的纯电阻式放电路径可以被提供给下述半导体器件:该半导体器件包括经由绝缘层与在下面的高电阻率衬底隔离的有源层。这样的示例性半导体器件为SOI MOSFET晶体管(例如,稍后描述的图4A的400A),其包括在晶体管的有源层(103)与高电阻率衬底(401)之间的绝缘掩埋氧化物层(BOX)(102),其中有源层(103)包括晶体管的栅极沟道(210)周围的晶体管的漏极(206)区和源极(207)区。在一些实施方式中,栅极沟道(210)通过作为栅极多晶硅层的一部分的相应的栅极多晶硅结构(204)来限定。

[0030] 如本文中所使用的,表述“有源层”用于指示覆于掩埋氧化物层(BOX)(例如,102)上并且通过始于原始硅层的各种CMOS处理步骤而获得的层(例如,103)。有源层可以包括有源器件的有源区(例如,206、207、210、219)以及隔离区(例如,208)。在一些实施方式中,隔离区可以用于隔离有源层的相邻有源区。在一些实施方式中,有源层可以包括在有源层的区内创建的无源部件,例如电阻器。通常,电流流过的有源层的区可以被称为有源层的有源区。

[0031] 如本文中所使用的,表述“栅极多晶硅层”用于指示形成有限定不同半导体器件的栅极沟道(例如,图2B的210)的栅极多晶硅结构(例如,图2B的204)的层(例如,图1的104)。栅极多晶硅层可以包括与不同的半导体器件相关联的连续和不连续的栅极多晶硅结构。

[0032] 根据本公开内容的s接触可以通过将诸如有源层的有源区和栅极多晶硅层的栅极多晶硅结构的这样的层的区电阻式连接至其上制造层的高电阻率半导体衬底,提供至有源层和至栅极多晶硅层的电阻式放电路径。

[0033] 如本文中所使用的,根据本公开内容的各个实施方式,半导体器件中的s接触是下述电阻式路径(例如,图4A至图4B的(315、316、317)或者(325、326、327)的组合):其提供半导体器件的层(例如,如图4A至图4B中所描绘的层103的区206、207或者层104的区204)的表面处的接触点与半导体器件的高电阻率衬底(例如,图4A至图4B的401)的表面处的接触点之间的电阻式导电路径。本领域技术人员将知道提供根据本公开内容的s接触的许多制造方法。

[0034] 根据本公开内容的各个实施方式,用于s接触的材料可以是任何低电阻率导电材

料,例如多晶硅和各种金属(例如,钨、铜等)。根据本公开内容的s接触可以具有相同材料,或包括若干材料,提供s接触(例如,图4A至图4B的(315、316、317)或(325、326、327))的分段构造。

[0035] 根据本公开内容的实施方式,s接触穿透半导体器件的有源层(例如,图4A的103)的隔离区(例如,图4A的208),并且穿透半导体器件的绝缘层(例如,图4A的BOX层102)以到达并接触高电阻率衬底(例如,图4A的401)。在SOI器件的情况下,隔离区(208)可以是浅沟槽隔离(STI)区。应注意,通过穿透有源层(103)的隔离区(208),s接触在除了位于层(例如,层103或层104)的表面处的接触点之外的所有点处保持与半导体器件的有源区(例如,图4A的206、207、210)隔离。

[0036] 根据本公开内容的又一实施方式,s接触在可以与器件的其它有源区(例如,图4A至图4I的206、207、210)隔离的有源层的有源区(例如,图4A至图4I的219)处穿透半导体器件的有源层(例如,图4A至图4I的103),并且穿透半导体器件的绝缘层(例如,图4A至图4I的BOX层102)以到达并且接触高电阻率衬底(例如,图4A至图4I的401)。可以经由隔离区(例如,图4A至图4I的208,其可以是STI区)提供有源层(103)内的有源区(206、207、210)的隔离。

[0037] 根据本公开内容的又一实施方式,可以针对同一半导体器件提供多个s接触(例如,图4A至图4B的(315、316、317)和(325、326、327))。这样的多个s接触可以被提供给半导体器件的形成在有源层(103)中的有源区(包括器件的漏极区(206)和/或源极区(207)),以及被提供给器件的形成在栅极多晶硅层(104)中的栅极多晶硅结构(204)。

[0038] 根据本公开内容的又一实施方式,多个器件被形成在高电阻率衬底(401)上,并且多个s接触被提供给与所述多个器件相关联的有源层的有源区以及栅极多晶硅层的栅极多晶硅结构。

[0039] 根据本公开内容的又一实施方式,与第一器件直接连接的s接触还可以提供至与第一器件电阻式耦接的其它器件的放电路径。第一器件和其它器件例如可以是电路的一部分,并且这样的电路的互连可以提供其它器件的一个或更多个有源区/栅极多晶硅结构与直接连接至s接触的第一器件的有源区/栅极多晶硅结构之间的电阻式耦接,从而有效地提供至其它器件的一个或更多个有源区/栅极多晶硅结构的电阻式放电路径。因此,包括多个器件(例如,晶体管)的电路可以被共享数目的s接触保护,其中经由多个器件的电阻式互连接来提供共享。这可以有效保护多个器件的全部有源区和全部栅极多晶硅结构。换言之,电路的晶体管器件的任何有源区和栅极多晶硅结构具有至s接触的直接连接,或者经由电路互连被电阻式耦接至s接触。参照图4A,s接触(315、316、317)的导电接触部(316)与器件(400A)的有源区(207)直接连接。换言之,器件400A的有源区(207)具有至s接触(315、316、317)的直接连接,并且s接触被视为与器件(400A)相关联。

[0040] 根据本公开内容的另一实施方式,s接触经由第一导电接触部(例如,图4A的316和326)与半导体器件的区域(例如,204、206、207)接触,并且经由第二导电接触部(例如,图4A的315和325)与高电阻率衬底(401)接触,其中第一导电接触部和第二导电接触部经由导线(例如,图4A的317和327)导电连接。根据本公开内容的实施方式,导线是半导体器件的金属层的一部分。

[0041] 根据本公开内容的另一实施方式,在高电阻率衬底(401)与BOX层(102)之间可以

设置富陷阱层(例如,图4I的402)。本领域技术人员容易理解通过在SOI器件中包括富陷阱层所提供的益处,其描述在本公开内容的范围之外。在设置有富陷阱层的情况下,s接触(例如,图4I的325、326、327)还可以穿通富陷阱层(402)以与高电阻率衬底(401)(直接)接触,或者s接触(例如,315、316、317)可以穿透富陷阱层(402)足够深以通过富陷阱层的厚度的剩余部分与高电阻率衬底(401)进行电阻式接触。

[0042] 如本文中所使用的,高电阻率衬底是具有在3000欧姆·厘米至20000欧姆·厘米或者更大的范围内的电阻率的衬底。可以通过对衬底的掺杂来控制衬底的电阻率,其中更轻的掺杂提供更高的衬底电阻率。如本领域技术人员所公知的,标准的SOI工艺使用具有1000欧姆·厘米以下的低电阻率的衬底。假使导电接触部(315、325)的小的横截面(例如,0.35 $\mu\text{m}$ ×0.35 $\mu\text{m}$ )与高电阻率衬底(401)接触,由于随着电流向小的接触部聚集而产生的分布电阻以及由于因衬底(401)的轻度掺杂而产生的界面的非欧姆形状,在导电接触部(315、325)与高电阻率衬底(401)之间的有效接触电阻在0.2至20G欧姆的范围内。

[0043] 如在本公开内容的下面部分中所呈现的,根据本公开内容的各种实施方式的s接触可以通过经由导线连接两个导电接触部来提供,其中通过穿通半导体器件的绝缘层以及可选地穿通富陷阱层,第一导电接触部连接至半导体器件的有源层或栅极多晶硅层,并且第二导电接触部连接至半导体器件的高电阻率衬底。此外,s接触进而可以经由公共电路的电阻式互连被电阻式耦接至不同的半导体器件的有源层或栅极多晶硅层。如上所述,可以经由分别连接至有源层的有源区和连接至栅极多晶硅层的栅极多晶硅结构的导电接触部来制造至有源层和栅极多晶硅层的连接。

[0044] 本文中所描述的实施方式是通过N型MOSFET器件来例示的。本领域普通技术人员将容易理解,可以通过适当地应用不同类型的掺杂方案而将本文中所公开的发明构思应用于其它类型的半导体器件,例如P型MOSFET器件。根据本发明的实施方式还可以应用于扩展的漏极器件,例如横向扩散金属氧化物半导体(LDMOS)器件,以及包括有源层与高电阻率衬底之间的绝缘层的其它的门控晶体管或者器件。

[0045] 具有根据本公开内容的各种实施方式的s接触的半导体器件可以包括形成在绝缘体上硅(SOI)上的半导体器件,包括场效应晶体管(FET)。FET器件可以包括互补金属氧化物半导体(CMOS)、金属氧化物半导体场效应晶体管(MOSFET)以及其它类型的场效应晶体管(FET)器件。

[0046] 在根据本公开内容的一个示例性实施方式中,s接触可以包括方形或矩形的导电接触部。如将在本公开内容的后面部分中所描述的,s接触可以提供在半导体器件的顶层的区域至高电阻率衬底之间的低电阻率导电路径,因此提供针对在制造过程期间注入的电荷的放电路径。

[0047] 对于根据本公开内容的SOI MOSFET晶体管的示例性实施方式,可以向晶体管的源极区和/或漏极区提供一个或多个s接触。替选地或者另外地,可以向晶体管的栅极多晶硅结构提供一个或多个s接触。

[0048] 对于包括具有相应源区和栅极多晶硅结构的多个互连的SOI MOSFET晶体管的电路的示例性实施方式,可以向电路的一些或所有晶体管的有源区提供一个或多个s接触,并且可以向电路的一些或所有晶体管的栅极多晶硅结构提供一个或多个s接触。在一个示例性实施方式中,电路互连可以提供从第一晶体管的有源区和/或栅极多晶硅结构至

第二晶体管的s接触的电阻式耦接,因此提供了至第一晶体管的放电路径。

[0049] 根据本公开内容的另一实施方式,在半导体器件中s接触的数目和相应空间布置可以被设置为限制在电荷注入过程(例如,等离子体蚀刻)期间跨越半导体器件的任意两个点的电势。给定已知的衬底的高电阻率值以及在电荷注入过程期间通过s接触的感应电流,可以导出限制这样的电势差的s接触的数目。这可以在模拟软件的帮助下来执行。本领域技术人员应理解,由于根据本发明的s接触的纯电阻性质,在同s接触的添加相关联的半导体器件工作期间的泄露电流与在器件的制造期间提供对s接触的保护的量之间存在权衡。

[0050] 图1示出了放置在示例性高能制造处理室(100)内的半导体衬底(101)。半导体衬底(101)包括:有源硅层(103),其包括具有相应导电接触部的有源部件的有源区;以及(栅极)多晶硅层(104),其包括具有在多晶硅层(104)上的相应导电接触部的栅极多晶硅结构。有源层(103)覆在绝缘层(102)上,绝缘层(102)防止在有源层(103)与衬底(101)之间的传导。衬底(101)位于室的在与底部电势(190)连接的底电极(160)上。室的顶电极(150)连接至可变供给(180)。在示例性处理室(100)内,半导体衬底(101)能够经受以下事件:其可以在半导体衬底(101)上产生电势梯度或感生电荷,从而导致注入电荷保持被俘获在层(103)、(104)内或者在这样的层之间的界面处,以及在衬底的处理阶段期间产生在这样的层与衬底(101)之间的大的电势差。这些层内被俘获的电荷可以不利地影响有源部件的工作特征(例如,阈值电压的改变、泄露特性的改变等),同时在这些层与衬底之间的大的电势差可以潜在地损坏有源层的有源部件,使得它们无功能。通过经由在半导体层(103)和(104)的表面处的接触部向耦接至底电极(160)的底部电势(190)提供放电路径,可以防止(例如,消除)电荷注入到这样的半导体层中。

[0051] 图2A示出N型SOI MOSFET器件(200)的顶视图,其可以是形成在覆于半导体衬底(101)上的有源层中的有源部件的一部分。器件(200)的栅极指(204)被示出为位于源极区(207)与漏极区(206)之间。栅极指(204)具有长度LG和宽度WG。在一个方面,栅极指可以由栅极多晶硅结构(204)来制造,被形成在多晶硅层(104)内,这可以阻断用于掺杂MOSFET的相邻源极区和漏极区的掺杂剂离子注入。本领域技术人员容易认识到多指SOI器件可以具有电耦接的多个这样的指状件,其中每个指状件可以包括具有相应栅极接触部(213)的相应栅极多晶硅结构(204),具有相应漏极接触部(212)的漏极区(206),以及具有相应源极接触部(211)的源极区(207)。在一些实施方式中,相邻指状件可以共享相应漏极区和/或源极区。替选地,对应于多个晶体管器件的多个指状件可以共用相同的公共半导体衬底(101)并且相对于彼此电隔离。器件(200)的有源区(206、207)相对于形成在半导体衬底(101)上的其它有源区(219)的隔离可以由隔离区(208)来提供。普通技术人员将认识到图2A的标记区域以外的区域可以包括有源区(219)或隔离区(208)。

[0052] 图2B示出了沿图2A的线AA的N型SOI MOSFET器件(200)的截面视图。如图2B的截面视图所示,SOI MOSFET包括形成在衬底(101)顶上的层结构,其包括层(102)、(103)、(204)和(205)。在一个方面,形成器件的栅极多晶硅结构的层(204)被示出为放置在绝缘栅氧化硅层(205)上方。在一个方面,在层(204)下方的本体区(210)掺杂有P型掺杂剂(P本体),并且源极(207)区和漏极(206)区重注入有N型掺杂剂(N<sup>+</sup>)。如在附图中所示,区域(206)、(207)和(210)是有源层(103)的置于绝缘掩埋氧化物(BOX)层(103)的部分。另外,如图2A和图2B所示,器件(200)被示出为通过浅沟槽隔离(STI)区(208)与有源层(103)内的相邻区域

(其可以包含包括其它指状件/晶体管的相邻电路,未示出)隔离,浅沟槽隔离(STI)区(208)为非导电型。由于BOX层(102)的绝缘性质,没有在如图2A和图2B中所描绘的SOI MOSFET中提供在层(103)、(204)和(205)与半导体衬底(101)之间的导电路径,因此器件(200)在高电势制造过程期间易于电荷注入。

[0053] 图3A示出了SOI MOSFET器件(300)的现有技术实施方式,其提供了在栅极多晶硅结构(204)上的接触部(326)与半导体衬底(101)之间的第一放电路径以及在器件(300)的源极区(207)上的接触部(316)与半导体衬底(101)之间的第二放电路径。本领域技术人员将认识到图3A没有示出SOI MOSFET的精确截面,这是由于到栅极多晶硅结构(204)的接触部(326)通常具有与接触部(316)到源极区(207)的截面平面不同的截面平面。

[0054] 如在图3A中所描绘的现有技术实施方式中可以看出,第一放电路径包括导电接触部(326)、导线(327)、导电接触部(325)、N型掺杂区(345)和半导体衬底(101)。导电接触部(325,326)和导线(327)可以由金属(如铜或钨)制成。此外,埋置在半导体衬底(101)内的N型掺杂区(345)以及与区(345)接触的衬底(101)的P型掺杂区创建了结型二极管。因此,第一放电路径使栅极多晶硅层(204)经由结型二极管耦接至半导体衬底(101)。

[0055] 在图3A中所描绘的现有技术器件(300)的第二放电路径包括导电接触部(316)、导线(317)、导电接触部(315)、P型掺杂区(340)和半导体衬底(101)。与第一放电路径类似,导电接触部(315,316)和导线(317)可以由金属(如铜或钨)制成。

[0056] 应当注意,现有技术器件(300)的第一放电路径和第二放电路径使导电接触部(315)和(325)分别经由区域(340)和(345)耦接至半导体衬底(101)。因此在图3A所描绘的现有技术实施方式中不存在这种接触部与半导体衬底(101)之间的直接接触。

[0057] 当将现有技术器件(300)放置在处理室(100)中时,通过第一放电路径的元件(345)和(101)形成的结型二极管允许电荷(例如电子)从多晶硅层(104)的栅极多晶硅结构(204)向底电极板流动,半导体衬底(101)耦接到该底电极板。类似地,第二放电路径允许电荷从有源层(103)的源极区(207)至底部电极板流动,半导体衬底(101)耦接到底部电极板。本领域技术人员将认识到结型二极管对于处理室的内部产生的电流可能泄露,因此电荷可以沿任一方向流动。

[0058] 在图3A中所描绘的现有技术器件(300)中,半导体衬底(101)具有低电阻率,并且因此可以提供衬底(101)内部的任意两个区包括区(340)和(345)之间的低电阻导电路径。因此,需要通过现有技术器件(300)的区(345,101)形成的结型二极管,例如,以使在器件的正常操作期间不允许在栅极接触部(326)与源极接触部(316)之间的导电路径(例如,经由半导体衬底(101)在导电接触部(315)与(325)之间提供的低电阻率路径)。

[0059] 图3B和图3C示意性表示了采用配置(300B)和配置(300C)的现有技术器件(300),在配置(300B)中器件在处理室(100)内,在配置(300C)中器件在正常操作期间。这些图示出了两个配置(300B)和(300C)中的每个配置的晶体管器件(300)和相应导电路径。电阻器 $\delta R_2$ 表示(325,326,327)的组合(低)电阻,电阻器 $\delta R_1$ 表示(315,316,317)的组合(低)电阻,项(375)表示由(345)和(101)的相邻区形成的结型二极管, $\delta r_0$ 表示器件(300)的区(340)与区(345)之间的低电阻率路径的电阻,并且( $\delta r_1, \delta r_2$ )表示区(340,345)中的每个与处理腔的底电极(其提供低参考电位,诸如地)之间的低电阻率路径的电阻。本领域技术人员将理解,电阻( $\delta r_0, \delta r_1, \delta r_2$ )由低电阻率半导体衬底(101)来提供。

[0060] 进一步参考图3C,如上所述,由于现有技术实施方式器件(300)的衬底(101)的低电阻率性质,所以需要二极管(375)以便不通过源极提供栅极的电流负荷。本领域的技术人员将注意到所需的二极管(375)仅在栅极电压 $V_G$ 高于源极电压 $V_S$ 的晶体管器件(300)操作的期间阻挡器件的栅极(G)与源极(S)之间的电流流动,从而使二极管(375)置于反向偏置情况。因此,现有技术实施方式假设在器件(300)的正常操作期间栅极电压不低于源极电压,由于这样的条件使二极管(375)置于正向偏置情况,并防止期望的器件的负偏置( $V_G < V_S$ )。

[0061] 图4A示出了根据本公开内容的设置有s接触的SOI MOSFET器件(400A)的示例性实施方式。第一s接触(326,327,325)提供形成在多晶硅层(104)中的栅极多晶硅结构(204)上的接触部(326)与半导体衬底(401)之间的第一放电路径,并且第二s接触(316,317,315)提供形成于器件(400A)的有源区(103)中的源极区(207)上的接触部(316)与半导体衬底(401)之间的第二放电路径。通过使用高电阻率半导体衬底(401),s接触以及由此根据本发明的器件(400A)的第一放电路径和第二放电路径可能缺乏有源器件(例如,关于上述图3A至图3C所描绘的现有技术实施方式描述的二极管(375))并且可以保持纯电阻。因此,可以根据本发明的器件的更简单的结构和更少的制造步骤来维持高能过程期间的保护功效。

[0062] 如可以在根据图4A所描绘的公开内容的实施方式中看到的,第一放电路径(s接触)包括与栅极多晶硅结构(204)形成接触的导电接触部(326)、导线(327)以及与半导体衬底(401)形成直接接触的导电接触部(325)(与图3A所描绘的现有技术实施方式相反,其中接触是间接的并且通过创造结型二极管的耦接区(345))。类似地,第二放电路径(s接触)包括与源极区(207)形成接触的导电接触部(316)、导线(317)以及与半导体衬底(401)形成直接接触的导电接触部(315)。在本公开内容的示例性实施方式中,导电接触部(315,316,325,326)和导线(317,327)可以由如铜或钨的金属制成。在根据本公开内容的替选实施方式中,这样的接触部可以由包括其它金属和多晶硅的任意低电阻率导电材料制成。

[0063] 根据本公开内容的另外的实施方式,s接触可以电阻式耦接至其它器件的区域(例如,源极、漏极、栅极多晶硅),因而有效为这样的区域提供注入电荷的放电路径。

[0064] 进一步参考图4A,本领域的技术人员易于认识到,根据本公开内容的第一放电路径和第二放电路径(s接触)两者是纯电阻式路径,并且因此可以允许来自路径两端的对称的电荷流。这意味着本发明提供注入电荷的放电路径,而与由图1的源极(180,190)提供的电势梯度的极性无关。此外,器件的正常操作期间的放电路径(以及由此在器件的源极与栅极之间)的去耦由提供接触部(315)与(325)之间的高电阻路径的半导体衬底(401)的高电阻率性质来提供。这意味着与图3A至图3C所描绘的现有技术实施方式相反,本发明在器件的正常操作期间允许器件的栅极相对于源极任意偏置,包括根据本发明的器件的负偏置( $V_G < V_S$ )。本领域的技术人员将理解,如负偏置的这样的灵活性在一些RF开关实现中可以提供例如较高的输入/输出隔离。

[0065] 根据本公开内容的另外的实施方式,如图4B所描绘的,以在如上所述的两条路径的(经由高电阻率路径的)相同的去耦等级,可以将第二放电路径提供至晶体管器件的漏极区而不是源极区。

[0066] 根据本公开内容的另外的实施方式,可以提供与源极区(207)、漏极区(206)和栅极多晶硅结构(204)中的每个分离且共存的s接触(放电路径)。本实施方式表示由图4A和4B

示出的实施方式的组合。稍后描述的图5A和图5B示出了这样的组合。

[0067] 根据本发明的半导体器件可以设置有一个、两个或更多个s接触,每个s接触具有至器件的漏极/源极区和/或栅极多晶硅结构的直接连接。图4A至图4B示出了根据本公开内容的具有各自直接连接(直接连接)至器件的漏极/源极区以及栅极多晶硅结构的s接触的半导体器件。图4C至图4D示出了根据本公开内容的具有直接连接至器件的栅极多晶硅结构(204)(图4C)的s接触(325,326,327)或者器件的漏极/源极区(206/207)(图4D)的s接触(315,316,317)的半导体器件(400C,400D)。如上所述,尽管半导体器件(400C,400D)不包括到器件的有源区(例如,206,207)和器件的栅极多晶硅结构两者的s接触的直接连接,但是可以向半导体器件(400C,400D)提供至具有到不同半导体器件的直接连接的s接触的电阻式耦接(连接)。

[0068] 图4E示出了制造在同一高电阻率半导体衬底(401)上的图4C和图4D的两个半导体器件(400C,400D)的示例性配置。如图4E中可以看到的那样,s接触(325,326,327)以及(315,316,317)中的每个在层(103)的隔离区(208)处穿透该层,该隔离区隔离两个半导体器件的有源区(例如,205,206,207)。在图4E中描绘的根据本公开内容的示例性实施方式中,两个s接触被示出为穿透同一(连续的)隔离区(208)。本领域技术人员将知道不将这样的示例性实施方式认为限制发明人认为是其发明的内容,因为例如隔离区(208)不必是连续区域,并且每个s接触可以穿透不同的且非连续的隔离区。

[0069] 根据本公开内容的另一示例性实施方式,如图4F中所描绘的那样,与两个不同半导体器件(400C,400D)相关联的s接触可以在不同的(非连续的)隔离区(208)处穿透层(103)。图4F中描绘的根据本公开内容的示例性实施方式示出了用于(例如经由元件425,426,427,219,415,417)将第一器件(400C)的有源区(206)电阻式耦接至s接触(315,316,317)的一个示例性配置,其中s接触(315,316,317)直接连接至第二器件(400D)的有源区,第一器件和第二器件具有由隔离区(208)分隔的其相应的有源区(206,207,210)。

[0070] 如图4F中描绘的示例性实施方式中可以看到的那样,器件(400C)的漏极区(206)经由导电接触部(425)、导线(427)和导电接触部(426)连接至形成在层(103)内的有源区(219)。有源区(219)进而在导电接触部(426)与导电接触部(415)之间提供电阻式导电路径。最终,导电接触部(415)经由导线(417)被电阻式耦接至s接触(315,316,317)的导电接触部(315),由此在第一器件(400C)的源极区(206)与第二器件(400D)的s接触(315,316,317)之间提供电阻式耦接。

[0071] 进一步参照图4F,尽管出于清楚原因未示出有源区(219),但有源区(219)可以包括可在两个接触部(426)与(415)之间提供电阻式导电路径的任何有源或无源部件。这可以包括例如一个或更多个电阻器、一个或更多个晶体管以及相关互连的组合,这些组合起来提供两个导电接触部(426)与(415)之间的电阻式导电路径(因此相对于电流对称),由此将第一器件(400C)的有源区(206)电阻式耦接至下述s接触,该s接触直接连接至第二器件(400D)的有源区(207)。本领域技术人员将理解,可以提供类似的配置用于将第一器件的栅极多晶硅区电阻式耦接至下述s接触,该s接触直接连接至第二器件的区域(例如,栅极多晶硅结构),这两个装置经由一个或更多个隔离区(208)被分隔开。

[0072] 在以上呈现的根据本公开内容的各种示例性实施方式中,s接触在形成在层(103)中的隔离区(208)处穿透层(103)。根据本公开内容的另外的示例性实施方式,s接触可以在

层(103)的有源区(例如,电流可以流动的有源层(103)的区)以及形成在层(103)中的无源部件例如电阻器处穿透,这些有源区可以包括晶体管器件的漏极区和源极区。图4G和图4H示出了根据本公开内容的示例性实施方式,其中s接触在层(103)的不同于隔离区(208)的有源区(219)处穿透该层。可以提供基于图4C至图4F中的每个的类似实施方式,其中s接触穿透层(103)的有源区(219)而非层(103)的隔离区(208)。

[0073] 图4I示出了制造在具有叠加的富陷阱层(402)的高电阻率半导体衬底(401)上的根据本公开内容的一个实施方式的半导体器件(400I)。如图4I中可以看到的那样,富陷阱层(402)被布置在高电阻率衬底(401)与BOX层(102)之间。在设置了富陷阱层的情况下,s接触(例如,图4I的325,326,327)可以进一步穿透富陷阱层(402)以与高电阻率衬底(401)形成(直接)接触。这在图4I中被描绘,在图4I中示出了s接触(325,326,327)的导电接触部(325)穿透富陷阱层(402)的整个厚度以到达并接触高电阻率半导体衬底(401)。替选地,因为富陷阱层可以是导电的,所以s接触(例如,图4H的315,316,317)可以穿透富陷阱层(402)足够深以通过富陷阱层的剩余厚度部分与高电阻率衬底(401)形成电阻式接触。这在图4I中可以看出,在图4I中,s接触(315,316,317)的导电接触部(315)在深度 $\epsilon$ 处穿透富陷阱层(402),并且不与高电阻率半导体衬底(401)形成直接接触。导电接触部(315)穿透富陷阱层(402)的深度 $\epsilon$ 足以提供穿过富陷阱层(402)的剩余深度至高电阻率半导体衬底(401)的期望电阻的电阻式耦接(接触)。在一些实施方式中,大致等于零的深度 $\epsilon$ 可以足以提供期望的电阻式接触。本领域技术人员将认识到,以上参照图4A至图4H描述的s接触的各种实施方式中的任意实施方式也可以提供用于下述情况:如图4I所描绘的,富陷阱层被设置在高电阻率衬底(401)与BOX层(102)之间。应当注意,富陷阱层(402)的电阻率大体上与衬底(401)的电阻率为同一大小量级。

[0074] 图4J和图4K示意性地表示采用配置(400J)和配置(400K)的本发明的器件(400A),在配置(400J)中器件在处理室(100)内,以及在配置(400K)中器件在正常操作期间。这些图示出了晶体管器件(400A)以及针对由相关联的s接触提供的两个配置(400J)和(400K)中的每个的相应导电路径。电阻器 $\delta R_2$ 表示s接触(325,326,327)的组合(低)电阻,电阻器 $\delta R_1$ 表示s接触(315,316,317)的组合(低)电阻,电阻器 $r_0$ 表示接触部(315)与(325)之间的高电阻率路径的电阻,以及电阻器( $r_1, r_2$ )表示接触部(315,325)中的每个与处理室的底电极(其提供低参考电势,如地)之间的电阻式导电路径的电阻。本领域技术人员将理解,电阻( $r_0, r_1, r_2$ )由高电阻率半导体衬底(401)来提供。

[0075] 图4L和图4M示意性地表示采用配置(400L)和配置(400M)的本发明的器件(400B),在配置(400L)中器件在处理室(100)内,以及在配置(400M)中器件在正常操作期间。这些图示出了晶体管器件(400B)以及针对由相关联的s接触提供的两个配置(400L)和(400M)中的每个的相应导电路径。电阻器 $\delta R_2$ 表示s接触(325,326,327)的组合(低)电阻,电阻器 $\delta R_1$ 表示s接触(315,316,317)的组合(低)电阻,电阻器 $r_0$ 表示接触部(315)与(325)之间的高电阻率路径的电阻,以及电阻器( $r_1, r_2$ )表示接触部(315,325)中的每个与处理室的底电极(其提供低参考电势,如地)之间的电阻式导电路径的电阻。本领域技术人员将理解,电阻( $r_0, r_1, r_2$ )由高电阻率半导体衬底(401)来提供。

[0076] 根据本公开内容的另一实施方式,提供给晶体管器件(例如400A,400B)的s接触的数目可以根据跨越在电荷注入过程(如等离子刻蚀)期间晶体管器件的任何两个点的期望

的上限电势。仿真软件可以基于半导体衬底(401)的高电阻率值以及在电荷注入过程期间通过s接触的感应电流来提供器件中的s接触的这样的数目和布置。例如,通过增加s接触的数目,可以提供在电荷注入过程期间跨越半导体衬底(401)的期望的较小电压降,由此这会减小图4C至图4F的 $r_1$ 和 $r_2$ 的有效(等效)电阻值。此外,可以优化接触部(315)与(325)之间的距离,使得在器件的正常操作期间获得第一s接触与第二s接触之间的期望电阻隔离,并且因此有效地调节图4J至图4M的电阻器 $r_0$ 的电阻值(例如,栅极与源极之间和/或栅极与漏极之间的有效/等效电阻值,以大于规定最小值)。

[0077] 图5A示出了根据本发明的装备有多个s接触(510)的SOI晶体管器件(例如,图4A, 4B, 4I的400A, 400B, 400I)的简化顶视图。在根据图5A所描绘的本公开内容的示例性实施方式中,对源极区(207)、漏极区(206)和栅极多晶硅结构(204)中的每个设置两个s接触(510)。如图5A中看到的,s接触(510)可以共用相应区域(源极,漏极,栅极)的接触部(211, 212, 213),并且经由s接触的导电路径(317, 327)提供至高电阻率半导体衬底(401)的电阻式导电路径,导电路径(317, 327)在器件的有源区(206, 207)上方并跨越器件的有源区(206, 207)到达隔离区(例如(208),其中导线(317, 327)与导电接触部(315, 325)形成接触)上方。进而,导电接触部(315, 325)穿透隔离区(208)和绝缘层(BOX)(102)到达高电阻率半导体衬底(401),并且与高电阻率半导体衬底(401)形成直接接触。在高电阻率半导体衬底(401)与BOX层(102)之间存在富陷阱层(例如图4I的402)的情况下,导电接触部(315, 325)还穿透富陷阱层以完全或部分地与衬底(401)形成直接接触来提供到衬底(401)的电阻式耦接。

[0078] 图5B示出了根据本发明的装备有多个s接触(510)的SOI晶体管器件(例如图4G至图4H的400G, 400H)的简化顶视图。相较于根据图5A所描绘的本公开内容的示例性实施方式,图5B所描绘的SOI器件的s接触可以在经由隔离区(208)与器件的有源区(206, 207)隔离的有源区(219)处经由导电接触部(315, 325)穿透器件的包含器件的有源区(206, 207)的顶层。隔离区(219)可以是分立晶体管、电阻器或任何其它器件的有源区。替选地,一个或更多个接触部(315, 325)不穿透有源区(219),而是与有源区(219)形成电阻式接触,有源区转而经由s接触(图5B未示出)被电阻式耦接到半导体(401),如在图4F中所描绘的那样。

[0079] 根据本公开内容的各实施方式的使用s接触的晶体管器件的示例性和非限制性应用可以包括通用模拟电路、RF开关、功率放大器(PA)、低噪声放大器(LNA)、模数转换器(ADC)、压控振荡器(VCO)、以及频率从DC到100GHz及超过100GHz的范围内的电压参考电路。一般地,根据本公开内容的教导的s接触可以用于在SOI衬底上使用CMOS技术制造的任何半导体器件。

[0080] 应当注意,虽然使用N型SOI MOSFET的示例性情况提供了根据本公开内容的各种示例性实施方式,但是这样的示例性情况主要是为了清楚的目的提供的。根据本发明的s接触的各种实施方式可以同样适用于其它晶体管类型和其它晶体管技术,特别是源极区和/或漏极区向下延伸至能够防止在例如等离子体蚀刻过程期间高能电荷的导电路径的绝缘层,如SOI器件的“BOX”层。

[0081] 可以包括各种实施方式的新颖设备和系统的应用包括在高速计算机中使用的电子电路,通信及信号处理电路,调制解调器,单处理器模块或多处理器模块,单个嵌入式处理器或多个嵌入式处理器,数据交换机以及包括多层、多芯片模块的专用模块。这样的设备

和系统还可以被包括作为各种电子系统内的子系统,例如电视、蜂窝电话、个人计算机(例如,膝上型计算机、台式计算机、手持式计算机、平板计算机等)、工作站、无线电、视频播放器、音频播放器(例如,MP3播放器)、车辆、医疗装置(例如,心脏监测器、血压监测器等)以及其它子部件。一些实施方式可以包括多种方法。

[0082] 以除了本文所描述的顺序以外的顺序执行本文所描述的活动也是可行的。可以以重复、串行或并行的方式来执行关于本文所确定的方法描述的各种活动。

[0083] 形成本文的一部分的附图以说明而非限制的方式示出可实施主题的具体实施方式。所示的实施方式被充分详细地描述以使本领域技术人员能够实践本文所公开的教导。可以使用其它实施方式并且可以由其推导出其它实施方式,使得可以在不脱离本公开内容的范围的情况下进行结构和逻辑替换和改变。因此,具体实施方式不应被认为是限制性的并且各种实施方式的范围仅由所附权利要求书以及这些权利要求书所限定的全范围的等同物来限定。

[0084] 如果实际上披露多于一个,仅为了方便起见,本发明主题的这样的实施方式在本文中单独地或统称为术语“发明”,并且不意将本申请的范围主动限制为任何单个发明或发明构思。因此,尽管本文说明和描述了具体实施方式,但是计算以实现相同目的的任何布置可以被所示的具体实施方式代替。本公开内容旨在涵盖各种实施方式的任何及所有修改或变型。在查看上面的描述时,本文中未具体描述的上述实施方式的组合和其它实施方式对本领域技术人员而言是明显的。

[0085] 提供本公开内容的摘要以符合37C.F.R. §1.72(b),要求摘要使得读者能够快速确定本技术公开的性质。应当理解提交的摘要不用来解释或限制权利要求的范围或含义。在前面的详细描述中,为了精简本公开内容的目的,各种特征在单个实施方式中组合在一起。这种公开方法不应被理解为需要比每个权利要求中明确阐述的特征更多的特征。而是,可以以少于所公开的单个实施方式的所有特征来建立发明主题。因此,所附权利要求由此被结合到具体实施方式中,其中每个权利要求独立地作为单独的实施方式。

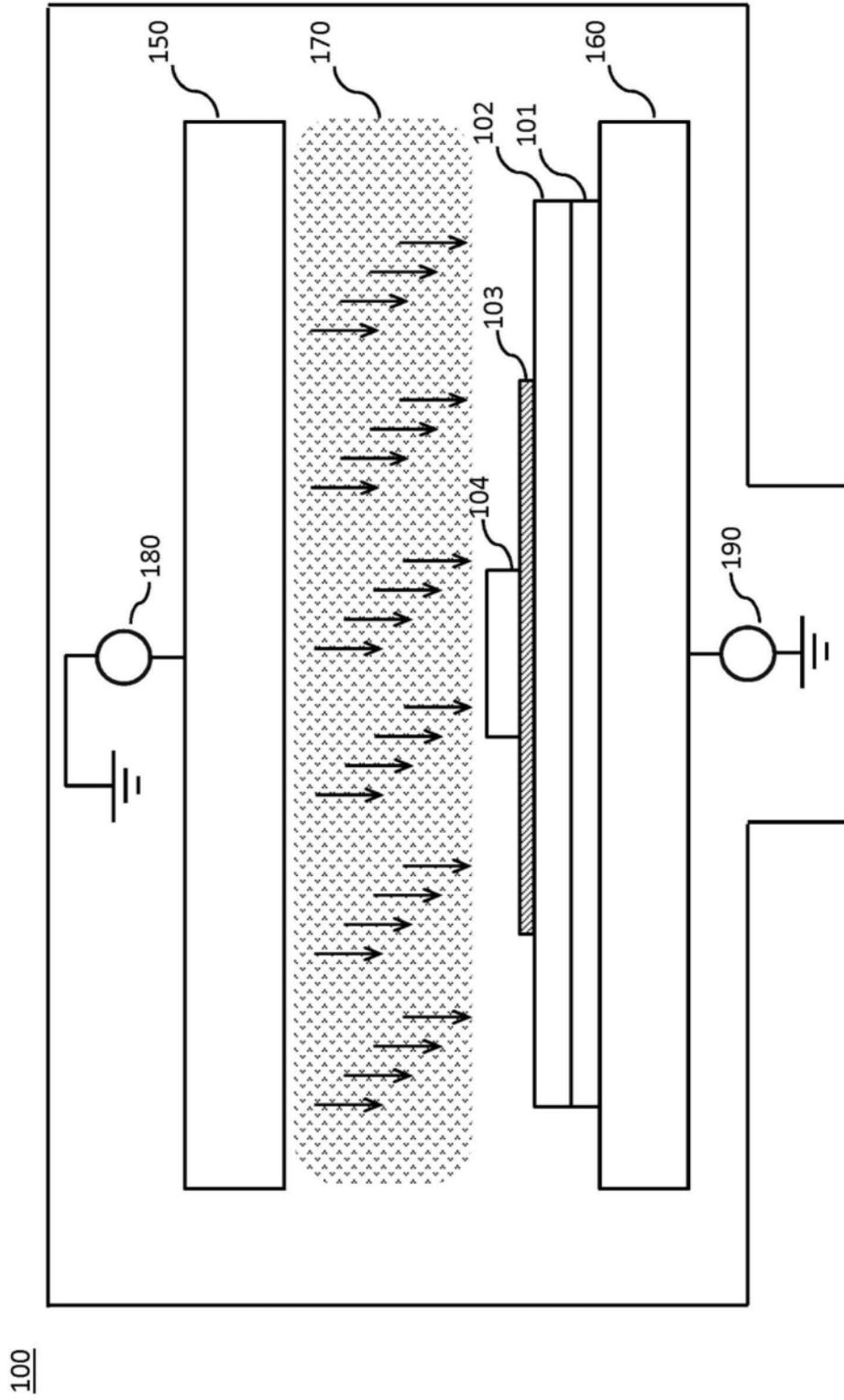


图1

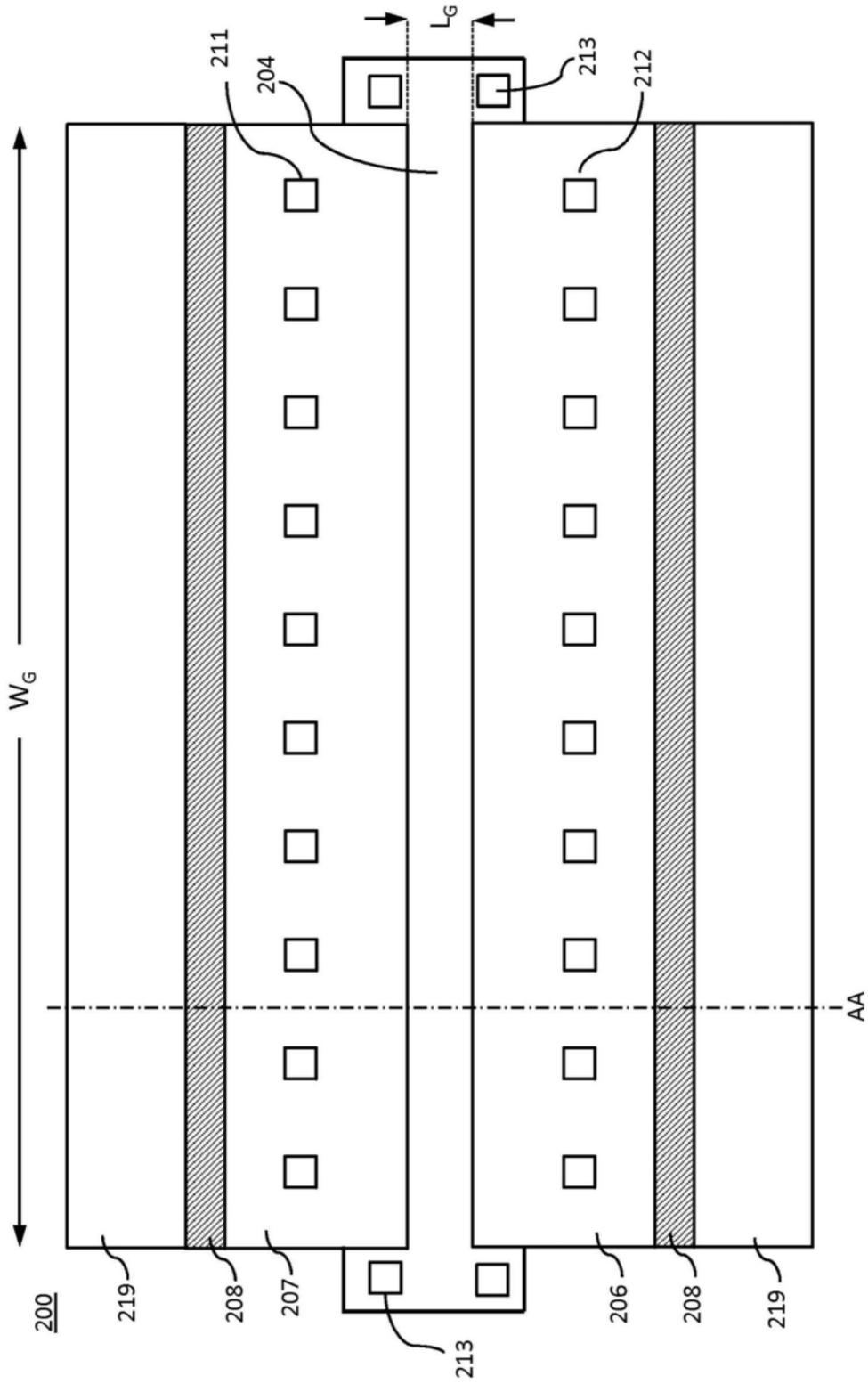


图2A

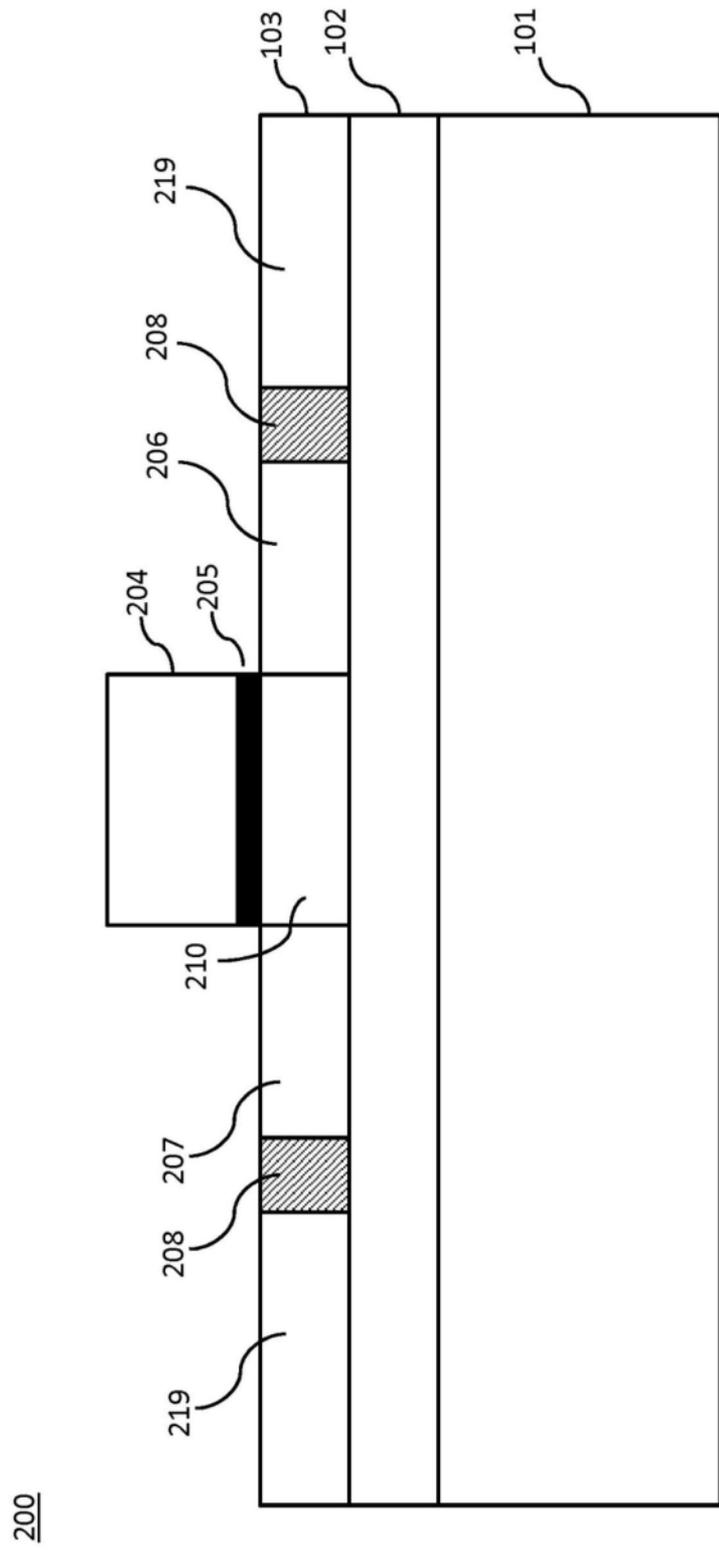


图2B

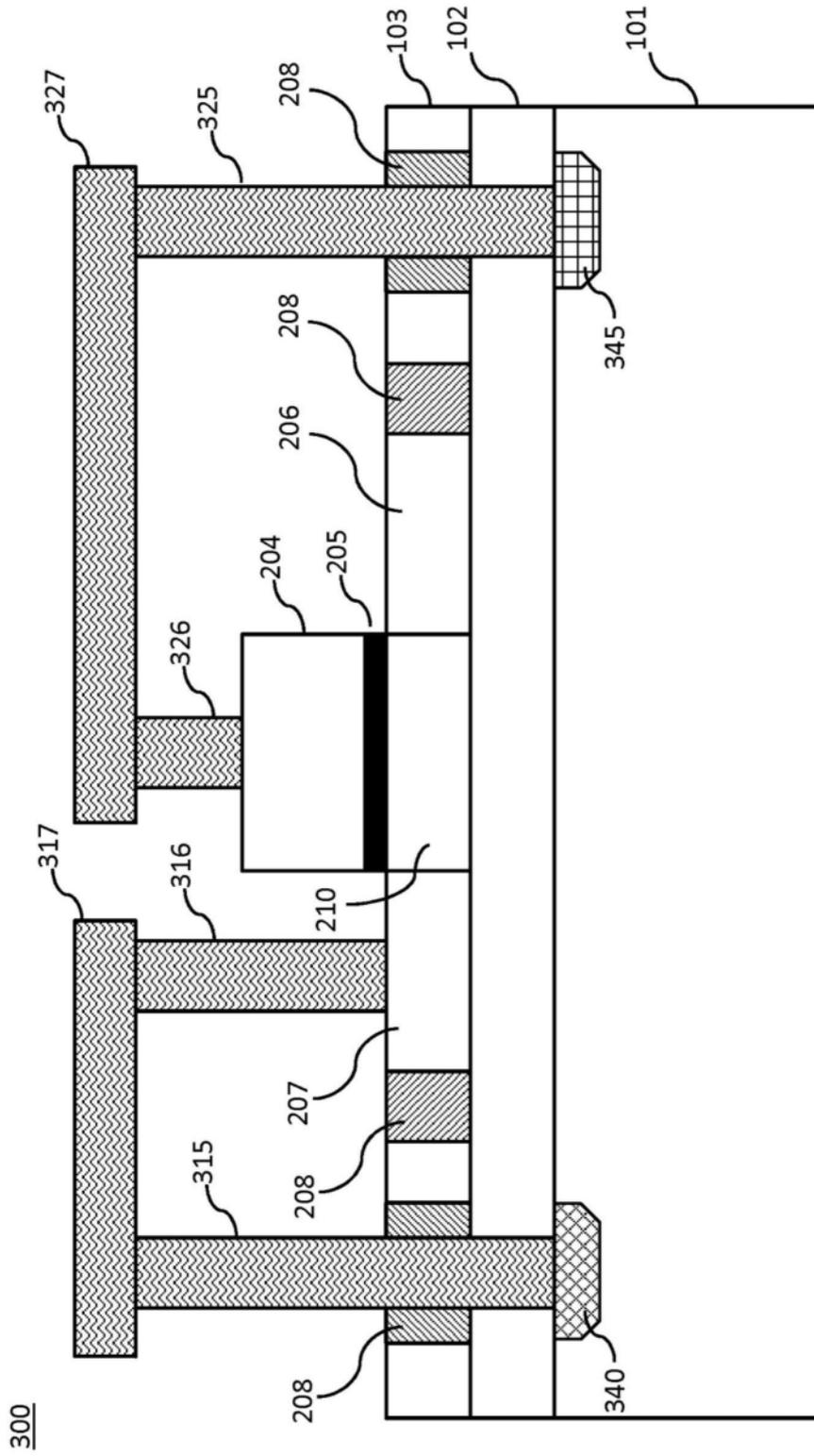


图3A

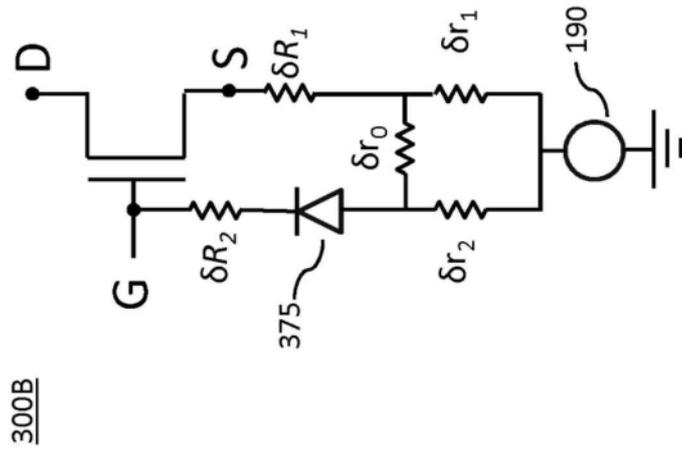


图3B

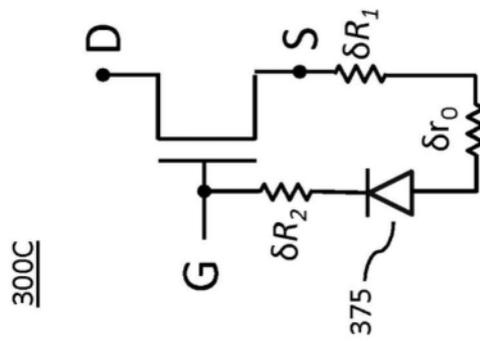


图3C

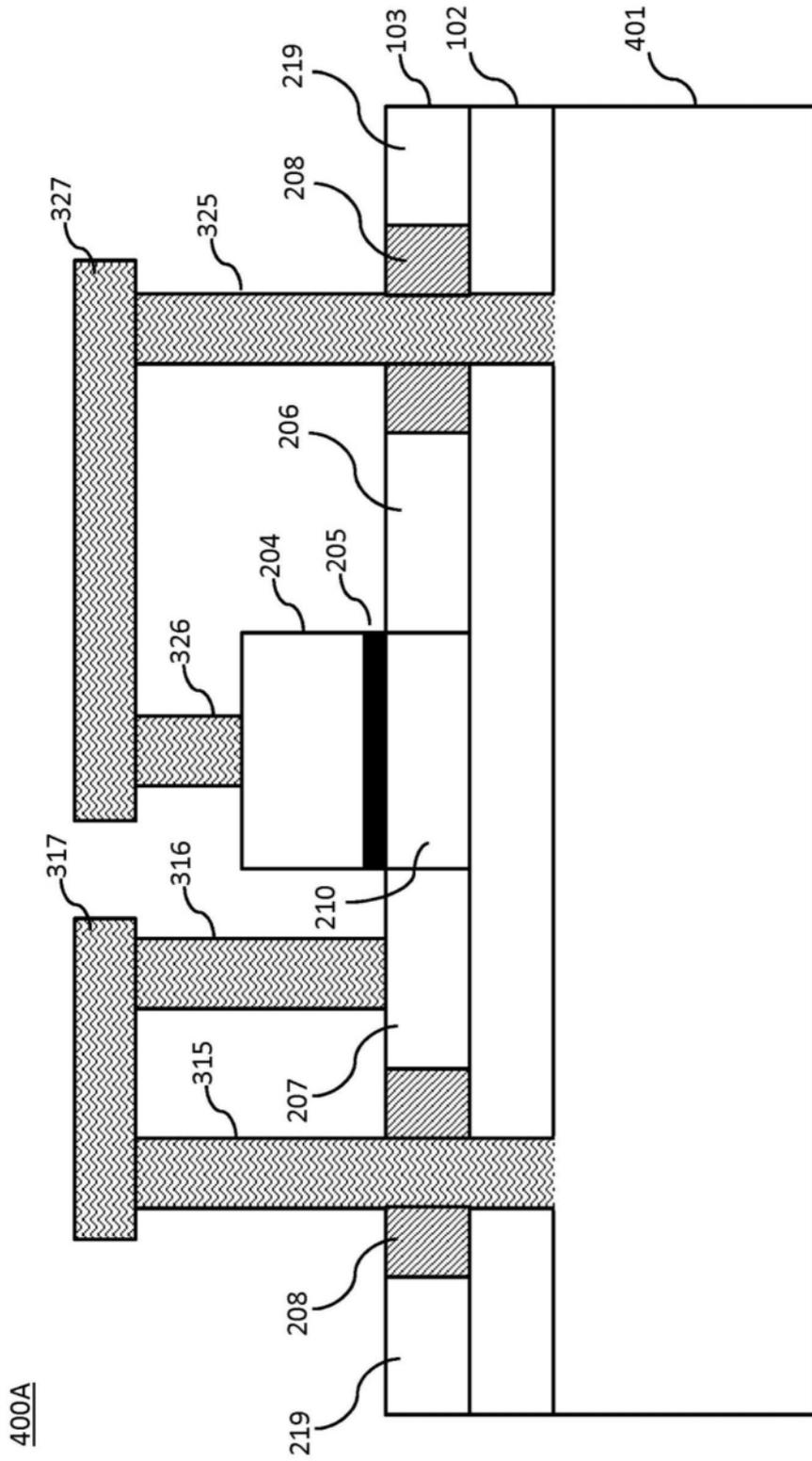


图4A

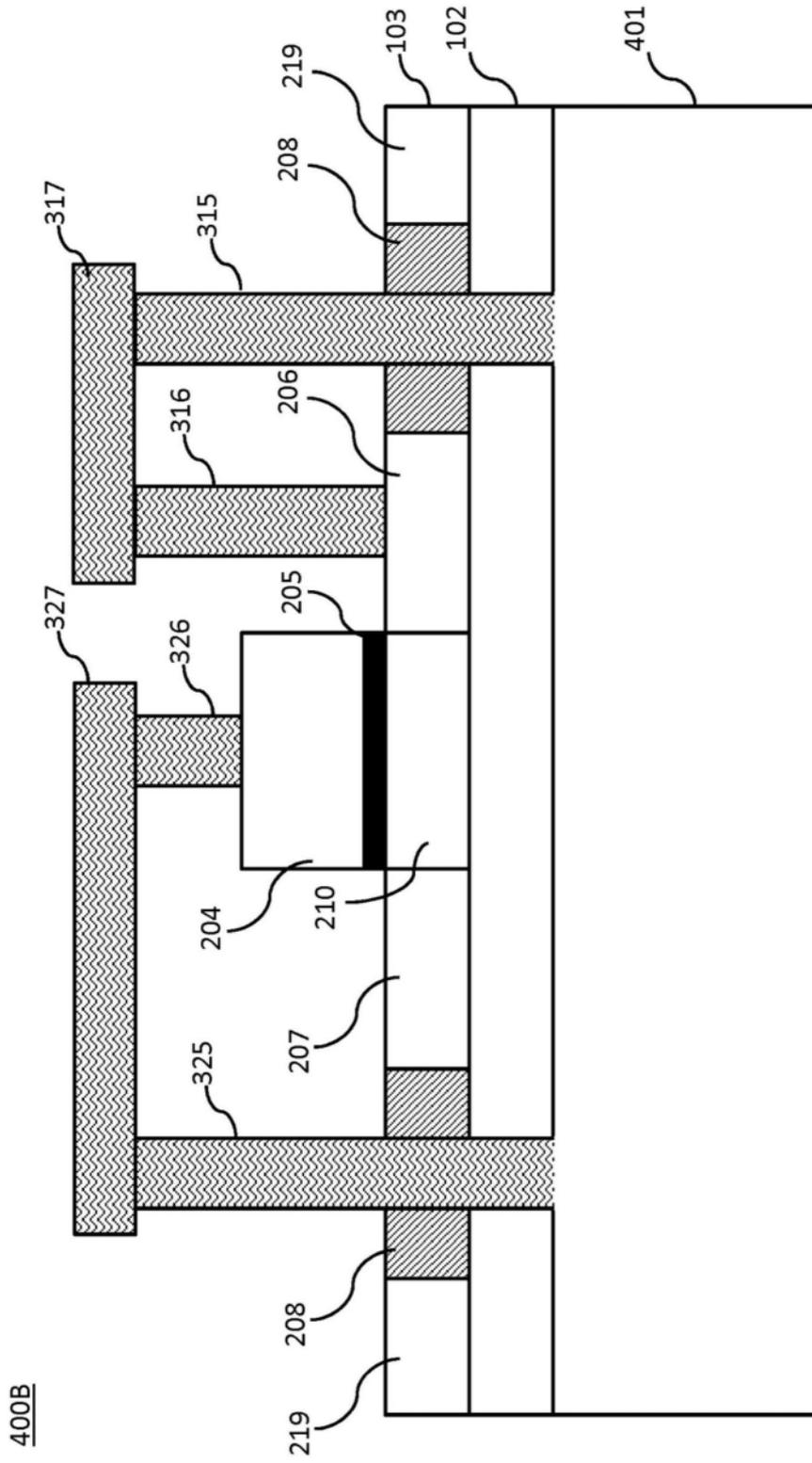


图4B

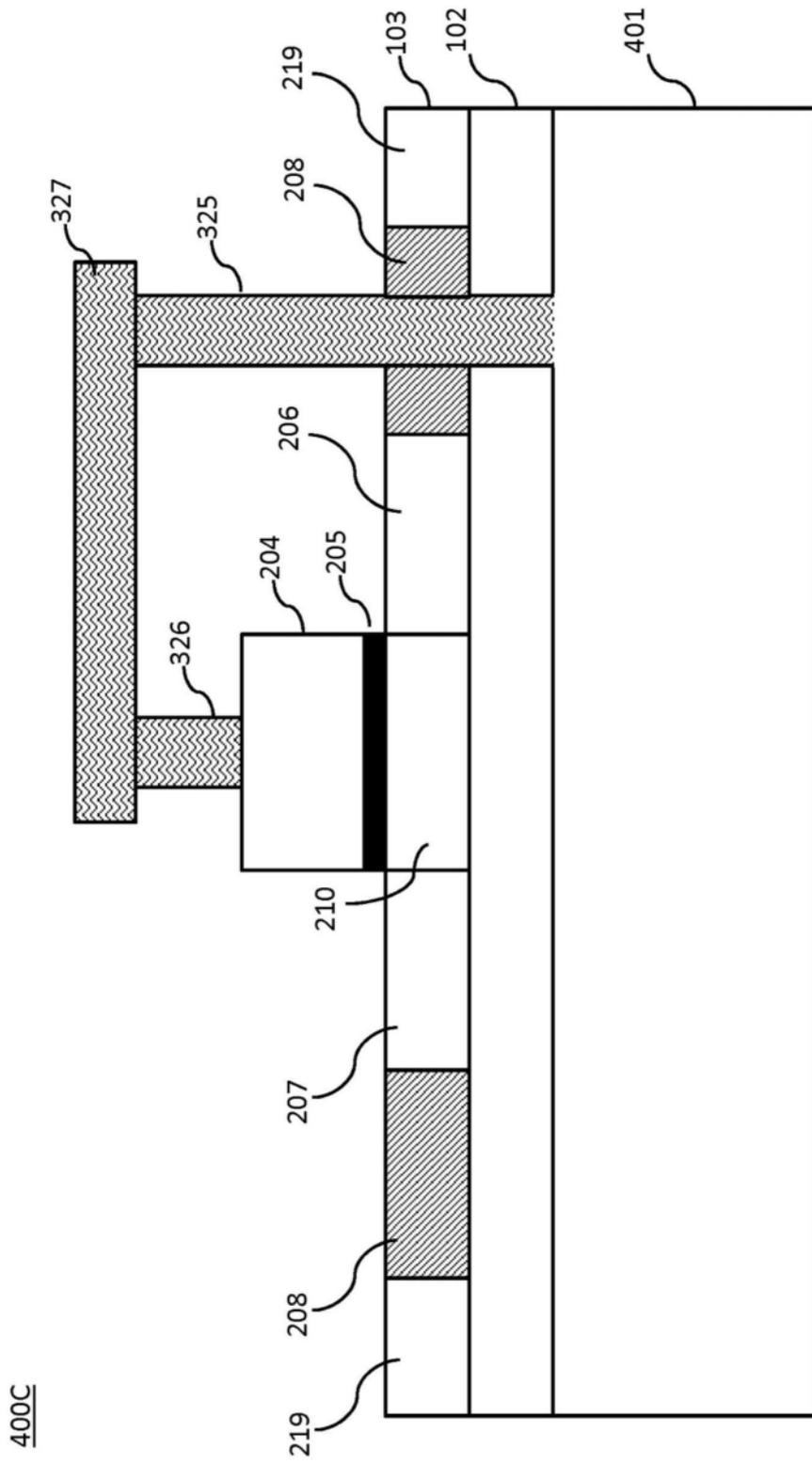


图4C

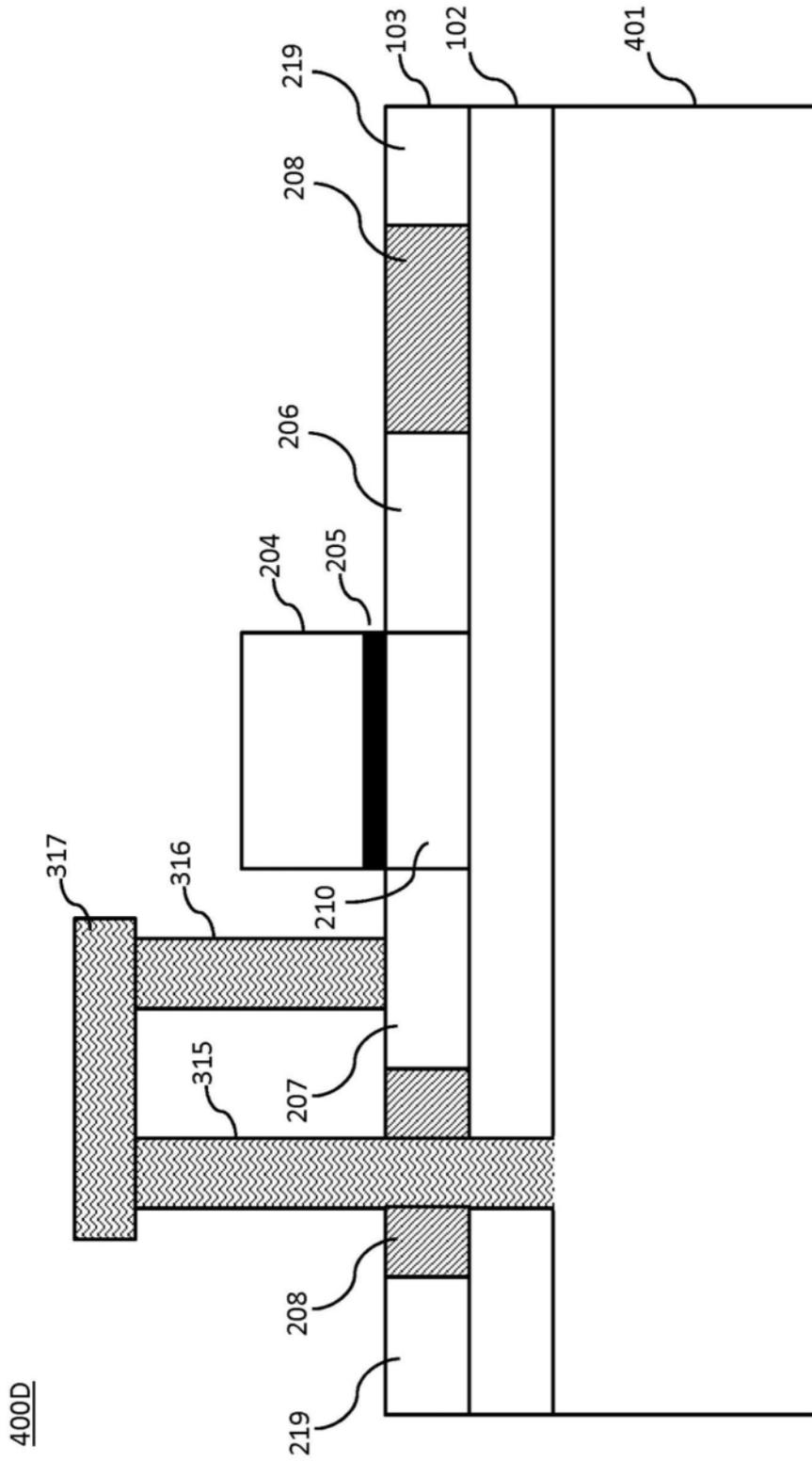


图4D

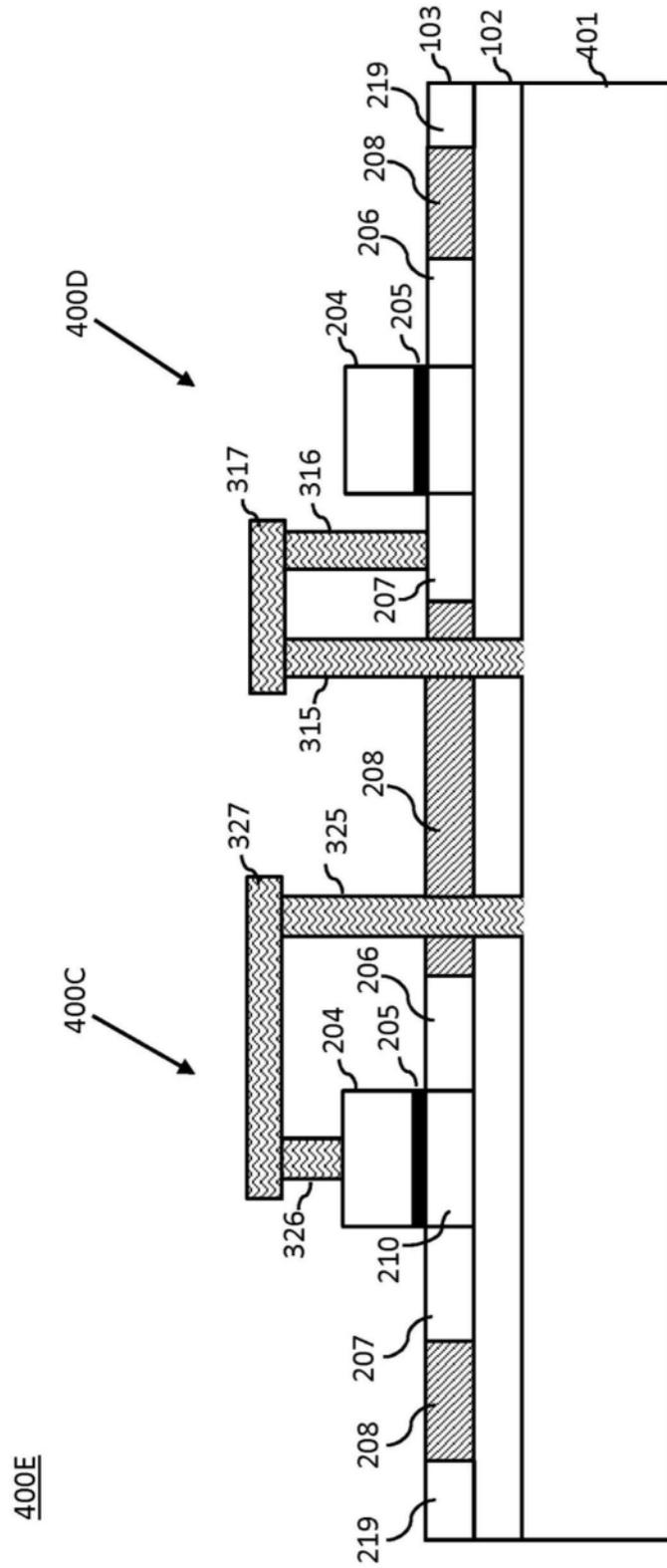


图4E



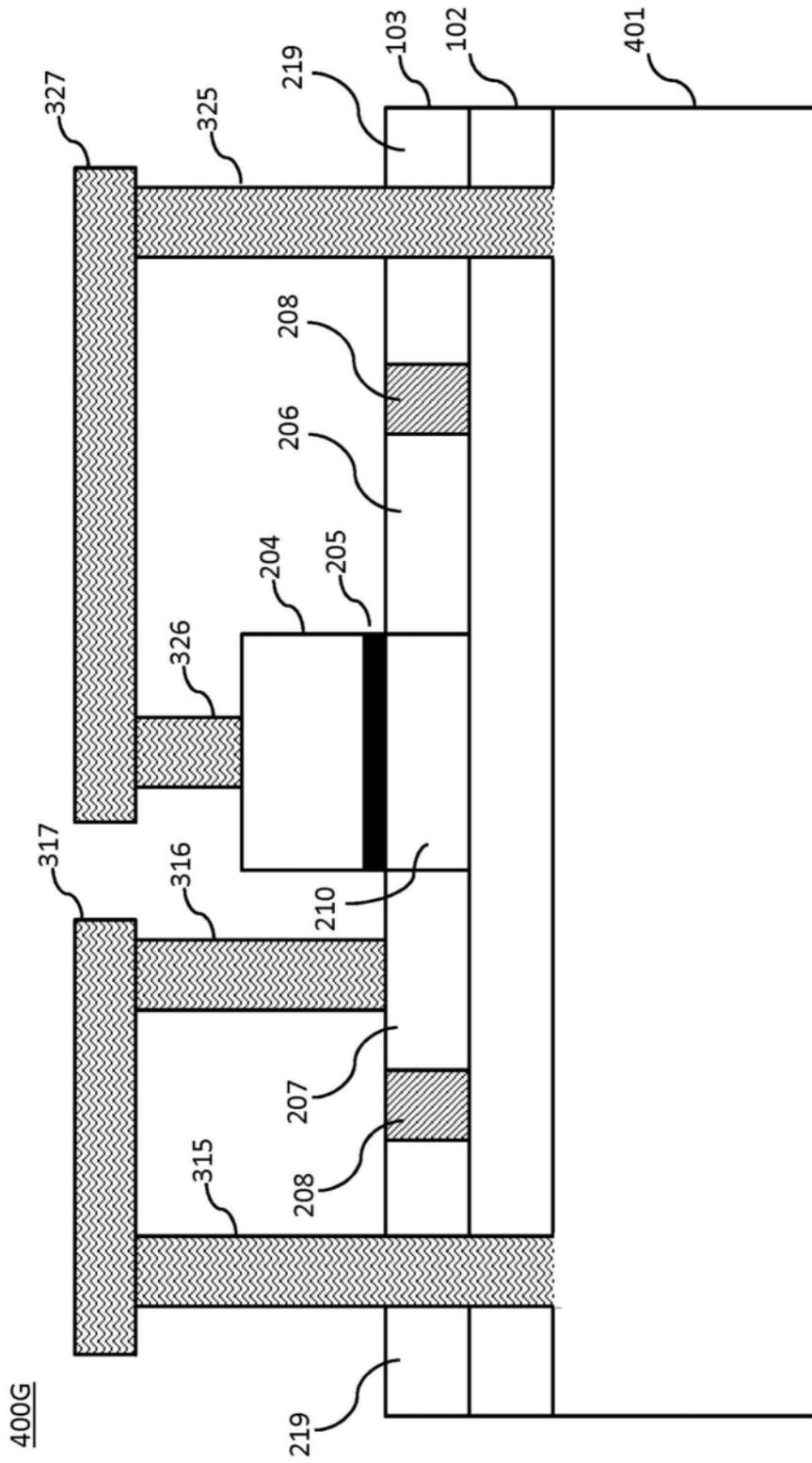


图4G

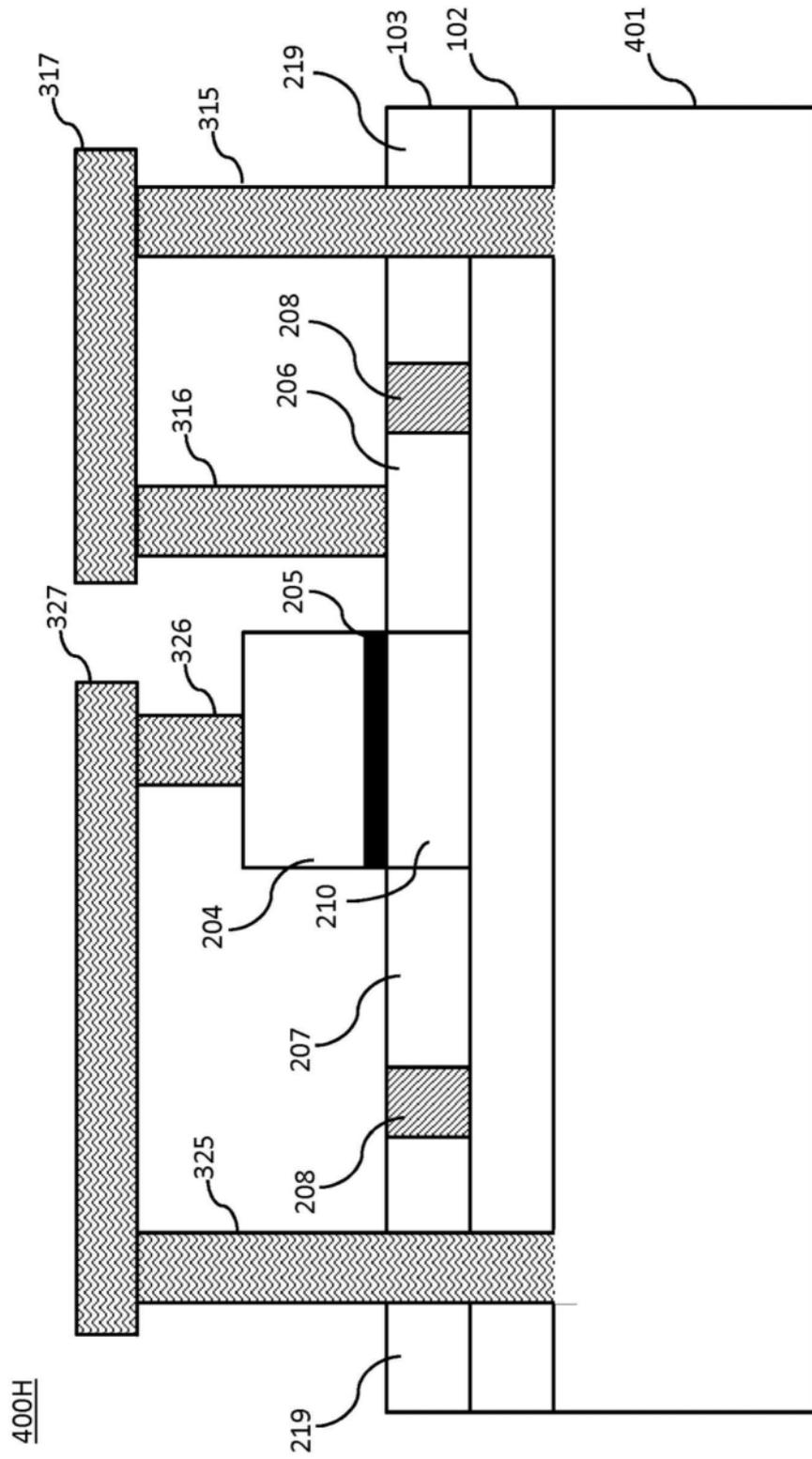


图4H

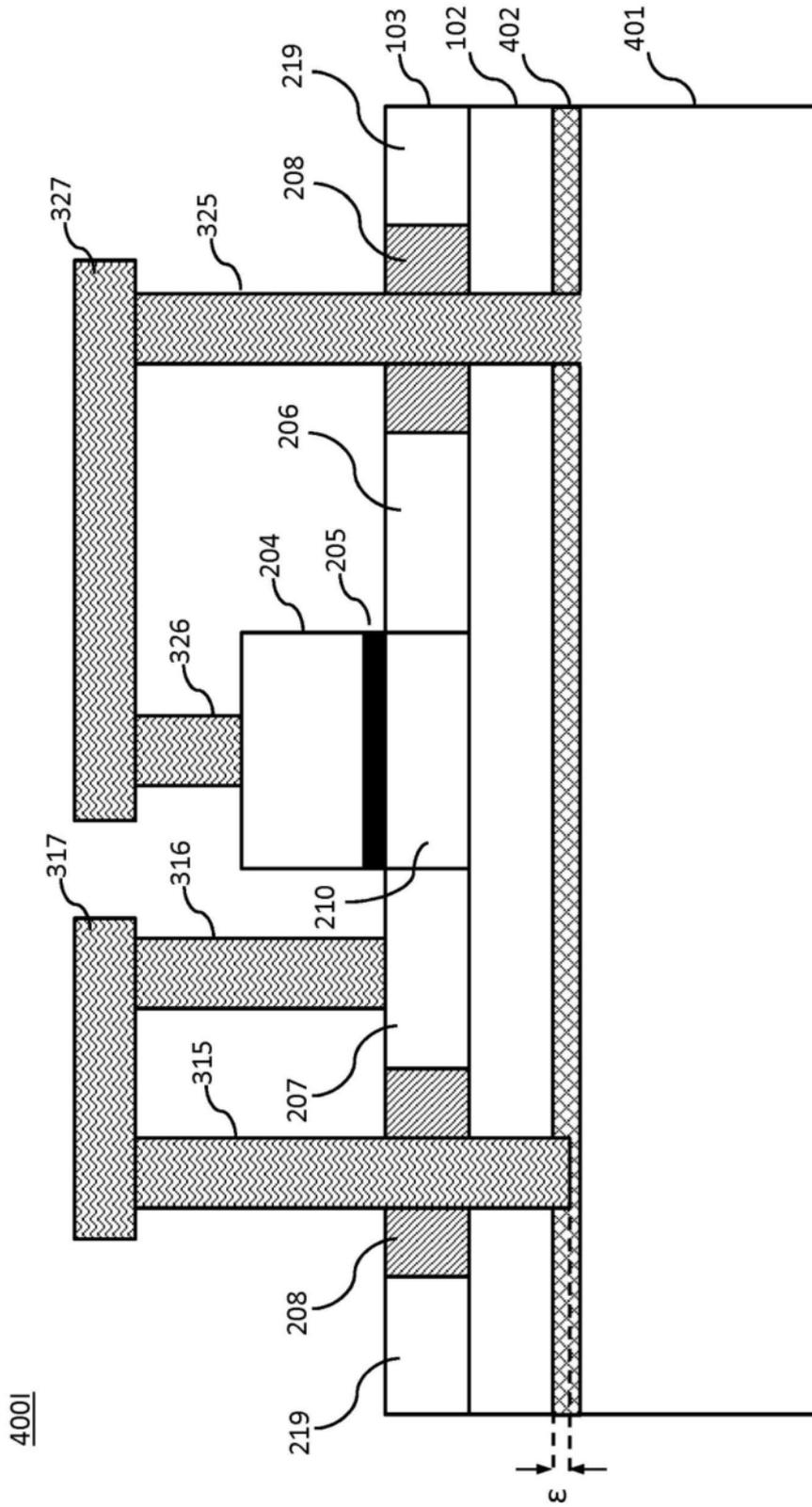


图4I

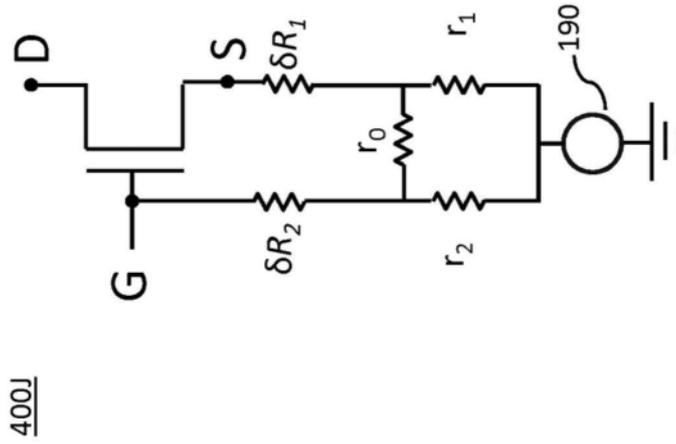


图4J

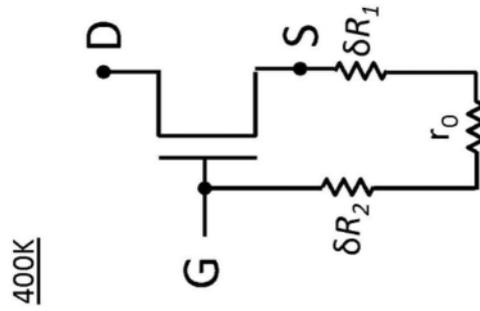


图4K

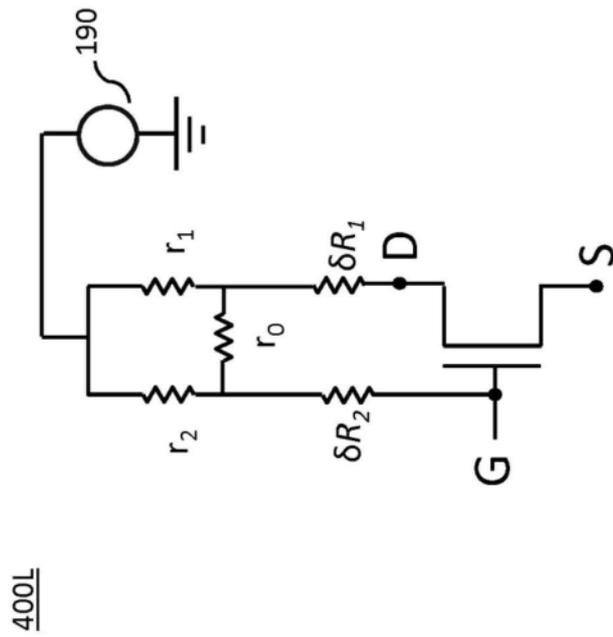


图4L

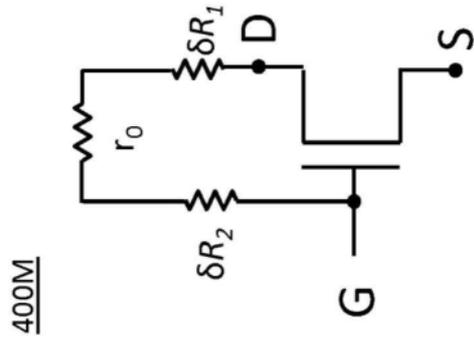


图4M

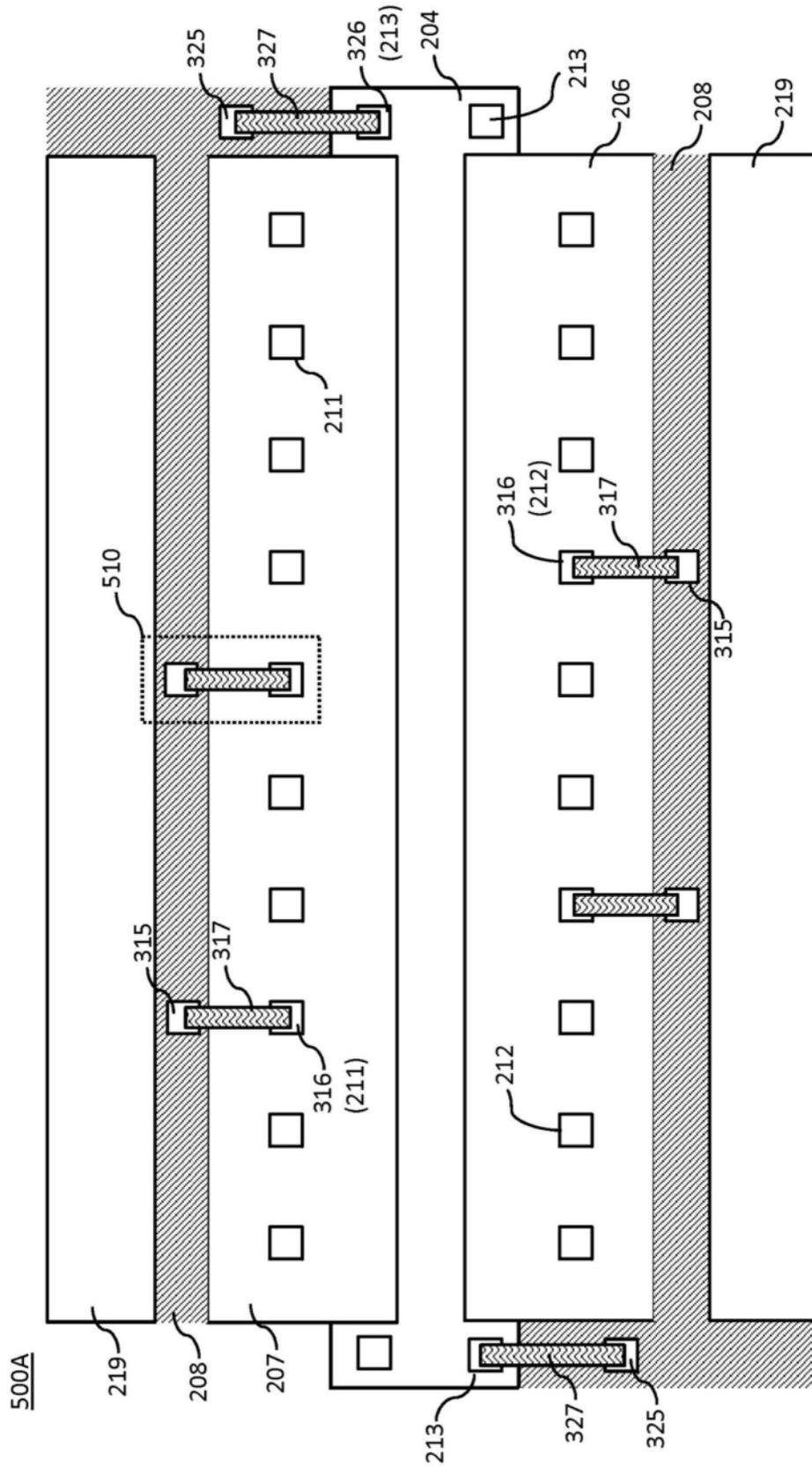


图5A

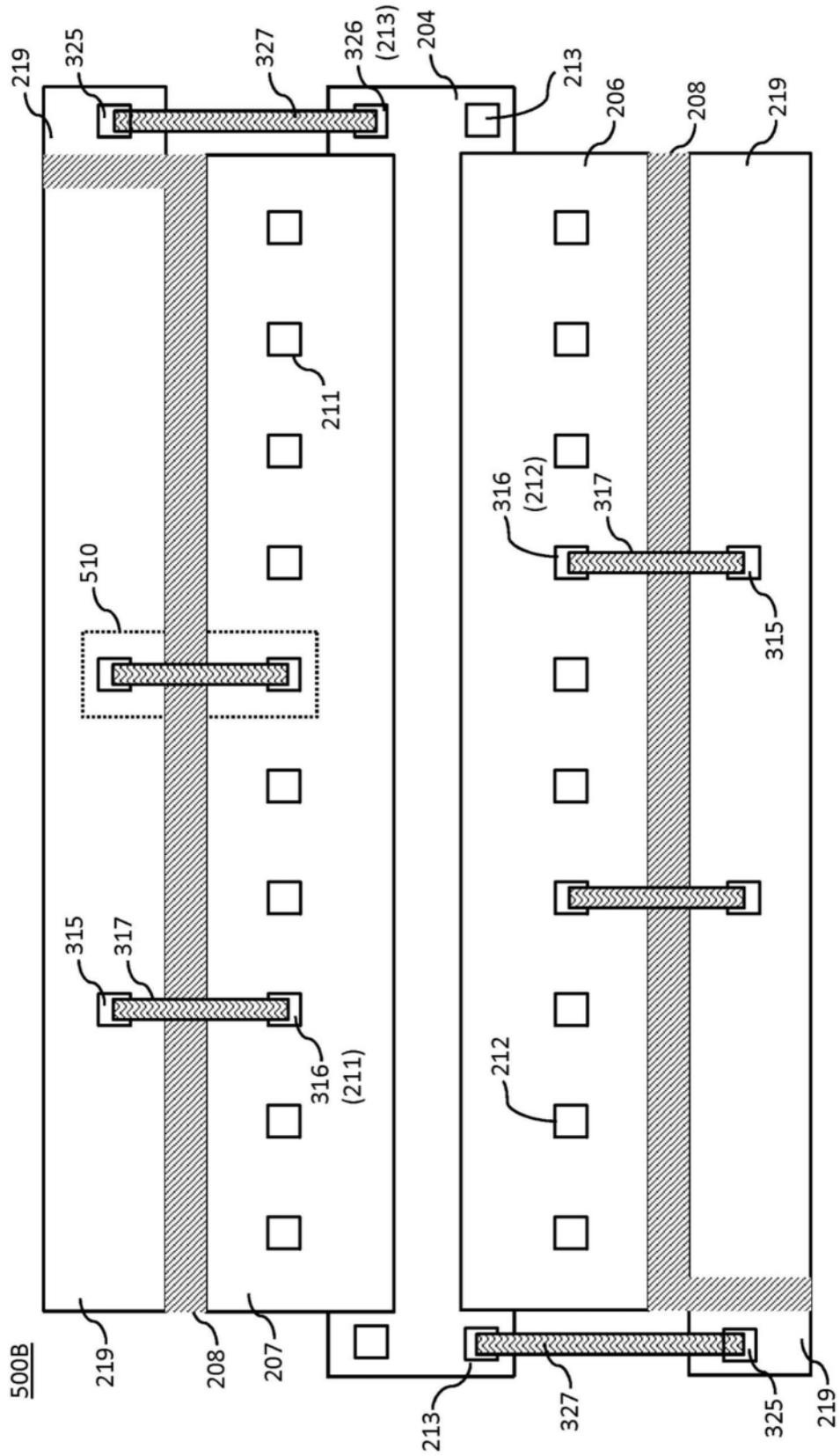


图5B