



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0081272  
(43) 공개일자 2010년07월14일

(51) Int. Cl.

*G06F 13/28* (2006.01) *G06F 13/38* (2006.01)  
*G06F 13/10* (2006.01) *G06F 12/00* (2006.01)

(21) 출원번호 10-2009-0134434

(22) 출원일자 2009년12월30일  
심사청구일자 2009년12월30일

(30) 우선권주장

12/348,735 2009년01월05일 미국(US)

(71) 출원인

타이완 세미콘더터 매뉴팩처링 컴퍼니 리미티드  
중국, 타이완 300-77, 신츄, 사이언스-베이스드  
인더스트리얼 파크, 리신 로드. 6, 8호

(72) 별명자

첸 링-파

대만 타이중 시티 404 노스 디스트. 2 에스티. 원  
창 이. 넘버 189

수 차오-선

대만 이란 카운티 266 산씽 타운쉽 다이 알디. 넘  
버 84-8

(뒷면에 계속)

(74) 대리인

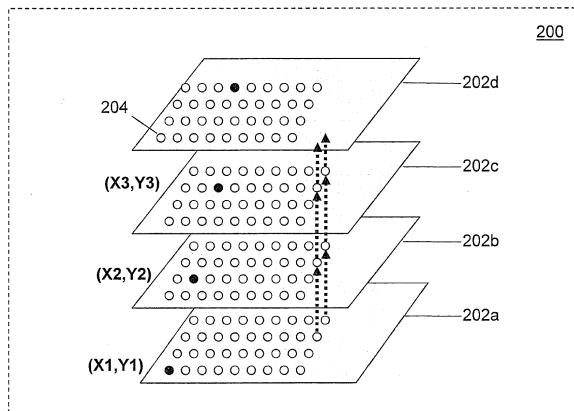
정홍식

전체 청구항 수 : 총 14 항

(54) 초고대역폭 메모리 라이 스택

**(57) 요 약**

중앙처리장치(CPU); 상기 CPU와 통신하는 메모리 장치; 및 상기 CPU 및 상기 메모리 장치와 통신하는 DMA(direct memory access) 컨트롤러;를 포함하는 시스템이 개시된다. 상기 메모리 장치는, 수직하게 적층된 복수의 집적 회로 칩 및 복수의 입력/출력(I/O) 포트를 포함한다. 상기 I/O 포트 각각은 관통 실리콘 비아(through silicon via)에 의해 상기 복수의 집적 회로 칩 중의 적어도 하나와 연결된다. 상기 DMA 컨트롤러는 상기 메모리 장치로 향하고 상기 메모리 장치에서 나오는 데이터의 전송을 처리한다.

**대 표 도** - 도2a

(72) 발명자

차오 클린턴

미국 캘리포니아 94065 레드우드 쇼어스 워터사이드 서클 51

첸 첸-시엔

대만 신주 카운티 302 주후베이 시티 웬샤오 에스 티. 넘버 98 6<sup>총</sup>

## 특허청구의 범위

### 청구항 1

중앙처리장치(CPU);

상기 CPU와 통신하는 메모리 장치; 및

상기 CPU 및 상기 메모리 장치와 통신하는 DMA(direct memory access) 컨트롤러;를 포함하고,

상기 메모리 장치는, 수직하게 적층된 복수의 집적 회로 칩 및 복수의 입력/출력(I/O) 포트를 포함하고,

상기 I/O 포트 각각은 관통 기판 비아(through-substrate via)에 의해 상기 복수의 집적 회로 칩 중의 적어도 하나와 연결되고,

상기 DMA 컨트롤러는 상기 메모리 장치로 향하고 상기 메모리 장치에서 나오는 데이터의 전송을 처리하는 것을 특징으로 하는 시스템.

### 청구항 2

제1항에 있어서,

상기 CPU는 시스템 버스에 의해 상기 메모리 장치와 연결되는 것을 특징으로 하는 시스템.

### 청구항 3

제2항에 있어서,

상기 DMA 컨트롤러는 상기 시스템 버스에 의해 상기 메모리 장치 및 상기 CPU와 연결되는 것을 특징으로 하는 시스템.

### 청구항 4

제1항에 있어서,

상기 DMA 컨트롤러는 페치 앤드 디파짓(fetch and deposit) 방식의 데이터 전송을 처리하는 것을 특징으로 하는 시스템.

### 청구항 5

제1, 2집적 회로 칩을 포함하며, 상기 제1, 2집적 회로 칩 각각은 복수의 메모리 위치(memory location) 및 관통 기판 비아(TSV)를 포함하며, 상기 TSV 각각은 입력/출력(I/O) 포트에 대응되는 저장 장치; 및

상기 제1, 2집적 회로 칩의 상기 I/O 포트와 연결되며, 상기 제1, 2집적 회로 칩의 상기 메모리 위치 각각으로의 데이터 기록과 데이터 판독을 처리하는 컨트롤러;를 포함하는 것을 특징으로 하는 메모리 시스템.

### 청구항 6

제5항에 있어서,

상기 컨트롤러는 DMA(direct memory access) 컨트롤러인 것을 특징으로 하는 메모리 시스템.

### 청구항 7

제5항에 있어서,

상기 제1, 2집적 회로 칩은 DRAM(dynamic random acces memory) 칩인 것을 특징으로 하는 메모리 시스템.

### 청구항 8

제5항에 있어서,

상기 제1, 2집적 회로 칩은 SRAM(static random access memory) 칩인 것을 특징으로 하는 메모리 시스템.

**청구항 9**

제5항에 있어서,

상기 저장 장치는 제3집적 회로 칩을 더 포함하고,

상기 제3집적 회로 칩은 복수의 메모리 위치를 포함하는 것을 특징으로 하는 메모리 시스템.

**청구항 10**

제5항에 있어서,

상기 저장 장치의 상기 제1, 2집적 회로 칩은 서로의 위에 수직하게 적층되는 것을 특징으로 하는 메모리 시스템.

**청구항 11**

제5항에 있어서,

상기 컨트롤러는 페치 앤드 디파짓(fetch and deposit) 방식의 데이터 전송을 처리하는 DMA(direct memory access) 컨트롤러인 것을 특징으로 하는 메모리 시스템.

**청구항 12**

DMA(direct memory access)를 이용하여 메모리 장치로 향하고 상기 메모리 장치에서 나오는 데이터의 전송을 처리하는 단계를 포함하고,

상기 데이터의 전송을 처리하는 단계는 DMA 컨트롤러에 의해 수행되고,

상기 메모리 장치는 수직하게 적층된 복수의 집적 회로 칩 및 복수의 입력/출력(I/O) 포트를 포함하고,

상기 I/O 포트 각각은 관통 기판 비아(through-substrate via)에 의해 상기 복수의 집적 회로 칩 중의 적어도 하나와 연결되는 것을 특징으로 하는 방법.

**청구항 13**

제12항에 있어서,

상기 DMA 컨트롤러는 메모리 버스에 의해 상기 메모리 장치와 연결되는 것을 특징으로 하는 방법.

**청구항 14**

제12항에 있어서,

상기 DMA 컨트롤러는 페치 앤드 디파짓(fetch and deposit) 방식의 데이터 전송을 처리하는 것을 특징으로 하는 방법.

**명세서****발명의 상세한 설명****기술 분야**

[0001] 본 명세서에서 공개하는 내용은 메모리 장치에 관한 것으로, 더욱 상세하게는 3차원 다이 스택(three dimensional die stack)을 이용하여 형성되는 메모리 장치에 관한 것이다.

**배경기술**

[0002] 메모리 장치의 실리콘 풋프린트(silicon footprint)를 감소시키는 동시에 메모리 장치의 용량을 증가시키기 위하여 적층형 메모리 칩(stacking memory chip)이 통상적으로 이용된다. 두 개의 통상적인 적층 방법은 패키지-온-패키지(PoP; Package-on-Package)와 시스템-인-패키지(SiP; System-in-Package)이다. PoP 시스템에서는, 패키지 안에서 개별적인 로직 및 메모리 블록 그리드 어레이(BGA; ball grid array)가 수직하게 결합된다. 두 개의 패키지는 서로의 위에 놓여지고, 두 개의 패키지 사이에서 신호를 전송하는 표준 인터페이스(standard

interface)에 연결된다. SiP를 실시하는 경우에서는, 다수의 다이(die)가 수직하게 적층되고 다수의 다이는 통상적인 오프-칩(off-chip) 와이어 본드(wire bond) 또는 솔더 범프(solder bump)를 이용하여 연결된다.

[0003] PoP와 SiP 패키지에 대한 개선된 대안으로서, 상호 연결(interconnection)을 위해 관통 실리콘 비아(Through-silicon via; TSV; through silicon via)를 이용하는 3D 집적 회로(IC; integrated circuit)가 최근에 개발되고 있다. TSV 기술은 실리콘(또는 다른 유전체 물질) 웨이퍼 안에 있는 수직한 비아를 이용하는데, 이런 수직한 비아는 각각의 칩을 상호 연결하는데 사용된다. 관통 실리콘 비아를 사용함에 따라, 배선 길이(interconnect length)가 줄어들고 전기적 성능이 향상되고 메모리 장치가 소모하는 전력이 줄어들게 된다.

[0004] TSV 기술은 DDR2 및 DDR3 SDRAM과 같은 통상적인 표준에 따르는 메모리 저장 장치로 적용되고 있다. 1기가비트 DRAM을 만들기 위하여, 8개의 128Mb 칩이 서로의 위에 적층되고 관통 실리콘 비아를 사용하여 연결된다. 비록 수직하게 적층되었지만, 3D IC 메모리 장치는 통상적인 메모리 표준(예컨대, DDR2 및 DDR3)에 따라 데이터를 판독하고 기록하게(read and write) 된다. 예컨대 DDR2 SDRAM 회로는, 멀티플렉서(multiplexer)를 이용하여 데이터 저장 위치(data storage location)를 액세스(access)하고 4비트 깊이(4 bits deep)인 프리페치 버퍼(prefetch buffer)를 구비한다. DDR2 SDRAM에 있어서, DDR2 메모리 셀(memory cell)은 시스템 클록(system clock)의 라이징 에지(rising edge)와 폴링 에지(falling edge) 모두에서 데이터를 전송하여 메모리 셀 사이클(memory cell cycle) 당 4비트의 데이터가 전송되는 것을 가능하게 한다. DDR3 SDRAM은 DDR2보다 더 높은 대역폭(bandwidth)을 가지며 8비트 프리페치 버퍼를 이용하여 메모리 셀 속도의 8배 빠른 속도로 데이터를 전송할 수 있는 능력을 갖는다.

[0005] 비록 TSV 기술이 메모리 장치의 데이터 저장 용량을 높이는데 사용되었지만, 메모리 장치로부터 판독하거나(read) 메모리 장치에 기록하는(write) 속도는 메모리 장치가 따르는 사양(예컨대, DDR2 및 DDR3)에 의해 제한되고 메모리 장치의 대역폭은 변하지 않는다.

### 발명의 내용

[0006] 본 발명의 일 실시 예에 있어서, 시스템은 중앙처리장치(CPU); 상기 CPU와 통신하는 메모리 장치; 및 상기 CPU 및 상기 메모리 장치와 통신하는 DMA(direct memory access) 컨트롤러;를 포함한다. 상기 메모리 장치는, 수직하게 적층된 복수의 집적 회로 칩 및 복수의 입력/ 출력(I/O) 포트를 포함한다. 상기 I/O 포트 각각은 관통 기판 비아(through-substrate via)에 의해 상기 복수의 집적 회로 칩 중의 적어도 하나와 연결된다. 상기 DMA 컨트롤러는 상기 메모리 장치로 향하고 상기 메모리 장치에서 나오는 데이터의 전송을 처리한다.

[0007] 본 발명의 일 실시 예에 있어서, 메모리 시스템은 저장 장치 및 상기 저장 장치와 연결되는 컨트롤러를 포함한다. 상기 저장 장치는 제1, 2집적 회로 칩을 포함한다. 상기 제1, 2집적 회로 칩 각각은 복수의 메모리 위치(memory location) 및 관통 실리콘 비아를 포함한다. 상기 관통 실리콘 비아 각각은 개별적인 입력/ 출력(I/O) 포트에 대응된다. 상기 컨트롤러가 상기 제1, 2집적 회로 칩의 상기 메모리 위치 각각으로의 데이터 기록과 데이터 판독을 처리한다.

### 발명의 실시를 위한 구체적인 내용

[0008] 본 명세서에서 사용되는 바와 같이, "관통 실리콘 비아(TSV; through-silicon via)"란 용어와 "관통 기판 비아(through-substrate via)"란 용어는 집적 회로(IC) 반도체 기판을 관통하는 관통 비아(through-via)를 포함하는 구성을 지칭하는데 서로 호환되어 사용될 수 있으며, 실리콘 물질로 이루어진 기판에 형성되는 집적 회로(IC)에만 한정되어 해석되어서는 안 된다. 따라서, 여기서 사용되는 TSV란 용어는 다른 반도체 IC 기판 물질을 관통하여 형성되는 관통 기판 비아 또한 포함할 수 있다. 여기서 다른 반도체 IC 기판 물질이란 III-V족 화합물 기판, 실리콘/게르마늄(SiGe) 기판, 갈륨 비소(GaAs) 기판, 실리콘-온-인슐레이터(SOI; silicon-on-insulator) 기판, 또는 이와 유사한 것과 같은 것이다.

[0009] 이제 고대역폭 메모리 다이 스택킹(high bandwidth memory die stacking)에 대한 새로운 접근방법이 설명될 것이다. 후술되는 상세한 설명에서는, 상세한 설명의 일부를 형성하는 첨부된 도면이 참조될 것이다.

[0010] 도 1은 본 발명에 따르는 전자 시스템(100; electronic system)의 일 실시 예의 개략적인 블록도이다. 어떤 실시 예에서는, 이런 전자 시스템(100)이 패키지 안에 있는 시스템으로서 구성될 수 있다. 다른 실시 예에서는, 이런 전자 시스템(100)이 인쇄 회로 기판 위에 구성될 수 있다. 전자 시스템(100)은 컴퓨터, 개인 휴대 정보 단말기(PDA), 휴대폰, DVD 플레이어, 셋톱박스(set top box), 또는 다른 전자 장치 안에 포함될 수 있다. 전자 시스템(100)은 중앙처리장치(12)(CPU; central processing unit), 롬(104)(ROM; read only memory), 시스템 버스

(106; system bus), I/O 장치(108; I/O device), 메인 메모리(200), 및 DMA(direct memory access) 컨트롤러(300)를 포함한다.

[0011] CPU(102)는 계산(computing) 기능을 수행할 수 있는 어떠한 프로세서라도 될 수 있다. 이런 프로세서의 예는 AMD of Sunnyvale, CA로부터 입수할 수 있는 AMD "PHENOM"<sup>TM</sup>, "ATHLON"<sup>TM</sup>, 또는 "SEMPRON"<sup>TM</sup> 프로세서뿐 아니라 Intel of Santa Clara, CA로부터 입수할 수 있는 "INTEL<sup>®</sup> CORE"<sup>TM</sup>, "PENTIUM"<sup>®</sup>, "CELERON"<sup>®</sup>, 또는 "XEON"<sup>®</sup> 프로세서가 될 수 있으나, 이에 한정되지는 않는다. CPU(102)는 시스템 버스(106)에 의해 ROM(104), 메인 메모리(200), I/O 장치(108), 및 DMA 컨트롤러(300)와 연결된다.

[0012] 시스템 버스(106)는 데이터 버스(data bus), 어드레스 버스(address bus), 및 컨트롤 버스(control bus)를 포함할 수 있다. 데이터 버스는 메모리 장치(104, 200) 중 어느 하나로부터 CPU(102) 또는 I/O 장치로 데이터를 전송하는데 이용되며, 어드레스 버스는 데이터의 소스 어드레스(source address) 및 목적지 어드레스(destination address)를 전송하는데 이용되며, 컨트롤 버스는 데이터의 전송 방법을 제어하는 신호를 전송하는데 이용된다. 시스템 버스(106)는 파워 버스(power bus) 및 I/O 버스 또한 포함할 수 있다. 도면을 단순화시키기 위해 시스템 버스(106)를 구성하고 있는 다수의 버스들은 도면에 도시되지 않았다. 일 실시 예에 있어서, 시스템 버스(106)의 대역폭은 64-비트가 될 수 있다. 그러나 이 이외에도 다른 버스 대역폭이 사용될 수 있다.

[0013] ROM(104)은 어떠한 판독 전용 메모리(read only memory)라도 될 수 있으며, 예컨대 PROM(programmable read only memory), EPROM(erasable programmable read only memory), EEPROM(electrically erasable programmable read only memory), 및 플래시 메모리를 포함할 수 있으나 이에 한정되지는 않는다.

[0014] 도 2A 및 2B는 메모리 저장 장치(200)의 예시적인 구조를 나타낸다. 여기서 메모리 저장 장치(200)는 하나의 3D-IC 패키지 안에 수용되어 있다. 메모리 저장 장치(200)는 4개의 접적 회로(IC) 칩(202a-202d)이 수직하게 적층된 것으로서 도시되어 있다. 비록 4개의 칩이 기술되었지만, 메모리 저장 장치(200)는 시스템에서 원하는 메모리 용량에 따라 더 많거나 더 적은 칩으로 구성될 수 있다. 각각의 칩(202)은 128 MB의 메모리 용량을 가질 수 있다. 물론 이보다 더 많거나 더 적은 메모리 용량을 가진 칩으로 실시될 수도 있다. 각각의 칩(202)은 복수의 저장 위치(204; storage location)를 포함한다. 각각의 메모리 칩(202)에 있는 각각의 저장 위치는 고유의(unique) 메모리 어드레스(memory address)를 갖는다. 어떤 실시 예에서는, 저장 장치(200)가 DRAM(dynamic random access memory) 저장 장치가 될 수 있다. 그러나 이 이외에도 SRAM(static random access memory)을 포함할 수도 있으며 이에 한정되지는 않고 ROM도 사용될 수 있다.

[0015] 메모리 칩(202)은 관통 실리콘 비아(TSV) 기술을 이용하여 서로 연결된다. 예컨대, 도 2B에 도시된 바와 같이 도전성 물질로 채워지는 레이저-가공 홀(laser-cut hole)을 이용하여 칩(202) 각각이 서로 연결될 수 있다. 복수의 칩을 적층하는 하나의 예는, 발명의 명칭이 "Electronic Packaging Including Die with Through Silicon Via"이고 2008년 01월 08일자로 발행된 미국 특허 7,317,256에 개시되어 있다. 상기 미국 특허를 참조함으로써 상기 미국 특허의 전체 내용은 본 명세서에 포함될 것이다.

[0016] 도 2B에 도시된 바와 같이, 메모리 장치(200)는 반도체 기판(212) 위로 형성되는 IC 메모리 칩(202a-202d)을 포함한다. 반도체 기판은 실리콘, 갈륨 비소(GaAs), III-V족 화합물, 실리콘/게르마늄(SiGe), 실리콘-온-인슐레이터(SOI), 또는 이와 유사한 것을 포함하는 어떠한 반도체 물질로부터 형성될 수 있으나 이에 한정되지는 않는다.

[0017] IC 메모리 칩(202a-202d)의 스택(stack)은 일 이상의 솔더 범프(210)에 의해 반도체 기판(212)에 연결된다. 솔더 범프(210)는 납 또는 납이 없는 합금(lead-free alloy)으로부터 형성될 수 있다. 납이 없는 합금의 예는 주석/은, 주석/구리/은, 구리, 구리 합금, 및 이와 유사한 것을 포함하나 이에 한정되지는 않는다.

[0018] 적층된 IC 메모리 칩(202a-202d)은 스페이서(206a-206d; spacer)에 의해 인접한 칩으로부터 분리될 수 있다. 예컨대 도 2B에 도시된 바와 같이, 스페이서(206c)에 의해 IC 메모리 칩(202b과 202c)이 분리된다. 스페이서(206a-206d)는 실리콘, 갈륨 비소, 및 이와 유사한 것을 포함하는 다양한 물질로부터 형성될 수 있으나 이에 한정되지는 않는다. 각각의 메모리 칩(202a-202d)은 조인트(218; joint)에 의해 연결될 수 있다. 조인트(218)는 또한 스페이서(206a-206d)에 연결된다. 어떤 실시 예에서, 메모리 장치(200)는 첫 번째 IC 메모리 칩(202a)과 스페이서(206a) 사이에 형성되는 극저 유전 상수(ELK; extremely low k) 물질(214)의 레이어(layer)를 포함할 수 있다. ELK 물질의 예는 탄소 도핑된 실리콘 다이옥사이드(carbon doped silicon dioxide), 나노글래스(nanoglass), 및 이와 유사한 것을 포함하나 이에 한정되지는 않는다. 어떤 실시 예에서는, ELK 물질(214)이 공

극(gap of air)으로 대체된다.

[0019] 관통 기판 비아(216)는 각각의 IC 메모리 칩(202a-202d)과 스페이서(206a-206d)를 관통하여 형성된다. 스페이서는 구리와 같은 도전성 물질로 채워져서 배선(interconnect)을 형성한다. 칩의 수직한 적층(stacking) 및 TSV 기술을 이용한 칩의 연결은 리드(lead)의 길이를 줄임으로써 칩의 전기적 성능과 칩의 전력 소모를 향상시킨다. 또한, 칩의 수직한 적층 및 관통 기판 비아(through-substrate via)를 이용한 칩의 연결은 입력/출력(I/O) 포트의 개수를 증가할 수 있게 한다. 칩을 연결하는데 수백 마이크론 정도의 폭을 갖는 패키지 보드(package board) 상에 수평으로 배치되는 것이 요구되는 와이어 본딩(wire bonding)을 이용하는 대신에 1 마이크론 정도의 폭을 갖는 레이저-가공 홀(laser-cut hole)을 이용하여 칩이 연결될 수 있기 때문에, I/O 포트의 개수가 증가할 수 있다. 따라서, TSV를 이용하여 칩을 연결하는 것은, 칩 연결을 위한 여분의 공간의 간극(gap)을 만들어야될 필요를 제거하게 된다. 칩에 있는 I/O 포트의 개수를 증가시키는 것은, 더 많은 I/O 포트가 사용됨에 따라 칩의 대역폭을 증가시킬 수 있게 한다. 어떤 실시 예에서는, 관통 기판 비아(216) 각각이 메모리 장치(200)의 I/O 포트에 대응될 수 있다.

[0020] 데이터는 메모리 칩(202) 각각에 있는 메모리 위치(206; memory location) 안에 저장된다. 컨트롤러(300)에 의해 제어되는 다이렉트 메모리 액세스(DMA; direct memory access)를 이용하여 메모리 칩(202)에 있는 데이터가 메모리 위치(206)로부터 판독(read)되거나 메모리 위치(206)에 기록(write)될 수 있다. DMA의 이용이 시스템 클록과는 독립적으로 데이터가 액세스될 수 있게 함으로써, 통상적인 DDR2 또는 DDR3 시스템에서 달성될 있는 것보다 더 높은 데이터 전송율(data transfer rate)을 실현할 수 있게 한다. 또한, 통상적인 메모리 시스템(예컨대, DDR2, DDR3, 등등)보다 더 많은 양의 데이터가 전송될 수 있기 때문에, 메모리(200)에 저장된 데이터를 액세스하는데 DMA를 이용하는 것은 데이터가 액세스되는 대역폭을 확장시킨다.

[0021] 도 3은 본 발명에 따르는 컨트롤러(300)의 일 실시 예를 도시한 것이다. 어떤 실시 예에서는, 컨트롤러(300)가 메모리 저장 장치(200)와 동일한 패키지 안에 포함될 수 있다. 컨트롤러(300)는 데이터 카운터(302; data counter), 데이터 레지스터(304; data register), 어드레스 레지스터(306; address register), 제어 로직(308; control logic)을 포함할 수 있다. 데이터 카운터(302)는 특정한 트랜잭션(transaction)에서 전송되는 데이터의 양을 저장하는데 사용된다. 데이터가 전송됨에 따라, 모든 데이터가 전송 완료될 때까지 데이터 카운터(302)는 감소하게 된다. 데이터 레지스터(304)는 전송된 데이터를 보관(save)하는데 사용되고, 어드레스 레지스터(306)는 전송된 데이터의 어드레스를 보관하는데 사용된다. 데이터 카운터(302), 데이터 레지스터(304), 및 어드레스 레지스터(306)는 시스템 버스(106)를 통해 신호와 데이터를 송수신한다. 제어 로직(308)은 CPU(102)와 통신하고, 메인 메모리(200)를 향하거나 메인 메모리(200)에서 나오는 데이터의 전송을 제어한다.

[0022] 어떤 실시 예에서는, 데이터 전송을 수행하는데 있어서 컨트롤러(300)가 다른 장치 또는 CPU(102)로부터 요청 신호(request signal)을 수신할 수 있다. 이런 신호를 수신하게 되면 컨트롤러(300)는 시스템 버스(106)를 제어하게 되고 데이터 전송을 수행한다. 컨트롤러(300)는 매우 적은 버스 리드/라이트 사이클(bus read/write cycle)에서 일어날 수 있는 데이터 전송을 처리한다. DMA 컨트롤러(300)가 데이터 전송을 처리하기 때문에, CPU(102)는 이런 데이터 전송 도중에 다른 기능을 수행할 수 있다. 다른 실시 예에서는, CPU(102)가 컨트롤러(300)에 액세스하고 컨트롤러(300)의 데이터 레지스터(304) 및 어드레스 레지스터(306)를 프로그램하여 데이터 전송을 수행할 수도 있다.

[0023] DMA 데이터 전송 동안에 메모리(200)에 저장된 데이터는 몇 가지 방법 중에 한가지 방법으로 전송될 수 있다. 예를 들면, 소스(source)로부터의 데이터 판독과 목적지(destination)로의 데이터 기록이 동시에 일어나는 싱글 버스 오퍼레이션(single bus operation)으로 메모리(200)에 저장된 데이터가 전송될 수 있다. CPU(102)로부터 시스템 버스(106)의 제어권을 가져오고 시스템 버스(106)로 도입되거나 시스템 버스(106)로부터 나오는 데이터에 대한 신호를 보내는 컨트롤러가 전형적으로 이런 전송을 수행한다.

[0024] 데이터가 전송되는 또 다른 방법은 페치-앤파-디파짓(fetch-and-deposit) 전송이 될 수 있으며, 여기서는 컨트롤러(300)가 하나의 메모리 어드레스로부터 데이터를 인출 또는 판독(fetch or read)하고 다른 어드레스로 데이터를 저장 또는 기록(deposit or write)한다. 데이터를 전송하는 이런 페치-앤파-디파짓 방법은 두 개의 메모리 사이클(memory cycle)을 요구하게 되는데, 첫 번째 사이클은 데이터를 판독하는 것이고 두 번째 사이클은 데이터를 기록하는 것이다.

[0025] 수직하게 적층된 메모리(200)의 칩(202)에 저장된 데이터를 액세스하는데 DMA를 이용하는 것은 메모리의 대역폭을 증가시키게 만드는데, 이는 데이터를 전송하는데 버스의 최대 폭(full width)이 이용될 수 있기 때문이다. 예컨대, 버스가 64-비트의 폭을 갖고 64-비트의 데이터가 DMA를 이용하여 전송된다면, 8-비트의 프리페치 버퍼

(prefetch buffer)를 갖는 DDR3를 이용하여 데이터가 전송되는 경우보다 8배 많은 데이터 양이 전송되는 것이다. 또한, DMA를 이용하여 전송된 데이터는 CPU가 별도로 리소스(resources)를 할당하는 것을 요구하지 않으며 시스템 클록과는 독립적인 DMA 클록(미 도시)을 이용하여 전송됨으로써, 통상적인 메모리 사양(예컨대, DDR2 및 DDR3)에 따라 전송되는 데이터보다 더 빠르게 데이터가 전송된다. 관통 실리콘 비아로 메모리 칩(202)을 연결함으로써, 메모리 장치(200)의 I/O 포트의 개수가 증가할 수 있으며 이는 더 넓은 버스가 사용되는 것을 가능하게 하고 또한 메모리 장치의 대역폭이 증가할 수 있게 한다.

[0026] 비록 본 발명이 예시적인 실시 예에 의해 설명되었지만 본 발명은 이에 한정되지 않는다. 오히려 본 발명의 균등물을 벗어나지 않는 범위 내에서 해당 분야에 통상적인 지식을 가진 자가 할 수 있는 다른 변형을 포함할 수 있도록 첨부된 청구항은 넓게 해석되어야 할 것이다.

### 도면의 간단한 설명

[0027] 도 1은 본 발명에 따르는 전기 시스템의 블록도이다.

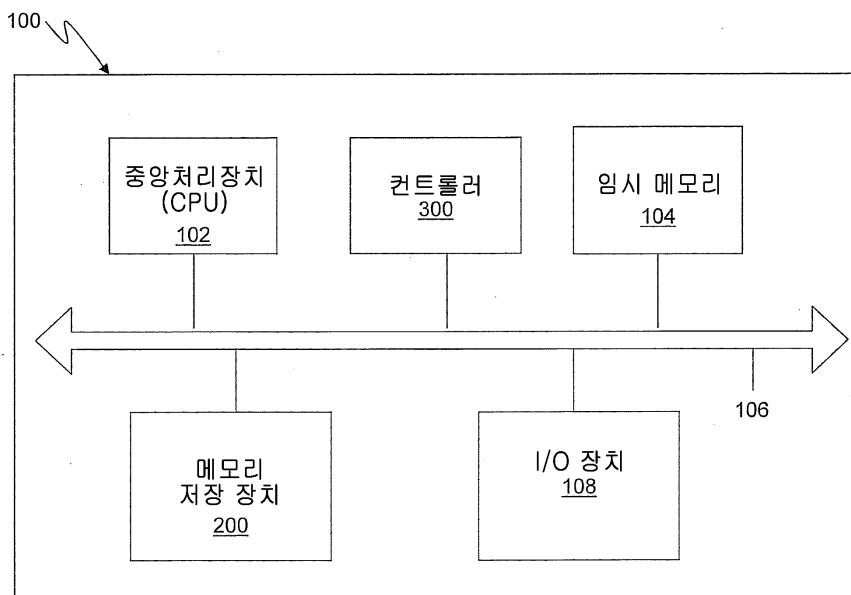
[0028] 도 2A는 도 1에 도시된 전기 시스템에 따르는 메모리 장치의 구조에 대한 블록도이다.

[0029] 도 2B는 도 2A에 도시된 메모리 장치의 단면도이다.

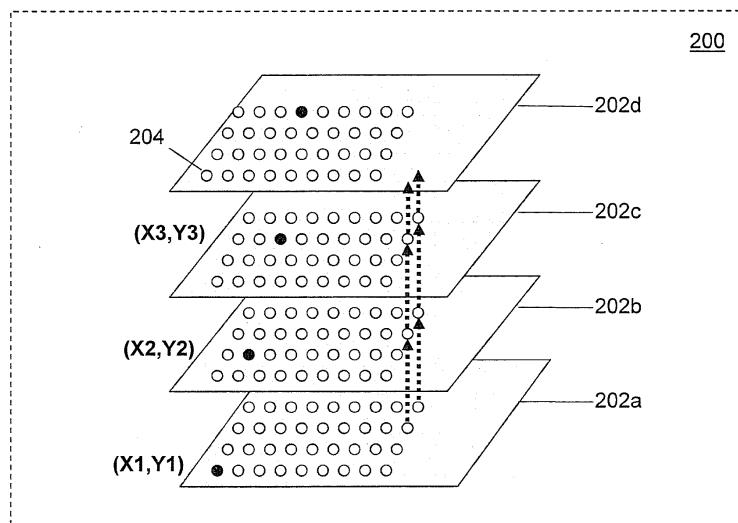
[0030] 도 3은 도 1에 도시된 전기 시스템에 따르는 DMA 컨트롤러의 블록도이다.

### 도면

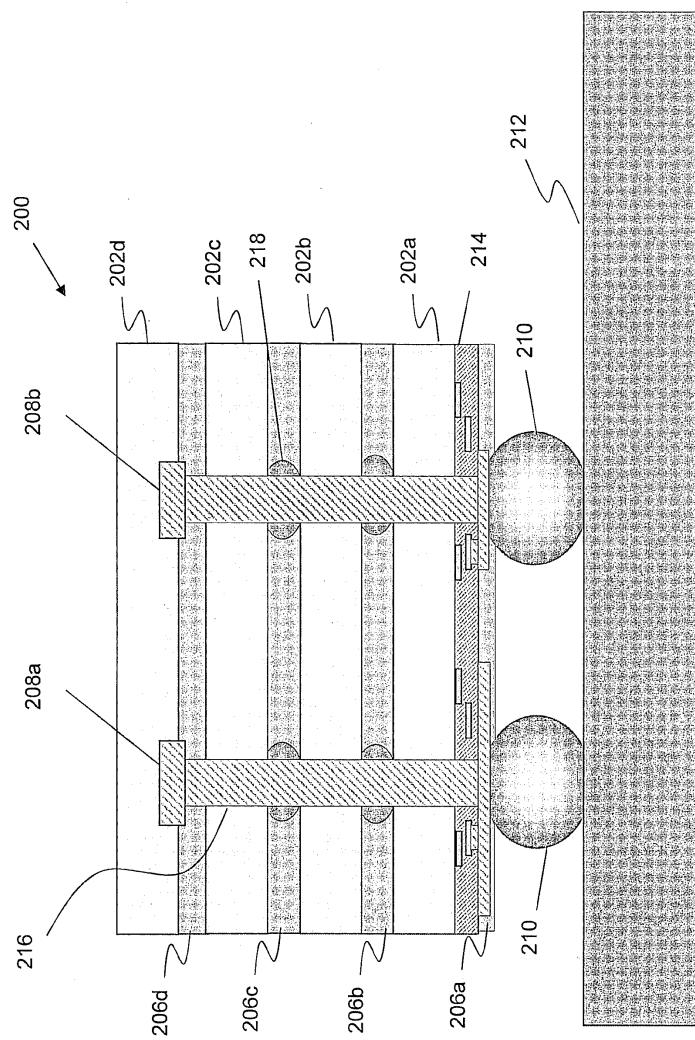
#### 도면1



도면2a



도면2b



## 도면3

