

(12) 发明专利

(10) 授权公告号 CN 101030585 B

(45) 授权公告日 2010.08.04

(21) 申请号 200710085087.7

(22) 申请日 2007.02.28

(30) 优先权数据

2006-053460 2006.02.28 JP

2006-277743 2006.10.11 JP

(73) 专利权人 株式会社东芝

地址 日本东京都

(72) 发明人 筱智彰

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 王以平

(51) Int. Cl.

H01L 27/12(2006.01)

H01L 21/84(2006.01)

G11C 11/40(2006.01)

(56) 对比文件

JP 特开 2003-17588 A, 2003.01.17, 全文.

CN 1440071 A, 2003.09.03, 全文.

JP 特开 2005-158869 A, 2005.06.16, 全文.

审查员 谢朝方

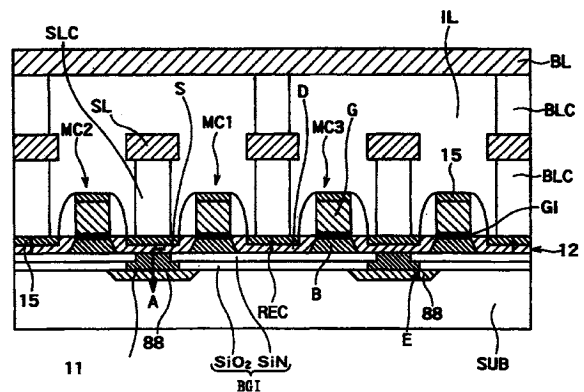
权利要求书 2 页 说明书 28 页 附图 97 页

(54) 发明名称

半导体存储器件及其制造方法

(57) 摘要

提供可以用低成本制造,尺寸较小,数据读出时的阈值电压差较大,并且,可以抑制双极干扰的半导体存储器件及其制造方法。半导体存储器件具备:由半导体材料构成的支撑衬底(SUB),设在支撑衬底上的绝缘膜(BGI),贯通绝缘膜、与支撑衬底连接的半导体膜(11),设在绝缘膜上的漏极层(D),设在绝缘膜上、与半导体膜连接的源极层(S),设在漏极层和源极层之间、呈电浮置状态、可以为了存储数据而存储电荷的主体区域(B),设在主体区域上的栅极绝缘膜(GI),和设在栅极绝缘膜上的栅极(G)。



CN 101030585 B

1. 一种半导体存储器件,具备:
 - 由半导体材料构成的支撑衬底;
 - 设在所述支撑衬底上的绝缘膜;
 - 贯通所述绝缘膜、与所述支撑衬底连接的第 1 半导体膜;
 - 设在所述绝缘膜上的第 2 半导体膜;
 - 设在所述第 2 半导体膜中的第 1 扩散层;
 - 设在所述第 2 半导体膜中、与所述第 1 半导体膜连接的第 2 扩散层;
 - 设在所述第 1 扩散层和所述第 2 扩散层之间、呈电浮置状态、为了存储数据而存储或释放电荷的主体区域;
 - 设在所述主体区域上的栅极绝缘膜;和
 - 设在所述栅极绝缘膜上的栅极,
 - 所述第 2 扩散层作为源极层。
2. 一种半导体存储器件,具备:
 - 由半导体材料构成的支撑衬底;
 - 设在所述支撑衬底的上方、与所述支撑衬底连接的第 1 半导体膜;
 - 设在所述第 1 半导体膜中的板极;
 - 设在所述板极上的绝缘膜;
 - 设在所述绝缘膜上的第 2 半导体膜;
 - 设在所述第 2 半导体膜中的第 1 扩散层;
 - 设在所述第 2 半导体膜中、与所述第 1 半导体膜连接的第 2 扩散层;
 - 设在所述第 1 扩散层和所述第 2 扩散层之间、呈电浮置状态、为了存储数据而存储或释放电荷的主体区域;
 - 设在所述主体区域上的栅极绝缘膜;和
 - 设在所述栅极绝缘膜上的栅极,
 - 所述第 2 扩散层作为源极层。
3. 如权利要求 1 或 2 所述的半导体存储器件,其特征在于,进而具备形成在开口的侧面的衬垫,所述开口被形成在所述绝缘膜上。
4. 一种半导体存储器件的制造方法,所述半导体存储器件具备设在第 1 扩散层和第 2 扩散层之间、呈电浮置状态的主体区域,利用存储在该主体区域上的电荷量存储数据,所述半导体存储器件的制造方法包括以下步骤:
 - 在由半导体材料形成的支撑衬底上形成绝缘膜;
 - 通过除去位于作为源极层的所述第 2 扩散层的形成区域上的所述绝缘膜,使所述支撑衬底的表面露出;
 - 在所述第 2 扩散层的形成区域上露出的所述支撑衬底上形成第 1 半导体膜;
 - 在所述第 1 半导体膜上以及所述绝缘膜上形成第 2 半导体膜;
 - 在所述第 2 半导体膜中的所述主体区域上形成栅极绝缘膜以及栅极;
 - 通过向相邻的所述栅极之间导入杂质,在所述第 2 半导体膜中形成所述第 2 扩散层以及所述第 1 扩散层。
5. 一种半导体存储器件的制造方法,所述半导体存储器件具备设在第 1 扩散层和第 2

扩散层之间、呈电浮置状态的主体区域,利用存储在该主体区域上的电荷量存储数据,所述半导体存储器件的制造方法包括以下步骤:

准备具有经由绝缘膜设在支撑衬底上的半导体层的衬底;

除去位于作为源极层的所述第2扩散层的形成区域上的所述半导体层以及所述绝缘膜;

通过在除去所述半导体层以及所述绝缘膜而形成的开口部内埋入半导体膜,形成连接所述支撑衬底和所述半导体层的半导体膜;

在所述半导体层上形成栅极绝缘膜以及栅极;

通过向相邻的所述栅极之间导入杂质,在所述半导体层中形成所述第1扩散层以及所述第2扩散层。

6. 如权利要求4或权利要求5所述的半导体存储器件的制造方法,其特征在于,进而包括以下的步骤:在除去位于所述第2扩散层的形成区域上的所述绝缘膜之后,在开口部的侧面形成衬垫,其中所述开口部形成在该绝缘膜上。

7. 一种半导体存储器件的制造方法,所述半导体存储器件具备设在第1扩散层和第2扩散层之间、呈电浮置状态的主体区域,利用存储在该主体区域上的电荷量存储数据,所述半导体存储器件的制造方法包括以下步骤:

准备具有经由绝缘膜设在支撑衬底上的半导体层的衬底;

除去位于元件隔离区域上的所述半导体层;

将元件隔离部件埋入所述元件隔离区域;

除去位于相邻的所述第2扩散层的形成区域之间的所述元件隔离部件以及所述绝缘膜;

通过在除去所述元件隔离部件以及所述绝缘膜而形成的开口部内埋入半导体膜,形成连接所述支撑衬底和所述半导体层的半导体膜;

在所述半导体层上形成栅极绝缘膜以及栅极;

通过向相邻的所述栅极之间导入杂质,在所述半导体层上形成所述第1扩散层以及作为源极层的所述第2扩散层。

半导体存储器件及其制造方法

技术领域

[0001] 本发明涉及半导体存储器件及其制造方法。

背景技术

[0002] FBC 存储器与 1T-1C(1 晶体管-1 电容器)型的 DRAM 相比,在微细化方面较好。因此,作为代替 DRAM 的半导体存储器件,FBC(浮体单元)存储器正受到注目。

[0003] FBC 存储单元通常由形成在 SOI 衬底上的 MISFET 构成。在 FBC 中,源极、漏极以及主体区域形成在 SOI 层上。夹在源极和漏极之间的主体区域是电浮置状态。例如,在 FBC 由 N 型 FET 构成时,存储单元可以利用存储在该主体区域上的空穴的量存储数据。

[0004] 如果存储数据“0”的存储单元的读出时的阈值电压,和存储数据“1”的存储单元的读出时的阈值电压的差 ΔV_{th} 较小,则数据“0”和数据“1”的识别较难,不良位数增加。作为 ΔV_{th} 变小的原因,存在支撑衬底的表面耗尽化,主体和支撑衬底之间的电容 C_{sub} 变小的问题。

[0005] 存储单元共有邻接的存储单元和源极或漏极。因而,在以往的 FBC 中,存在由于被选择的存储单元的空穴流入与之邻接的非选择的存储单元,因而错误地将数据编程到非选择的存储单元的现象。例如,通过在选择存储单元的栅极上施加 1.5V,在漏极上施加 2.2V,在漏极和主体区域之间的 PN 结附近引起冲击离子化。由此,在选择存储单元的主体区域上存储空穴,并将数据“1”编程。在该数据“1”的写入时,空穴的一部分向源极方向扩散,从而流入与选择存储单元邻接的非选择存储单元的主体区域。由此,错误地将数据“1”编程到非选择存储单元的主体区域。另外,也有选择存储单元的空穴经由漏极流入非选择存储单元的情况。这种现象被称为双极干扰。

[0006] 当相邻的存储单元没有共有漏极或源极时,就不会发生这些问题。但是,这时,单元面积明显地增大。

[0007] 另外,由于 SOI 衬底比通常的体衬底昂贵约 10 倍左右,因此以往的 FBC 与形成在体衬底上的 DRAM 等相比,成本较高。

[0008] 专利文献 1:特开 2005-158869 号公报

发明内容

[0009] 本发明的目的在于提供尺寸较小、可以用低成本制造,数据读出时的阈值电压差较大,并且,可以抑制双极干扰的半导体存储器件及其制造方法。

[0010] 本发明的实施方式的半导体存储器件具备:

[0011] 由半导体材料构成的支撑衬底;

[0012] 设在所述支撑衬底上的绝缘膜;

[0013] 贯通所述绝缘膜、与所述支撑衬底连接的半导体膜;

[0014] 设在所述绝缘膜上的第 1 扩散层;

[0015] 设在所述绝缘膜上、与所述半导体膜连接的第 2 扩散层;

[0016] 设在所述第 1 扩散层和所述第 2 扩散层之间、呈电浮置状态、为了存储数据而存储或释放电荷的主体区域；

[0017] 设在所述主体区域上的栅极绝缘膜；和

[0018] 设在所述栅极绝缘膜上的栅极。

[0019] 本发明的其他的实施方式的半导体存储器件具备：

[0020] 由半导体材料构成的支撑衬底；

[0021] 设在所述支撑衬底的上方、由半导体材料构成的板极；

[0022] 设在所述板极上的绝缘膜；

[0023] 贯通所述绝缘膜以及所述板极、与所述支撑衬底连接的半导体膜；

[0024] 设在所述绝缘膜上的第 1 扩散层；

[0025] 设在所述绝缘膜上、与所述半导体膜连接的第 2 扩散层；

[0026] 设在所述第 1 扩散层和所述第 2 扩散层之间、呈电浮置状态、为了存储数据而存储或释放电荷的主体区域；

[0027] 设在所述主体区域上的栅极绝缘膜；和

[0028] 设在所述栅极绝缘膜上的栅极。

[0029] 本发明的实施方式的半导体存储器件的制造方法，是具备设在第 1 扩散层和第 2 扩散层之间、并呈电浮置状态的主体区域、利用存储在该主体区域上的电荷量存储数据的半导体存储器件的制造方法，包括以下步骤：

[0030] 在由半导体材料形成的支撑衬底上形成绝缘膜；

[0031] 通过除去位于所述第 2 扩散层的形成区域上的所述绝缘膜，使所述支撑衬底的面露出；

[0032] 在所述第 2 扩散层的形成区域上露出的所述支撑衬底上形成第 1 半导体膜；

[0033] 在所述第 1 半导体膜上以及所述绝缘膜上形成第 2 半导体膜；

[0034] 在所述第 2 半导体膜中的所述主体区域上形成栅极绝缘膜以及栅极；

[0035] 通过向相邻的所述栅极之间导入杂质，在所述第 2 半导体膜上形成所述第 2 扩散层以及所述第 1 扩散层。

[0036] 本发明的实施方式的半导体器件的制造方法，是具备设在第 1 扩散层和第 2 扩散层之间、呈电浮置状态的主体区域、利用存储在该主体区域上的电荷量存储数据的半导体存储器件的制造方法，包括以下步骤：

[0037] 准备具有经由绝缘膜设在支撑衬底上的半导体层的衬底；

[0038] 除去位于所述第 2 扩散层的形成区域上的所述半导体层以及所述绝缘膜；

[0039] 通过在除去所述半导体层以及所述绝缘膜而形成的开口部内埋入半导体膜，形成连接所述支撑衬底和所述半导体层的半导体膜；

[0040] 在所述半导体层上形成栅极绝缘膜以及栅极；

[0041] 通过向相邻的所述栅极之间导入杂质，在所述半导体层上形成所述第 1 扩散层以及所述第 2 扩散层。

[0042] 本发明的其他的实施方式的半导体器件的制造方法，是具备设在第 1 扩散层和第 2 扩散层之间、呈电浮置状态的主体区域、利用存储在该主体区域上的电荷量存储数据的半导体存储器件的制造方法，包括以下步骤：

- [0043] 准备具有经由绝缘膜设在支撑衬底上的半导体层的衬底；
- [0044] 除去位于元件隔离区域上的所述半导体层；
- [0045] 将元件隔离部件埋入所述元件隔离区域；
- [0046] 除去位于相邻的所述第 2 扩散层的形成区域之间的所述元件隔离部件以及所述绝缘膜；
- [0047] 通过在除去所述元件隔离部件以及所述绝缘膜而形成的开口部内埋入半导体膜，形成连接所述支撑衬底和所述半导体层的半导体膜；
- [0048] 在所述半导体层上形成栅极绝缘膜以及栅极；
- [0049] 通过向相邻的所述栅极之间导入杂质，在所述半导体层上形成所述第 1 扩散层以及所述第 2 扩散层。
- [0050] 本发明的半导体存储器件，尺寸较小，可以用低成本制造，数据读出时的阈值电压差较大，并且，可以抑制双极干扰。

附图说明

- [0051] 图 1 是本发明的第 1 实施方式的 FBC 存储器件的平面图。
- [0052] 图 2 是本发明的第 1 实施方式的 FBC 存储器件的平面图。
- [0053] 图 3 是沿着图 1 的 3-3 线的剖面图。
- [0054] 图 4 是沿着图 2 的 4-4 线的剖面图。
- [0055] 图 5A 是沿着图 1 的 5-5 线的源极层 S 部分的剖面图。
- [0056] 图 5B 是模拟数据读出动作的阈值电压和板极电压的关系的结果曲线图。
- [0057] 图 5C 是模拟所采用的输入波形。
- [0058] 图 6 是沿着图 1 的 6-6 线的栅极 G 以及主体区域 B 部分的剖面图。
- [0059] 图 7 是存储单元区域、设在其周边的板极线接触 PLC、和逻辑电路区域的平面图。
- [0060] 图 8 是沿着图 7 的 8-8 线的剖面图。
- [0061] 图 9 是展示第 1 实施方式的 FBC 存储器件的制造方法的平面图。
- [0062] 图 10 是接着图 9 展示 FBC 存储器件的制造方法的剖面图。
- [0063] 图 11 是接着图 10 展示 FBC 存储器件的制造方法的剖面图。
- [0064] 图 12 是接着图 11 展示 FBC 存储器件的制造方法的剖面图。
- [0065] 图 13 是接着图 12 展示 FBC 存储器件的制造方法的剖面图。
- [0066] 图 14 是接着图 13 展示 FBC 存储器件的制造方法的剖面图。
- [0067] 图 15 是接着图 14 展示 FBC 存储器件的制造方法的平面图。
- [0068] 图 16 是沿着图 15(A) 的 16-16 线的剖面图。
- [0069] 图 17 是沿着图 15(A) 的 17-17 线的剖面图。
- [0070] 图 18 是沿着图 15(B) 的 18-18 线的剖面图。
- [0071] 图 19 是接着图 15 展示 FBC 存储器件的制造方法的平面图。
- [0072] 图 20 是接着图 19 展示 FBC 存储器件的制造方法的剖面图。
- [0073] 图 21 是接着图 20 展示 FBC 存储器件的制造方法的剖面图。
- [0074] 图 22 是本发明的第 2 实施方式的 FBC 存储器件的剖面图。
- [0075] 图 23 是本发明的第 3 实施方式的 FBC 存储器件的平面图。

- [0076] 图 24 是沿着图 23 的 24-24 线的剖面图。
- [0077] 图 25 是本发明的第 4 实施方式的 FBC 存储器件的剖面图。
- [0078] 图 26 是展示本发明的第 4 实施方式的 FBC 存储器件的制造方法的剖面图。
- [0079] 图 27 是接着图 26 展示 FBC 存储器件的制造方法的剖面图。
- [0080] 图 28 是接着图 27 展示 FBC 存储器件的制造方法的剖面图。
- [0081] 图 29 是接着图 28 展示 FBC 存储器件的制造方法的剖面图。
- [0082] 图 30 是接着图 29 展示 FBC 存储器件的制造方法的剖面图。
- [0083] 图 31 是展示第 4 实施方式的变形例的 FBC 存储器件的制造方法的剖面图。
- [0084] 图 32 是接着图 31 展示 FBC 存储器件的制造方法的剖面图。
- [0085] 图 33 是接着图 32 展示 FBC 存储器件的制造方法的剖面图。
- [0086] 图 34 是接着图 33 展示 FBC 存储器件的制造方法的剖面图。
- [0087] 图 35 是本发明的第 5 实施方式的 FBC 存储器件的剖面图。
- [0088] 图 36 是存储单元区域以及逻辑电路区域的剖面图。
- [0089] 图 37 是展示第 5 实施方式的 FBC 存储器件的制造方法的剖面图。
- [0090] 图 38 是接着图 37 展示 FBC 存储器件的制造方法的剖面图。
- [0091] 图 39 是本发明的第 6 实施方式的 FBC 存储器件的平面图。
- [0092] 图 40 是沿着图 39 的 40-40 线的剖面图。
- [0093] 图 41 是本发明的第 6 实施方式的 FBC 存储器件的剖面图。
- [0094] 图 42 是本发明的第 6 实施方式的 FBC 存储器件的平面图。
- [0095] 图 43 是沿着图 42(A) 的 42-42 线的剖面图。
- [0096] 图 44 是沿着图 42(A) 的 43-43 线的源极层 S 的形成区域的剖面图。
- [0097] 图 45 是沿着图 42(A) 的 44-44 线的主体区域 B 的形成区域的剖面图。
- [0098] 图 46 是沿着图 42(B) 的 45-45 线的逻辑电路区域的剖面图。
- [0099] 图 47 是本发明的第 7 实施方式的 FBC 存储器件的剖面图。
- [0100] 图 48 是展示第 7 实施方式的 FBC 存储器件的制造方法的剖面图。
- [0101] 图 49 是接着图 48 展示 FBC 存储器件的制造方法的剖面图。
- [0102] 图 50 是接着图 49 展示 FBC 存储器件的制造方法的剖面图。
- [0103] 图 51 是接着图 50 展示 FBC 存储器件的制造方法的剖面图。
- [0104] 图 52 是边界 B2 的附近的剖面图。
- [0105] 图 53 是本发明的第 8 实施方式的 FBC 存储器件的平面图。
- [0106] 图 54 是沿着图 53 的 54-54 线的剖面图。
- [0107] 图 55 是本发明的第 8 实施方式的 FBC 存储器件的剖面图。
- [0108] 图 56 是本发明的第 8 实施方式的 FBC 存储器件的剖面图。
- [0109] 图 57 是本发明的第 8 实施方式的 FBC 存储器件的剖面图。
- [0110] 图 58 是展示第 8 实施方式的 FBC 存储器件的制造方法的剖面图。
- [0111] 图 59 是接着图 58 展示 FBC 存储器件的制造方法的剖面图。
- [0112] 图 60 是接着图 59 展示 FBC 存储器件的制造方法的剖面图。
- [0113] 图 61 是本发明的第 9 实施方式的 FBC 存储器件的平面图。
- [0114] 图 62 是本发明的第 9 实施方式的 FBC 存储器件的剖面图。

- [0115] 图 63 是本发明的第 9 实施方式的 FBC 存储器件的剖面图。
- [0116] 图 64 是展示第 9 实施方式的 FBC 存储器件的制造方法的剖面图。
- [0117] 图 65 是接着图 64 展示 FBC 存储器件的制造方法的剖面图。
- [0118] 图 66 是接着图 65 展示 FBC 存储器件的制造方法的剖面图。
- [0119] 图 67 是本发明的第 9 实施方式的第 1 变形例的 FBC 存储器件的剖面图。
- [0120] 图 68 是展示第 9 实施方式的第 1 变形例的 FBC 存储器件的制造方法的剖面图。
- [0121] 图 69 是接着图 68 展示 FBC 存储器件的制造方法的剖面图。
- [0122] 图 70 是本发明的第 9 实施方式的第 2 变形例的 FBC 存储器件的剖面图。
- [0123] 图 71 是本发明的第 10 实施方式的 FBC 存储器件的平面图。
- [0124] 图 72 是本发明的第 10 实施方式的 FBC 存储器件的剖面图。
- [0125] 图 73 是本发明的第 10 实施方式的 FBC 存储器件的剖面图。
- [0126] 图 74 是本发明的第 10 实施方式的 FBC 存储器件的剖面图。
- [0127] 图 75 是本发明的第 10 实施方式的 FBC 存储器件的剖面图。
- [0128] 图 76 是展示第 10 实施方式的 FBC 存储器件的制造方法的剖面图。
- [0129] 图 77 是接着图 76 展示 FBC 存储器件的制造方法的剖面图。
- [0130] 图 78 是接着图 77 展示 FBC 存储器件的制造方法的剖面图。
- [0131] 图 79 是接着图 78 展 FBC 存储器件的制造方法的剖面图。
- [0132] 图 80 是接着图 79 展示 FBC 存储器件的制造方法的剖面图。
- [0133] 图 81 是接着图 80 展示 FBC 存储器件的制造方法的剖面图。
- [0134] 图 82 是接着图 81 展示 FBC 存储器件的制造方法的剖面图。
- [0135] 图 83 是接着图 82 展示 FBC 存储器件的制造方法的剖面图。
- [0136] 图 84 是本发明的第 11 实施方式的 FBC 存储器件的平面图。
- [0137] 图 85 是本发明的第 11 实施方式的 FBC 存储器件的剖面图。
- [0138] 图 86 是展示第 11 实施方式的 FBC 存储器件的制造方法的剖面图。
- [0139] 图 87 是接着图 86 展示 FBC 存储器件的制造方法的剖面图。
- [0140] 图 88 是接着图 87 展示 FBC 存储器件的制造方法的剖面图。
- [0141] 图 89 是接着图 88 展示 FBC 存储器件的制造方法的剖面图。
- [0142] 图 90 是接着图 89 展示 FBC 存储器件的制造方法的剖面图。
- [0143] 图 91 是接着图 90 展示 FBC 存储器件的制造方法的剖面图。
- [0144] 图 92 是接着图 91 展示 FBC 存储器件的制造方法的剖面图。
- [0145] 图 93 是接着图 92 展示 FBC 存储器件的制造方法的剖面图。
- [0146] 图 94 是本发明的第 12 实施方式的 FBC 存储器件的剖面图。
- [0147] 图 95 是展示第 12 实施方式的 FBC 存储器件的制造方法的剖面图。
- [0148] 图 96 是接着图 95 展示 FBC 存储器件的制造方法的剖面图。
- [0149] 图 97 是接着图 96 展示 FBC 存储器件的制造方法的剖面图。
- [0150] 图 98 是接着图 97 展示 FBC 存储器件的制造方法的剖面图。
- [0151] 图 99 是展示模拟数据读出动作的阈值电压和板极电压的关系的结果的曲线图。
- [0152] 图 100 是本发明的第 13 实施方式的 FBC 存储器件的剖面图。
- [0153] 图 101 是本发明的第 13 实施方式的 FBC 存储器件的剖面图。

- [0154] 图 102 是本发明的第 13 实施方式的 FBC 存储器件的剖面图。
 [0155] 图 103 是展示第 13 实施方式的 FBC 存储器件的制造方法的剖面图。
 [0156] 图 104 是接着图 103 展示 FBC 存储器件的制造方法的剖面图。
 [0157] 图 105 是接着图 104 展示 FBC 存储器件的制造方法的剖面图。
 [0158] 图 106 是接着图 105 展示 FBC 存储器件的制造方法的剖面图。
 [0159] 图 107 是接着图 106 展示 FBC 存储器件的制造方法的剖面图。
 [0160] 图 108 是接着图 107 展示 FBC 存储器件的制造方法的剖面图。
 [0161] 图 109 是接着图 108 展示 FBC 存储器件的制造方法的剖面图。
 [0162] 图 110 是本发明的第 14 实施方式的 FBC 存储器件的剖面图。
 [0163] 图 111 是展示第 14 实施方式的 FBC 存储器件的制造方法的剖面图。
 [0164] 图 112 是接着图 111 展示 FBC 存储器件的制造方法的剖面图。
 [0165] 图 113 是接着图 112 展示 FBC 存储器件的制造方法的剖面图。
 [0166] 图 114 是接着图 113 展示 FBC 存储器件的制造方法的剖面图。

[0167] 标号说明

[0168]	SUB	支撑衬底	BGI	背栅绝缘膜
[0169]	D	漏极层	S	源极层
[0170]	B	主体区域	11	第 1 半导体膜
[0171]	12	第 2 半导体膜	GI	栅极绝缘膜
[0172]	G	栅极	BL	位线
[0173]	SL	源极线	BLC	位线接触
[0174]	SLC	源极线接触	REC	再结合中心

具体实施方式

[0175] 以下,参照附图说明本发明的实施方式。本实施方式不是限定本发明的。

[0176] (第 1 实施方式)

[0177] 图 1 以及图 2 是本发明的第 1 实施方式的 FBC 存储器件的平面图。图 1 展示了存储单元区域内的存储单元,图 2 展示了逻辑电路区域内的 1 个 MISFET。

[0178] 在存储单元区域中,位线 BL 和字线 WL(栅极)交叉。存储单元与位线 BL 和字线 WL 的交叉点相对应地设置。源极线 SL 与字线 WL 平行地延伸。有源区域 AA 在位线 BL 之下,与位线 BL 大致平行地延伸成条纹状。STI(浅沟槽隔离)将有源区域 AA 之间隔离。

[0179] 在逻辑区域中,在有源区域 AA 上形成由源极 S、漏极 D 以及栅极 G 构成的 MISFET。

[0180] 图 3 是沿着图 1 的 3-3 线的剖面图。如图 3 所示,本实施方式的 FBC 存储器件具备支撑衬底 SUB、背栅绝缘膜 BGI、漏极层 D、源极层 S、主体区域 B、栅极绝缘膜 GI、栅极 G(字线 WL)、第 1 半导体膜 11、第 2 半导体膜 12、位线 BL、和源极线 SL。

[0181] 支撑衬底 SUB 由半导体材料构成,例如体硅衬底。背栅绝缘膜 BGI 设在支撑衬底 SUB 上。背栅绝缘膜 BGI 是由具有约 2nm 的厚度的氧化硅膜,以及具有约 5nm 至 20nm 的厚度的氮化硅膜构成的层叠膜。背栅绝缘膜 BGI 也可以是由氧化硅膜或氮化硅膜构成的单层膜。或者,也可以是由氧化硅膜、氮化硅膜以及氧化硅膜构成的层叠膜(ONO 膜)。通过在背栅绝缘膜 BGI 上采用层叠膜,使通过背栅绝缘膜 BGI 的漏电流降低。另外,由于氮化硅膜

与氧化硅膜相比,电容率较高,因此通过在背栅绝缘膜 BGI 中含有氮化硅膜,可以使主体区域-衬底(板极)间电容增大。为了进一步使主体区域-衬底间电容增大,作为背栅绝缘膜 BGI,也可以采用硅酸钡等高电介质材料。通过主体区域-衬底间电容的增大,可以增大存储数据“0”的存储单元,和存储数据“1”的存储单元之间的阈值电压差,并且,数据保持时间(data retention time)变长。

[0182] 在源极层 S 之下,不设置背栅绝缘膜 BGI,而设有第 1 半导体膜 11。第 1 半导体膜 11 例如由单晶硅等半导体材料构成,设在源极层 S 之下的支撑衬底 SUB 上。第 2 半导体膜 12 例如由单晶硅等半导体材料构成,设在背栅绝缘膜 BGI 以及第 1 半导体膜 11 上。第 1 以及第 2 半导体膜 11、12 含有杂质,作为导体起作用。

[0183] 在第 1 半导体膜 11 之下,设有与第 1 半导体膜 11 相同导电型(例如 n 型)的扩散层 88。扩散层 88 通过将第 1 半导体膜 11 的杂质向支撑衬底 SUB 扩散的方式形成。第 2 半导体膜 12、背栅绝缘膜 BGI、扩散层 88 以及板极构成栅控二极管。由此,如图 5B 所示,可以增大数据“0”和数据“1”的阈值电压差 ΔV_{th} 。

[0184] 源极层 S、漏极层 D 以及主体区域 B 设在第 2 半导体膜 12 内。漏极层 D 以及主体区域 B 设在背栅绝缘膜 BGI 上。由此,漏极层 D 与支撑衬底 SUB 被电绝缘。主体区域 B 设在漏极层 D 和源极层 S 之间,是电浮置状态。主体区域 B 为了存储数据,可以存储电荷。源极层 S 设在背栅绝缘膜 BGI 以及第 1 半导体膜 11 上。由此,源极层 S 与第 1 半导体膜 11 连接,并经由第 1 半导体膜 11 与支撑衬底 SUB 电连接。栅极绝缘膜 GI 例如由氧化硅膜、氮化硅膜等构成,设在主体区域 B 上。栅极 G 例如由多晶硅构成,设在栅极绝缘膜 GI 上。在源极层 S 以及漏极层 D 各自的表面上设有硅化物层 15。

[0185] 源极层 S 以及漏极层 D 例如含有约 10^{20}cm^{-3} 的 N 型杂质。支撑衬底 SUB 的表面区域,例如形成有含有 10^{18}cm^{-3} 至 10^{19}cm^{-3} 的 P 型杂质的阱(也称为板极)。源极层 S 与该板极电连接。

[0186] 位线 BL 经由位线接触 BLC 与存储单元的漏极层 D 连接。源极线 SL 经由源极线接触 SLC 与存储单元的源极层 S 连接。栅极 G 也作为字线 WL 起作用。

[0187] 在漏极层 D 上设有再结合中心 REC。再结合中心 REC 是使第 2 半导体膜 12 固相横向外延生长(Solid Phase Lateral Epitaxial Growth)时形成的单晶硅的错配部分。

[0188] 图 4 是沿着图 2 的 4-4 线的剖面图。在图 4 中,代表性地展示了 1 个 MISFET 的剖面。MISFET 具备源极 S、漏极 D、栅极绝缘膜 GI、栅极 G、接触 LC、和布线 LIC。源极 S 以及漏极 D 设在支撑衬底 SUB 上。栅极 G 经由栅极绝缘膜 GI 设在支撑衬底 SUB 上。布线 LIC 经由接触 LC 与分别设在源极 S 以及漏极 D 上的硅化物层 15 连接。

[0189] 图 5A 是沿着图 1 的 5-5 线的源极层 S 部分的剖面图。图 6 是沿着图 1 的 6-6 线的栅极 G 以及主体区域 B 部分的剖面图。如图 5A 所示,第 1 半导体膜 11 存在于源极层 S 之下,由此,源极层 S 与支撑衬底 SUB 电连接。如图 6 所示,背栅绝缘膜 BGI 存在于主体区域 B 之下,并且,栅极绝缘膜 GI 存在于主体区域 B 上。进而,如图 3 所示,主体区域 B 由源极层 S、漏极层 D、STI 围绕在其前后左右。由此,主体区域 B 呈现电浮置状态。

[0190] 在存储单元区域中,漏极层 D、源极层 S、主体区域 B、栅极绝缘膜 GI 以及栅极 G 构成存储单元,同样结构的存储单元被排列成矩阵状。

[0191] 图 5B 是模拟数据读出动作的阈值电压和板极电压(衬底电压)的关系的结果。该

模拟所采用的结构的 SOI 层的膜厚是 15nm, 背栅绝缘膜的膜厚是 8nm, 栅极绝缘膜的膜厚是 6nm, 栅极长是 $0.12\ \mu\text{m}$, 沟道的杂质浓度是 $1 \times 10^{17}\text{cm}^{-3}$, 板极的杂质浓度是 $1 \times 10^{18}\text{cm}^{-3}$ 。图 5C 是模拟所使用的输入波形。

[0192] 如图 5B 的线 L1 所示, 在以往的 FBC 中, 数据“1”的存储单元的阈值电压上升, 并接近数据“0”的存储单元的阈值电压。这是由于如果板极电压低于 -1.5V , 支撑衬底的表面便成为翻转状态, 主体 - 板极间的电容减少。其结果, 当板极电压位 -1.5V 时, ΔV_{th} 是最大 0.543V 。

[0193] 线 L2 在本实施方式中, 是将源极连接在 P 型的板极上的结构 (图 3) 的模拟结果。在本实施方式中, 当板极电压为 -3V 时, ΔV_{th} 是最大 0.738V 。另外, 虽然图未示, 但如果使板极的浓度从 $1 \times 10^{18}\text{cm}^{-3}$ 上升到 $1 \times 10^{19}\text{cm}^{-3}$, 当板极电压为 -2V 时, ΔV_{th} 增大到 0.908V 。如图 5B 所示, 采用了 P 型板极的 FBC 存储器件, 与后述的采用了 N 型板极的 FBC 存储器件相比, 用接近 0V 的板极电压可以得到较大的阈值电压差。因而, 在采用了 P 型板极的 FBC 存储器件中, 消耗电力降低。

[0194] 本实施方式的阈值电压差 ΔV_{th} 与以往的相比较大的理由如下。在本实施方式中, 正如参照图 3 说明的那样, 在支撑衬底 SUB 的表面上形成有栅控二极管。所谓的栅控二极管, 是具备由 P 型半导体以及形成在其表面上的 N 型扩散层构成的 PN 结, 和进而形成在该 N 型扩散层上的栅极绝缘膜以及栅极的结构。在栅控二极管结构中, 当支撑衬底 SUB 的表面翻转时, 从 N 型扩散层 88 向翻转层提供电子。因此, 形成在主体正下方的支撑衬底 SUB 的表面上耗尽层宽度变小, 主体 B 和支撑衬底 SUB (板极) 的电容 C_{sub} 变大。其结果, 可以抑制数据“1”的存储单元 MC 的阈值电压的上升。

[0195] 另外, 在 N 型扩散层 88 中包括背栅绝缘膜 BGI 和支撑衬底 SUB 的界面端部 E。并且, N 型扩散层 88 与源极层 S 连接。在这样的结构中, 本实施方式的数据“0”的存储单元的阈值电压, 在板极电压较低的区域, 与以往结构相比增大。这是由于在板极电压较低的区域, SOI 层中的载流子分布被调制, 其结果, 写入数据 0 阶段的主体电位变低。

[0196] 根据本实施方式, 如图 3 所示那样将源极层 S 与支撑衬底 SUB (板极) 电连接。在数据的写入时, 通常, 支撑衬底 SUB 被维持在低于源极线 SL 的电压。例如, 源极线 SL 为 0V , 支撑衬底 SUB 为 -3V 。由此, 因冲击离子化而产生的空穴不会向非选择存储单元流动, 而被向支撑衬底 SUB 排除。例如, 如果数据“1”的写入时的选择存储单元是图 3 的 MC1, 非选择存储单元是 MC2, 则空穴如图 3 的箭头 A 所示那样经由源极层 S 以及第 1 半导体膜 11 向支撑衬底 SUB 流动。其结果, 抑制了双极干扰。

[0197] 另外, 根据本实施方式, 如图 3 所示那样在漏极层 D 的中间设有再结合中心 REC。由此, 因冲击离子化而产生的空穴不会向非选择存储单元流动。例如, 如果数据“1”的写入时的选择存储单元是 MC1, 非选择存储单元是 MC3, 则从存储单元 MC1 流入漏极层 D 的空穴被再结合中心 REC 阻止, 不会到达非选择存储单元 MC3。其结果, 抑制了双极干扰。

[0198] 如以上所述, 根据本实施方式, 由于流入源极层 S 的空穴被向板极排除, 并且流入漏极层 D 的空穴被再结合中心 REC 阻止, 因此抑制了双极干扰。

[0199] 本实施方式的 FBC 存储器件, 如图 3 所示, 漏极层 D 或源极层 S 与主体区域 B 被交替重复排列。即, 在第 2 半导体膜 12 中, 漏极层 D、源极层 S 以及主体区域 B 以 D-B-S-B-D-B-S-B-... 的方式排列。这种排列可以通过各个存储单元与邻接的存储单元共

用漏极层 D 或源极层 S 的方式实现。由于相邻的存储单元共用漏极层 D 或源极层 S,因此存储单元区域的面积变小。由此,FBC 存储器件整体的尺寸变小。

[0200] 图 7 是存储单元区域、设在其周边的板极线接触 PLC、和逻辑电路区域的平面图。图 8 是沿着图 7 的 8-8 线的剖面图。图 7 的虚线框表示存储单元区域和逻辑电路区域的边界 B1。该边界位于 STI 区域。如图 7 所示,板极线接触 PLC 以围绕存储单元区域的方式设置。如图 8 所示,板极线 PL 经由板极线接触 PLC 与 P 型板极连接。P 型板极被 N 型阱包围。

[0201] 板极线接触 PLC 将作为布线的板极线 PL 和支撑衬底 SUB(板极)之间连接。在逻辑电路区域中,接触 LC 将布线 LIC 和源极层 S 或漏极层 D 之间连接。

[0202] 在此,板极线接触 PLC 的接触插塞的深度 D0 与逻辑侧接触 LC 的接触插塞的深度 D0 大致相等。换言之,以支撑衬底 SUB 的表面为基准,板极线接触 PCL 的接触插塞的高度和逻辑侧接触 LC 的接触插塞的高度大致相等。

[0203] 以往,板极线接触 PLC 以贯通元件隔离区域的方式形成。但是,该以往的方法必须有蚀刻元件隔离区域的工序。进而,这时,由于板极线接触的深度与逻辑电路区域的接触的深度不同,因此产生了接触的缺陷率变高的问题。

[0204] 在本实施方式中,由于板极线接触 PLC 形成到与逻辑侧接触 LC 大致相等的深度,因此到支撑衬底 SUB 的表面为止的接触孔的深度不会参差不齐。因而,可以降低接触的缺陷率。进而,由于没必要形成贯通元件隔离区域的接触孔,因此削减了制造成本。

[0205] 图 9(A) 至图 21(B) 是展示第 1 实施方式的 FBC 存储器件的制造方法的平面图以及剖面图。图 9(A)、图 10(A)、图 11(A)、图 12(A)、图 13(A)、图 14(A)、图 15(A)、图 19(A)、图 20(A)、图 21(A) 展示了存储单元区域,图 9(B)、图 10(B)、图 11(B)、图 12(B)、图 13(B)、图 14(B)、图 15(B)、图 19(B)、图 20(B)、图 21(B) 展示了逻辑电路区域。

[0206] 首先,在支撑衬底 SUB 上作为绝缘膜淀积氧化硅膜 20 以及氮化硅膜 30。氧化硅膜 20 以及氮化硅膜 30 的层叠膜成为背栅绝缘膜 BGI。其次,用光刻技术以及 RIE(反应离子蚀刻)除去位于源极层 S 的形成区域上的氧化硅膜 20 以及氮化硅膜 30。由此,如图 10(A) 所示,源极层 S 的形成区域的支撑衬底 SUB 露出。再者,这时如图 10(B) 所示,在逻辑电路区域中,氧化硅膜 20 以及氮化硅膜 30 覆盖在支撑衬底 SUB 上。其次,通过将 P 型杂质(例如硼)离子注入到存储单元区域的支撑衬底 SUB 中,形成板极(图未示)。板极的浓度例如是约 10^{19}cm^{-3} 。

[0207] 其次,如图 11(A) 所示,在源极层 S 的形成区域中露出的支撑衬底 SUB 上使单晶硅进行选择外延生长。由此,形成作为第 1 半导体膜的硅层 40。

[0208] 其次,如图 12(A) 以及图 12(B) 所示,在氮化硅膜 30 以及硅层 40 上淀积非结晶硅膜 50。接着,在约 600°C 的氮环境中进行数小时的退火。由此,在存储单元区域上,产生固相横向外延生长。更详细地说,如图 13(A) 所示,非结晶硅膜 50 通过热处理,从与硅层 40 接触的部分开始被单晶化。通过非结晶硅膜 50 向单晶硅变质,形成作为第 2 半导体膜的硅层 60。当该单晶化进行时,在相邻的硅层 40 之间的中间附近产生错配。该错配作为漏极层 D 内的再结合中心 REC 起作用。

[0209] 再者,如图 13(B) 所示,在逻辑电路区域中,由于非结晶硅膜 50 被淀积在氮化硅膜 30 上,因此非结晶硅膜 50 没有被单晶化,而成为多晶硅 51。硅层 60 和多晶硅 51 的边界 B1,如图 7 所示,形成在从第 1 半导体膜 11 离开一定的距离 D1 的位置上。距离 D1 是进行

了固相外延生长的硅层 60 的横向的尺寸。将距离 D1 设定为比相邻的源极层 S 之间的距离的一半长。

[0210] 其次,如图 14(B) 所示,用 HCL 气体等除去逻辑电路区域的多晶硅 51。进而,除去逻辑电路区域的氮化硅膜 30 以及氧化硅膜 20。再者,从硅层 40 的形成开始到该多晶硅的除去为止的工序,可以用同样的半导体制造器件连续地进行。即,可以用原有工序(In-situProcess) 处理这些工序。因而,本实施方式非常有助于制造成本的降低。

[0211] 其次,如图 15(A) 以及图 15(B) 所示,在无源区域上形成 STI。在存储单元区域中,STI 以贯通氮化硅膜 30 以及氧化硅膜 20 后到达支撑衬底 SUB 的方式形成。存储单元区域和逻辑电路区域的边界 B1,由于不同的膜结构相对,因此在表面上产生台阶差。但是,在 STI 形成后,随着经过的制造工序,该台阶差逐渐变得平滑。因而,不会出现由边界 B1 的台阶差引起的栅极多晶硅等蚀刻残渣。图 16 是沿着图 15(A) 的 16-16 线的剖面图。在图 16 中,出现了硅层 40(第 1 半导体膜)以及硅层 60(第 2 半导体膜)的剖面。图 17 是沿着图 15(A) 的 17-17 线的剖面图。在图 17 中,出现了氧化硅膜 20、氮化硅膜 30 以及硅层 60 的剖面。图 18 是沿着图 15(B) 的 18-18 线的逻辑电路区域的剖面图。以下,为了方便,将硅层 40 作为第 1 半导体膜 11,将硅层 60 作为第 2 半导体膜 12。

[0212] 在形成了栅极绝缘膜之后,如图 19(A) 以及图 19(B) 所示,形成栅极 G。

[0213] 图 20(A) 是沿着图 19(A) 的 20A-20A 线的剖面图。图 20(B) 是沿着图 19(B) 的 20B-20B 线的剖面图。如图 19(A) ~ 图 20(B) 所示,在第 2 半导体膜 12 之中的主体区域 B 上,形成栅极绝缘膜 GI 以及栅极 G。

[0214] 其次,根据需要在源极 / 漏极区域上形成扩展层(图未示)。进而,如图 21(A) 以及图 21(B) 所示,在栅极 G 的侧面形成侧壁膜 80。将栅极 G 以及侧壁膜 80 用作掩模,在源极 / 漏极区域上离子注入 N 型杂质。然后,通过进行热处理,使 N 型杂质经由第 1 半导体膜 11 扩散到支撑衬底 SUB 的表面,形成 N 型扩散层 88。或者在离子注入的阶段,向第 1 半导体膜 11 以及支撑衬底 SUB 的表面导入 N 型杂质,之后进行热处理。进而,在源极 / 漏极区域以及栅极的表面形成硅化物层 15。

[0215] 之后,经过以往的工序,形成层间绝缘膜 IL、接触 SLC、BLC、LC、布线 BL、SL、LIC。源极线接触 SLC 贯通层间绝缘膜 IL 后到达源极层 S,并经由该源极层 S 以及第 1 半导体膜 11 与支撑衬底 SUB 电连接。由此,FBC 存储器件完成。

[0216] 以往,在形成 FBC 存储器件时,用 SOI 衬底。特别是,BOX 层为 10nm 左右非常薄的 SOI 衬底,花费通常的体硅衬底的 10 倍以上的成本。

[0217] 与此相对,在本实施方式的制造方法中,形成连接板极和存储单元的源极的第 1 半导体膜 11,之后形成包括主体区域 B 的第 2 半导体膜 12。因而,不用 SOI 衬底,用体硅衬底就可以形成 FBC 存储器件。由此,大幅度地降低了制造成本。

[0218] 通过用体衬底形成 FBC,逻辑电路也可以形成在同样的体衬底上。在将逻辑电路形成在体衬底上时,逻辑电路的电路设计技术有着继承于以往的丰富的存储。因而,可以将 FBC 存储器以及逻辑电路都形成在同样的体衬底上的做法,在设计上是有利的。

[0219] 在本实施方式中,通过利用固相横向外延生长形成第 2 半导体膜 12,在体衬底上形成 SOI 结构。这时,当从相邻的源极形成区域沿着横向固相生长的单晶碰在一起时,产生错配。

[0220] 一般来说,错配使 PN 结的漏电流增加。或者为了避免错配,电路面积变大。特别是在存储单元阵列中,单元面积的增大是很大的问题。

[0221] 在本实施方式中,在漏极层 D 内形成错配,并且一面抑制漏电流,一面避免双极干扰。即,本实施方式通过积极地利用一般来说不理想的错配(再结合中心),抑制了双极干扰。

[0222] 在以往的制造方法中,用于板极形成的杂质在 STI 形成之后,经由 SOI 层以及 BOX 层被离子注入到支撑衬底。但是在该方法中,当 BOX 层较薄时,杂质不只被注入到支撑衬底,还被注入到 SOI 层。因而,不能与 SOI 层的浓度独立地设定支撑衬底的表面浓度。为了抑制结漏电流,主体区域的浓度必须设为 10^{18}cm^{-3} 左右以下。因此,支撑衬底的浓度也不得不设为 10^{18}cm^{-3} 左右。其结果,在数据的读出时以及写入时,在支撑衬底上形成耗尽层,不能增大主体-板极间电容。

[0223] 另一方面,在本实施方式的制造方法中,在向支撑衬底 SUB 离子注入了杂质之后,形成第 2 半导体膜 12。因而,板极的杂质浓度能够以与第 2 半导体膜 12 的杂质浓度独立的方式设定。例如,可以在形成了具有 10^{18}cm^{-3} 以上的杂质浓度的板极之后,形成具有小于 10^{18}cm^{-3} 的杂质浓度的主体区域。由此,本实施方式可以增大存储数据“0”的存储单元和存储数据“1”的存储单元的阈值电压差,同时可以抑制结漏电流而延长数据保持时间。

[0224] 进而,如以上所述,板极线接触 PLC 形成为与逻辑侧接触 LC 大致相同的深度。由此,由于没必要形成贯通元件隔离区域的接触孔,因此本实施方式的 FBC 存储器件与以往相比,可以很容易地制造。

[0225] 当将漏极 D 连接在支撑衬底 SUB 上时,位线 BL 和支撑衬底 SUB 之间的寄生电容增大。位线 BL 在进行数据的读出/写入时由较高的电压或较低的电压驱动。在第 1 实施方式中,由于漏极 D 和支撑衬底 SUB 被背栅绝缘膜 BGI 隔离,因此与第 2 实施方式相比,寄生电容较小,电路的动作速度变快,并且消耗电力降低。

[0226] 再者,也可以省略用图 11 说明的选择外延工序。这时,非晶硅 50 为单晶,起到第 1 半导体膜以及第 2 半导体膜的作用。在省略了选择外延生长的制造方法中,制造成本降低。

[0227] 另一方面,在使用选择外延生长的制造方法中,由于通过固相生长进行单晶化的距离较短,因此在结晶内产生缺陷的概率变低。由此,该制造方法可以制造数据保持时间较长的存储器。

[0228] (第 2 实施方式)

[0229] 图 22 是本发明的第 2 实施方式的 FBC 存储器件的剖面图。第 2 实施方式在漏极层 D 与支撑衬底 SUB(板极)电连接,并且在源极层 S 上设有再结合中心 REC 这些方面与第 1 实施方式不同。第 2 实施方式的其他的构成与第 1 实施方式的构成相同即可。漏极层 D 设在第 1 半导体膜 11 上,并经由该第 1 半导体膜 11 与支撑衬底 SUB 电连接。源极层 S 设在背栅绝缘膜 BGI 上,虽然没有与支撑衬底 SUB 连接,但在源极层 S 中设有再结合中心 REC。

[0230] 通过将漏极层 D 与支撑衬底 SUB 电连接,在数据写入时因冲击离子化而产生的空穴,从漏极层 D 向支撑衬底 SUB 流动。其结果,可以抑制空穴流入非选择存储单元的情况。另外,通过在源极层 S 内设置再结合中 REC,因冲击离子化而产生的空穴不会流入非选择存储单元。这样,第 2 实施方式便可以抑制双极干扰。即,虽然第 2 实施方式和第 1 实施方式

的源极层 S 以及漏极层 D 的位置关系是相反的,但可以得到与第 1 实施方式同样的效果。

[0231] (第 3 实施方式)

[0232] 图 23 是本发明的第 3 实施方式的 FBC 存储器件的平面图。图 24 是沿着图 23 的 24-24 线的剖面图。第 3 实施方式在用硅化物层 15 连接多个源极层 S,并且没有源极线接触 SLC 以及源极线 SL 这些方面与第 1 实施方式不同。第 3 实施方式的其他的构成与第 1 实施方式的构成相同即可。

[0233] 根据第 3 实施方式,由于可以进一步缩短源极线接触 SLC 和栅极 G 之间的距离,因此可以缩小存储单元的尺寸。进而,第 3 实施方式可以具有第 1 实施方式的效果。

[0234] (第 4 实施方式)

[0235] 在第 1 实施方式中,如图 14 所示,除去淀积在逻辑电路区域上的非晶硅膜 50、氮化硅膜 30 以及氧化硅膜 20。因此,形成逻辑电路的支撑衬底 SUB 的表面,与形成存储单元的第 2 半导体膜 12 的表面的高度的水平不同。这在栅极 G 的形成时的光刻中有时会在存储单元和逻辑电路之间引起焦点偏移。其结果,有芯片的合格率降低的可能。

[0236] 于是,最好将图 14 所示的存储单元区域的硅层 60(第 2 半导体膜)的表面,和逻辑电路区域的支撑衬底 SUB 的表面设为相同的高度水平。由此,第 4 实施方式的 FBC 存储器件如图 25 所示,逻辑电路区域的支撑衬底 SUB 的上面是与存储单元的主体区域 B 的上面大致相同的高度水平。另外,第 4 实施方式的制造方法可以将存储单元区域的硅层 60 的表面,和逻辑电路区域的支撑衬底 SUB 的表面设为相同的高度水平。

[0237] 图 26(A) 至图 31(B) 是展示本发明的第 4 实施方式的 FBC 存储器件的制造方法的剖面图。图 26(A)、图 27(A)、图 28(A)、图 29(A)、图 30(A)、图 31(A) 展示了存储单元区域的剖面,图 26(B)、图 27(B)、图 28(B)、图 29(B)、图 30(B)、图 31(B) 展示了逻辑电路区域的剖面。

[0238] 首先,如图 26(A) 以及图 26(B) 所示,在支撑衬底上淀积氧化硅膜 24 以及氮化硅膜 34。其次,用光刻法以及湿蚀刻除去位于存储单元区域的氧化硅膜 24 以及氮化硅膜 34。在此,所谓的存储单元区域,指的是图 7 所示的边界 B1 的内侧的区域。进而,通过将支撑衬底 SUB 热氧化,如图 27(A) 所示,在支撑衬底 SUB 上形成氧化硅膜 44。通过调整氧化硅膜 44 的膜厚,最终可以将第 2 半导体膜 12 的高度和逻辑电路区域的支撑衬底 SUB 的高度设为相同的水平。进而,用氟化铵除去氧化硅膜 44。

[0239] 接着,在存储单元区域的支撑衬底 SUB 上离子注入硼等 P 型杂质。由此,形成具有约 10^{19}cm^{-3} 的浓度的板极。

[0240] 其次,如图 28(A) 所示,将支撑衬底 SUB 热氧化,形成氧化硅膜 20。进而,在氧化硅膜 20 上淀积氮化硅膜 30。氧化硅膜 20 以及氮化硅膜 30 作为背栅绝缘膜 BGI 起作用。其次,除去位于源极层 S 的形成区域的氧化硅膜 20 以及氮化硅膜 30。这时,逻辑电路区域如图 28(B) 所示,与图 27(A) 的构成基本没有变化。

[0241] 其次,如图 29(A) 所示,和第 1 实施方式同样地,形成硅层 40 以及硅层 60。这时,在逻辑电路区域中,将多晶硅膜 51 形成在氮化硅膜 34 上。硅层 60 和多晶硅膜 51 的边界是图 7 所示的边界 B1,与氮化硅膜 34 的边界相一致。

[0242] 其次,如图 30 所示,除去多晶硅膜 51、氮化硅膜 34 以及氧化硅膜 24。图 30 所示的结构虽然与图 14 所示的结构类似,但在存储单元区域的硅层 60(第 2 半导体膜)的表面

的高度和逻辑电路区域的支撑衬底 SUB 的表面的高度是相同的水平这一点上,与图 14 所示的结构不同。之后,经过与在第 1 实施方式中用图 15(A) ~ 图 21(B) 所示的工序同样的工序,第 4 实施方式的 FBC 存储器件完成。

[0243] 第 4 实施方式可以应用于第 2 或第 3 实施方式。由此,第 4 实施方式也可以得到第 2 或第 3 实施方式的效果。

[0244] (第 4 实施方式的变形例)

[0245] 图 31(A) 至图 34(B) 是展示第 4 实施方式的变形例的 FBC 存储器件的制造方法的剖面图。用本变形例的方法,也可以如第 4 实施方式那样,将存储单元区域的第 2 半导体膜 12 的表面的高度和逻辑电路区域的支撑衬底 SUB 的表面的高度设为相同的水平。

[0246] 首先,在形成了与第 1 实施方式的图 10(A) 以及图 10(B) 同样的结构之后,如图 31 所示,除去逻辑电路区域的氮化硅膜 30 以及氧化硅膜 20。在此,逻辑区域的边界是图 7 所示的边界 B1。由此,露出存储单元区域的源极形成区域的支撑衬底 SUB 以及逻辑电路区域的支撑衬底 SUB 的表面。

[0247] 其次,如图 32(A) 以及图 32(B) 所示,通过选择外延生长,在露出的支撑衬底 SUB 上形成由单晶硅构成的硅层 40。

[0248] 其次,如图 33(A) 以及图 33(B) 所示,在硅层 40 以及氮化硅膜 30 上淀积非结晶硅膜 50。接着,在约 600°C 的氮环境中进行约 60 分钟的退火。由此,在存储单元区域上,如以上所述那样产生固相横向外延生长。另外,在逻辑电路区域上,也产生固相横向外延生长。由此,由单晶硅构成的硅层 60 形成在存储单元区域以及逻辑电路区域这两方上。接着,在 1000°C 的氢环境中,在 100Torr 的气压下,进行约 1 分钟的退火。由此,引起硅原子的变位,硅层 60 的表面的平坦性提高。再者,硅层 40 成为第 1 半导体膜 11,硅层 60 成为第 2 半导体膜 12。

[0249] 之后,经过第 1 实施方式的图 15(A) ~ 图 21(B) 所示的工序, FBC 存储器件完成。在此,在逻辑电路区域中,电路元件不是形成在支撑衬底 SUB 上,而是形成在硅层 60 上。逻辑电路区域的硅层 60 的表面的高度是与存储单元区域的硅层 60 的表面的高度相同的水平。因而,通过将逻辑电路元件形成在硅层 60 上,可以与第 4 实施方式同样地制造图 25 所示的 FBC 存储器件。

[0250] (第 5 实施方式)

[0251] 图 35 是本发明的第 5 实施方式的 FBC 存储器件的剖面图。在第 5 实施方式中,板极是 N 型半导体。P 型的隔离区域(隔离扩散层)98 在板极内形成在扩散层 88 的周围。

[0252] 根据本实施方式,由于板极的导电型是 N 型,因此当向板极提供负电压时,支撑衬底 SUB 的表面成为存储状态。由此,可以避免主体 - 板极间的电容的降低。如图 5B 的线 L4 所示,在板极是 N 型的情况下,当板极电压在 -4V 附近时, ΔV_{th} 是最大值 0.969V。即,具有 N 型板极的 FBC 存储器件与具有 P 型板极的 FBC 存储器件相比,可以得到较大的阈值电压差 ΔV_{th} 。

[0253] 当向板极提供 -3V 的电位时,在源极 S 和 P 型的隔离区域 98 之间的 PN 结上受到反向偏压。在 P 型隔离区域 98 和板极之间的 PN 结上受到正向偏压。在该状态下,当来自于数据“1”的存储单元 MC 的空穴到达源极 S 时,空穴立即被电场吸出到支撑衬底 SUB 侧。由此,抑制了双极干扰。

[0254] 图 36 是存储单元区域以及逻辑电路区域的剖面图。在存储单元区域形成有 N 型板极,并以环绕存储单元区域的周围的方式形成有板极线接触 PLC。存储单元区域的 STI 的深度 D3、边界 B1 附近的 STI 的深度 D4、以及逻辑电路区域的 STI 的深度 D5 相同。由此,STI 的形成变得容易。具有代表性的,是 STI 的深度为 $0.3\mu\text{m}$ 左右。

[0255] 说明第 5 实施方式的制造方法。首先,如图 37(A) 以及图 37(B) 所示,在存储单元区域离子注入 N 型杂质,形成 N 型板极。例如,向支撑衬底 SUB 导入浓度 10^{18}cm^{-3} 的磷。其次,在支撑衬底 SUB 上淀积氧化硅膜 20 以及氮化硅膜 30。其次,在氮化硅膜 30 上淀积氧化硅膜 210。用光刻法以及 RIE 除去位于源极层 S 的形成区域的氧化硅膜 210。这时,也除去位于逻辑电路区域上的氧化硅膜 210。

[0256] 其次,将氧化硅膜 20 以及氮化硅膜 30 用作掩模材料,然后用加速能量 5keV 离子注入剂量为 10^{14}cm^{-2} 的硼。之后,在 950°C 的氮环境中进行 60 分钟退火。由此,形成图 38(A) 以及图 38(B) 所示的 P 型扩散层 98。该 P 型杂质的横向的扩散距离 X,可以通过调节氧化硅膜 20 以及氮化硅膜 30 的边缘,以及退火的温度和时间的方式控制。另外,通过调整硼的剂量,提高图 35 所示的从扩散层 88 的端到隔离区域 98 的端的宽度 W 为最小的部分的硼浓度。由此,可以抑制源极 S 和支撑衬底 SUB 因击穿现象而电短路的情况。

[0257] 在除去了氧化硅膜 210 之后,如参照图 32 至图 34 说明的那样,形成硅层 40 以及 60。之后,进行第 1 实施方式的图 15 至图 21 所示的工序。其结果,图 35 所示的器件完成。

[0258] P 型的隔离区域 98 也可以设在第 2 实施方式的漏极层 D 的下方。由此,可以将第 5 实施方式的效果应用于第 2 实施方式。

[0259] (第 6 实施方式)

[0260] 在第 5 实施方式中,如图 36 所示,STI 的深度 D3、D4 以及 D5 相等,例如,是 $0.3\mu\text{m}$ 左右。第 2 半导体膜 12 具有代表性的是从 10nm 至 50nm 。但是,如果 STI 较深,则从板极线接触 PLC 到存储单元区域的中心的存储单元 MC 的路径 L1 变长。另外,STI 变得越深,板极的薄膜电阻变得越高。其结果,路径 L1 的电阻变高,主体区域 B 的正下方的板极电位变得不稳定。一旦板极电位变得不稳定,就有可能不能充分地确存储数据“0”的存储单元和存储数据“1”的存储单元的阈值电压差。

[0261] 图 39 是本发明的第 6 实施方式的 FBC 存储器件的平面图。图 40 是沿着图 39 的 40-40 线的剖面图。在第 6 实施方式中,设在板极线接触 PLC 和存储单元区域之间的 STI 较浅,其底面的高度比支撑衬底 SUB 的表面高。由此,从板极线接触 PLC 到存储单元区域的中心的存储单元 MC 的路径 L2 变得比较短。另外,由于 STI 较浅,因此板极的薄膜电阻较低。其结果,路径 L2 的电阻变低。由于从板极线接触 PLC 到存储单元区域的电阻降低,因此主体区域 B 的正下方的板极电位稳定化,可以使主体-板极间电容增大。其结果,能够充分地确存储数据“0”的存储单元和存储数据“1”的存储单元的阈值电压差。图 41 是本发明的第 6 实施方式的 FBC 存储器件的剖面图。该图是相当于第 1 实施方式的图 6 的剖面图。如图 41 所示,STI 在除去主体 B 以及第 2 半导体膜 11 之后形成。因而,主体 B 的侧面 S 与板极的距离 LS1 与第 1 实施方式的 LS2(参照图 6)相比较短。其结果,主体-板极间的边缘电容变大,可以使存储数据“0”的存储单元和存储数据“1”的存储单元的阈值电压差增大。

[0262] 其次,说明第 6 实施方式的 FBC 存储器件的制造方法。图 42(A) 至图 46 是展示本

实施方式的 FBC 存储器件的制造方法的平面图以及剖面图。首先,与第 5 实施方式同样地实行图 37(A) ~ 图 38(B)、以及图 32(A) ~ 图 34(B) 的工序。氮化硅膜 30 以及氧化硅膜 20 所存在的区域和它们不存在的区域的边界是图 39 的边界 B2。该边界 B2 在之后进行的工序中包括在元件区域内。其次,如图 42(A) 以及图 42(B) 所示,形成 STI。图 43 是沿着图 42(A) 的 42-42 线的剖面图。该剖面图是和第 1 实施方式的图 15 所示的剖面图相同的。

[0263] 图 44 是沿着图 42(A) 的 43-43 线的源极层 S 的形成区域的剖面图。在源极层 S 的形成区域上,STI 以到达支撑衬底 SUB 的方式形成。图 45 是沿着图 42(A) 的 44-44 线的主体区域 B 的形成区域的剖面图。在主体区域 B 的形成区域上,STI 虽然形成到氮化硅膜 30,但没有到达支撑衬底 SUB。图 46 是沿着图 42(B) 的 45-45 线的逻辑电路区域的剖面图。在逻辑电路区域上,STI 与图 44 所示的 STI 同样地形成的比较深。之后,经过图 19(A) ~ 图 21(B) 所示的工序,第 6 实施方式的 FBC 存储器件完成。

[0264] 在将图 44 以及图 46 的支撑衬底 SUB 进行各向异性蚀刻时,将氮化硅膜 30 用作蚀刻停止层。由此,在主体区域 B 的形成区域上,由于 STI 没有到达支撑衬底 SUB,因此可以得到图 40 所示的构成。

[0265] (第 7 实施方式)

[0266] 如果图 35 所示的 P 型隔离区域 98 的宽度 W 较小,则有可能在源极层 S 和支撑衬底 SUB 之间产生击穿现象。为了防止该情况,可以考虑使隔离区域 98 沿着横向进一步较大地扩散。这时,由于 P 型隔离区域 98 扩大到主体 B 之下,因此主体 - 板极间电容降低,随之,阈值电压差 ΔV_{th} 降低。

[0267] 图 47 是本发明的第 7 实施方式的 FBC 存储器件的剖面图。本实施方式的 FBC 存储器件,具备形成在连接源极层 S 和支撑衬底 SUB 的第 1 半导体膜 11 的侧面的衬垫 701。即,衬垫 701 形成在为了贯通第 1 半导体膜 11 而形成在背栅绝缘膜 BIG 上的开口的侧面。衬垫 701 的材料例如可以是氧化硅膜或氮化硅膜。衬垫 701 能够使形成的半导体膜 11 的宽度 Y 小于能用光刻法形成的最小线宽。N 型的第 1 半导体膜 11 形成在从主体 B 沿着横向离开衬垫 701 的厚度的量的位置上。随之,P 型隔离区域 98 也可以形成在从主体区域 B 沿着横向离开衬垫 701 的厚度的量的位置上。另一方面,第 1 半导体膜 11 的端到隔离区域 98 的端为止的宽度 W 可以与图 35 所示的宽度 W 大致相等。其结果,本实施方式的 FBC 存储器件可以一面抑制源极层 S 和支撑衬底 SUB 之间的击穿现象,一面使阈值电压差 ΔV_{th} 增大。

[0268] 其次,说明第 7 实施方式的 FBC 存储器件的制造方法。首先,在存储单元区域的支撑衬底 SUB 上离子注入 N 型杂质,形成板极。例如,导入浓度 10^{18}cm^{-3} 的磷。其次,如图 48(A) 所示,在支撑衬底 SUB 上形成由氧化硅膜 20、氮化硅膜 30、氧化硅膜 210 构成的掩模材料。将氧化硅膜 20 和氮化硅膜 30 的厚度的和设为 H1。用光刻法以及 RIE 除去位于源极层 S 的形成区域的掩模材料。这时,在逻辑电路区域上,掩模材料覆盖在支撑衬底 SUB 上。其次,用 RIE 在支撑衬底 SUB 上形成深度 H2 的槽 703。

[0269] 其次,通过将硼等进行离子注入,如图 49 所示,形成隔离区域 98。为了在槽 703 的侧面形成 P 型扩散层,也可以从斜向离子注入硼。由此,可以很容易地确保宽度 W。进而,通过进行热处理,使杂质激活。其次,在支撑衬底 SUB 上淀积氮化硅膜,并将其进行各向异性蚀刻。由此,在隔离区域 98、氧化硅膜 20 以及氮化硅膜 30 (背栅绝缘膜 BGI) 的侧壁上形成衬垫 701。

[0270] 其次,用氢氟酸等除去氧化硅膜 210。这时,由于衬垫 701 覆盖背栅绝缘膜 BGI 的侧壁(边缘),因此背栅绝缘膜 BGI 不会被蚀刻。其次,除去逻辑电路区域的氧化硅膜 20 以及氮化硅膜 30。其次,如图 50 所示,通过选择外延生长形成第 1 半导体膜 40、41。第 1 半导体膜 40、41 的膜厚是 $H1+H2$ 。在存储单元区域上,由于在支撑衬底 SUB 上形成有深度 $H2$ 的槽 703(图 48),因此存储单元区域的氮化硅膜 30 的表面的高度,比半导体膜 41 的表面的高度大致低 $H2$ 。在此,虽然作为选择外延生长的前处理,用氢氟酸除去支撑衬底 SUB 上的氧化硅膜,但由于衬垫 701 覆盖背栅绝缘膜 BGI 的侧壁,因此背栅绝缘膜 BGI 的侧壁不会被蚀刻。这样,如果防止了背栅绝缘膜 BGI 的侧壁的蚀刻,就不会在主体区域 B 的附近形成第 1 半导体膜 40。由此,可以抑制在源极 S- 支撑衬底 SUB 之间发生击穿现象。

[0271] 其次,在第 1 半导体膜 40 上形成热氧化膜 702,并除去位于存储单元区域的半导体膜 40 上的热氧化膜。其次,如参照图 12 以及图 13 说明的那样,在存储单元区域上形成第 2 半导体膜 60。由此,可以得到图 51 所示的结构。第 2 半导体膜 60 的厚度是 $H2$ 。在该阶段,存储单元区域的第 2 半导体膜 60 的高度与逻辑电路区域的第 1 半导体膜 41 的高度相同。在图 52 中展示了该阶段的边界 B2 附近的剖面图。在存储单元区域中,由于第 2 半导体膜 60 从第 1 半导体膜 40 外延生长,因此是单晶硅。在逻辑电路区域上,多晶硅 61 在氧化硅膜 702 上生长。如图 52 所示,在边界 B2 的附近,第 2 半导体膜 60 和多晶硅膜 61 邻接。将从该邻接部到第 1 半导体膜 40 的距离设为 $D1$ 。再者,之后,用 HCL 气体除去多晶硅 61。

[0272] 如参照图 42 ~ 图 46 说明的那样,形成 STI,之后,通过形成栅极、源极 / 漏极层、接触、布线,图 47 所示的结构完成。

[0273] 所述的制造方法,具备在支撑衬底 SUB 上形成第 1 厚度 $H1$ 的绝缘膜 20、30 的工序,在存储单元的源极区域的绝缘膜 20、30 和支撑衬底 SUB 上形成槽 703 的工序,在所述槽 703 和逻辑电路区域上同时形成第 3 厚度 ($H1+H2$) 的第 1 半导体膜 40、41 的工序,和在存储单元区域的所述绝缘膜 20、30 上形成第 4 厚度 $H4$ 的第 2 半导体膜 60 的工序。再者,将从支撑衬底 SUB 表面开始的深度设为第 2 深度 $H2$ 。存储单元区域的有源区域的高度,是从支撑衬底 SUB 表面高出第 1 厚度 $H1$ 和第 4 厚度 $H4$ 的了的水平。逻辑电路区域的有源区域的高度,是第 3 厚度 ($H1+H2$)。通过使 $H1+H4 = H1+H2$,可以将存储单元区域以及逻辑电路区域设为大致相同的高度。由此,可以防止光刻的焦点偏移,因此能够可靠并且容易地形成存储单元以及逻辑电路。在本实施方式中,第 3 厚度与第 1 厚度 $H1$ 和第 2 厚度 $H2$ 的和相等。由此,源极区域的表面成为与有源区域的表面大致相同的高度。

[0274] 在形成第 1 半导体膜 40 的工序中,由于衬垫 701 覆盖槽 703 的侧面(背栅绝缘膜 BGI 的侧面),因此第 1 半导体膜不会被淀积在槽 703 的侧面上。根据该方法,可以用较低的成本形成表面的高度大致相同的存储单元区域和逻辑电路区域。

[0275] 在有选择地除去多晶硅 61 之后,可能在边界 B2 上的硅 60 和硅 41 之间形成间隙,或者形成硅 60 和硅 41 的重复部。是形成间隙还是形成重复部,取决于抗蚀剂图形的对准偏移。在将边界 B2 设为有源区域时,在该间隙或重复部上产生台阶差。该台阶差在栅极蚀刻中有可能成为使应该被蚀刻的多晶硅残存的原因。

[0276] 为了防止该台阶差,使得即便在产生细微的光刻对准偏移的情况下,即,即便在 $D1$ 稍微偏移的情况下,也如图 7 的边界 B1 那样使 STI 含有硅 60 和硅 41 的间隙或重复部。由

此,虽然有必要形成较深的 STI 用的沟槽,但由于 STI 的表面是平坦的,因此不会发生栅极多晶硅的蚀刻残留。另外,由于存储单元区域的 STI 较浅,因此可以达成边缘电容的增大和板极的薄薄膜电阻的降低。

[0277] 虽然第 7 实施方式具备 N 型的板极,但即便是 P 型的板极,也不会丧失本实施方式的效果。如果是 P 型的板极,在隔离区域 98 内导入 N 型杂质,并将隔离区域 98 和源极层 S 连接。这时,隔离区域 98 起到与第 1 实施方式的 N 型扩散层 88 相同的作用。另外,第 7 实施方式也可以与第 2 实施方式同样地,将漏极层 D 与支撑衬底 SUB(板极)电连接,并在源极层 S 上设置再结合中心 REC。

[0278] (第 8 实施方式)

[0279] 图 53 是本发明的第 8 实施方式的存储单元区域、板极线接触 PLC、和逻辑电路区域的平面图。板极线接触 PLC 以包围存储单元区域的方式形成为环状。由此,从板极线接触 PLC 到各存储单元的板极电阻变得较低。

[0280] 区域 R1 表示源极层 S 的形成区域。在第 1 实施方式中,第 1 半导体膜 11 形成在有源区域 AA 和区域 R1 的重复区域上。但是,在第 8 实施方式中,第 1 半导体膜 11 没有形成在有源区域 AA 和区域 R1 的重复区域上,而是形成在位于有源区域 AA 间(源极层形成区域间)的区域 R1(用 R10 表示的区域)上。

[0281] 图 54 是沿着图 53 的 54-54 线的剖面图。由于第 8 实施方式的逻辑电路由形成在 SOI 层上的晶体管构成,因此源极接触以及漏极接触的各自的深度便大致相同。由此,与图 8 所示的方式相比,接触的缺陷率降低。另外,由于板极线接触和存储单元区域之间,即,板极线接触 PLC 的环内的 STI 的底面,比支撑衬底 SUB 的表面水平高,因此与图 8 所示的方式相比,板极线 PL 的电阻变低。

[0282] 存储单元区域的平面结构也可以与图 23 所示的结构相同。图 55 相当于沿着图 23 的 24-24 线的剖面图。图 56 是沿着字线 WL 的源极层 S 的剖面图,图 57 是板极线接触区域的剖面图。

[0283] 在图 56 中,在位线 BL 的下方形成有背栅绝缘膜 BGI。连接层 11(第 1 半导体膜)在图 56 的剖面中,沿着字线 WL 形成在背栅绝缘膜 BGI 的左右。连接层 11 将支撑衬底 SUB 和源极层 S 电连接。N 型扩散层 88 在沿着源极层 S 的剖面中,形成在连接层 11 的下方的支撑衬底 SUB 的表面上。扩散层 88 与连接层 11、源极层 S 电连接。这样,在第 8 实施方式中,连接层 11 以及扩散层 88 不是设在源极层 S 的正下方,而是在沿着字线 WL 的源极层 S 的剖面中,设在源极层 S 的左右。即,连接层 11 以及扩散层 88 的形成区域是图 53 的区域 R10。

[0284] 这时,N 型扩散层 88 和主体区域 B 的距离,变得比设在源极层 S 的正下方时(图 3、图 24)的距离长。如果 N 型扩散层 88 过于接近主体区域 B,则在驱动栅极 G 时,在主体区域 B 的下方的板极上形成耗尽层。该耗尽层使主体-板极间电容降低,由此成为使阈值电压差 ΔV_{th} 降低的原因。

[0285] 但是,根据第 8 实施方式,由于 N 型扩散层 88 和主体区域 B 的距离变得较长,因此可以防止所述耗尽层的形成。进而,第 8 实施方式也可以得到在第 1 实施方式中说明的读出时的阈值电压差的增大效果。

[0286] 如图 56 所示,相邻的源极层由硅化物层 15 连接,并作为源极线起作用。源极线被拉向存储单元阵列(图未示)的外侧,并经由源极线接触被供给电位。这样,在第 8 实施方

式中,由于在存储单元阵列内不需要源极线接触,因此可以缩小单元尺寸。再者,在第 8 实施方式中,虽然位线 BL 用第 2 层的布线层形成,但也可以用第 1 层的布线层形成。

[0287] 另外,根据第 8 实施方式,可以抑制存储单元 MC1 的空穴通过源极层 S 后流入相邻的存储单元 MC2 的现象。这是由于如图 56 的箭头所示那样,空穴在到达存储单元 MC2 之前经由连接层 11 流入支撑衬底侧。

[0288] 在图 57 所示的板极线接触 PLC 的下方,以贯通背栅绝缘板 BGI 以及 STI 的方式形成有第 1 半导体层 11。第 1 半导体层 11 在板极线接触区域上,连接支撑衬底 SUB 和板极线接触 PLC,同时使板极线接触 PLC 的深度与逻辑电路区域的源极·漏极的接触的深度大致相等。

[0289] 图 58(A) 至图 60(B) 是展示第 8 实施方式的 FBC 存储器件的制造方法的剖面图。图 58(A)、图 59(A)、图 60(A) 展示了沿着源极线的剖面,图 58(B)、图 59(B)、图 60(B) 展示了板极线接触 PLC 的剖面。

[0290] 首先,如图 58(A) 以及图 58(B) 所示,准备 SOI 衬底 99。SOI 衬底 99 包括具有约 50nm 的厚度的埋入氧化膜 (BOX) 101,和具有约 50nm 的厚度的 SOI 层 102。其次,在 SOI 层 102 上依次形成具有约 2nm 的厚度的氧化硅膜 103、具有约 200nm 的厚度的氮化硅膜 104。

[0291] 其次,形成图 53 所示的有源区域 AA 的抗蚀剂图形,并用 RIE 依次蚀刻氮化硅膜 104、氧化硅膜 103、SOI 层 102。在除去抗蚀剂之后,淀积氧化硅膜,并在有源区域 AA 之间填充该氧化硅膜。进而,将氮化硅膜 104 用作停止层,用 CMP 研磨该氧化硅膜,并在有源区域 AA 之间形成元件隔离 STI。

[0292] 其次,如图 59(A) 以及图 59(B) 所示,形成将图 53 所示的区域 R1 开口的抗蚀剂图形,并将 STI 以及 BOX 层 101 进行各向异性蚀刻。由此,除去位于相邻的源极层形成区域间的元件隔离 STI 的部分以及位于其下方的 BOX 层 101。即,除去位于区域 R10 的氧化硅膜以及 BOX 层 101。

[0293] 其次,如图 60(A) 以及图 60(B) 所示,淀积非晶硅 110,并用 CDE 进行蚀刻。由此,将非晶硅 110 的表面的高度设为与 SOI 层的表面的高度相同的水平。接着,在约 600°C 的氮环境中进行数小时的退火。其结果,非晶硅 110 成为单晶硅。这样,将非晶硅 110 埋入通过元件隔离 STI 以及 BOX 层 101 的除去而形成的开口部内。非晶硅 110 作为连接支撑衬底 SUB 和 SOI 层 102 的半导体膜起作用。

[0294] 之后,除去氧化硅膜 103 以及氮化硅膜 104。进而,如参照图 19 ~ 图 21 说明的那样,在 SOI 层 102 上形成栅极绝缘膜以及栅极,并在相邻的所述栅极之间导入杂质,从而在 SOI 层 102 上形成源极层以及漏极层。在栅极、源极层以及漏极层上形成硅化物,进而,通过形成层间绝缘膜、接触插塞、位线等,图 55 ~ 图 57 所示的 FBC 存储器件完成。

[0295] 通过将非晶硅 110 进行热处理而形成的单晶硅相当于连接层 (第 1 半导体层) 11。源极层 S 形成在 SOI 层 102 上。由此,如图 56 所示,源极层 S 经由连接层 11 与支撑衬底 SUB 连接。在本实施方式中,支撑衬底 SUB 还起到板极的作用。

[0296] 第 8 实施方式的制造方法,由于使用了 SOI 衬底,因此不能实现第 1 实施方式的制造方法那样的低成本化。但是,通常,在使用 SOI 衬底的制造方法中,形成用于调节到支撑衬底 SUB 的接触的深度的半导体膜的工序,和形成连接存储单元的源极层 S 以及支撑衬底 SUB 的半导体膜的工序,被分别实行。这时,为了形成与支撑衬底 SUB 连接的接触,必须追加

光刻工序以及蚀刻工序。

[0297] 另一方面,在本实施方式的制造方法中,同时进行形成用于调节到支撑衬底 SUB 的接触的深度的半导体膜的工序,和形成连接存储单元的源极层 S 以及支撑衬底 SUB 的半导体膜的工序。因而,第 8 实施方式的制造方法在使用 SOI 衬底的制造方法中,可以抑制成本的增加。

[0298] (第 9 实施方式)

[0299] 图 61 是本发明的第 9 实施方式的存储单元区域、板极线接触 PLC、和逻辑电路区域的平面图。板极线接触 PLC 以包围存储单元区域的方式形成为环状。由此,从板极线接触 PLC 到各存储单元的板极电阻变得较低。

[0300] 区域 R2 表示源极层 S 以及漏极层 D 的形成区域。在第 9 实施方式中,第 1 半导体膜 11 形成在有源区域 AA 和区域 R2 的重复区域 R20 上。

[0301] 图 62 是第 9 实施方式的存储单元区域的剖面图。在第 9 实施方式中,源极层 S 以及漏极层 D 这两者,经由以 N 型扩散层 88 以及 P 型支撑衬底 SUB 构成的 PN 结与支撑衬底 SUB(板极)电连接。由此,可以抑制存储单元 MC1 的空穴流入在两侧邻接的存储单元 MC2 以及 MC3 的情况。另外,可以使阈值电压差 ΔV_{th} 增大。

[0302] 在第 1 半导体膜 11 的大致中央,存在沿着纵向延伸的晶体错配。虽然图未示,但在该晶体错配所存在的部分上,硅化物变厚。在形成硅化物时,金属原子向晶体错配中扩散,晶体错配的金属原子浓度变高。晶体错配、金属原子以及硅化物作为再结合中心 REC 起作用。由于再结合中心 REC 通过再结合消灭空穴,因此可以有效地阻止空穴的流动。

[0303] 进而,在金属原子扩散的再结合中心 REC 的区域上,导入高浓度的 N 型杂质。由此,可以抑制源极·漏极和 P 阱之间的逆向 PN 结电流的增大。

[0304] 如图 62 所示,第 1 半导体膜 11 的宽度比接触的宽度窄。由此,也可以将 N 型扩散层 88 的宽度缩窄,并可以将 N 型扩散层 88 从主体区域 B 隔离。其结果,可以防止数据读出时的阈值电压差 ΔV_{th} 的降低。另外,由于 N 型扩散层 88 的面积变小,因此抑制源极·漏极和支撑衬底 SUB 之间的逆向 PN 结电流的增大。

[0305] 图 63 是第 9 实施方式的板极线接触 PLC 的剖面图。在板极线接触 PLC 的下方,设有贯通了背栅绝缘膜 BGI 以及 STI 的第 1 半导体层 11。在第 1 半导体膜 11 的周围的背栅绝缘膜 BGI 上,设有第 2 半导体膜 12。第 1 半导体膜 11 以及第 2 半导体膜 12 在各自的侧面接触。

[0306] 图 64(A) 至图 66(B) 是展示第 9 实施方式的 FBC 存储器件的制造方法的剖面图。图 64(A)、图 65(A)、图 66(A) 展示了存储单元区域的剖面,图 64(B)、图 65(B)、图 66(B) 展示了板极线接触部的剖面。

[0307] 首先,如图 64(A) 以及图 64(B) 所示,准备 SOI 衬底 99。SOI 衬底 99 包括具有约 50nm 的厚度的埋入氧化膜 (BOX) 101,和具有约 50nm 的厚度的 SOI 层 102。其次,在 SOI 层 102 上依次形成具有约 2nm 的厚度的氧化硅膜 103、具有约 200nm 的厚度的氮化硅膜 104。其次,形成将图 61 所示的区域 R2 开口的抗蚀剂图形,用 RIE 蚀刻氮化硅膜 104 以及氧化硅膜 103。

[0308] 其次,如图 65(A) 以及图 65(B) 所示,淀积氮化硅膜,并用 RIE 将该氮化硅膜进行各向异性蚀刻。由此,在氮化硅膜 104 的侧面形成衬垫 118。用衬垫 118,可以形成具有比抗

蚀剂的最小限宽度窄的槽的掩模材料 (118 以及 104)。其次,将氮化硅膜 104 以及衬垫 118 用作掩模,将 SOI 层 102 以及 BOX 层 101 进行各向异性蚀刻。淀积非结晶硅 110,并将其蚀刻到与 SOI 层 102 的表面的高度相同的水平。由此,在通过 SOI 层 102 以及 BOX 层 101 的蚀刻形成的槽内填充非结晶硅 110。

[0309] 其次,如图 66(A) 以及图 66(B) 所示,除去氧化硅膜 103 以及氮化硅膜 104。其次,通过固相外延生长,使非结晶硅 110 变质成单晶硅 108。在第 9 实施方式中,为了从支撑衬底 SUB 以及 SOI 层 102 引起单晶化,如图 66(A) 以及图 66(B) 所示,将再结合中心 REC 形成倒 T 字状。另外,在平面图中,如图 61 所示,在线状的区域 R2 的中央部形成再结合中心 REC。之后,在有源区域以外的元件隔离区域上形成 STI。

[0310] 进而,如参照图 19 ~ 图 21 说明的那样,通过形成栅极绝缘膜、栅极、硅化物、层间绝缘膜、接触插塞、位线等,图 62 以及图 63 所示的 FBC 存储器件完成。

[0311] (第 9 实施方式的变形例 1)

[0312] 图 67 是第 9 实施方式的变形例 1 的存储单元的剖面图。在本变形例中,第 1 半导体膜 11 的中间部的硅化物 15 的上面的高度 (H5),比衬垫 111 的端部 (硅化物 15 和衬垫 111 的接触部) 的硅化物 15 的上面的高度 (H6) 低。同样,第 1 半导体膜 11 的中间部的硅化物 15 的底面的高度,比衬垫 111 的端部的硅化物 15 的底面的高度低。由此,源极线接触 SLC 以及位线接触 BLC 都接近第 1 半导体膜 11,邻接的存储单元的源极以及漏极各自的中间部变窄。也可以说邻接的存储单元的源极以及漏极分别被硅化物 15 隔离。

[0313] 一般来说,空穴在电位较低的源极·漏极层的底面上扩散。因而,如图 67 所示,通过将源极·漏极层的中间部缩窄,在源极·漏极层上扩散的空穴通过再结合消灭的概率变高。由此,可以更有效地抑制空穴流入邻接的存储单元的情况。

[0314] 另外,在图 61(A) 以及图 61(C) 中,在衬垫 111 的端部,在硅化物层 15 之下,都使 SOI 层 102 残存膜厚 T1。这是为了增大硅化物层 15 和 SOI 层 102 (源极·漏极层) 的接触面积。如果增大硅化物层 15 和源极·漏极层的接触面积,寄生电阻变小,并且可以增大晶体管的驱动电流。

[0315] 另一方面,如果主体-源极间或者主体-漏极间的 PN 结的附近的金属原子浓度变高,就发生 PN 结的漏电流增大,数据保持时间变短的问题。但是,通过在衬垫 111 的端部,在硅化物层 15 之下使 SOI 层 102 残存膜厚 T1,硅化物层 15 内的金属原子便很难向所述 PN 结扩散。其结果,抑制了这些 PN 结上的漏电流。

[0316] 硅化物层 15 沿着纵向的晶体错配局部地变厚。这使硅化物层 15 和 SOI 层 102 的接触面积增大,使寄生电阻降低。再者,由于这使得空穴很难通过邻接的存储单元之间,因此较理想。

[0317] 通常,如果接触更深,则接触的缺陷率上升。因而,当第 1 半导体膜 11 上的硅化物层 15 的上面的高度低于源极·漏极层上的硅化物层 15 的上面的高度时,如果接触 SLC、BLC 的宽度比第 1 半导体膜 11 的宽度窄,则接触 SLC、BLC 的深度变深。

[0318] 但是,在本变形例中,第 1 半导体膜 11 的宽度比接触 SLC、BLC 的宽度宽。由此,在接触 SLC、BLC 内形成较浅的区域,因此缺陷率减少。进而,由于接触 SLC、BLC 和硅化物层 15 的接触面积变大,因此接触 SLC、BLC 的寄生电阻变小。

[0319] 图 68(A) 至图 69(B) 是展示第 9 实施方式的变形例 1 的制造方法的剖面图。本变

形例,到图 65(A) 以及图 65(B) 所示的工序为止,以与第 9 实施方式同样的方式制造。

[0320] 在图 65(A) 以及图 65(B) 的非晶硅 110 的蚀刻中,非晶硅 110 以其上面成为只比 SOI 层 102 的上面低 T1 的水平的方式被蚀刻。由此,可以得到图 68(A) 以及图 68(B) 所示的结构。

[0321] 其次,如图 69(A) 以及图 69(B) 所示,除去氧化硅膜 103 以及氮化硅膜 104。其次,通过固相外延生长,使非晶硅 110 变质成单晶硅 108。

[0322] 之后,通过形成栅极绝缘膜、栅极、硅化物、层间绝缘膜、接触、布线等,图 67 所示的结构完成。

[0323] (第 9 实施方式的变形例 2)

[0324] 图 70 是展示第 9 实施方式的变形例 2 的剖面图。一般来说,如果主体区域 B 的硅膜的膜厚较薄,便具有如下的优点。读出时的阈值电压差 ΔV_{th} 变大。数据 1 的写入时间变短。PN 结的漏电流减少,并且数据保持时间变长。

[0325] 于是,在变形例 2 中,一面将主体区域 B 的硅膜厚(第 2 半导体膜 12 的膜厚)变薄,一面在源极·漏极层上形成选择外延硅层。

[0326] 在衬垫 111 的端部上,在硅化物层 15 之下残存有 SOI 层 102(源极·漏极层)。由此,硅化物层 15 和源极·漏极层的接触面积增大,源极·漏极层的寄生电阻变小。另外,第 1 半导体膜 11 的中间部的硅化物 15 的上面的高度(H5),比衬垫 111 的端部(硅化物 15 和衬垫 111 的接触部)的硅化物 15 的上面的高度(H6)低。由此,变形例 2 具有与所述变形例 1 同样的效果。变形例 2 还具有变形例 1 的其他的效果。

[0327] 进而,硅化物 15 的上面的高度为 H5 的区域的宽度,比变形例 1 的该宽度窄。因而,接触 SLC、BLC 和硅化物层 15 的接触面积进一步变大,因此接触 SLC、BLC 的寄生电阻与变形例 1 相比变小。

[0328] 变形例 2 的制造方法,是在图 69(A) 以及图 69(B) 所示的阶段中,将 SOI 层 102 进一步蚀刻得较薄。另外,在形成了栅极之后,使选择外延硅层在源极·漏极层上生长。在该阶段,形成在第 1 半导体膜 11 上的选择外延硅层的上面,低于源极·漏极区域的选择外延硅层的上面。其次,在选择外延硅层的表面上形成均匀的膜厚的硅化物层 15。第 2 变形例的其他工序可以与所述第 1 变形例的工序相同。

[0329] 变形例 1 以及变形例 2 除了所述效果之外,还具有第 9 实施方式的效果。进而,变形例 1 以及变形例 2 进行以下工序:贯通 SOI 层 102 以及 BOX 层 101,形成沿着源极线的线状的开口部,在该开口部内埋入第 1 半导体膜 11,之后形成元件隔离区域 STI。由此,如图 61 所示,以完全地横断邻接的存储单元之间的空穴电流路径的方式形成再结合中心 REC。另外,只要调整硅化物 15 的上面的高度 H5 就可以抑制空穴的流动。即,不用增大成本,就可以制造有效地抑制双极干扰的再结合中心。

[0330] (第 10 实施方式)

[0331] 图 71 是本发明的第 10 实施方式的 FBC 存储器件的平面图。逻辑电路区域的 MISFET 的平面结构可以与其他的任意一个实施方式(例如图 2)相同。

[0332] 图 72(A) 是沿着图 68 的 A-A 线的存储单元区域的剖面图。如图 72(A) 所示,第 10 实施方式的存储单元具备支撑衬底 SUB、板极 PT、背栅绝缘膜 BGI(第 1 绝缘膜)、BOX 层 101(第 2 绝缘膜)、第 1 半导体膜 11、漏极层 D、源极层 S、主体区域 B、栅极绝缘膜 GI、栅极

G(字线 WL)、位线 BL、和源极线 SL。

[0333] 支撑衬底 SUB 由半导体材料构成,例如是硅衬底。支撑衬底 SUB 形成有导入了浓度 $1 \times 10^{18} \text{cm}^{-3}$ 的硼的 P 型阱。进而,在支撑衬底 SUB 上设有第 1 半导体膜 11 以及 BOX 层 101。第 1 半导体膜 11 连接支撑衬底 SUB 和 SOI 层 102。

[0334] 第 1 半导体膜 11 一直延伸到主体区域 B 的正下方。第 10 实施方式在这一点上与第 1 至第 9 实施方式不同。在第 1 至第 9 实施方式中,第 1 半导体膜 11 起到连接支撑衬底 SUB 和 SOI 层 102 的连接器的作用。在第 10 实施方式中,半导体膜 11 不仅起到连接器的作用,还起到板极 PT 的作用。板极 PT 与 P 阱连接,并从 P 阱得到电位。或者,也可以将板极 PT 引到存储单元阵列的外侧,在该引出的板极 PT 上形成接触,并从该接触付与电位。

[0335] 在板极 PT 的上面设有背栅绝缘膜 BGI。背栅绝缘膜 BGI 例如是具有约 8nm 的厚度的氧化硅膜。

[0336] 在板极 PT 的表面上设有 N 型扩散层 88。背栅绝缘膜 BGI 的一端在 N 型扩散层 88 内终止。N 型扩散层 88 与源极层 S 连接。因而,源极层 S 经由位于扩散层 88 和板极 PT 之间的 PN 结与支撑衬底 SUB 连接。由此,如图 5B 所示,可以增大数据“0”和数据“1”的阈值电压差 ΔV_{th} 。进而,由于源极层 S 与支撑衬底 SUB 连接,因此抑制了双极干扰。

[0337] 源极层 S、漏极层 D 以及主体区域 B 设在背栅绝缘膜 BGI 上。由此,漏极层 D 与板极 PT 电绝缘。背栅绝缘膜 BGI 的膜厚变得越薄,数据“0”和数据“1”的识别就变得容易,并且数据保持时间变长。这是由于通过将背栅绝缘膜 BGI 变薄,主体-板极间电容变大了。另一方面,在漏极层 D 之下,残存有比背栅绝缘膜 BGI 厚的 BOX 层 101。因此,降低了位线 BL 的寄生电容,能够实现高速且低耗电力的存储器件。

[0338] 在源极层 S 以及漏极层 D 的各表面上,设有硅化物层 15。由于源极层 S 以及漏极层 D 的厚度降低了它们的电阻,因此也可以利用选择外延硅层使其比主体区域 B 厚。

[0339] 与第 1 实施方式同样地,将板极 PT 的 P 型杂质浓度提高到 10^{18}cm^{-3} 以上,另一方面,将主体区域 B 的 P 型杂质浓度降到 10^{18}cm^{-3} 以下。由此,可以抑制向主体区域 B 和源极-漏极层之间的 PN 结流动的电流,并延长数据保持时间。进而,可以抑制板极 PT 的表面的耗尽化,从而增大数据读出时的阈值电压差 ΔV_{th} 。

[0340] 图 72(B) 相当于沿着图 2 的 4-4 线的逻辑晶体管(SOI 晶体管)的剖面图。与第 8 实施方式相比,由于第 10 实施方式的 SOI 晶体管在漏极层 D 之下具有较厚的 BOX 层 101,因此支撑衬底 SUB 和 SOI 晶体管之间的寄生电容降低。这使得逻辑电路的动作高速化,并且使消耗电力降低。

[0341] 图 73 是沿着图 71 的 B-B 线的源极层 S 的剖面图。源极线 SL 经由源极线接触 SLC、硅化物层 15、扩散层 88 以及第 1 半导体层 11 与 P 型阱(支撑衬底 SUB) 连接。

[0342] 图 74 是沿着图 71 的 C-C 线的栅极 G 以及主体区域 B 的剖面图。栅极 G 经由栅极绝缘膜 GI 设在主体区域 B 上。第 1 半导体膜 11 经由背栅绝缘膜 BGI 设在主体区域 B 之下。

[0343] 图 75 是沿着图 71 的 D-D 线的 P 型阱接触 PWC 的剖面图。P 型阱接触 PWC 经由硅化物层 15、SOI 层 102、N 型扩散层 88、第 1 半导体层 11 与 P 型阱连接。再者,向 SOI 层 102 导入高浓度的 P 型杂质。

[0344] 图 76(A) 至图 83(B) 是展示第 10 实施方式的 FBC 存储器件的制造方法的剖面图。图 76 至图 81 所示的 (A) 相当于沿着图 71 的 A-A 线的剖面,图 76 至图 83 所示的 (B) 相当

于沿着图 71 的 E-E 线的剖面。

[0345] 首先,与第 8 实施方式的制造方法同样地,准备 SOI 衬底 99,并在 SOI 层 102 上形成氧化硅膜 103 以及氮化硅膜 104。其次,形成将沿着图 71 所示的源极线的线状的区域 R11 开口的抗蚀剂图形。接着,通过 RIE 蚀刻氮化硅膜 104、氧化硅膜 103 以及 SOI 层 102。由此,以贯通氮化硅膜 104、氧化硅膜 103 以及 SOI 层 102 的方式形成图 76(A) 以及图 76(B) 所示的沟槽 112。

[0346] 其次,如图 77(A) 以及图 77(B) 所示,淀积具有约 20nm 的厚度的氮化硅膜,并用 RIE 将其进行各向异性蚀刻。由此,在沟槽 112 的侧面形成衬垫 105。其次,通过采用了 NH_4 的湿蚀刻,经由沟槽 112 对 BOX 层 101 进行各向同性蚀刻。由此,在 SOI 层 102 之下形成空洞 113。空洞部 113 的形成区域用图 71 的虚线展示。这时,使漏极 D 的形成区域的下方残存 BOX 层 101 的支柱。其次,根据需要,对 SOI 层 102 也进行各向同性蚀刻。例如,也可以将 SOI 层 102 氧化,然后用湿蚀刻除去氧化硅膜。或者,也可以用 CDE 蚀刻 SOI 层 102 的背面。通过该蚀刻,主体区域 B 的形成区域的 SOI 层 102 的膜厚例如变为约 25nm。这样,一旦将主体区域 B 的膜厚变薄,如以上所述,存储单元的特性提高。

[0347] 另一方面,在逻辑电路区域中,SOI 层(图未示)没有被蚀刻。因而,逻辑电路区域的 SOI 层比较厚,只将存储单元区域的 SOI 层蚀刻的较薄。根据该制造方法,不用追加新的光刻工序,就能够使存储单元区域以及逻辑电路区域的各 SOI 层成为最合适的膜厚。这时,由于可以将存储单元区域以及逻辑电路区域的各 SOI 层的表面的高度设为相同水平,因此可以避免光刻工序的焦点容限的劣化的问题。

[0348] 其次,如图 78(A) 以及图 78(B) 所示,在除去衬垫 105 之后,通过热氧化在空洞 113 的内面形成厚度约 8nm 的背栅绝缘膜 BGI 以及氧化硅膜 106。其次,在形成了覆盖图 71 所示的区域 R12 的抗蚀剂图形之后,通过 RIE 除去背栅绝缘膜 BGI。由此,如图 78(A) 所示,沿着沟槽 112 的开口部,除去位于空洞部 113 的底部的氧化硅膜 106。

[0349] 再者,如图 78(B) 所示,在支撑衬底 SUB 上残存区域 11 和区域 R12 的重复区域的氧化硅膜 106。这是为了在其次的选择外延工序中,在空洞部 113 内填充外延硅。

[0350] 其次,如图 79(A) 以及图 79(B) 所示,通过选择外延生长,形成选择外延硅层 107。硅层 107 作为第 1 半导体层 11 起作用。在该选择外延生长中,从沟槽 112 的正下方的支撑衬底 SUB 的表面开始使硅层 107 生长。这时,通过横向过生长(Lateral Over Growth)在氧化硅膜 106 上也形成硅层 107。当选择外延生长进行时,在图 79(A) 中,可以看到沟槽 112 的开口好象被堵塞。但是,在图 71 的区域 12 中,由于氧化硅膜 106 就那样残存,因此区域 12 的沟槽 112 没有被堵塞。因而,空洞 113 经由区域 12 的沟槽 112 与外部相连,并从那里被供给空气。

[0351] 如图 80(A) 以及图 80(B) 所示,在区域 R12 中,如果沟槽 112 也被硅层 107 堵塞,则横向过生长结束。硅层 107 例如含有浓度 10^{18}cm^{-3} 以上的 P 型杂质。

[0352] 其次,将氮化硅膜 104 用作停止层,用 CMP 研磨硅层 107。进而进行蚀刻,使硅层 107 的表面低于背栅绝缘膜 BGI。之后,除去形成在 SOI 层 102 的侧面的背栅绝缘膜 BGI。由此,得到图 81(A) 以及图 81(B) 所示的结构。

[0353] 其次,如图 82(A) 以及图 82(B) 所示,在沟槽 112 内形成选择外延硅层 114。这时,从 SOI 层 102 的侧面以及硅层 107 的上面开始产生硅层 114 的结晶生长。在硅层 114 内形

成再结合中心 REC。其次,蚀刻硅层 114,以使得硅层 114 的端部的高度成为 SOI 层 102 的表面的高度水平。进而,除去氧化硅膜 103 以及氮化硅膜 104。由此,如图 83(A) 所示,板极 PT(107) 以及背栅绝缘膜 BGI 完成。

[0354] 其次,如图 83(B) 所示,在无源区域上形成 STI109。其次,向存储单元的主体 B(SOI 层 102) 以及支撑衬底导入 P 型杂质。主体 B 的杂质浓度例如是约 10^{18}cm^{-3} 以下。也向构成逻辑电路的 NMOS 晶体管的主体区域适当导入 P 型杂质。再者,当 BOX 层的厚度为 150nm 以上时,也可以不在逻辑电路区域上形成阱。

[0355] 之后,如参照图 19 ~ 图 21 说明的那样,通过形成栅极绝缘膜、栅极、层间绝缘膜、接触插塞、位线等,图 71 ~ 图 74 所示的 FBC 存储器件完成。

[0356] 根据第 10 实施方式的制造方法,第 1 半导体层 11 的 P 型杂质浓度,可以与主体 B 的 P 型杂质浓度独立地设定。因而,第 10 实施方式可以实现高性能的存储单元。

[0357] 硅层 107 同时具有连接存储单元的源极层 S 和支撑衬底 SUB 的连接层、板极 PT、和用于调节支撑衬底接触的深度的连接层的功能。

[0358] 进而,第 10 实施方式可以应用于 BOX 层较厚的 SOI 衬底。因而,可以一面抑制逻辑电路以及位线的寄生电容,一面在存储单元区域上形成较薄的背栅绝缘膜。其结果,不用增大制造成本,就可以制造高性能的 FBC 存储器件。

[0359] (第 11 实施方式)

[0360] 图 84 是本发明的第 11 实施方式的 FBC 存储器件的平面图。在第 11 实施方式中,逻辑电路包括图 72(B) 所示的 SOI 晶体管和图 4 所示的体晶体管。SOI 晶体管以及体晶体管为了提高迁移率,也可以形成在结晶方位不同的硅层上。另外,在第 11 实施方式中,板极线接触 PLC、体晶体管的源极·漏极接触以及体晶体管的阱接触,与图 36 所示的构成同样地形成成为相同的高度水平。因而,可以缩小这些接触的缺陷率。

[0361] 图 85 是第 11 实施方式的 FBC 存储器件的剖面图。第 11 实施方式的存储器件,在源极层 S 以及漏极层 D 这两方经由 PN 结与支撑衬底 SUB 连接这一点上与第 10 实施方式不同。根据第 11 实施方式,可以进一步抑制双极干扰。

[0362] 图 86(A) 至图 93(B) 是展示第 11 实施方式的 FBC 存储器件的制造方法的剖面图。图 86 ~ 图 93 的 (A) 展示了存储单元区域的剖面,图 86 ~ 图 93 的 (B) 展示了逻辑电路区域(体晶体管形成区域)的剖面。

[0363] 首先,如图 86(A) 以及图 86(B) 所示,准备 SOI 衬底 99。SOI 衬底 99 包括具有约 150nm 的厚度的埋入氧化膜 (BOX) 101,和具有约 50nm 的厚度的 SOI 层 102。其次,在 SOI 层 102 上依次形成具有约 2nm 的厚度的氧化硅膜 103,具有约 200nm 的厚度的氮化硅膜 104。其次,形成将图 84 所示的区域 R3 开口的抗蚀剂图形,并用 RIE 蚀刻氮化硅膜 104 以及氧化硅膜 103。

[0364] 其次,如图 87(A) 以及图 87(B) 所示,在氮化硅膜 104 的侧壁上形成 TEOS 衬垫 400。接着,将氮化硅膜 104 以及衬垫 400 用作掩模,然后通过 RIE 将 SOI 层 102 以及 BOX 层 101 进行各向异性蚀刻。由此,在源极·漏极的形成区域上形成沟槽 115。沟槽 115 可以形成的比光刻的最小线宽度窄。

[0365] 其次,如图 88(A) 以及图 88(B) 所示,在 SOI 层 102 的侧面形成氧化硅膜 401。其次,形成选择外延硅层 157。硅层 157 作为漏极的连接器起作用。这时,硅层 157 的上面的

高度以比 SOI 层 102 的上面的高度稍低的方式设置。

[0366] 其次,在除去了衬垫 400 以及氧化硅膜 401 之后,再次进行选择外延生长。由此,淀积硅层 402 直到与氮化硅膜 104 的上面相同水平为止。硅层 402 的高度作为 SiN 膜的高度。其次,淀积非晶硅 403、氮化硅膜 404。由此,得到图 89(A) 以及图 89(B) 所示的结构。

[0367] 其次,形成将图 84 的区域 R4(源极区域)开口的抗蚀剂图形,并用 RIE 蚀刻氮化硅膜 404、非晶硅 403 以及硅层 402。由此,如图 90(A) 以及图 90(B) 所示那样形成沟槽 116。

[0368] 其次,如图 91(A) 以及图 91(B) 所示,在沟槽 116 的侧面形成 SiN 衬垫 405。接着,用 RIE 蚀刻源极区域的硅层 157。进而,用湿蚀刻将 BOX 层 101 蚀刻。由此,在 SOI 层 102(主体)之下形成空洞 117。

[0369] 其次,如参照图 78 ~ 图 81 说明的那样,形成背栅绝缘膜 BGI、氧化硅膜 106、选择外延硅层 107。其次,淀积非晶硅 408。由此,得到图 92(A) 以及图 92(B) 所示的结构。

[0370] 其次,如图 93(A) 以及图 93(B) 所示,用 CMP 研磨非晶硅 408 等,使 SOI 层 102 的表面露出。

[0371] 其次,如图 93(A) 以及图 93(B) 所示,形成元件隔离 STI。其次,向 SOI 层 102 以及支撑衬底 SUB 导入硼。其次,通过热处理使被埋入源极区域的非晶硅变质成硅层 108。

[0372] 之后,如参照图 19 ~ 图 21 说明的那样,通过形成栅极绝缘膜、栅极、硅化物、层间绝缘膜、接触插塞、位线等,图 84 ~ 图 85 所示的 FBC 存储器件完成。

[0373] (第 12 实施方式)

[0374] 图 94 是本发明的第 12 实施方式的 FBC 存储器件的剖面图。在第 12 实施方式中,源极层 S 经由第 1 半导体膜 11 与支撑衬底 SUB 电连接。第 1 半导体膜 11 作为源极层 S 的连接层起作用。由此,抑制经由源极层 S 产生双极干扰的情况。

[0375] 另一方面,板极 PT 以及漏极层 D 被氮氧化膜 119 相互隔离。因而,板极 PT 不作为漏极层 D 的连接器起作用。由于板极 PT 以及漏极层 D 被相互隔离,因此所述栅控二极管的电子供给源不存在。另外,即便提高板极 PT 的 P 型杂质浓度,在漏极层 D 和板极 PT 之间也不会产生漏电流。

[0376] 由于侧壁氧化膜 120 的作用,第 1 半导体膜 11 和板极 PT 隔离。因而,即便提高板极 PT 的杂质浓度,源极层 S 和板极 PT 之间的漏电流也不会增大。为了使板极 PT 的 P 型杂质浓度使存储单元的阈值电压差 ΔV_{th} 增大,因此例如设为 10^{19}cm^{-3} 。

[0377] 在第 12 实施方式中,板极 PT 也可以设为 N 型。即使用 N 型板极 PT,由于设有侧壁氧化膜 120 以及氮氧化膜 119,因此也没必要形成 P 型隔离区域。

[0378] 氮氧化膜 119 比背栅氧化膜厚。由此,可以降低位线电容。由于在漏极层 D 的中央存在再结合中 REC,因此抑制了经由漏极层 D 的双极干扰现象。

[0379] 图 95(A) 至图 98(B) 是展示第 12 实施方式的制造方法的剖面图。首先,实行图 86(A) 至图 91(B) 所示的工序。但是,在图 90(A) 以及图 90(B) 所示的工序中,虽然使用了将源极区域开口的抗蚀剂图形(图 84 的区域 R4),但在第 12 实施方式中,使用将漏极区域开口的抗蚀剂图形来代替。

[0380] 其次,如图 95(A) 以及图 95(B) 所示,形成背栅氧化膜 106,并淀积 P 型多晶硅 406。将 P 型多晶硅 406 的膜厚设定为不到其开口径的 1/2,使其不会完全掩埋沟槽 116 的开口

部。

[0381] 其次,如图 96(A) 以及图 96(B) 所示,用 RIE 蚀刻 P 型多晶硅 406。接着,用 RIE 除去背栅氧化膜 106。

[0382] 其次,如图 97(A) 以及图 97(B) 所示,再次淀积 P 型多晶硅 406。在用 RIE 蚀刻之后,使多晶硅 406 的表面的高度低于背栅氧化膜 106。

[0383] 其次,如图 98(A) 以及图 98(B) 所示,通过热氧化形成氮氧化膜 407。在除去形成在 SOI 层的侧面的 SiN 衬垫 405 之后,淀积非晶硅 408。之后,通过进行第 11 实施方式的图 92(A) 以后的工序,图 94 所示的 FBC 存储器件完成。

[0384] 图 99 是模拟数据读出动作的阈值电压和板极电压(衬底电压)的关系的结果。SOI 层的膜厚、背栅绝缘膜的膜厚、栅极绝缘膜的膜厚、栅极长以及通道的杂质浓度,可以与图 5B 所示的第 1 实施方式的相同。

[0385] 线 L5 表示板极 PT 的 P 型杂质浓度为 $1 \times 10^{19} \text{cm}^{-3}$ 的以往例的结果。这样,当板极 PT 的 P 型杂质浓度较高时,不会在支撑衬底的表面上形成翻转层。模拟的结果是当板极电压为 -1.5V 时, ΔV_{th} 为最大 0.853V 。

[0386] 另一方面,线 L6 表示板极 PT 的 P 型杂质浓度为 $1 \times 10^{19} \text{cm}^{-3}$ 的第 12 实施方式的存储单元 MC 的模拟结果。该存储单元 MC 具有连接源极 S 和支撑衬底 SUB 的第 1 半导体膜 11。侧壁绝缘膜 120 将第 1 半导体膜 11 和板极 PT 之间隔离。在漏极 D 之下,设有氮氧化膜 119,由此,漏极和板极 PT 被隔离。模拟的结果是当板极电压为 -2V 时, ΔV_{th} 为最大 0.909V 。

[0387] 线 L7 表示板极 PT 的 N 型杂质浓度为 $8 \times 10^{17} \text{cm}^{-3}$ 的以往例的结果。这样,如果是板极的 N 型杂质浓度,则由于支撑衬底 SUB 的表面是存储状态,因此即便该 N 型杂质浓度较低,也不会产生阈值电压差 ΔV_{th} 的劣化。在该结构中,当板极电压为 -2.8V 时, ΔV_{th} 是最大 0.908V 。与此相对,在如图 35 所示的第 5 实施方式那样经由 P 型隔离层 98 将源极层 S 连接在支撑衬底 SUB 上的结构中,阈值电压差 ΔV_{th} 是最大值 0.969V 。

[0388] 线 L8 表示具有 N 型板极 PT 的第 12 实施方式的存储单元 MC 的模拟结果。板极 PT 的 N 型杂质浓度是 $8 \times 10^{17} \text{cm}^{-3}$ 。该存储单元 MC 具有连接源极 S 和支撑衬底 SUB 的第 1 半导体膜 11。侧壁绝缘膜 120 将第 1 半导体膜 11 和 N 型板极 PT 之间隔离。在漏极 D 之下,设有氮氧化膜 119,由此,漏极和 N 型板极 PT 被隔离。模拟的结果是当板极电压为 -4V 时,阈值电压差 ΔV_{th} 为最大值 0.967V 。

[0389] 再者,在 N 型板极的计算中,将图 5C 所示的写入时的字线电压设为 2V 。虽然数据“0”的阈值电压是 1.7V 以上,较高,但在数据的读出/写入时也无妨。

[0390] (第 13 实施方式)

[0391] 图 100(A) 以及图 100(B) 是本发明的第 13 实施方式的 FBC 存储器件的剖面图。在第 13 实施方式中,板极 PT 以被背栅绝缘膜 BGI、氧化硅膜 106 以及侧壁绝缘膜 120 包围的方式构成。但是,板极 PT 的一部分通过与第 1 半导体膜 11 产生 PN 结而被隔离。板极 PT,在主体 B 正下方的部分由 N 型半导体构成。为了隔离板极 PT 表面的 N 型半导体和源极层 S,在第 1 半导体层 11 的侧面具有侧壁绝缘膜 120。背栅绝缘膜 BGI、氧化硅膜 106 以及侧壁绝缘膜 120 由同样的材料构成。源极层 S 与第 1 半导体膜 11 连接。第 1 半导体膜 11 作为将源极层 S 和 P 型阱(支撑衬底 SUB) 连接的连接器起作用。

[0392] 图 100(B) 是 P 阱接触区域的剖面图。P 阱接触 PWC 为了向形成在支撑衬底 SUB 上的 P 型阱提供电位而设置。在 P 型阱上被供给了比源极层 S 低的电位。由此,在形成在存储单元的各源极层 S 和第 1 半导体膜 11 之间的 PN 结上造成反向偏压。

[0393] 图 101 以及图 102 是板极线接触 PLC 的区域的剖面图。板极线接触 PLC 为了向板极 PT 提供电位而设置。板极 PT 的电位可以是与 P 型阱的电位相同的电位,另外,也可以高于 P 型阱的电位。

[0394] 图 103(A) 至图 109(B) 是展示第 13 实施方式的 FBC 存储器件的制造方法的剖面图。首先,与第 10 实施方式的制造方法同样,准备 SOI 衬底 99,并在 SOI 层 102 上形成氧化硅膜 103 以及氮化硅膜 104。其次,在源极层 S 的形成区域上形成沟槽 121。这时,用 RIE 蚀刻源极区域的氮化硅膜 104、氧化硅膜 103 以及 SOI 层 102,进而,将 BOX 层 101 的上部也除去。由此,沟槽 121 贯通氮化硅膜 104、氧化硅膜 103 以及 SOI 层 102,进而形成到 BOX 层 101 的中途为止。

[0395] 其次,如图 104(A) 以及图 104(B) 所示,在沟槽 121 的侧面形成 SiN 衬垫 105。其次,用沟槽 121 将 BOX 层 101 进行各向同性蚀刻。由此,在主体 B 的形成区域之下形成空洞 117。

[0396] 其次,如图 105(A) 以及图 105(B) 所示,用 CVD 法在空洞 117 的内面上淀积氧化硅膜 200。氧化硅膜 200 的膜厚例如是约 8nm。氧化硅膜 200 成为背栅绝缘膜 BGI、侧壁绝缘膜 120、氧化硅膜 106。

[0397] 其次,如图 106(A) 以及图 106(B) 所示,与第 10 实施方式同样地形成选择外延硅层 107。其次,如图 107(A) 以及图 107(B) 所示,淀积 N 型多晶硅 201。N 型多晶硅 201 例如是磷掺杂多晶硅或者砷掺杂多晶硅等。

[0398] 其次,蚀刻 N 型多晶硅 201,以使得 N 型多晶硅 201 的表面的高度低于背栅绝缘膜 BGI 的高度。其次,通过除去淀积在沟槽 121 的侧面上的氧化硅膜 106 以及衬垫 105,如图 108(A) 以及图 108(B) 所示,使 SOI 层 102 的侧面露出。

[0399] 其次,与第 8 实施方式同样地形成硅层 108。由此,如图 109(A) 以及图 109(B) 所示,连接 SOI 层 102 和选择外延硅层 107。

[0400] 之后,图参照图 19 ~ 图 21 说明的那样,通过形成栅极绝缘膜、栅极、硅化物、层间绝缘膜、接触插塞、位线等,图 100(A) 以及图 100(B) 所示的 FBC 存储器件完成。

[0401] (第 14 实施方式)

[0402] 图 110(A) 以及图 110(B) 是本发明的第 14 实施方式的 FBC 存储器件的剖面图。在第 14 实施方式中,位于主体 B 的正下方的板极 PT 的表面是 P 型半导体。为了使 FBC 存储器的阈值电压差 ΔV_{th} 增大,将板极 PT 的 P 型杂质浓度设为 10^{19}cm^{-3} 以上。

[0403] N 型源极层 S 与连接层 11 连接。源极层 S 的 N 型杂质浓度是 10^{20}cm^{-3} 以上。形成侧壁绝缘膜 120,以使得高浓度 P 型区域的板极 PT 和高浓度 N 型区域的源极层 S 不会直接连接。在第 14 实施方式中,侧壁绝缘膜 120 由与背栅绝缘膜 BGI 不同的材料构成。第 1 半导体层 11 的 P 型杂质浓度是约 10^{18}cm^{-3} 。第 1 半导体层 11 作为源极层 S 和 P 型阱的连接器起作用。这样,通过使第 1 半导体层 11 的杂质浓度低于板极 PT 的杂质浓度,可以抑制源极层 S 和 P 型阱之间的 PN 结的漏电流的增大。即,根据第 14 实施方式,可以一面使存储单元的阈值电压差 ΔV_{th} 增大,一面抑制源极 - 支撑衬底间的漏电流。

[0404] 图 111(A) 至图 114(B) 是展示第 14 实施方式的 FBC 存储器件的制造方法的剖面图。首先,与第 10 实施方式的制造方法同样地准备 SOI 衬底 99,并在 SOI 层 102 上形成氧化硅膜 103 以及氮化硅膜 104。其次,用 RIE 蚀刻源极区域的氮化硅膜 104、氧化硅膜 103 以及 SOI 层 102。由此,在源极层 S 的形成区域上形成沟槽 121。这时,利用衬垫(图未示)将沟槽 121 的宽度形成得比光刻的最小线宽度窄。进而,将 BOX 层 101 的上部进行各向同性蚀刻。由此,沟槽 121 贯通氮化硅膜 104、氧化硅膜 103 以及 SOI 层 102,进而,形成到 BOX 层 101 的中途为止。

[0405] 其次,如图 112(A) 以及图 112(B) 所示,在沟槽 121 的侧面形成 SiN 衬垫 105。其次,用沟槽 121 将 BOX 层 101 进行各向同性蚀刻。由此,在主体 B 的形成区域之下形成空洞 117。

[0406] 其次,通过热氧化,在空洞 117 的内面形成氧化硅膜 106 以及背栅绝缘膜 BGI。氧化硅膜 106 的膜厚是约 8nm。

[0407] 其次,如图 113(A) 以及图 113(B) 所示,与第 10 实施方式同样地形成选择外延硅层 107 以及 300。硅层 107 是没有导入杂质的非掺杂硅,硅层 300 是导入了 10^{19}cm^{-3} 以上的浓度的硼的掺杂硅。进而,蚀刻硅层 300,以使得硅层 300 的表面的高度成为低于背栅绝缘膜 BGI 的高度的水平。

[0408] 其次,除去形成在 SOI 层 102 的侧面的背栅绝缘膜 BGI 以及 SiN 衬垫 105。与第 8 实施方式同样地形成硅层 108。由此,如图 114(A) 以及图 114(B) 所示,连接 SOI 层 102 和硅层 107。

[0409] 之后,如参照图 19 ~ 图 21 说明的那样,通过形成 STI、栅极绝缘膜、栅极、硅化物、层间绝缘膜、接触插塞、位线等,图 110(A) 以及图 110(B) 所示的 FBC 存储器件完成。

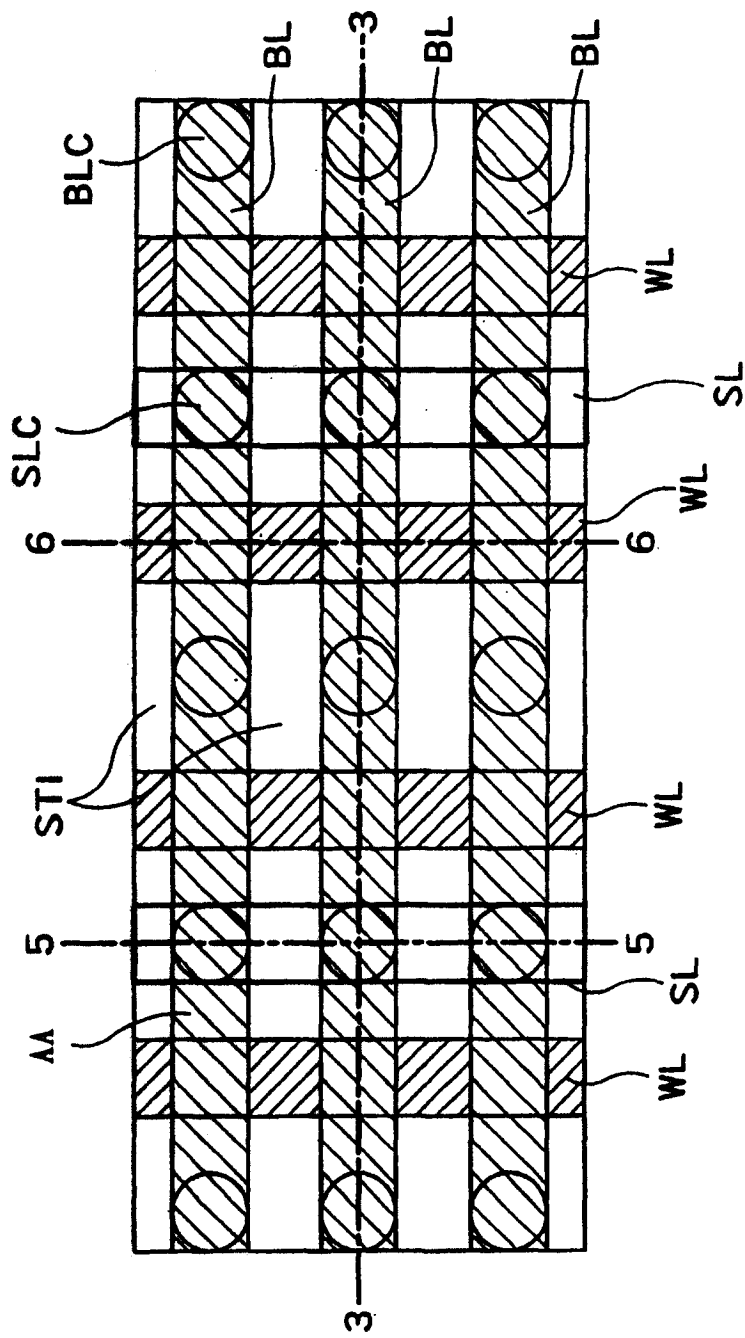


图1

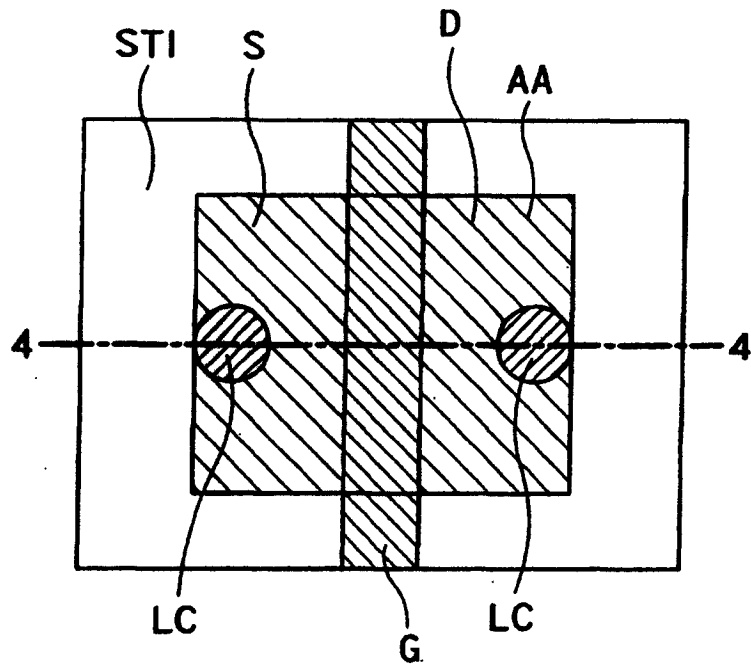
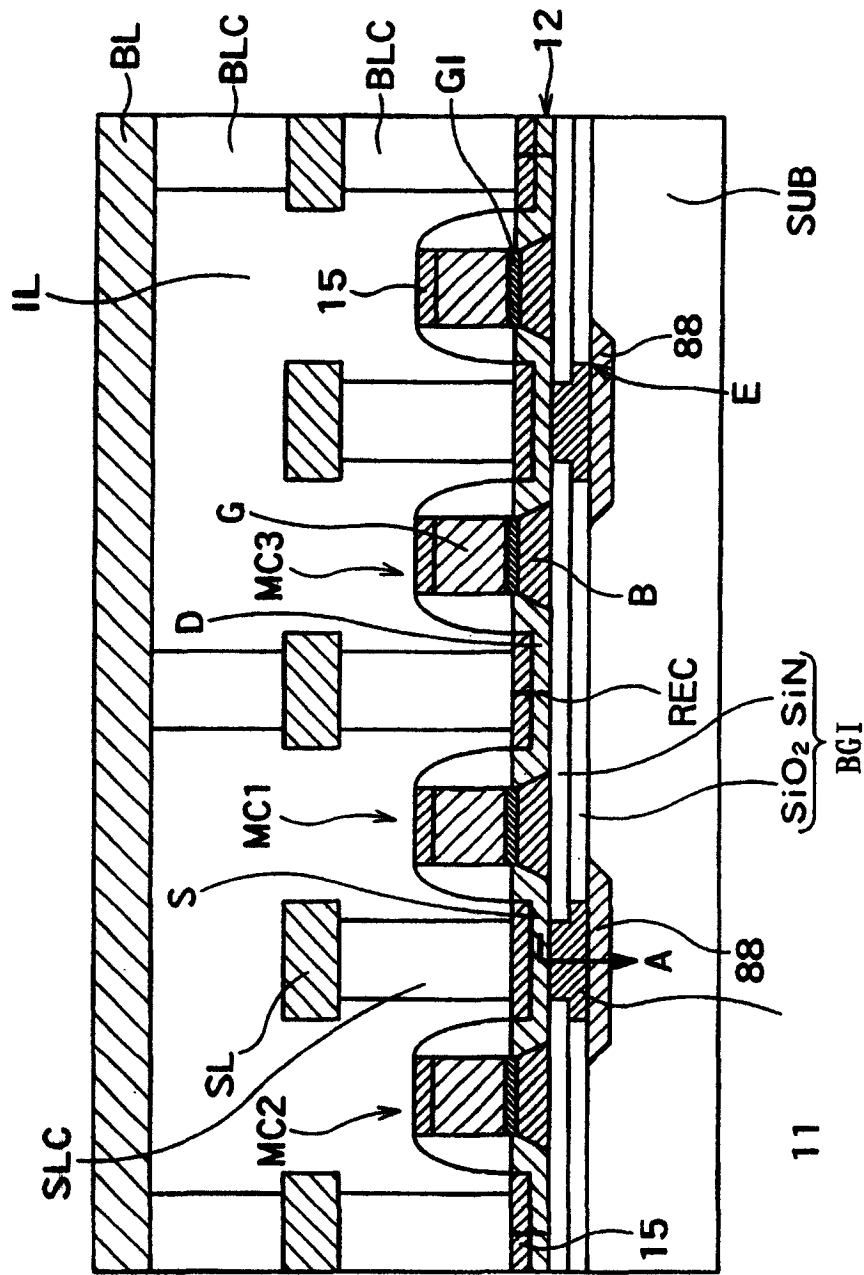
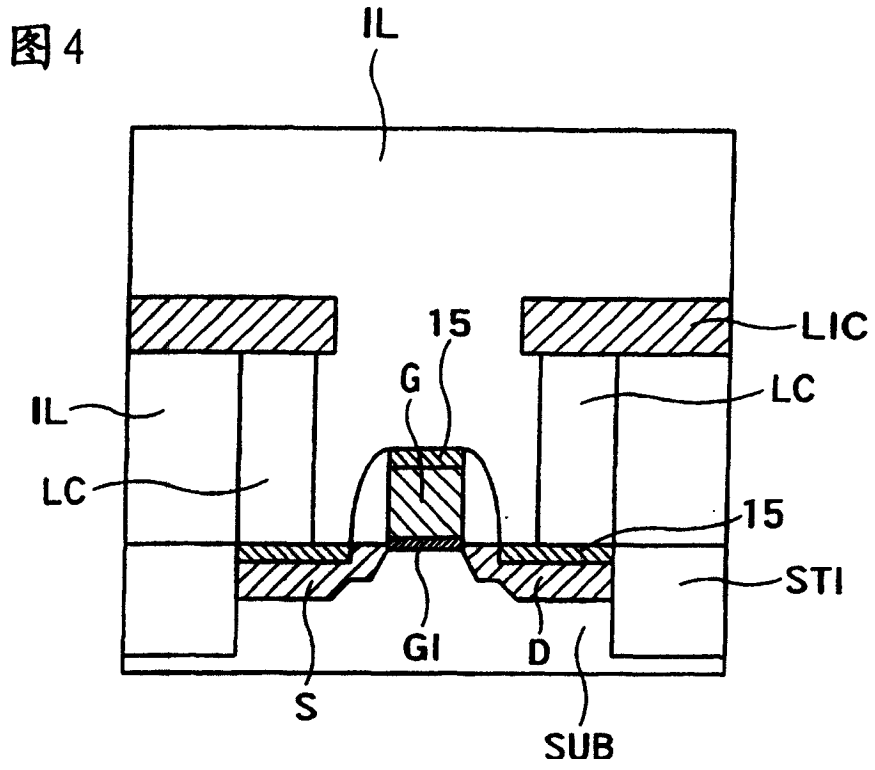


图 2

图 3





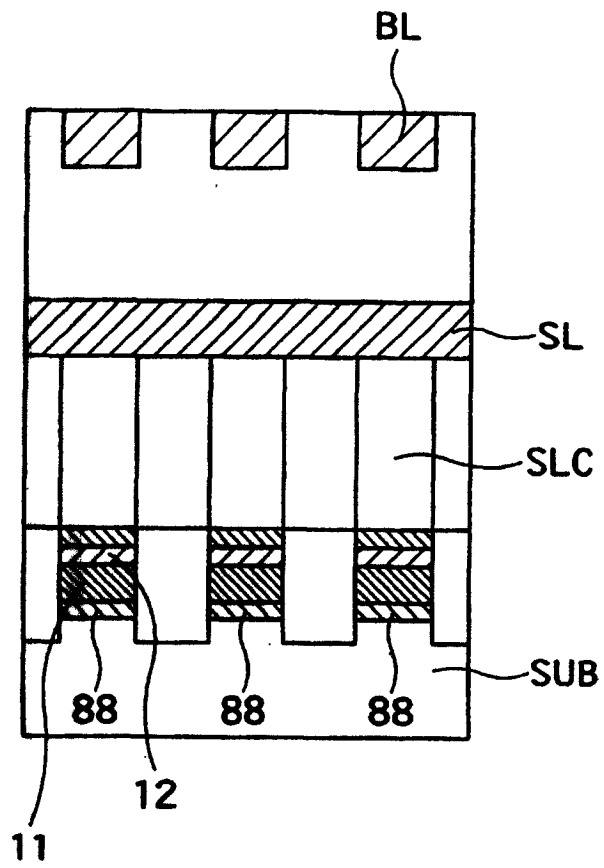


图 5A

图5B

- ◇ 以往技术 (P型板极) (L1)
- 连接P型板极+源极 (L2)
- △ 连接P型板极+漏极 (L3)
- 连接N型板极+源极 (L4)

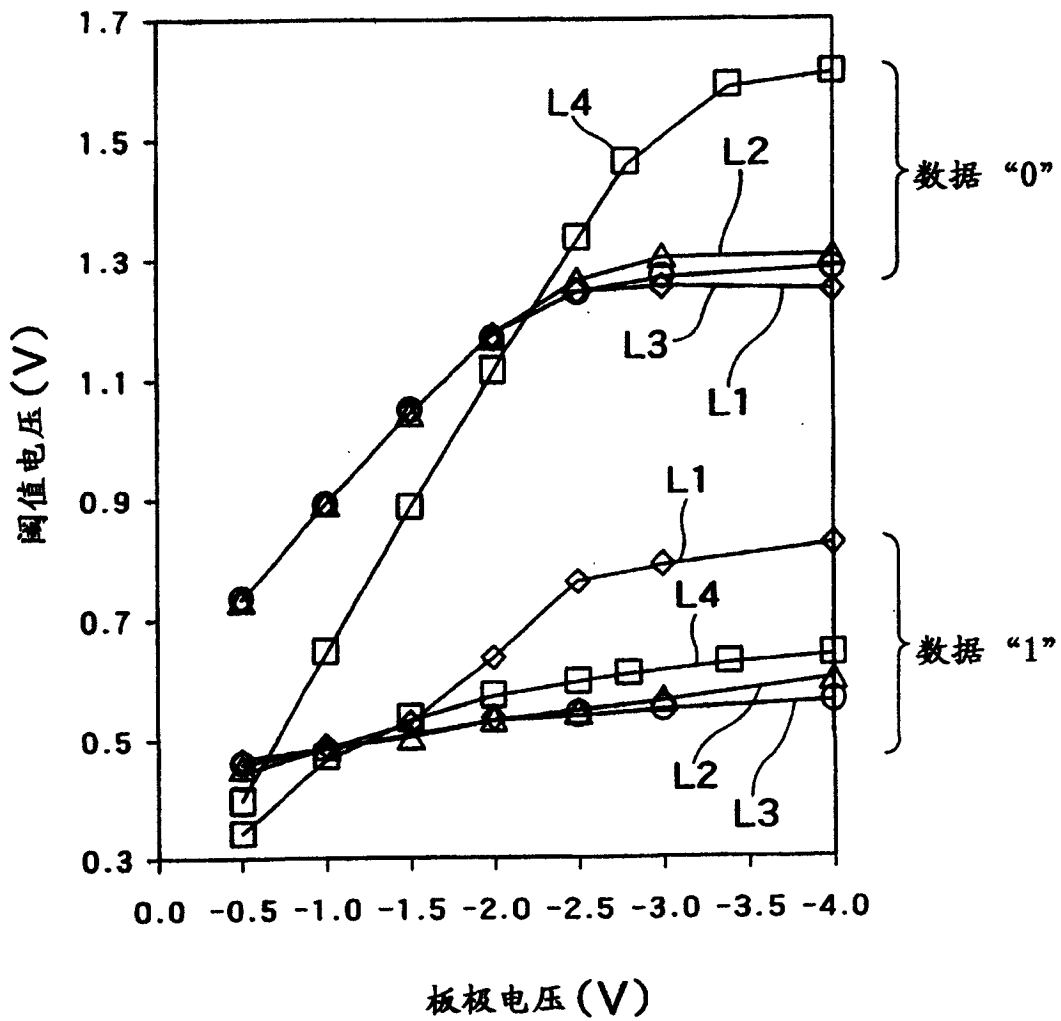
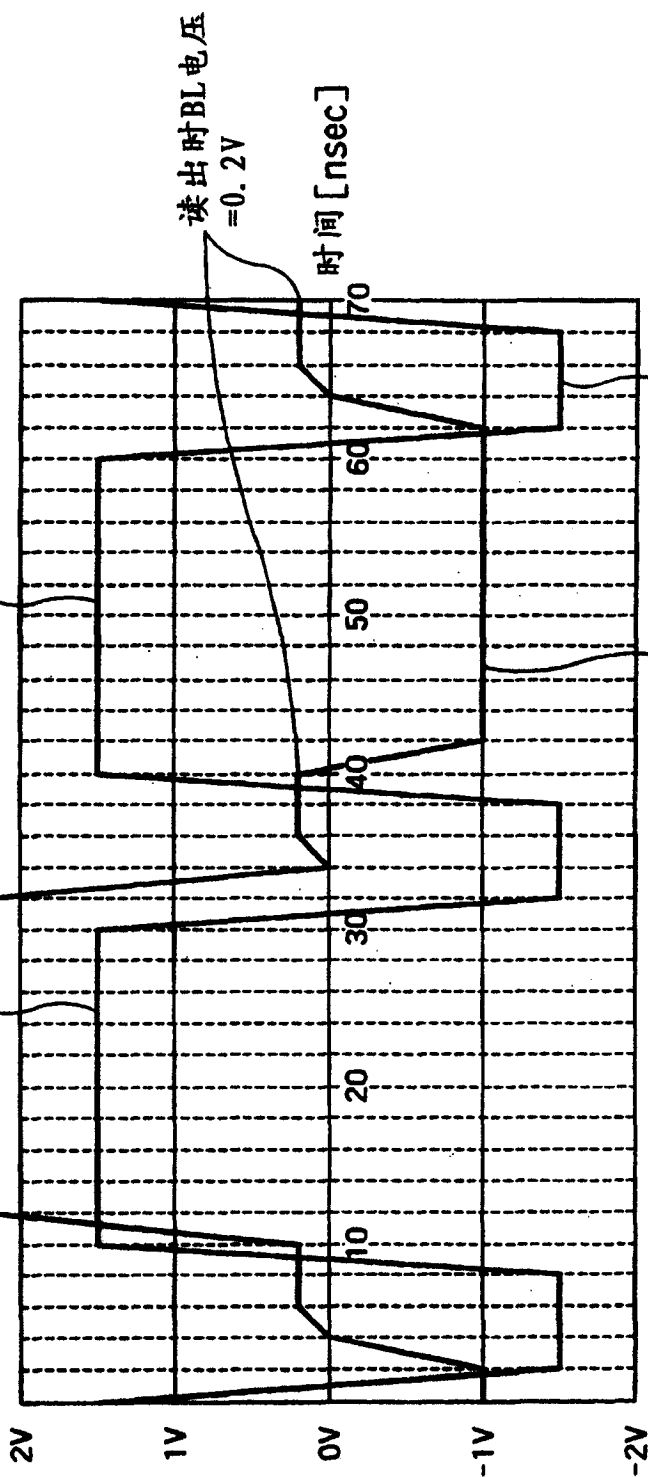


图 5C

数据“1”写入时的BL电压=2.2V

写入时的WL电压=1.5V

写入时的WL电压=1.5V



保持时的WL电压=-1.5V

数据“0”写入时的BL电压=-1V

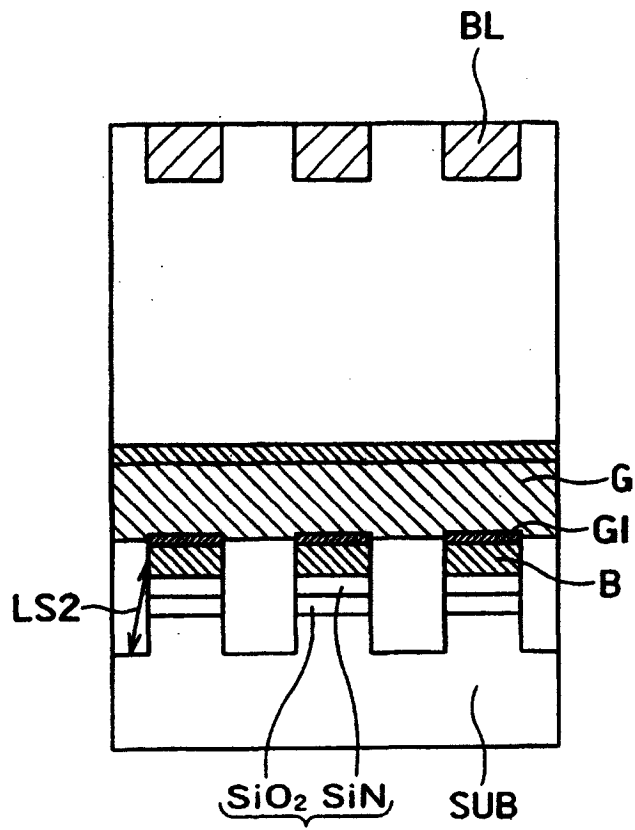


图 6

图7

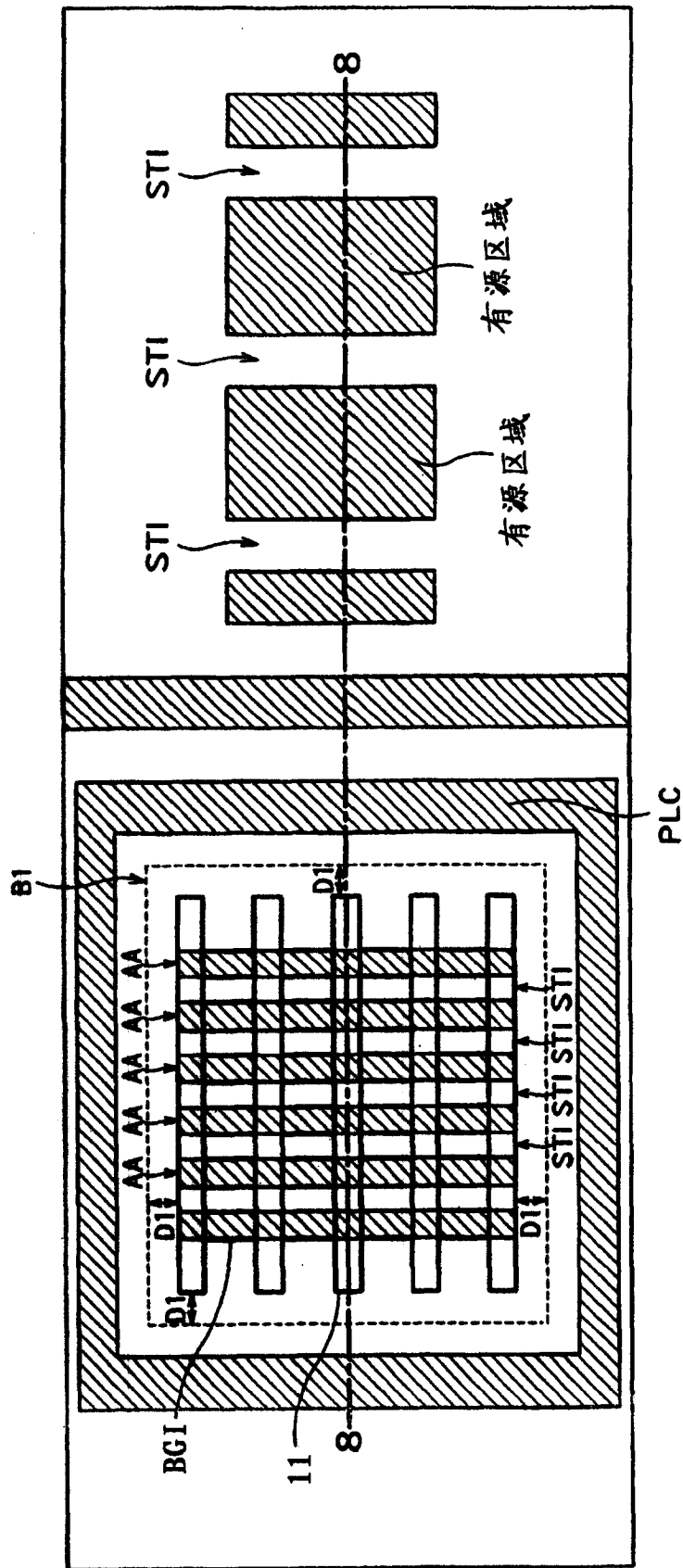


图8

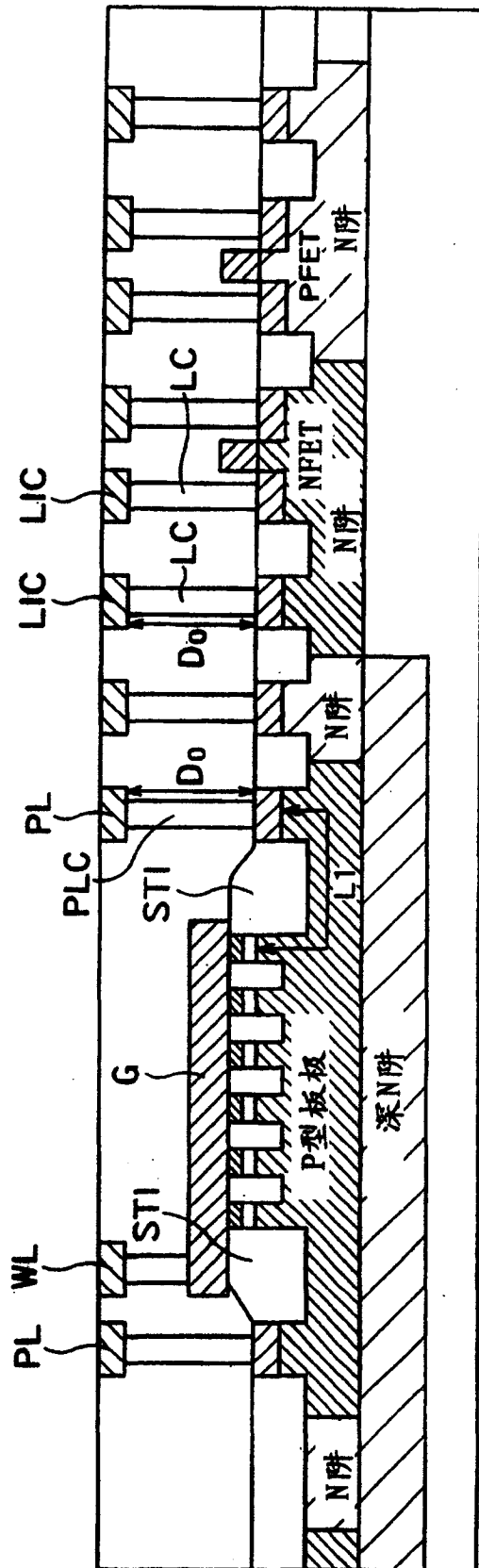


图9

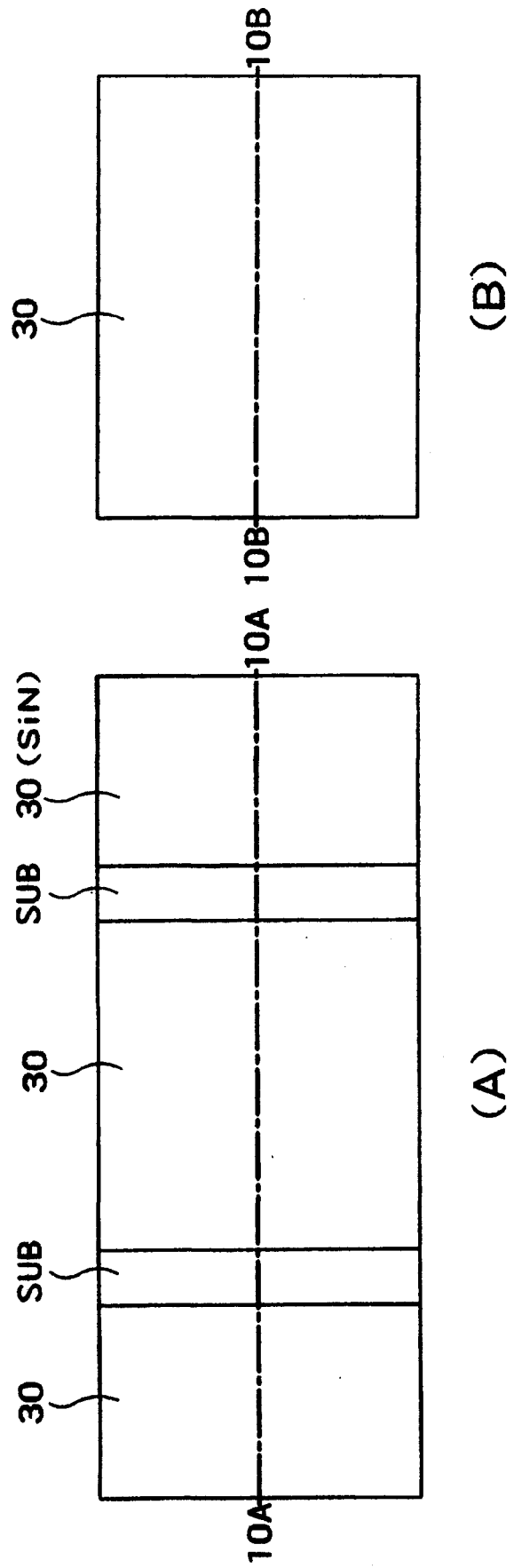


图10

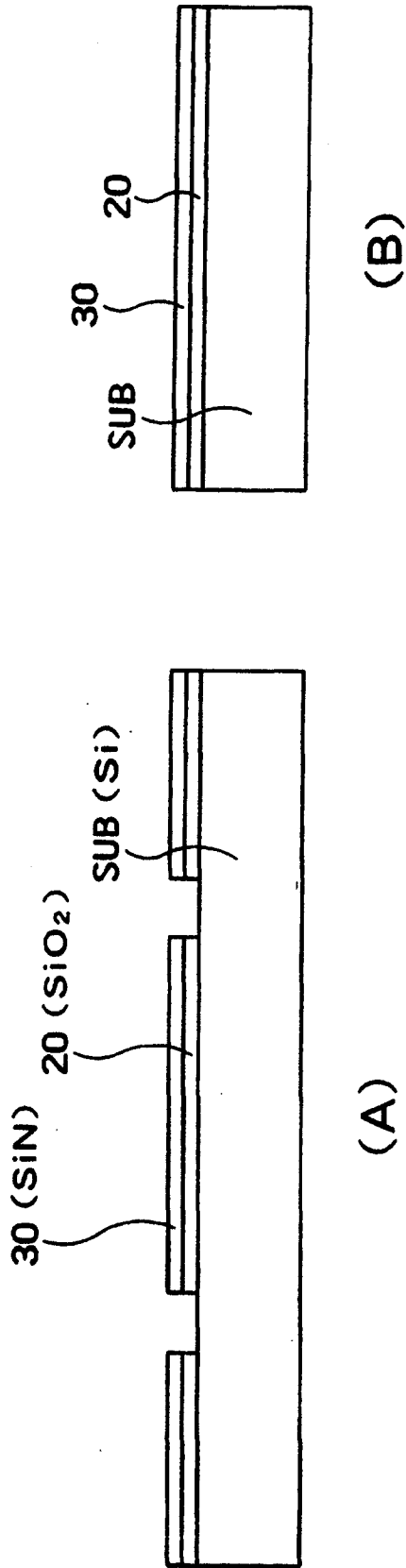


图11

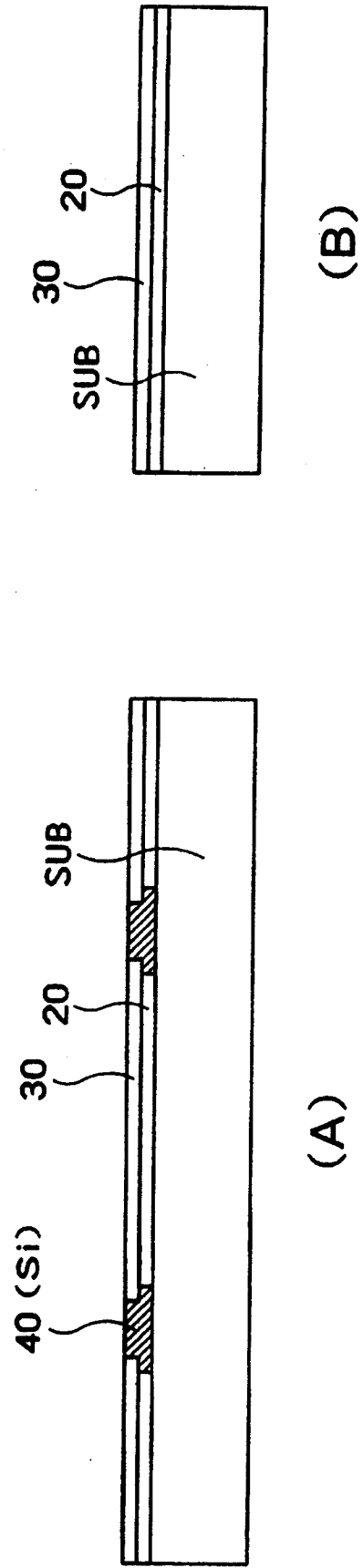


图12

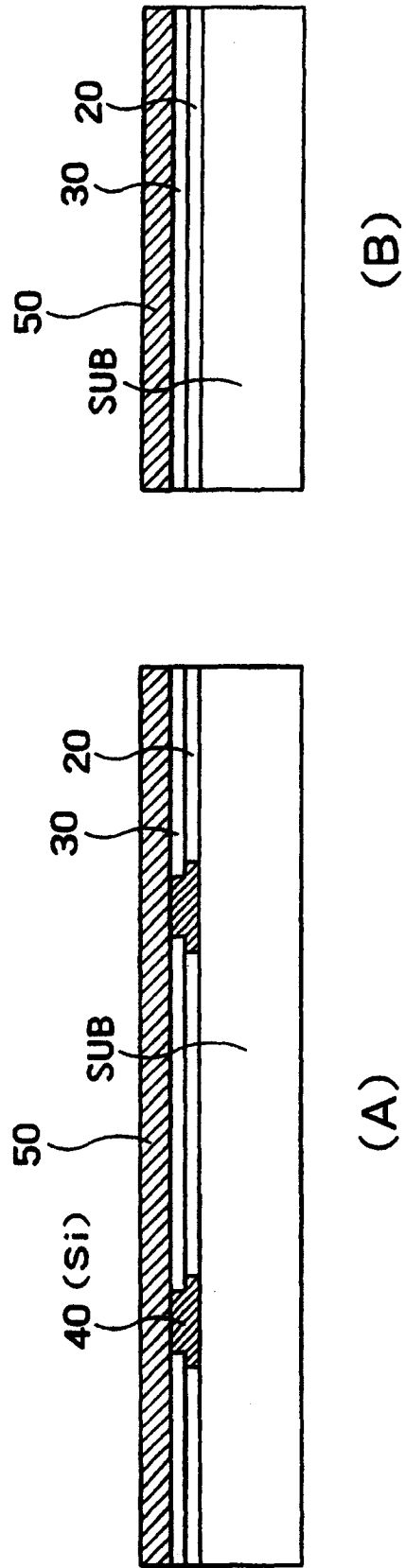


图 13

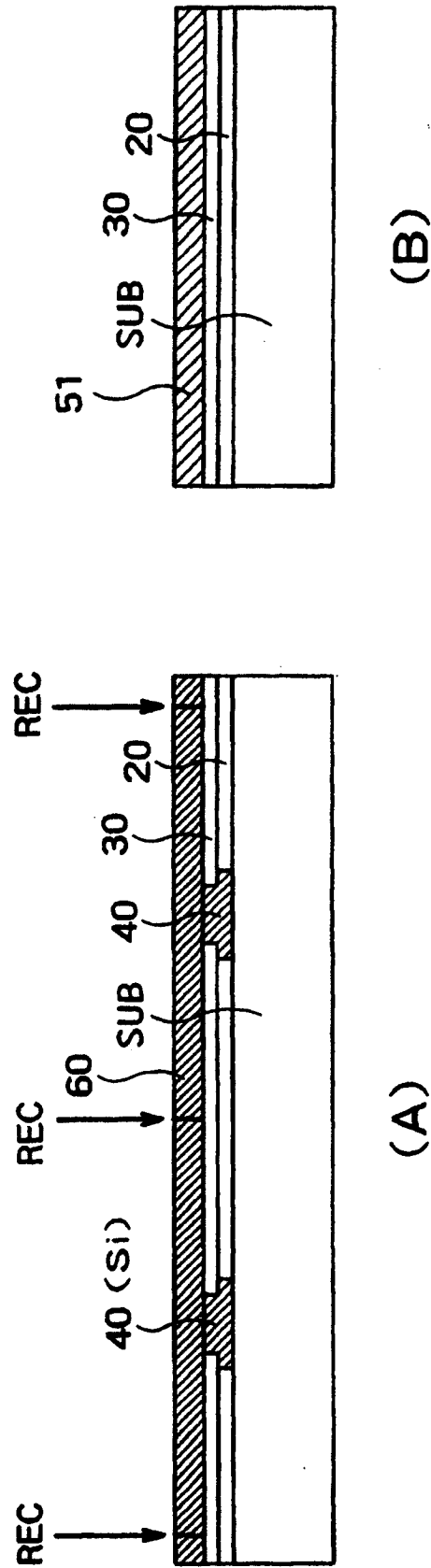


图 14

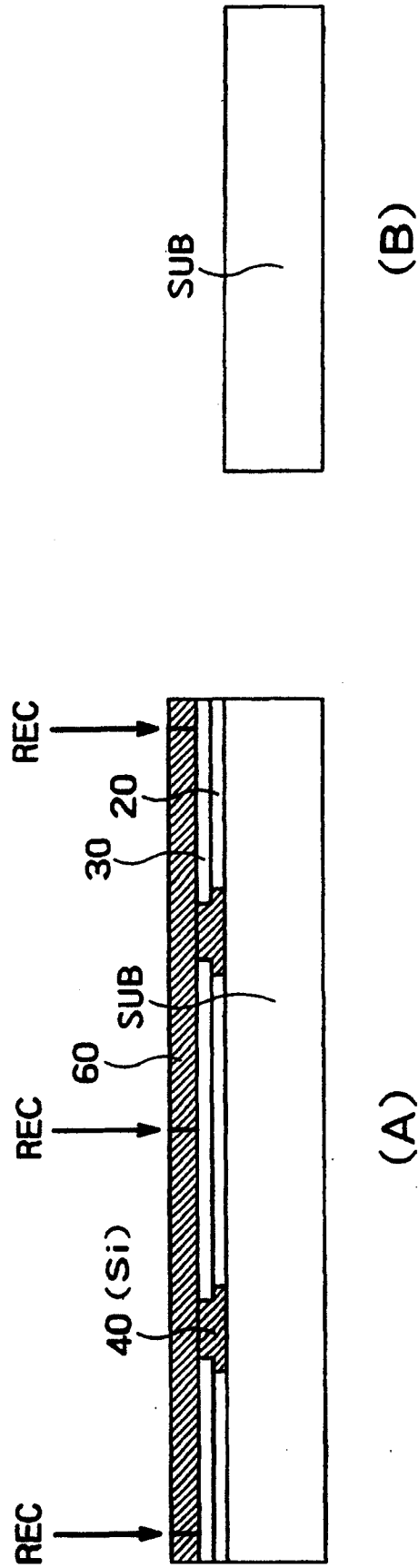
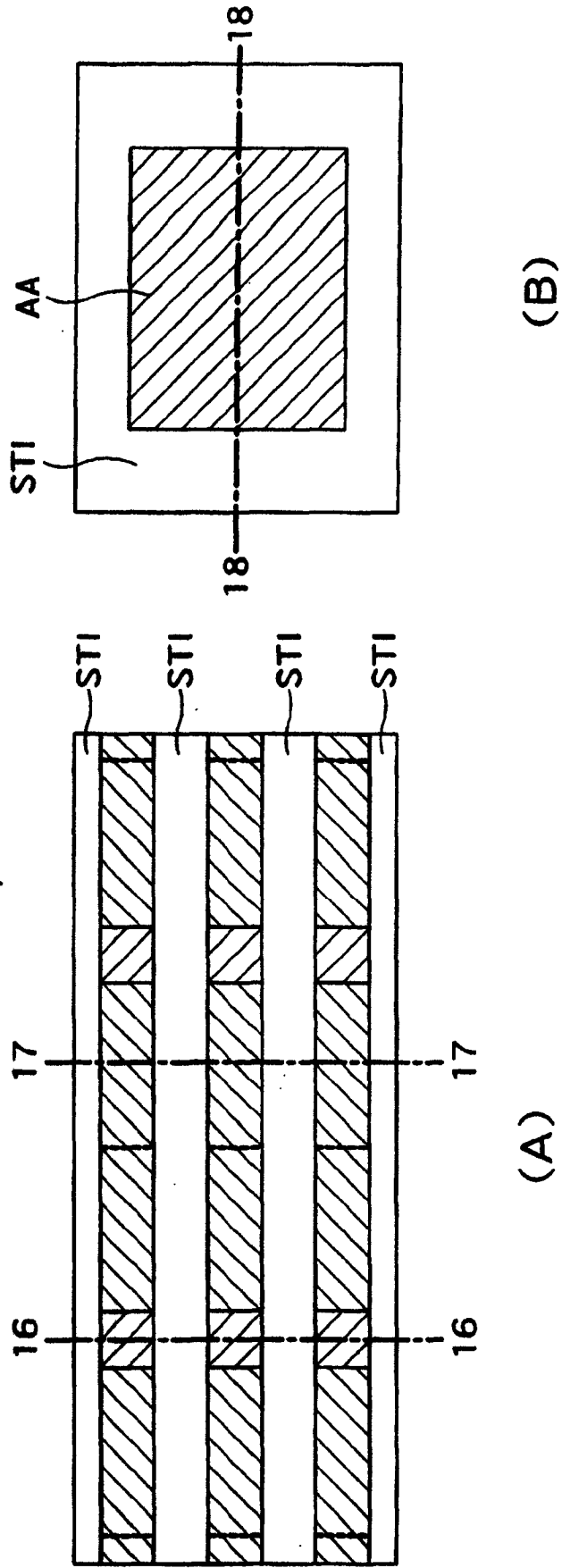


图15



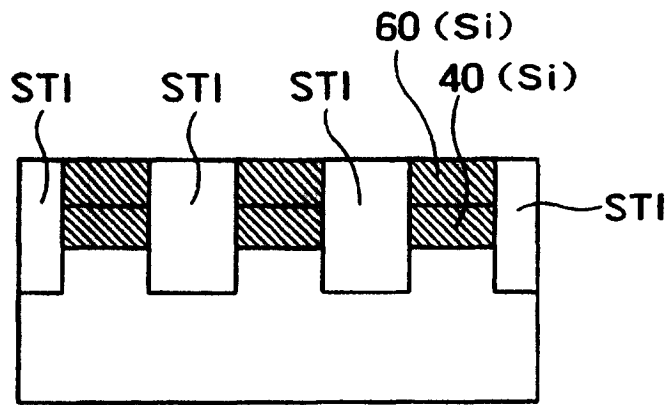


图 16

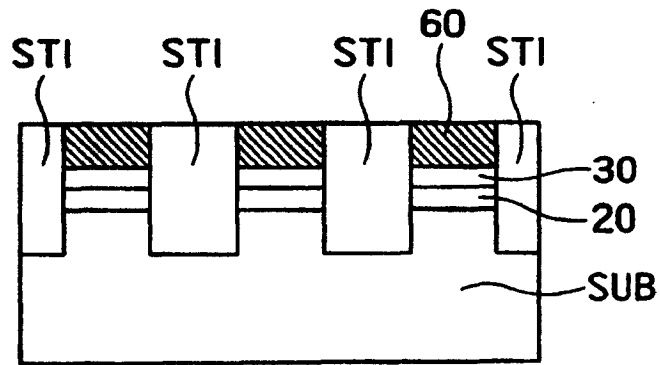


图 17

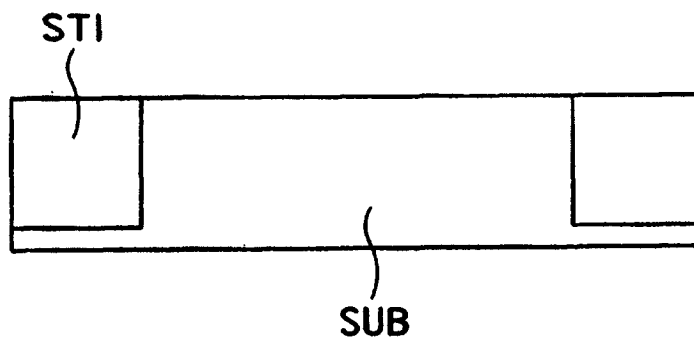
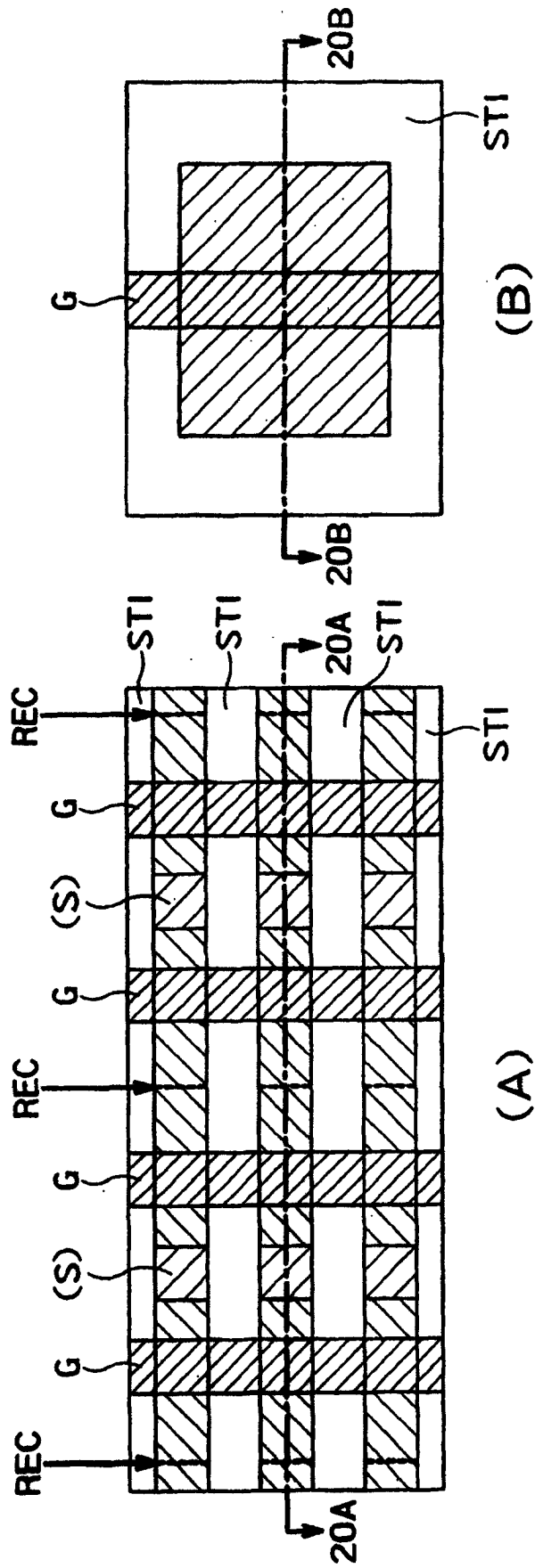


图 18

图19



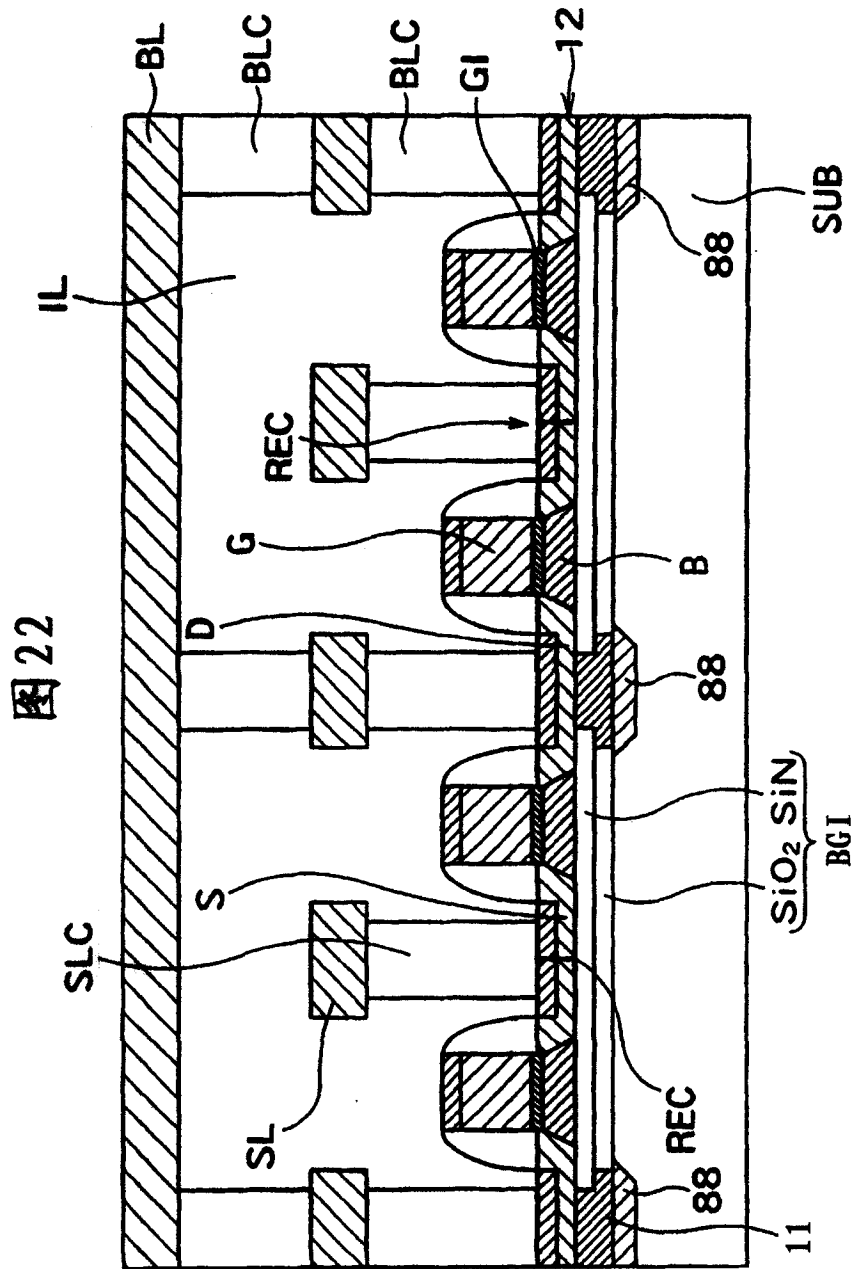
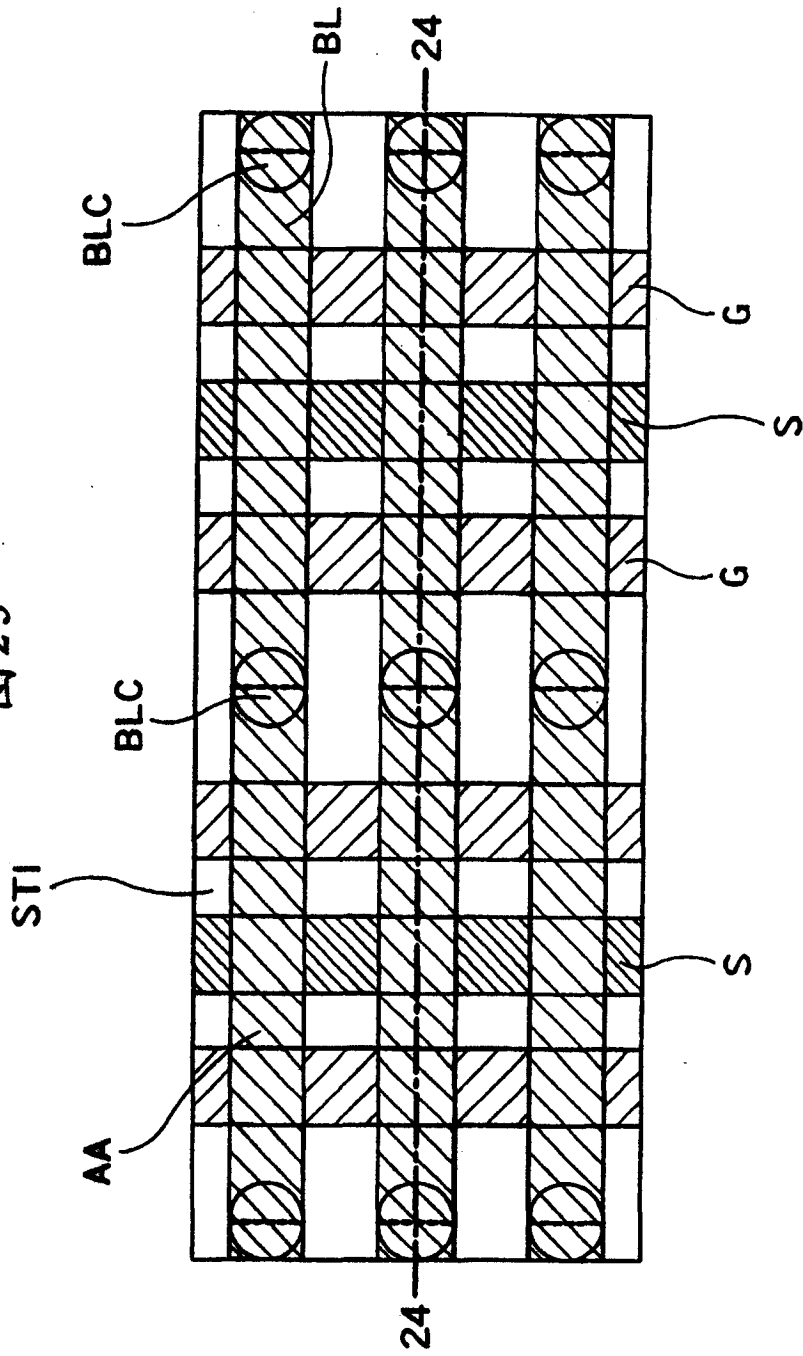


图23



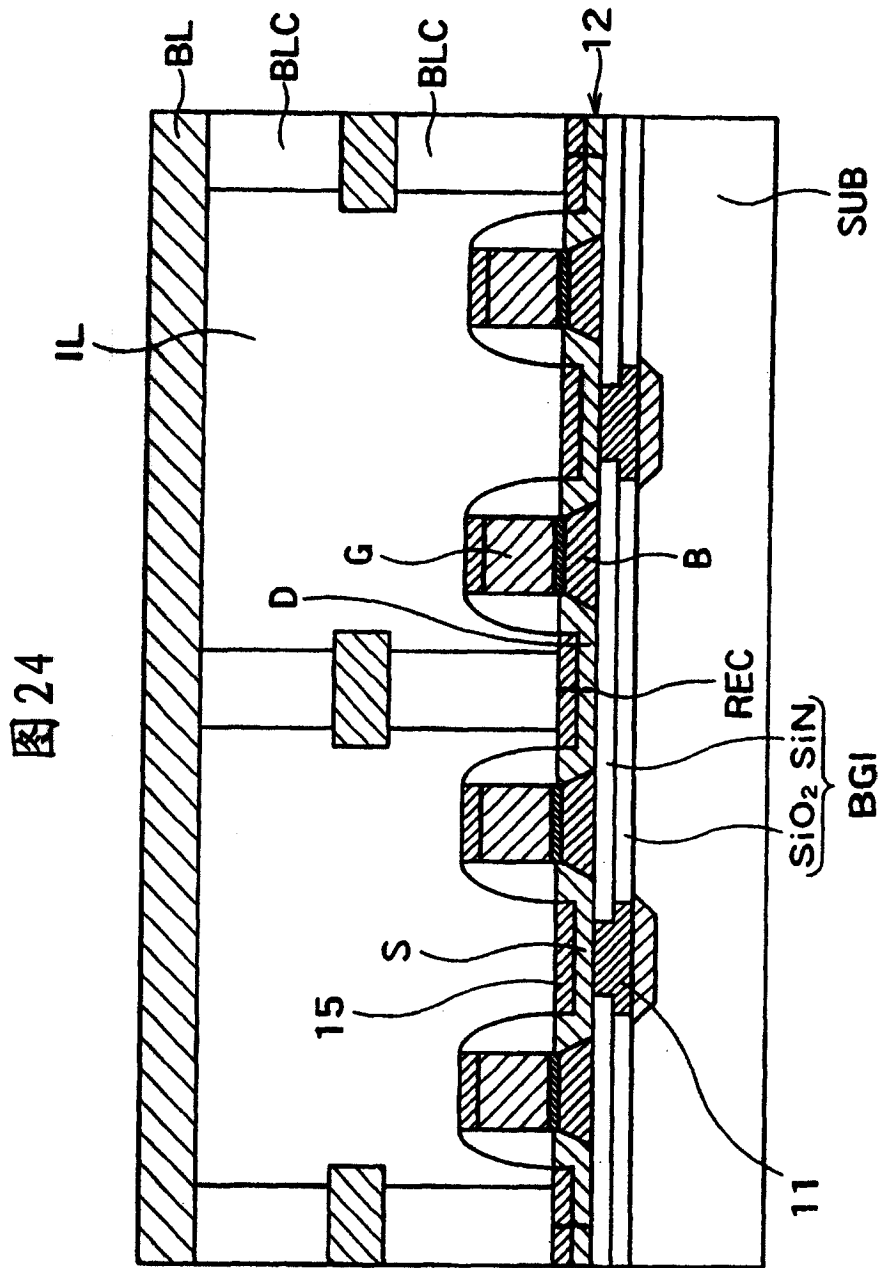
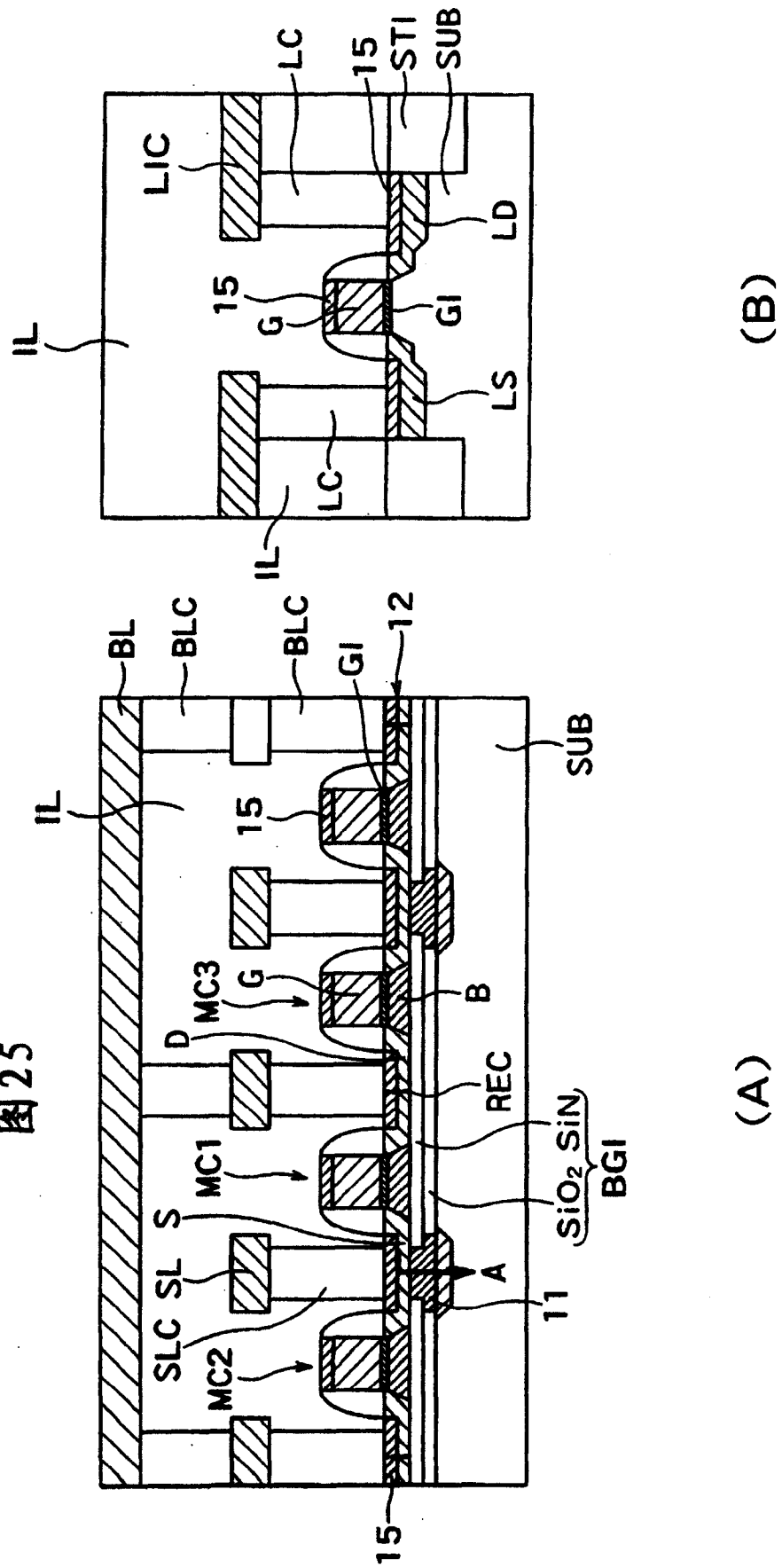


图 25



(A)

(B)

图 26

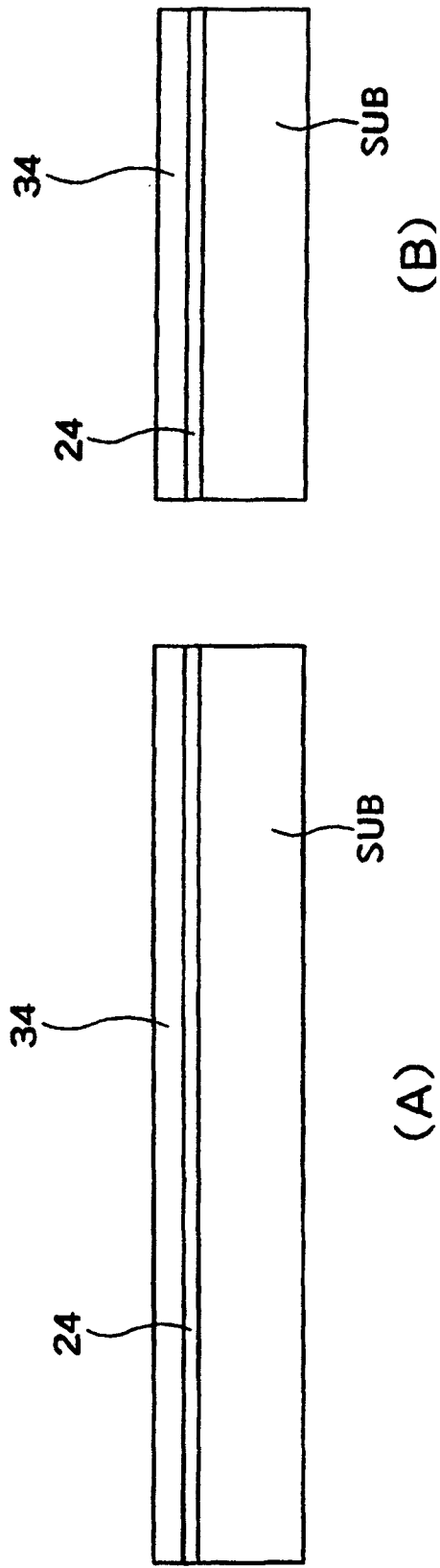


图 27

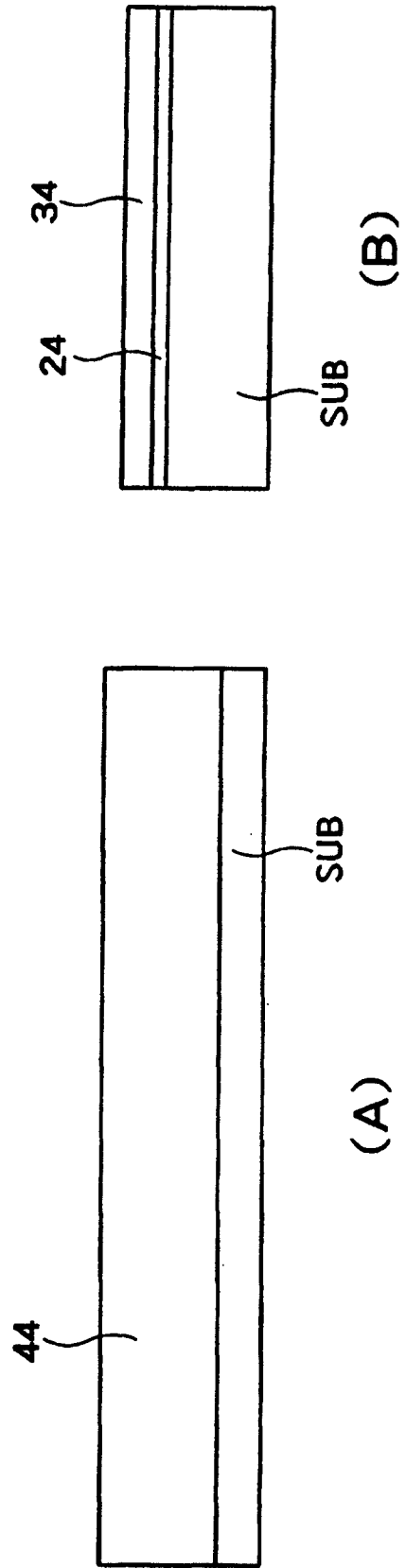


图 28

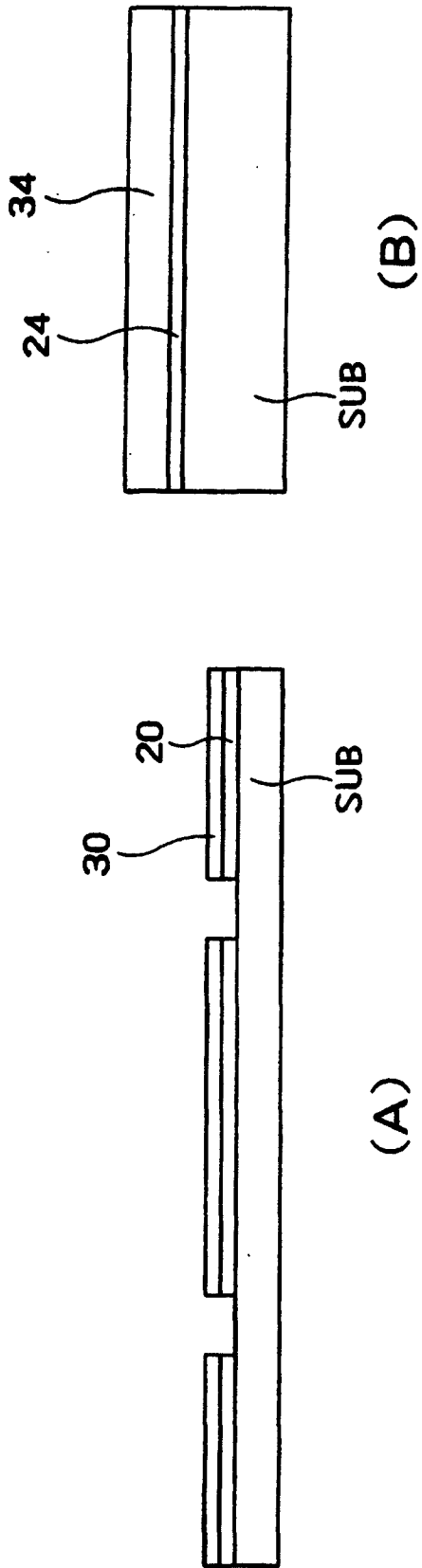


图 29

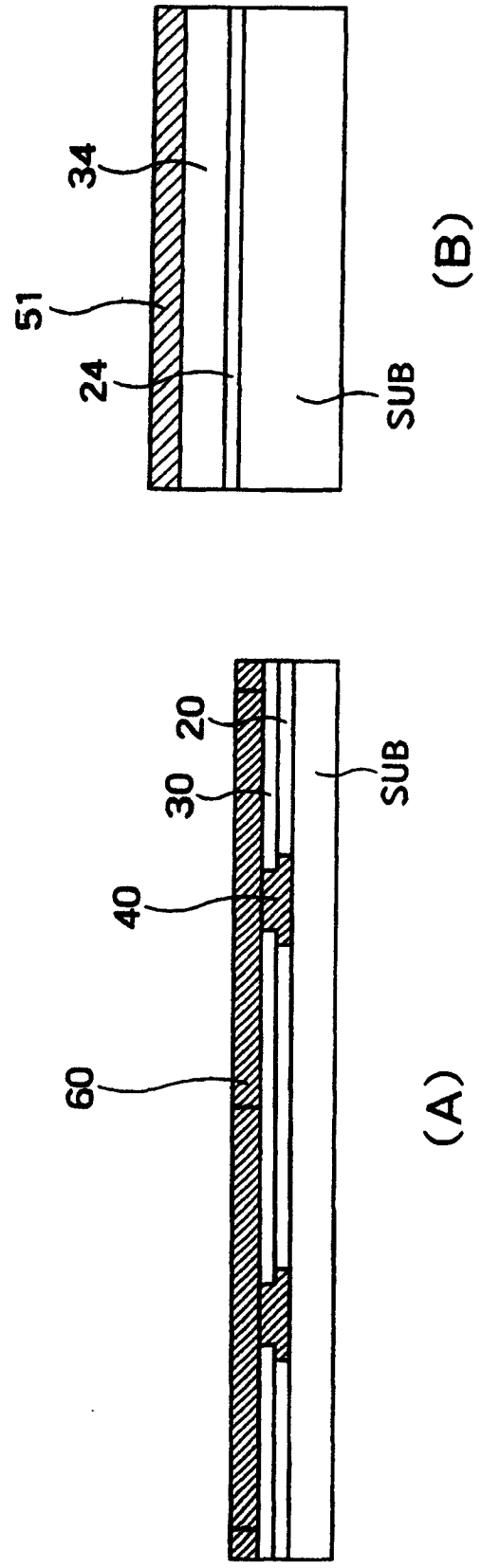


图 30

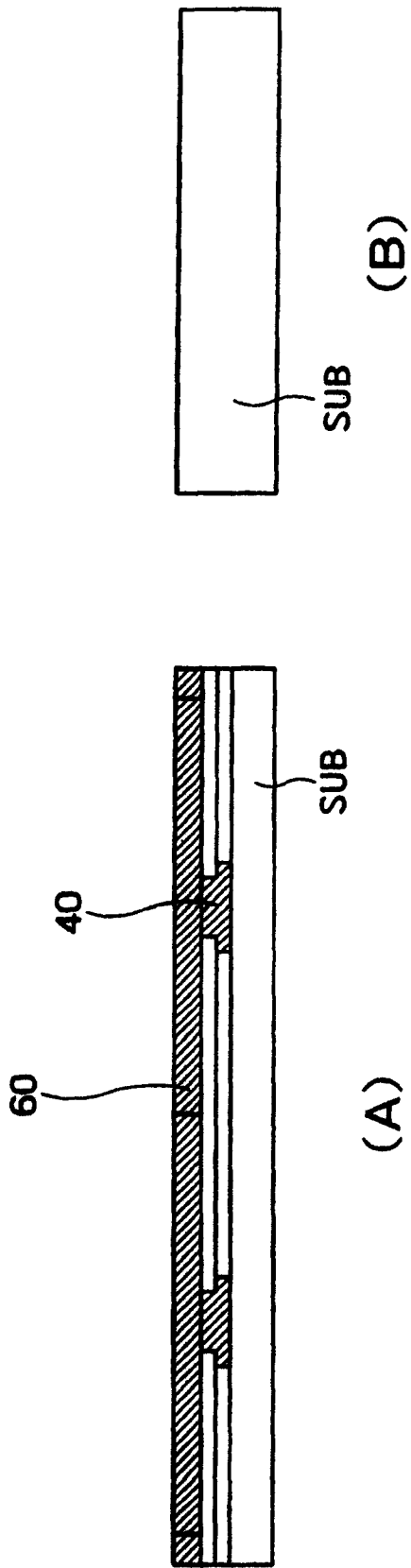


图 31

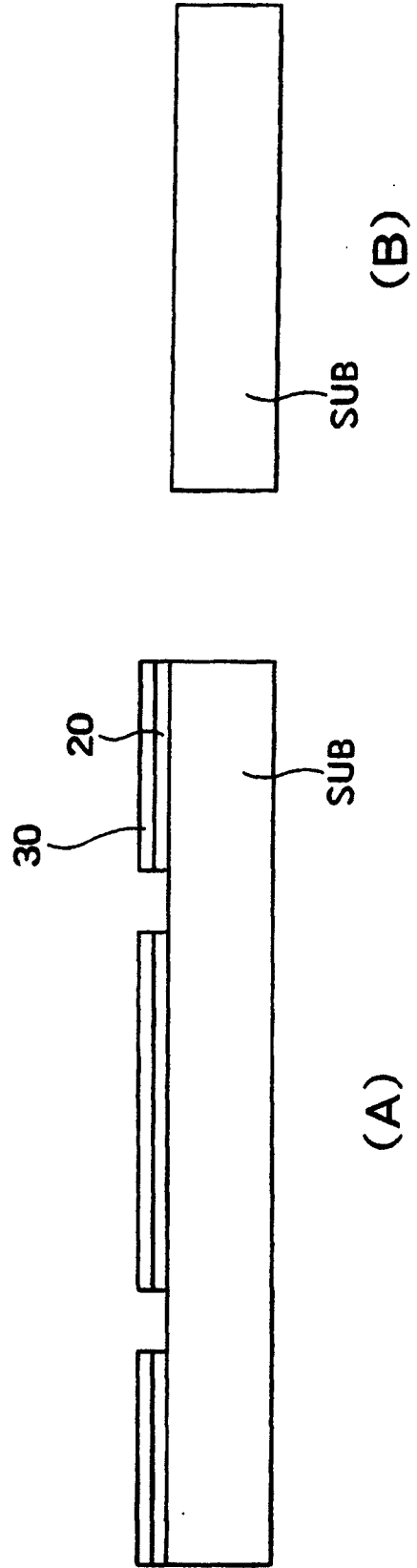


图 32

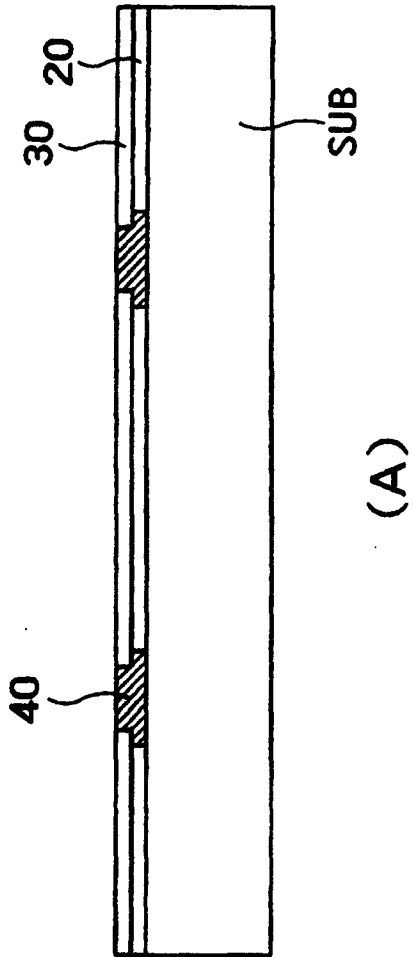


图 33

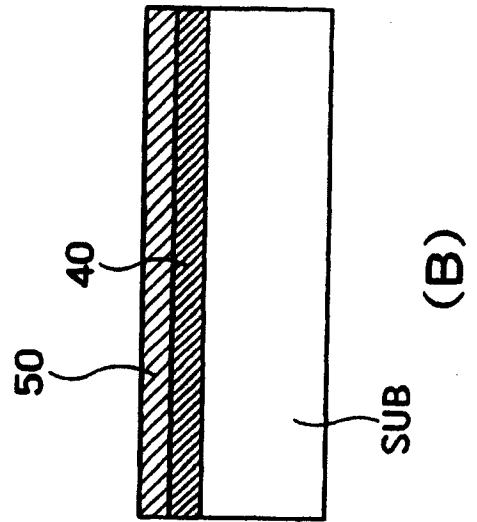
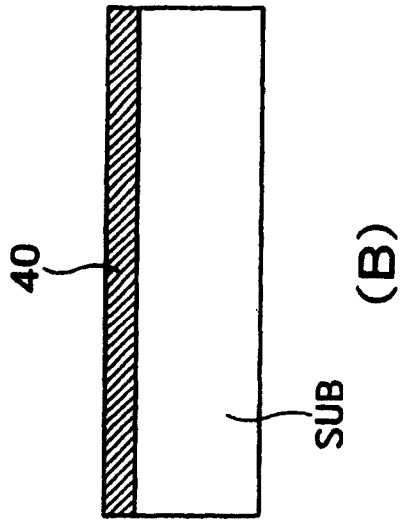
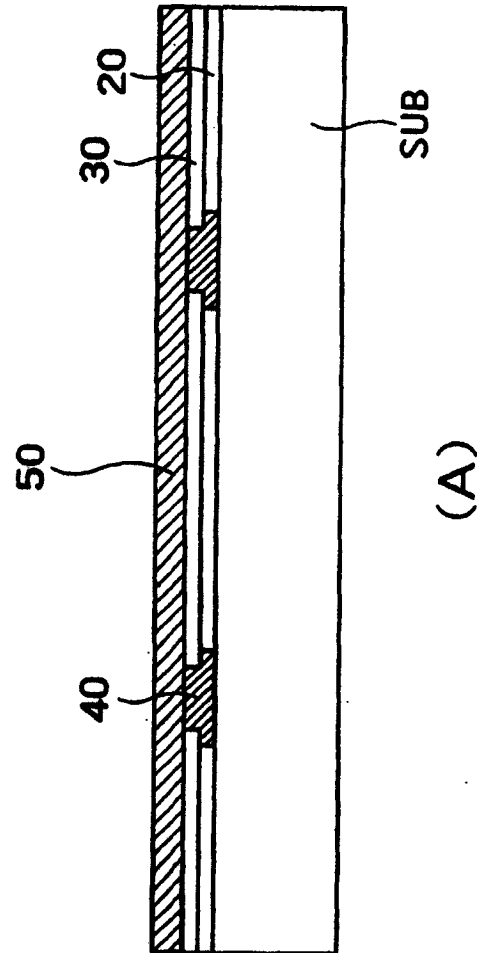
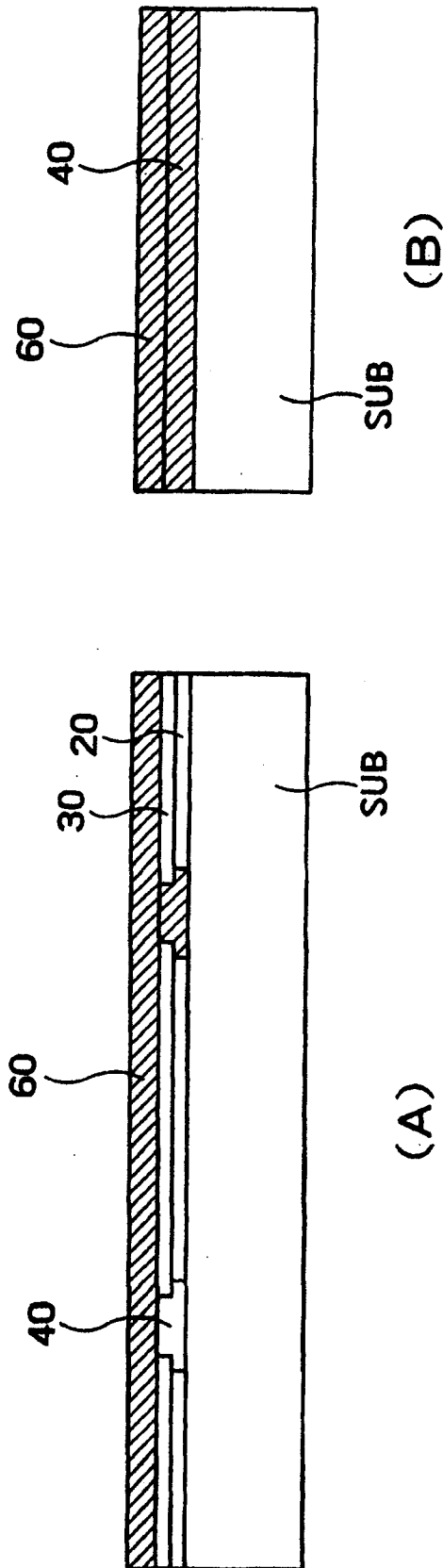


图 34



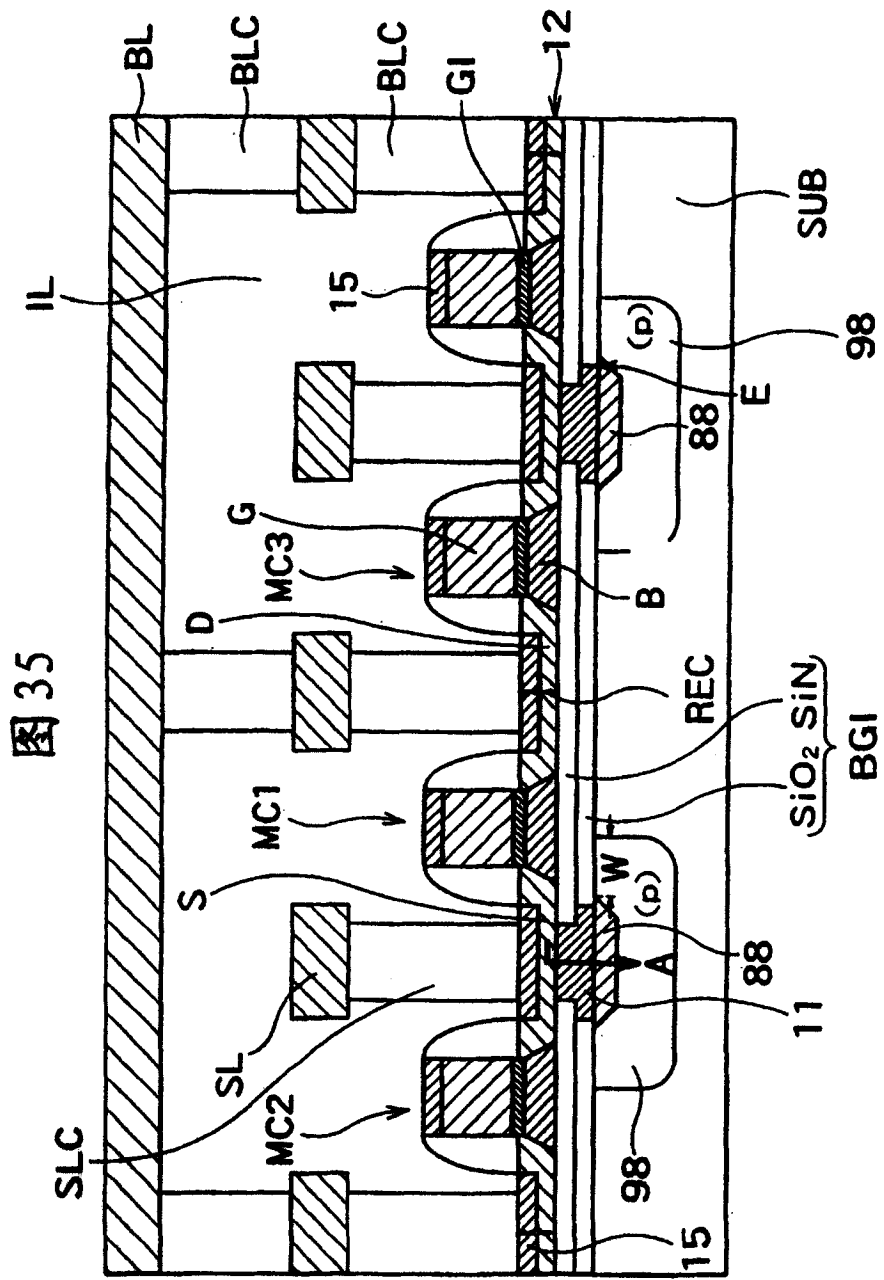


图 36

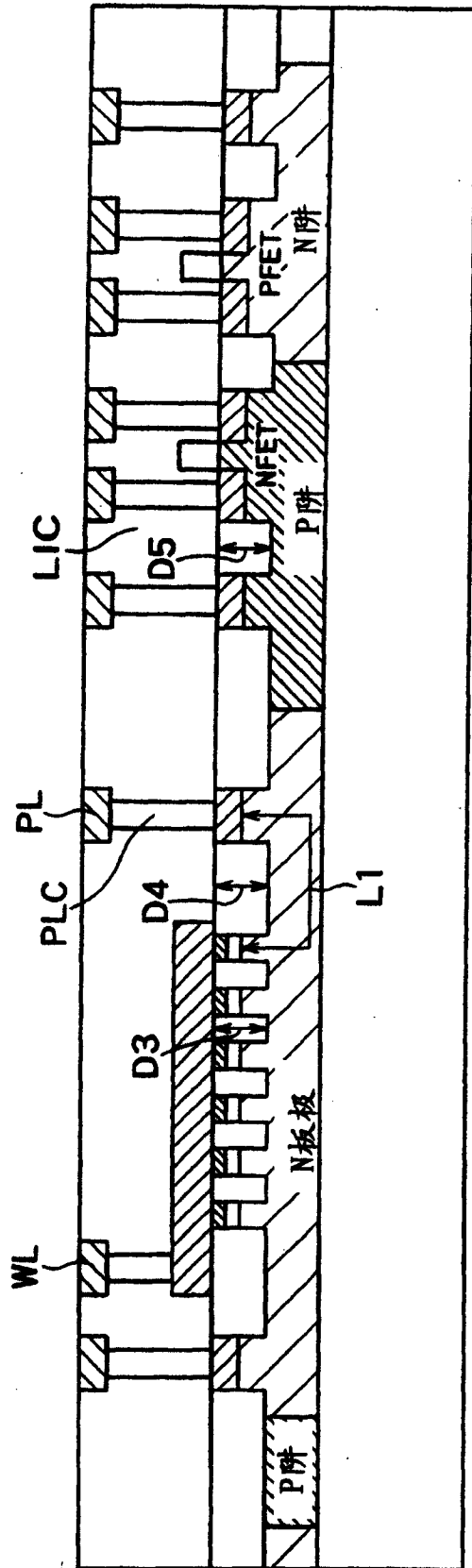


图 37

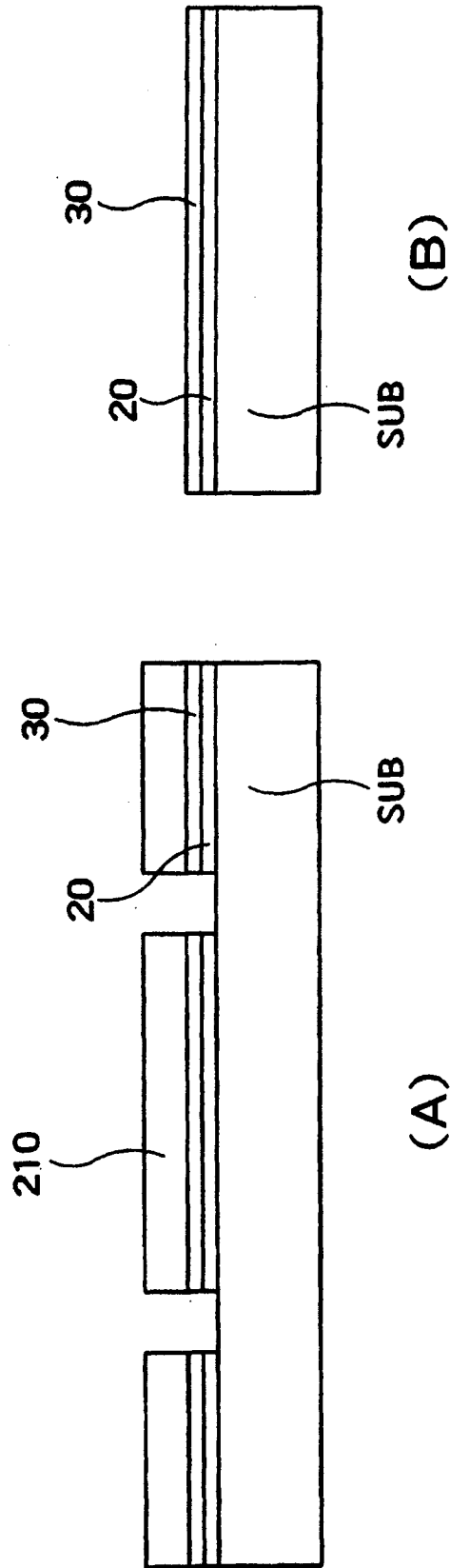


图 38

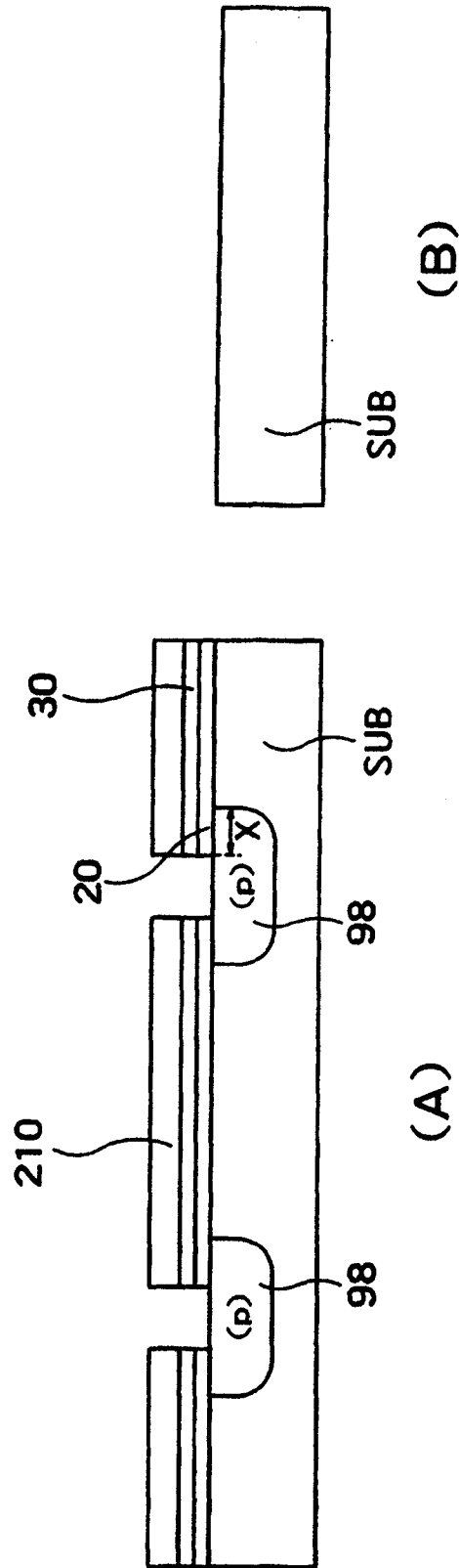


图 39

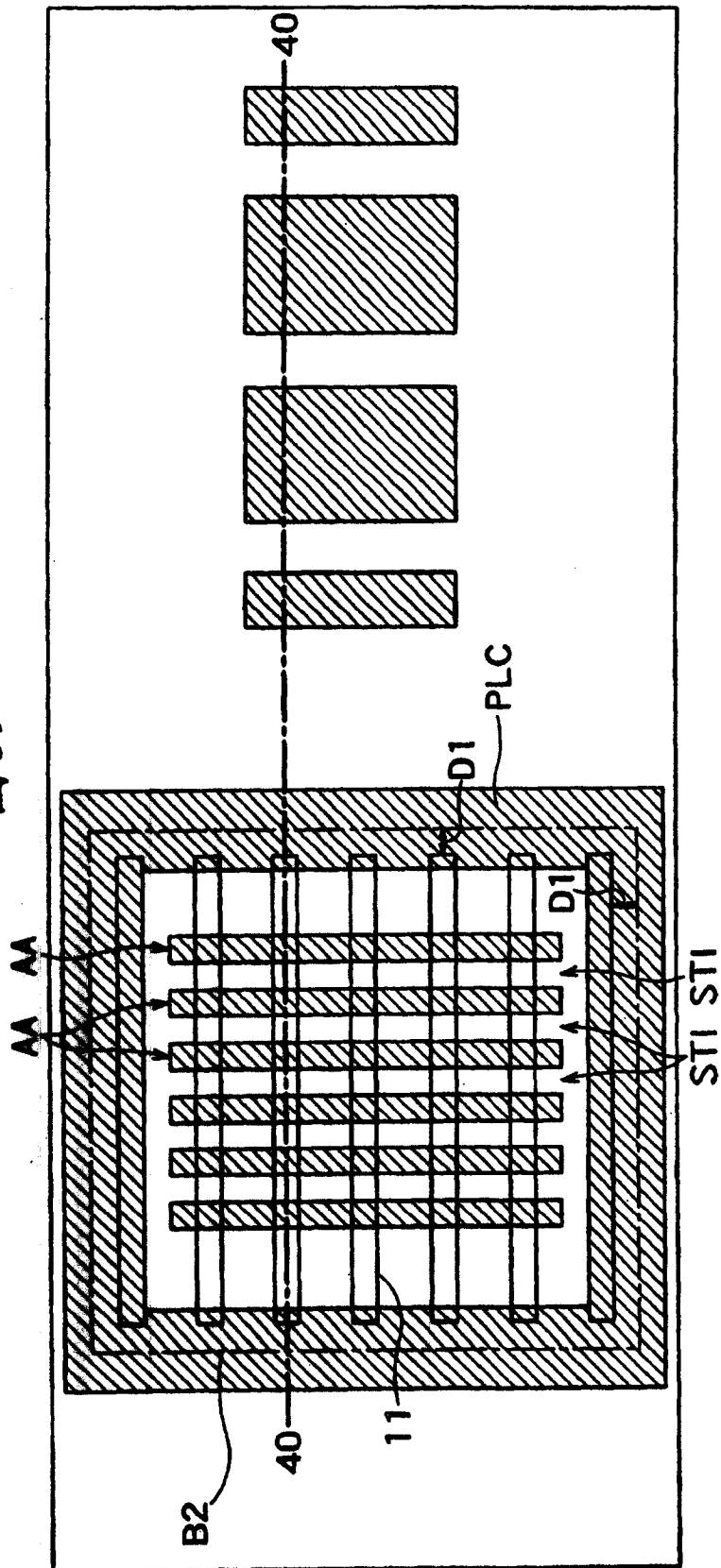
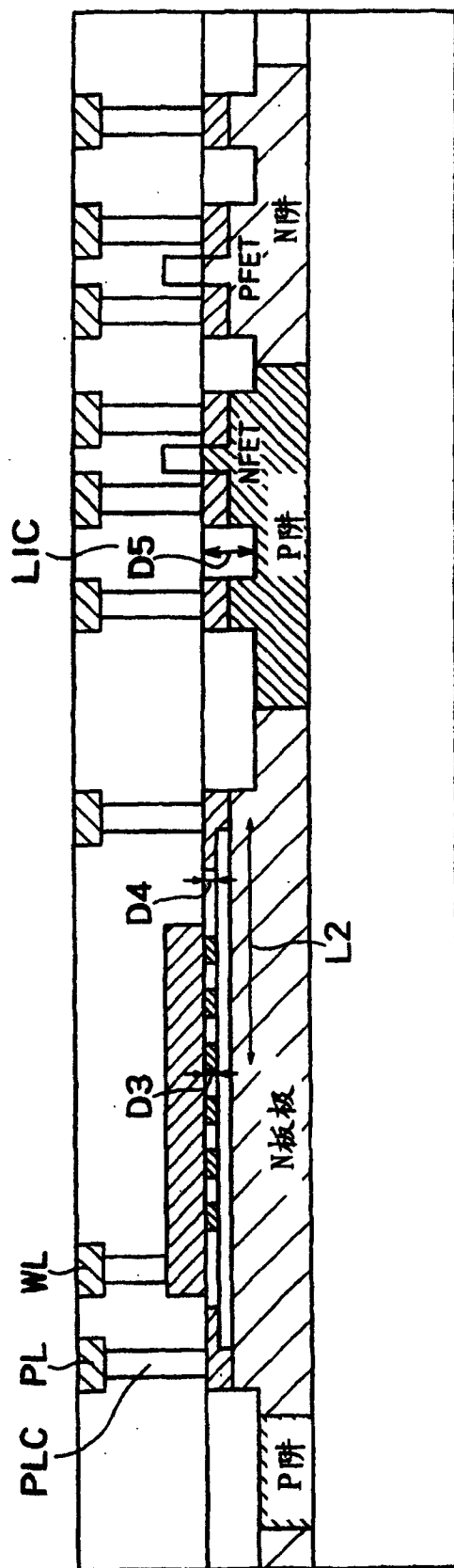


图 40



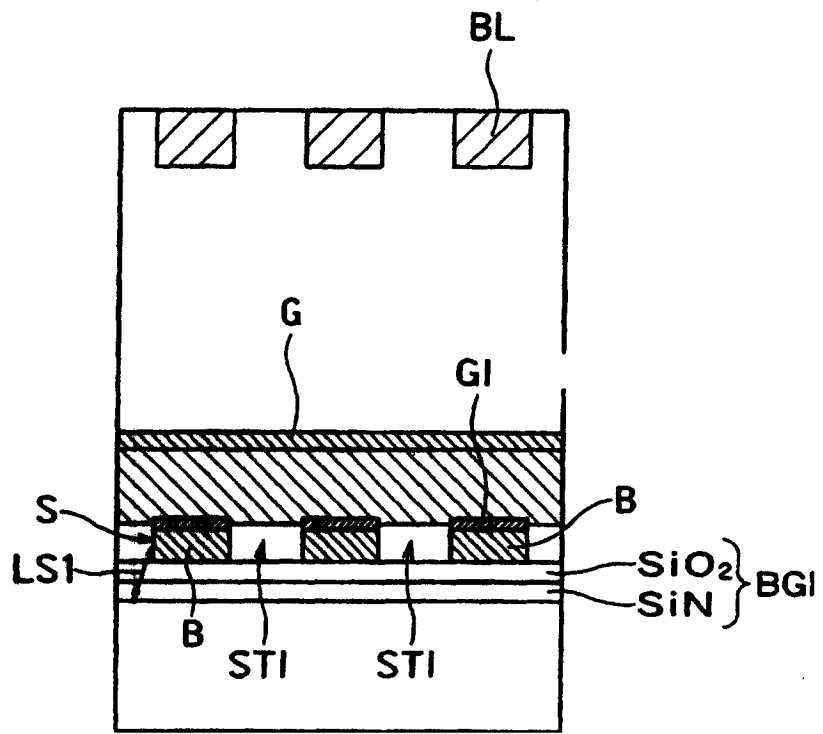
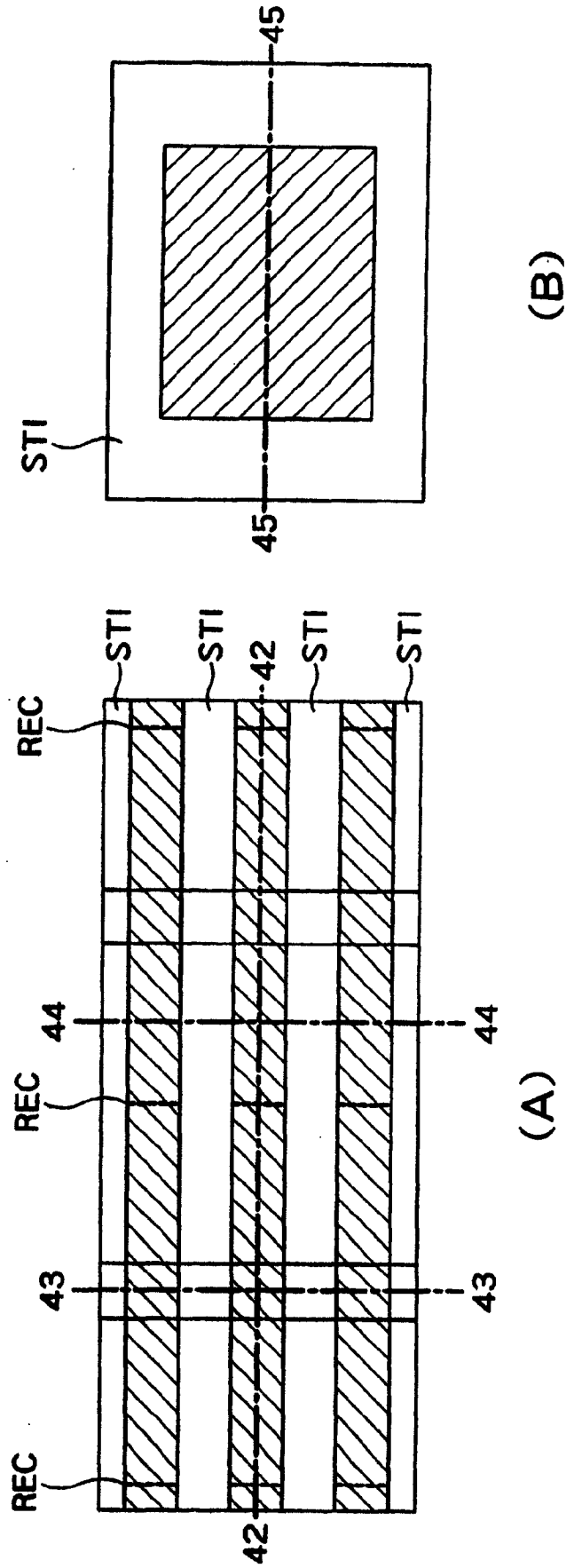


图 41

图 42



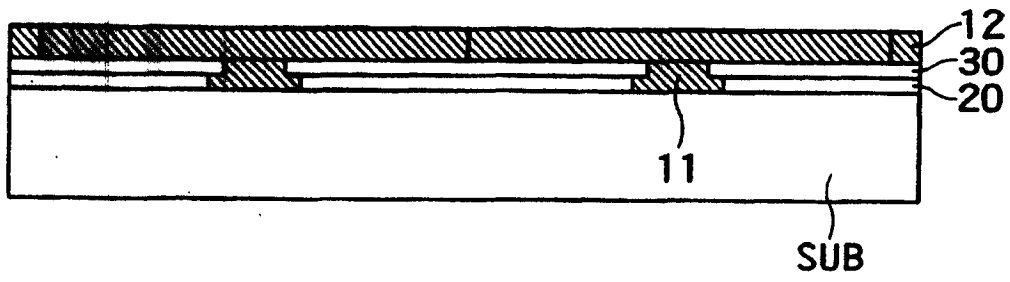


图 43

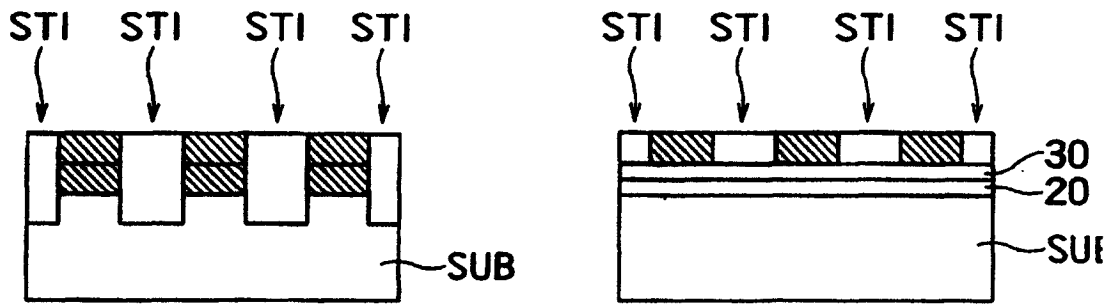


图 44

图 45

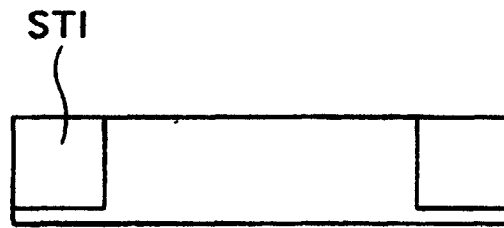


图 46

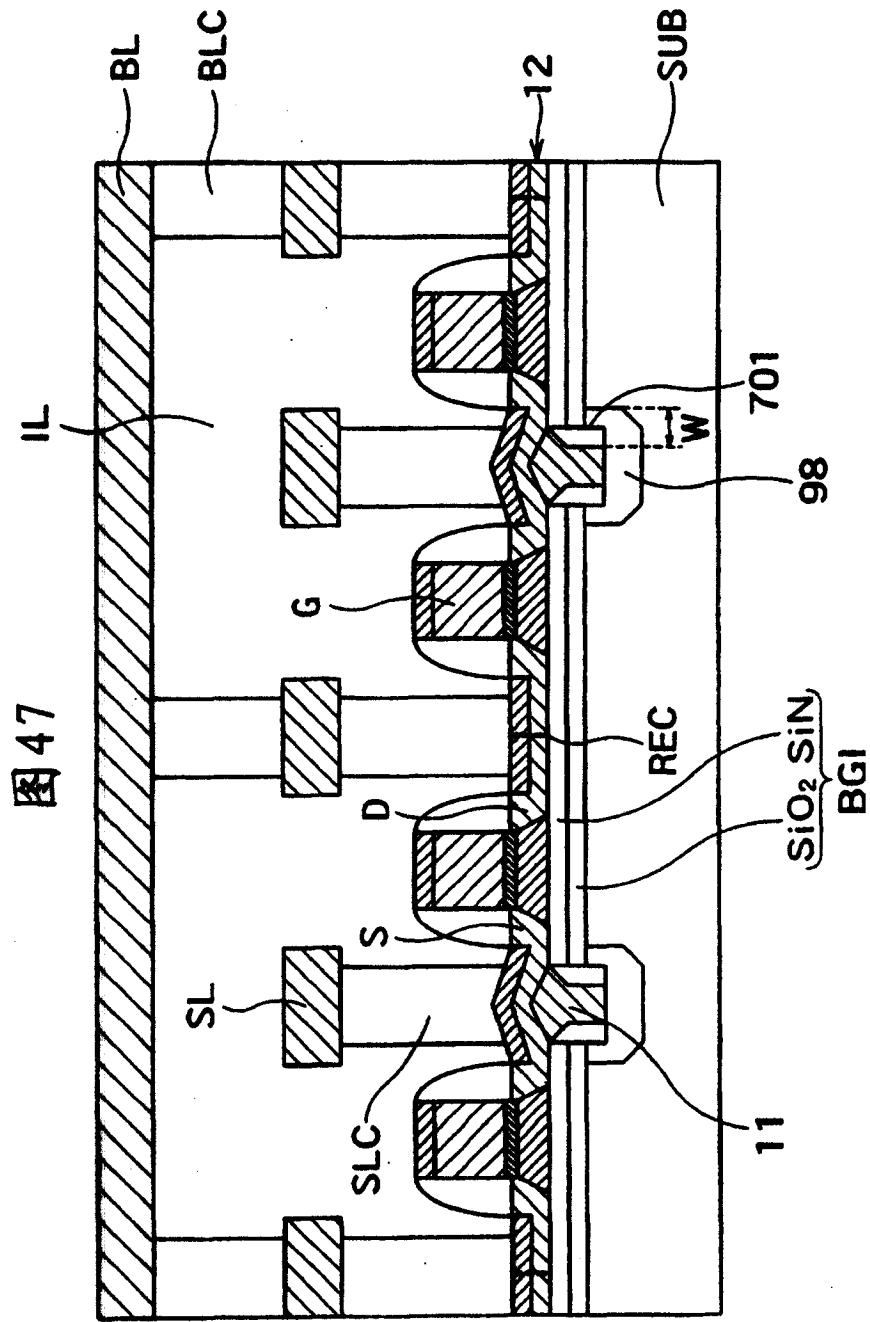
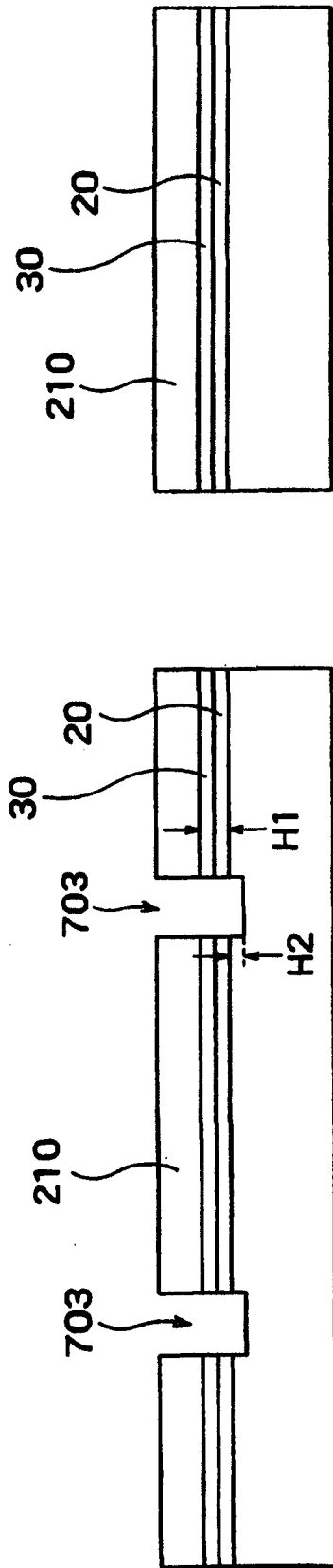


图 47

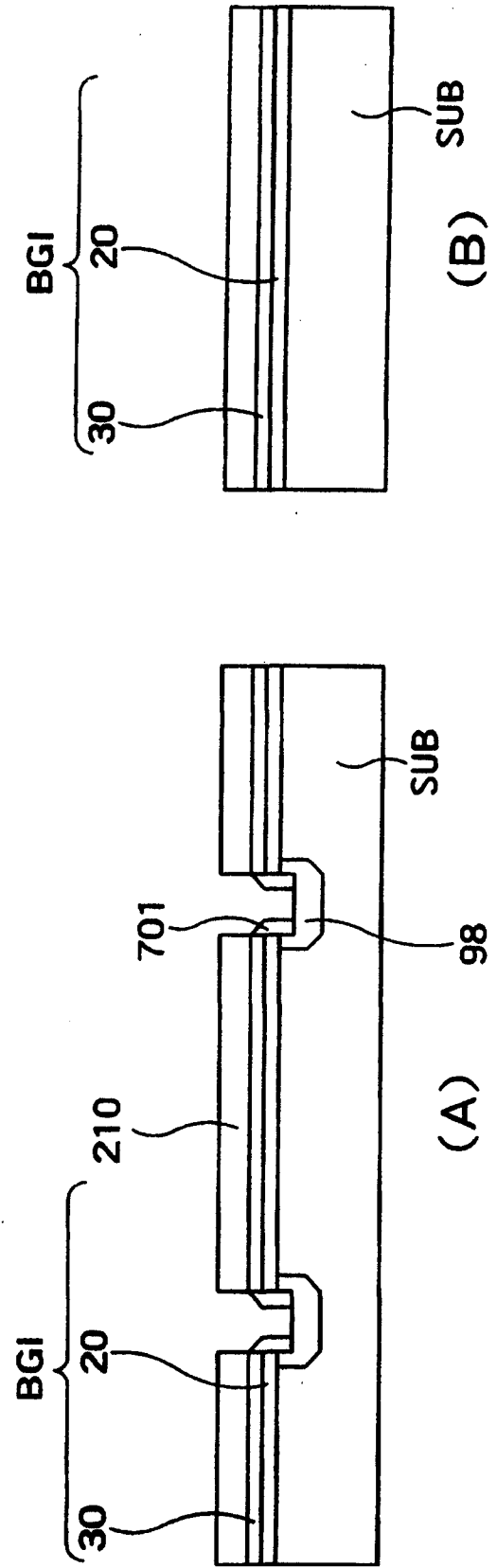
图 48



(A)

(B)

图 49



(A)

(B)

图 50

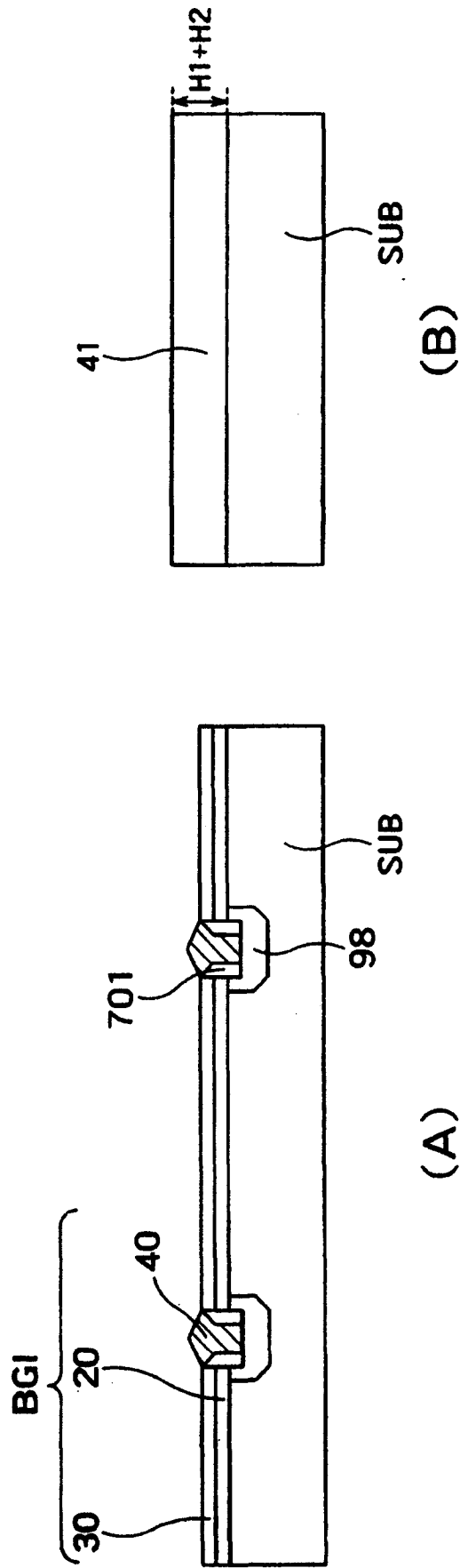
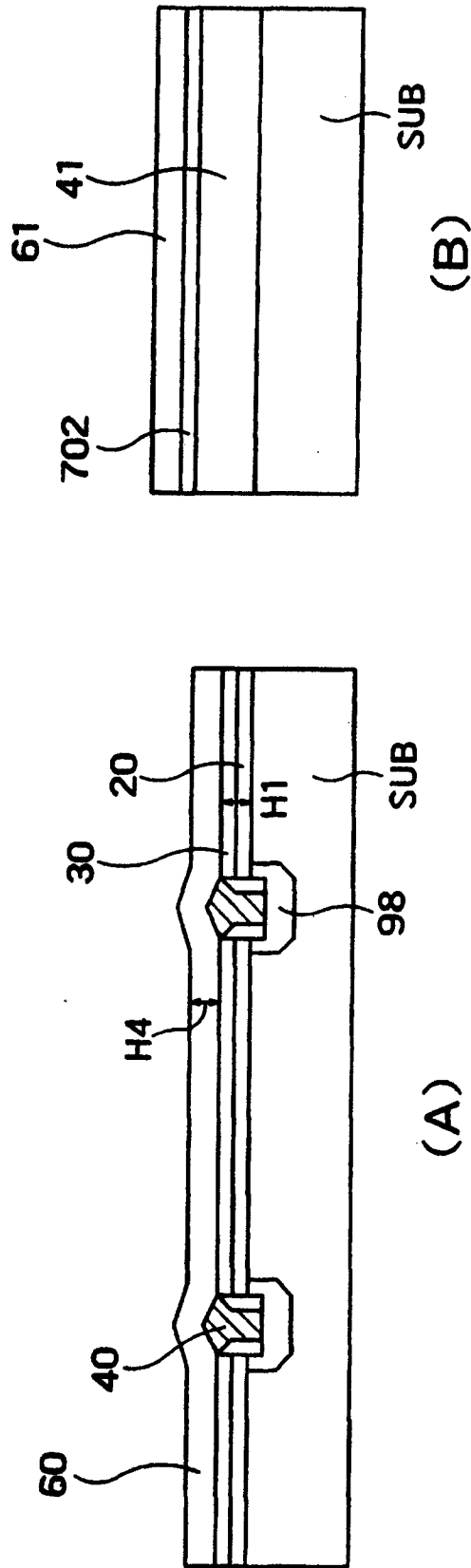


图 51



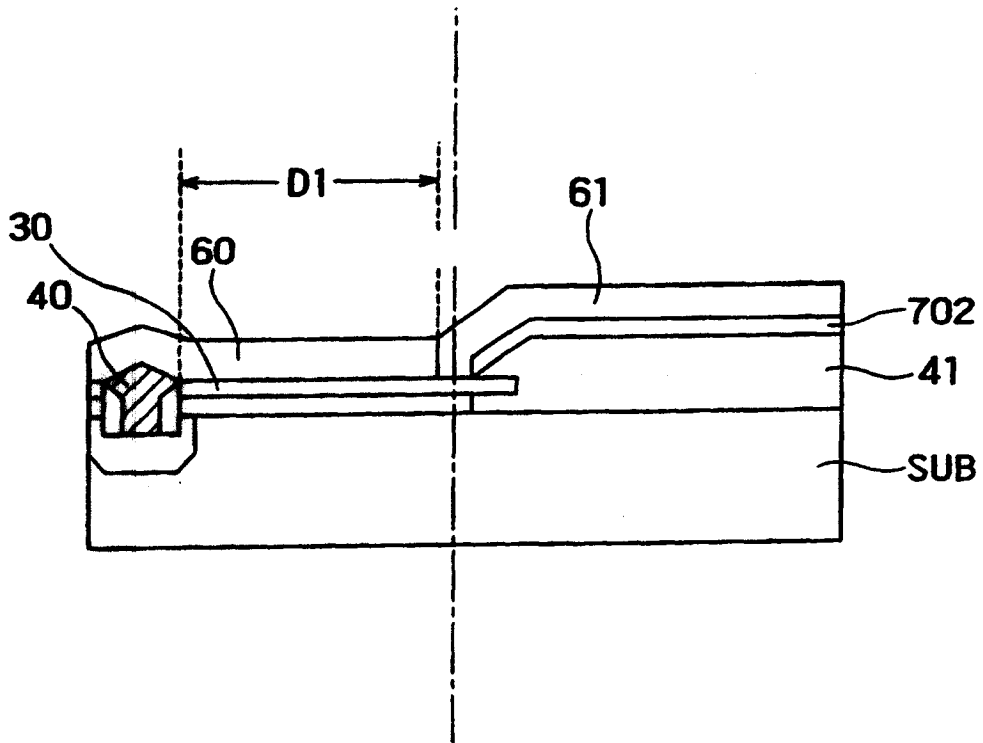


图 52

图 53

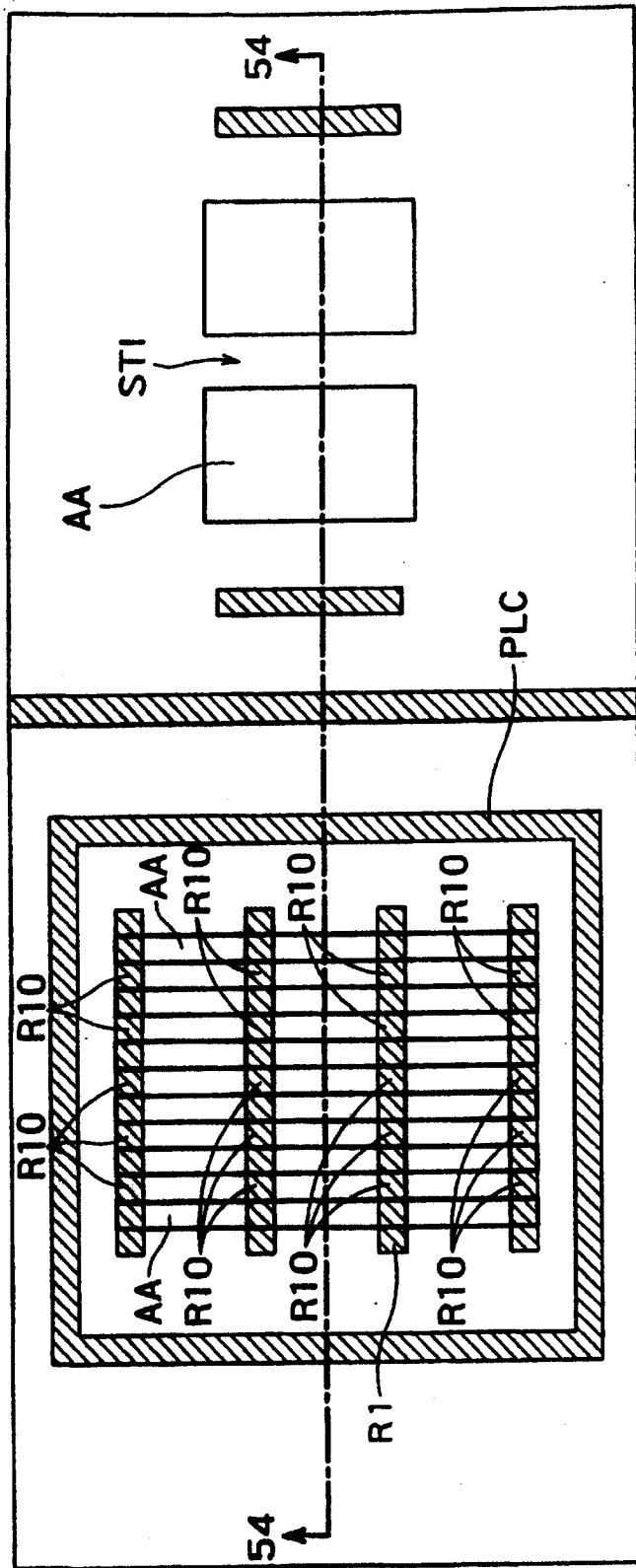


图 54

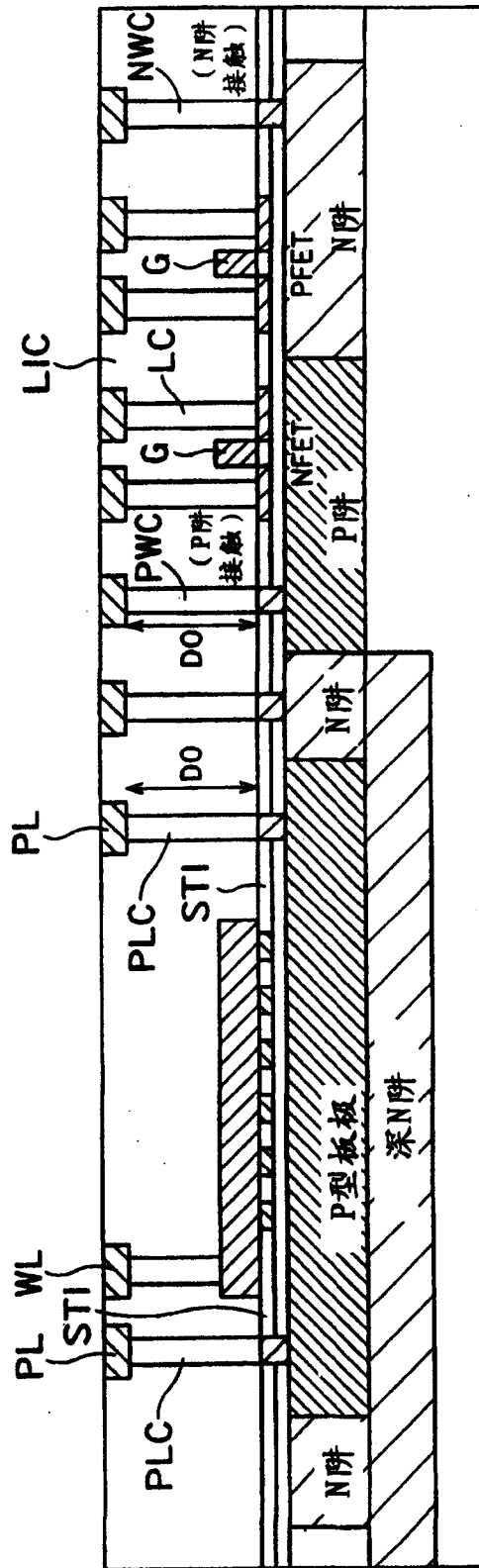


图 55

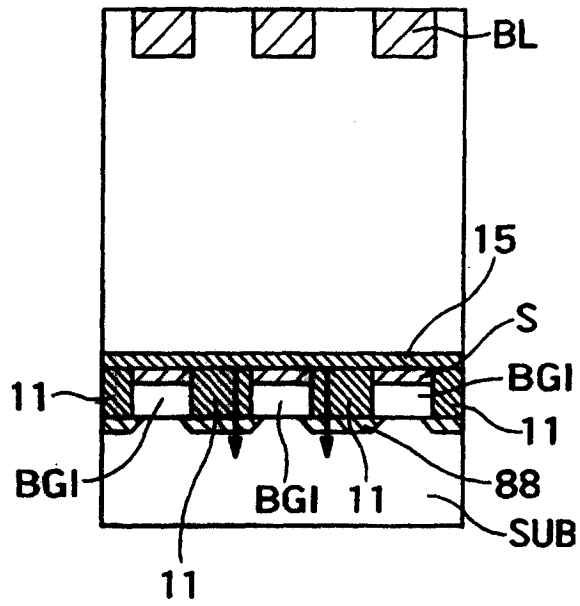
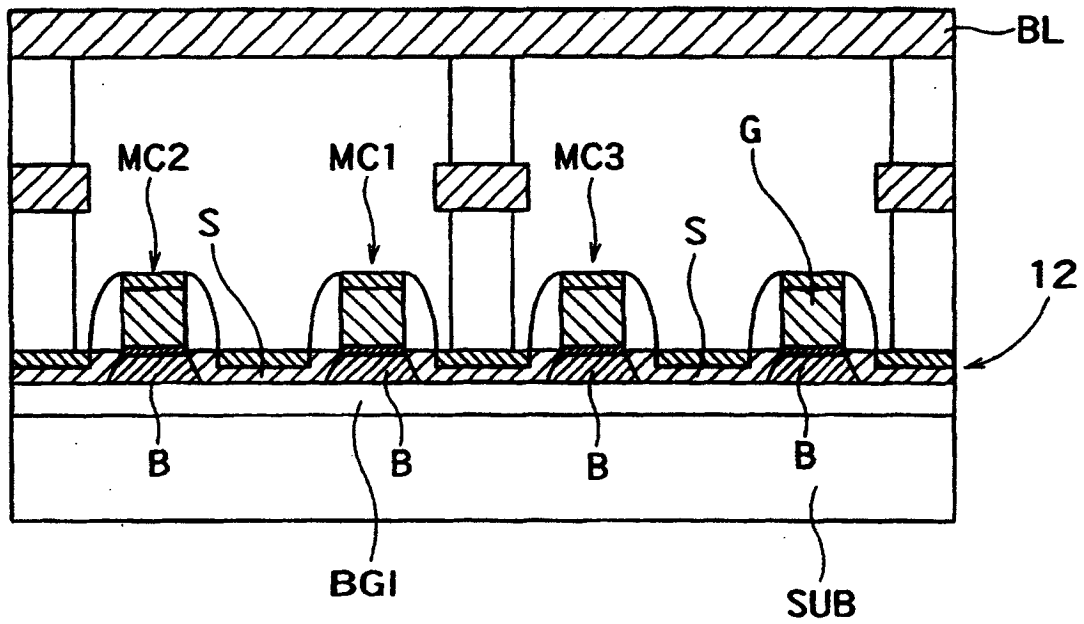


图 56

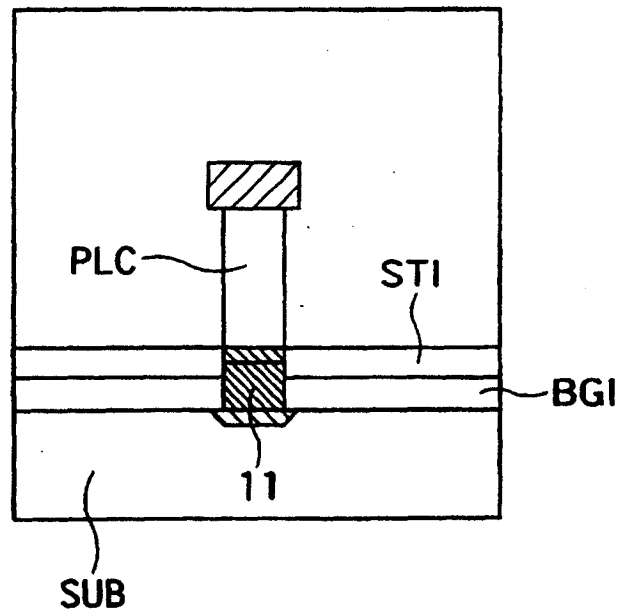


图 57

图 58

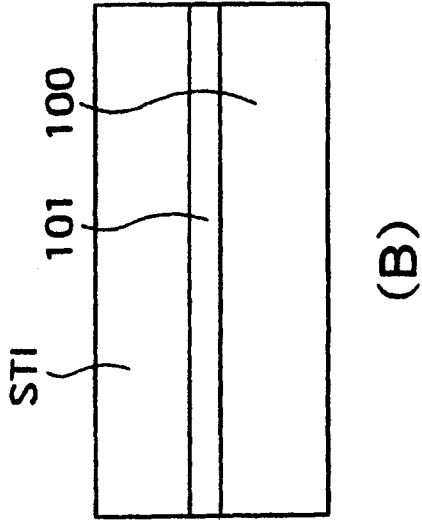
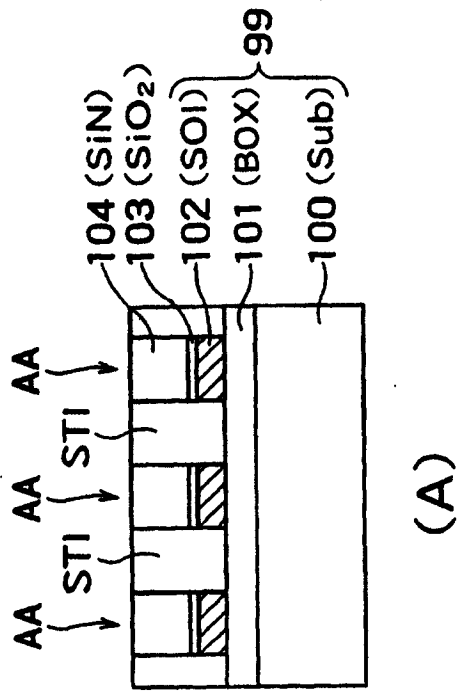


图 59

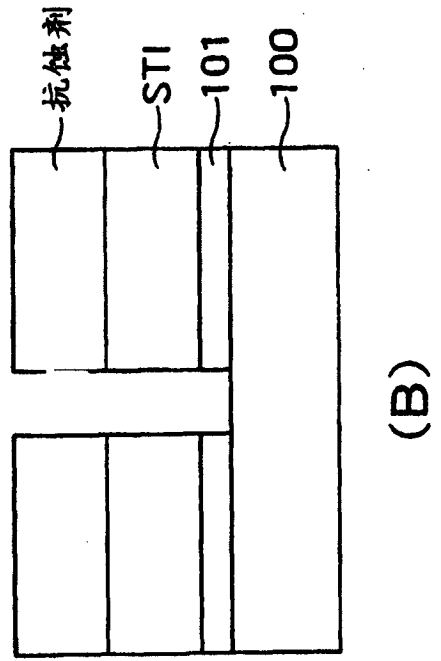
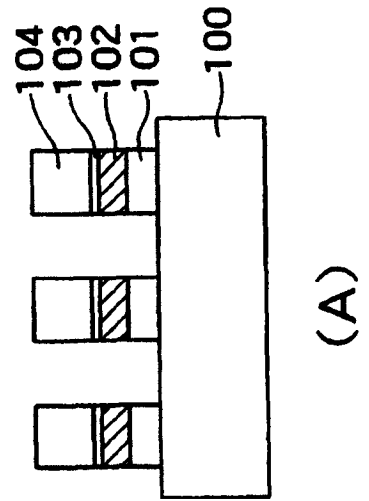


图60

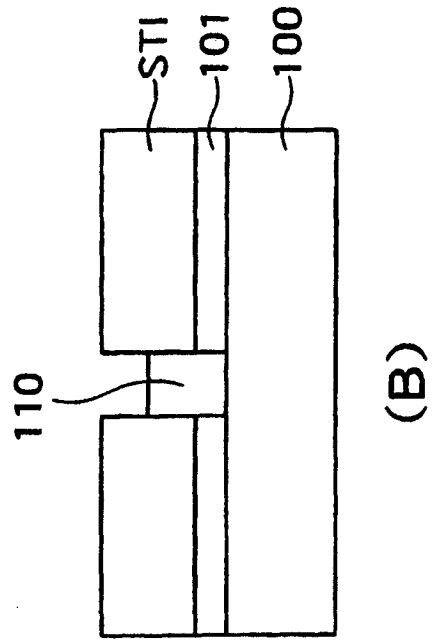
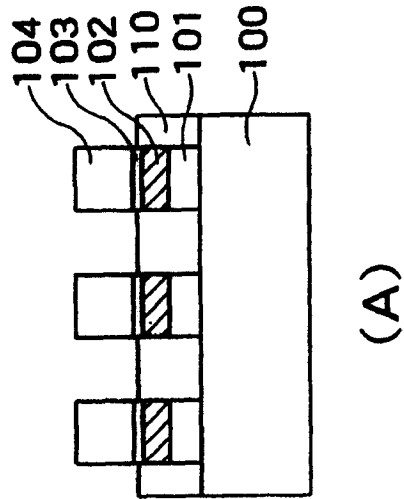


图 61

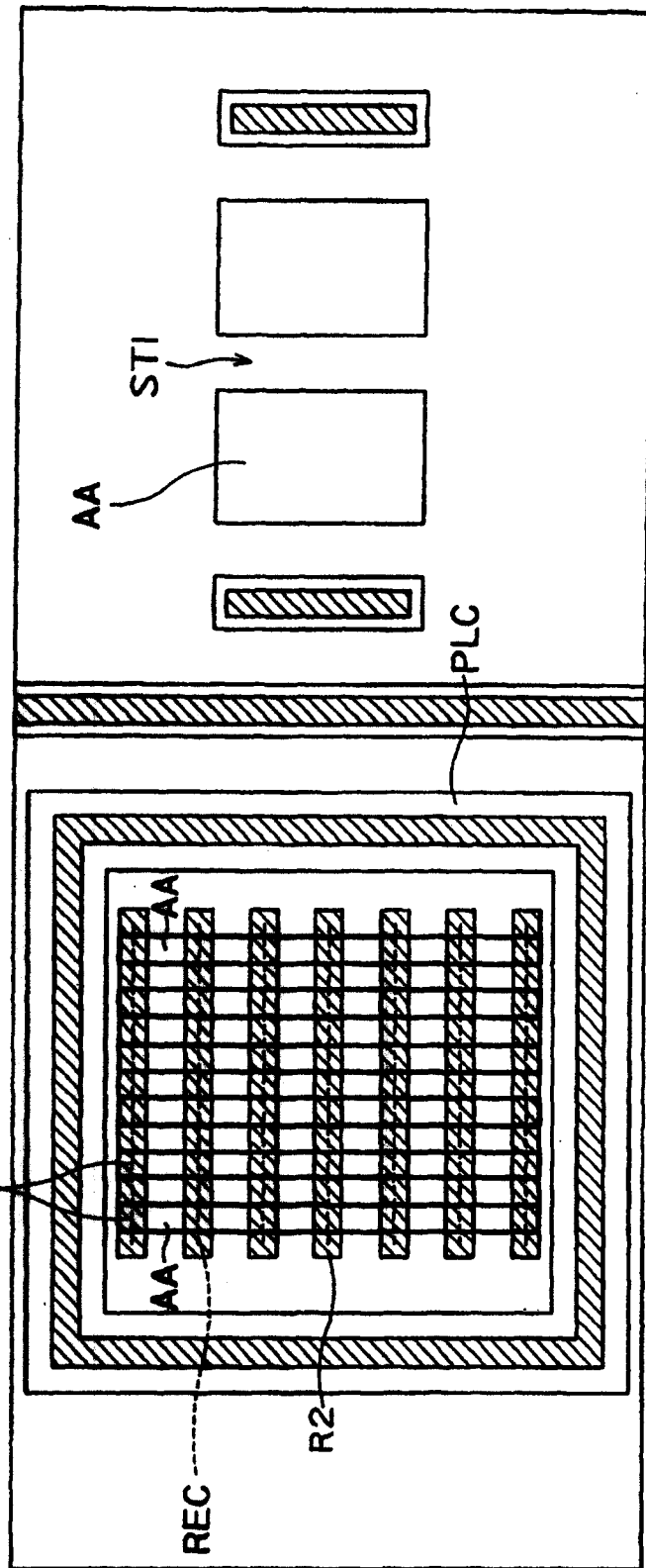


图 62

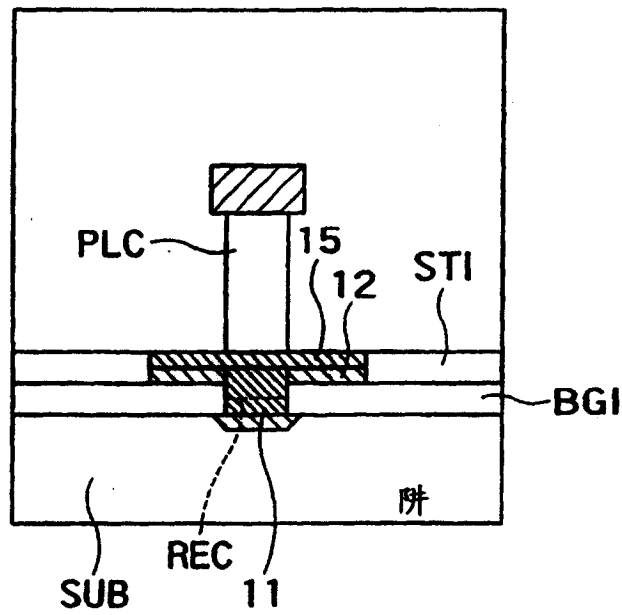
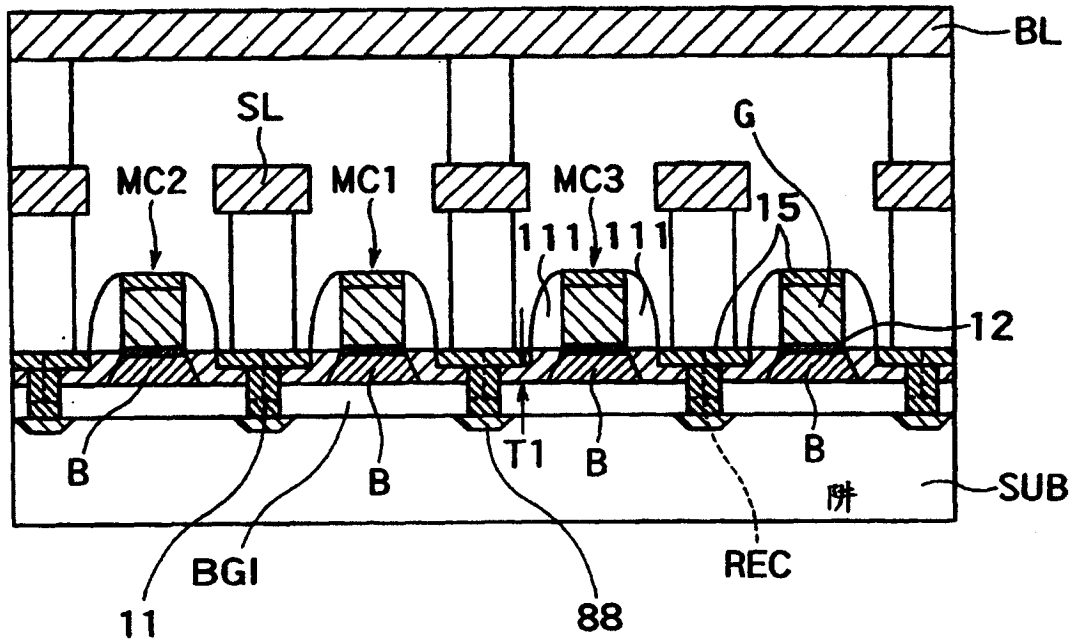


图 63

图 64

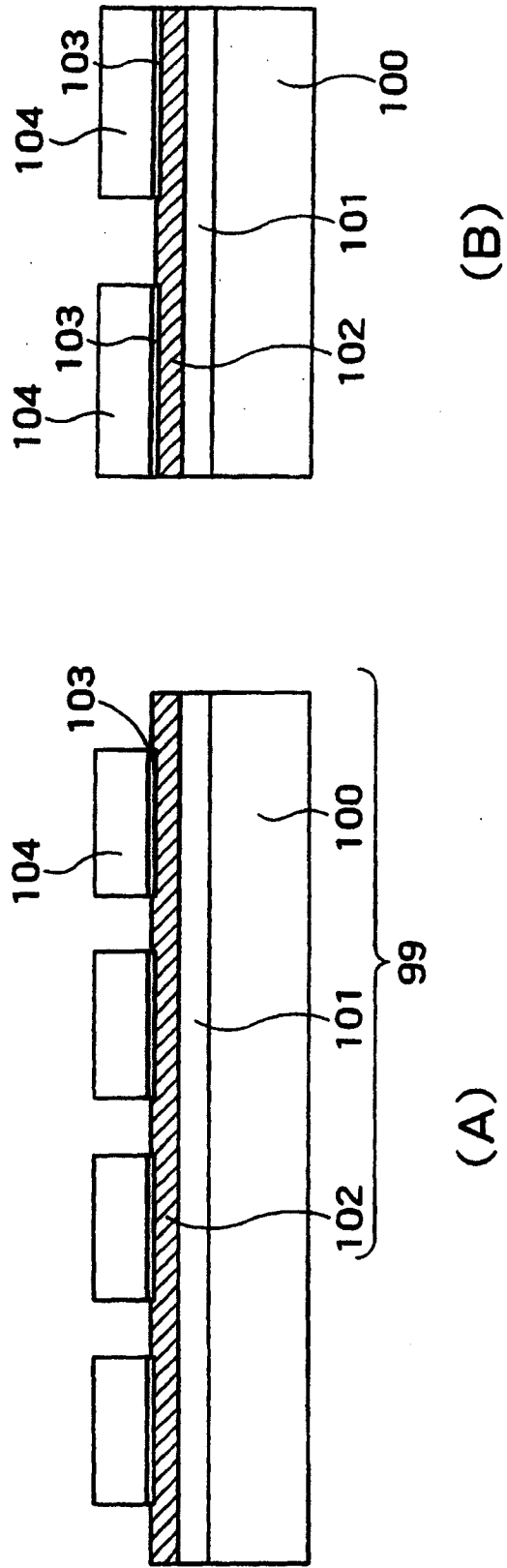


图 65

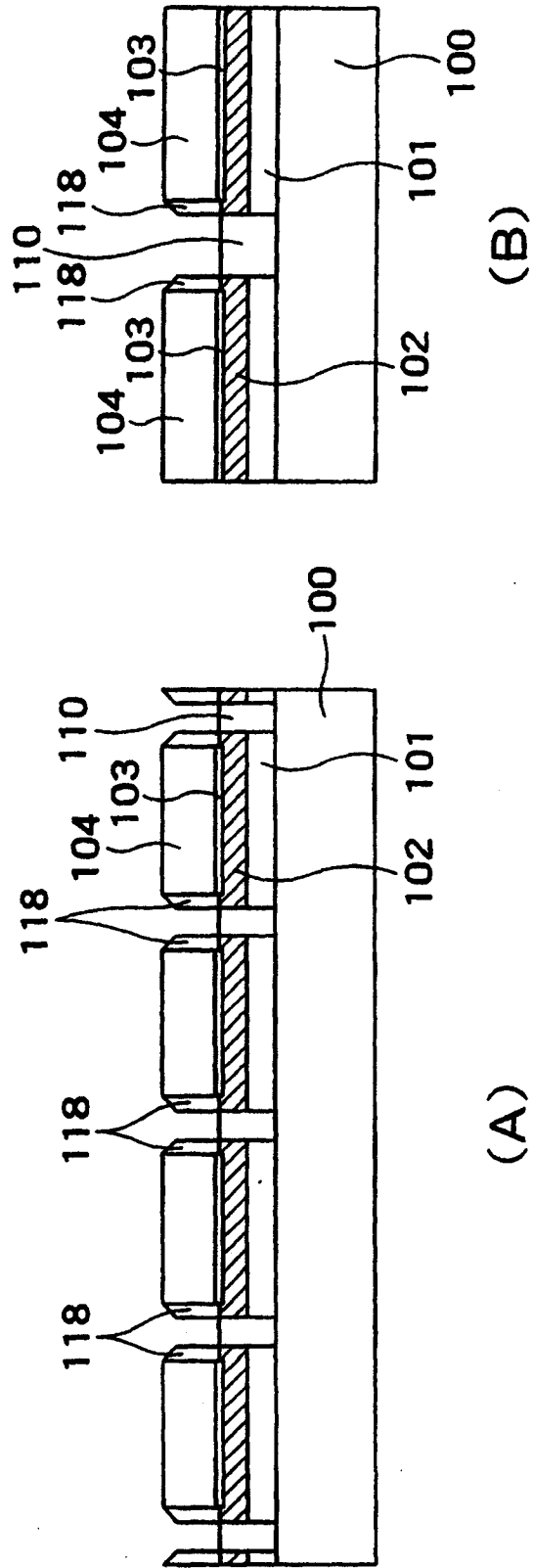


图 66

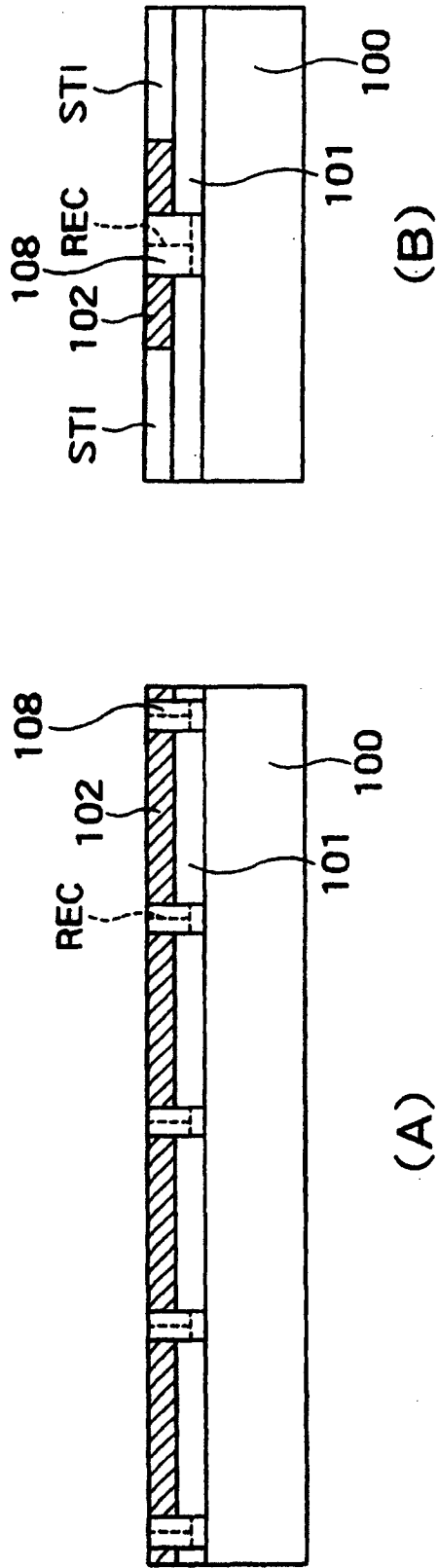


图67

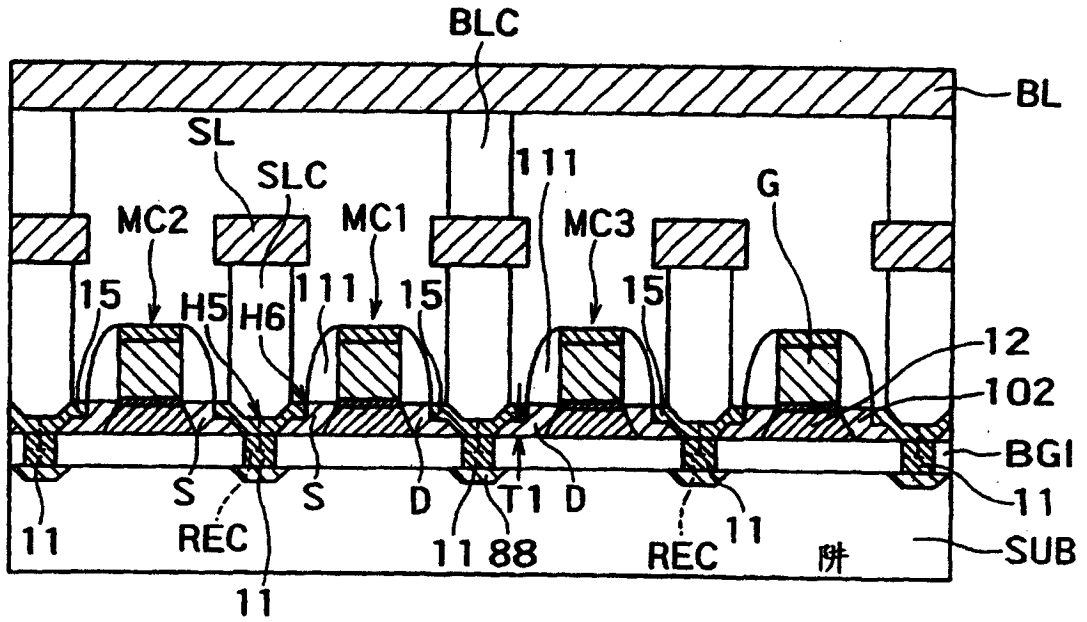


图68

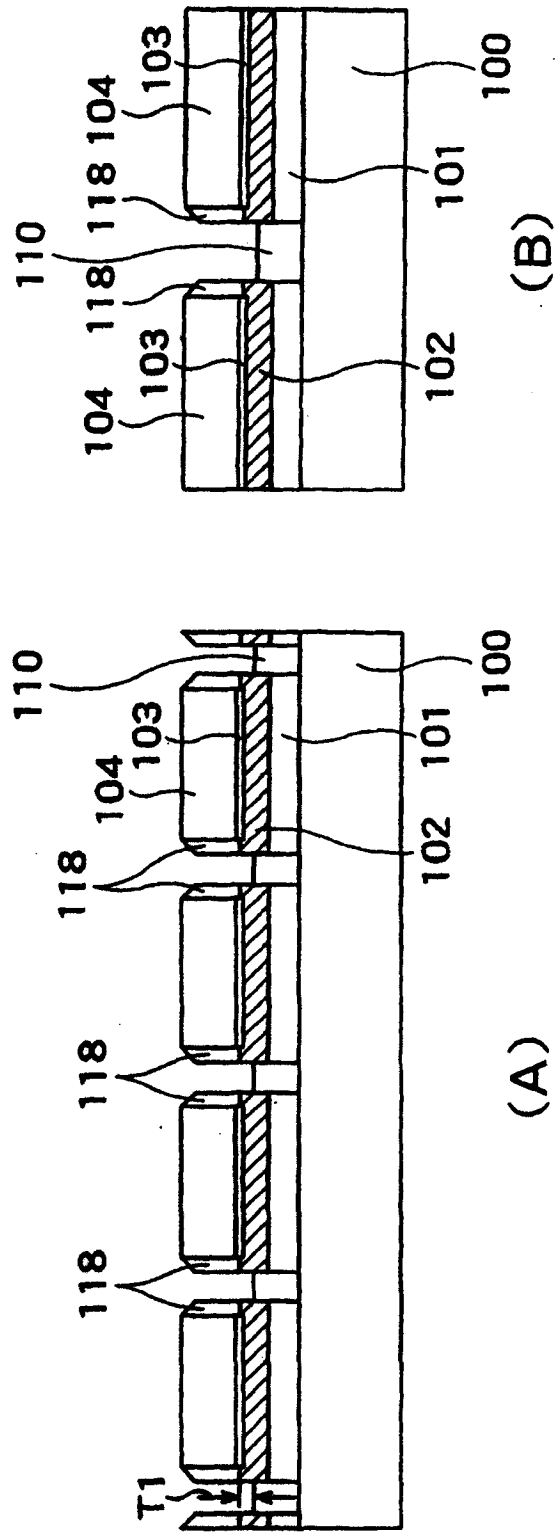


图 69

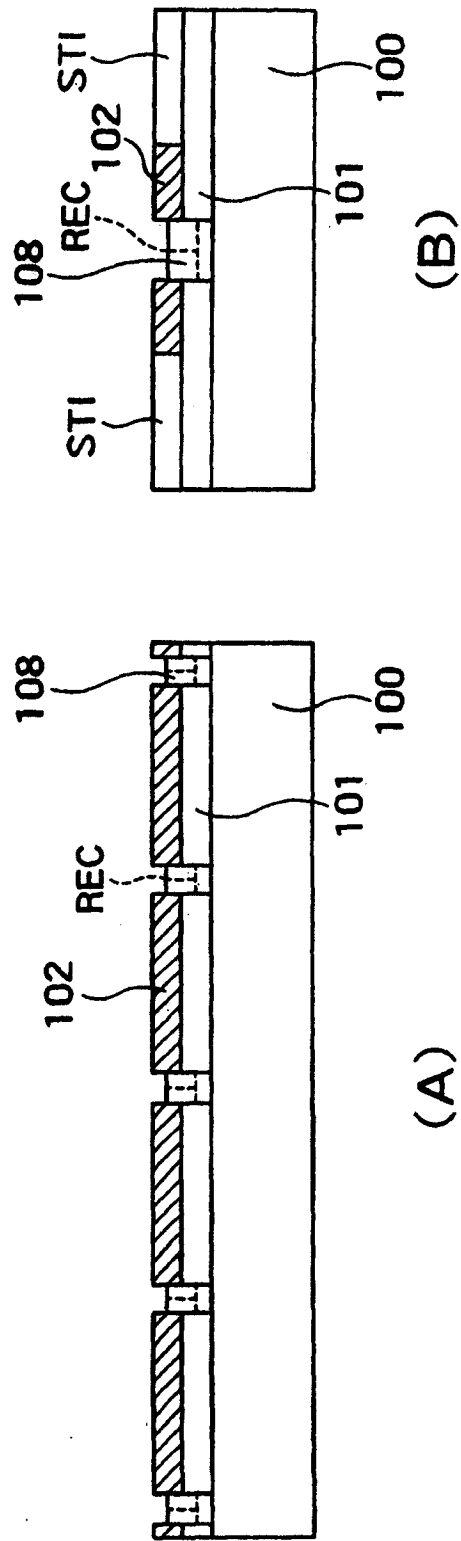


图 70

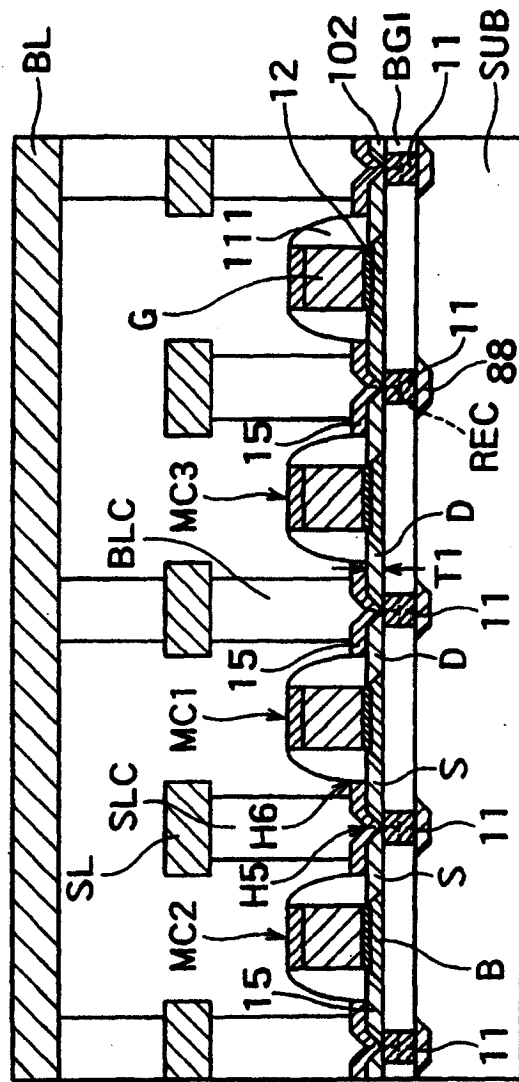


图 71

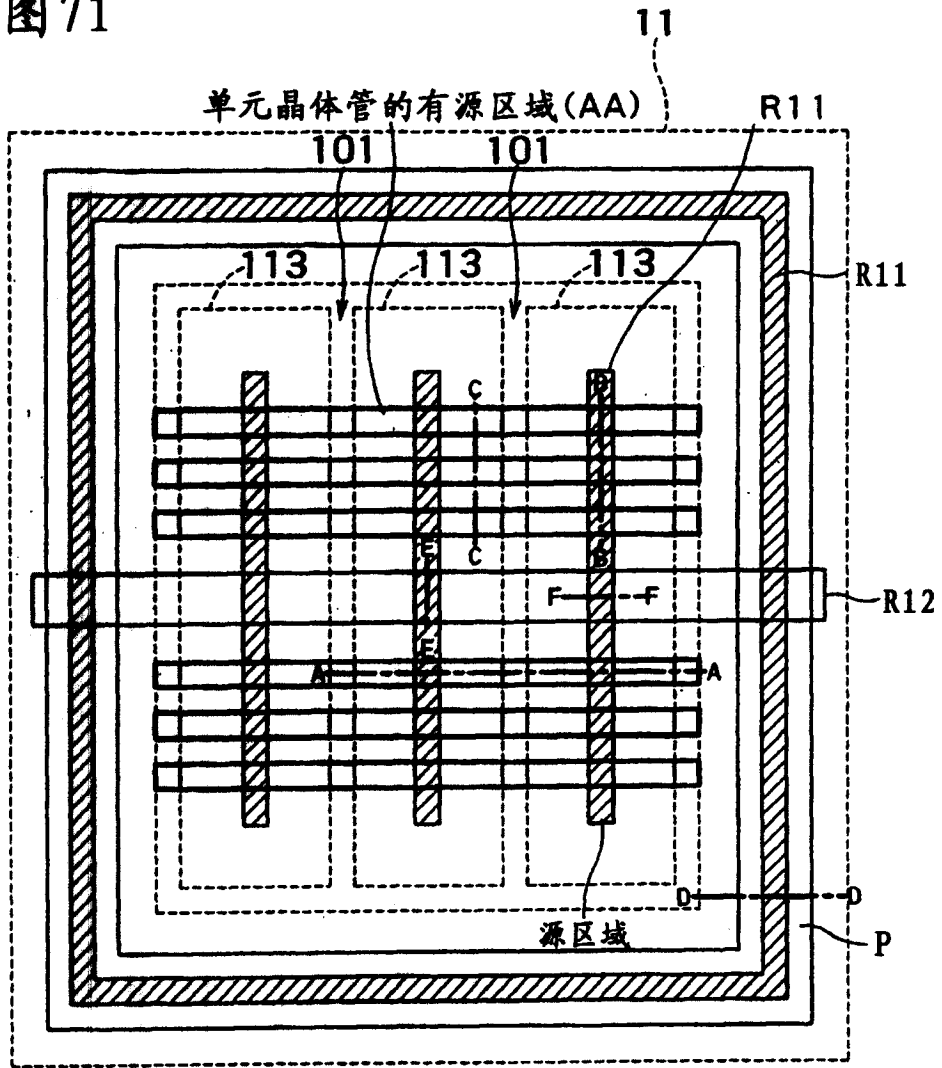
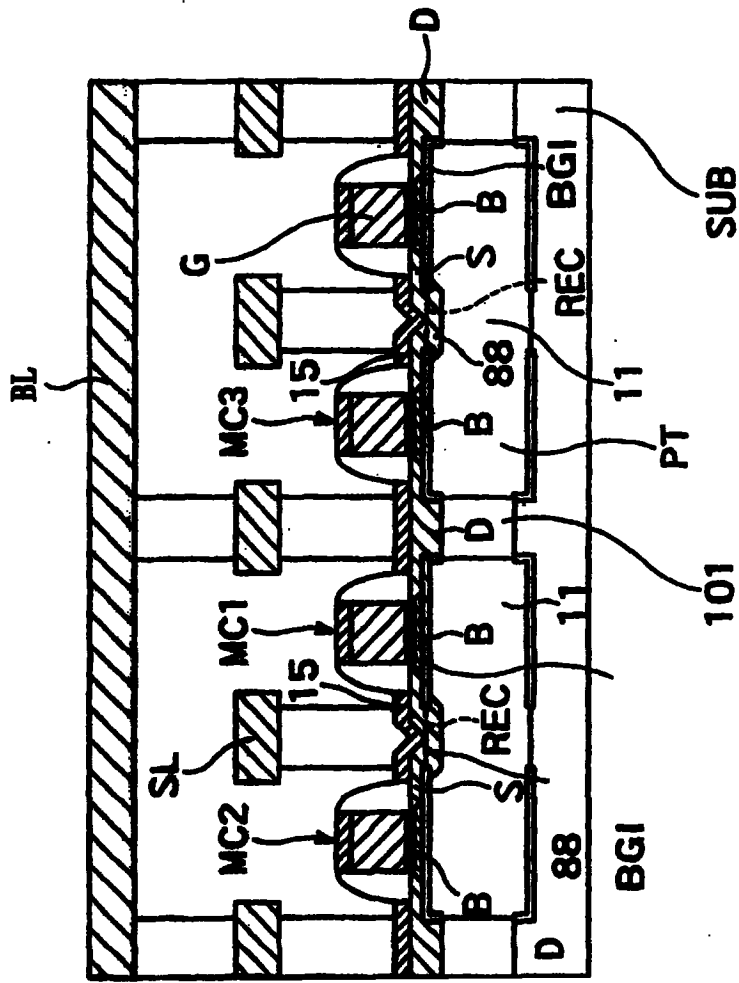
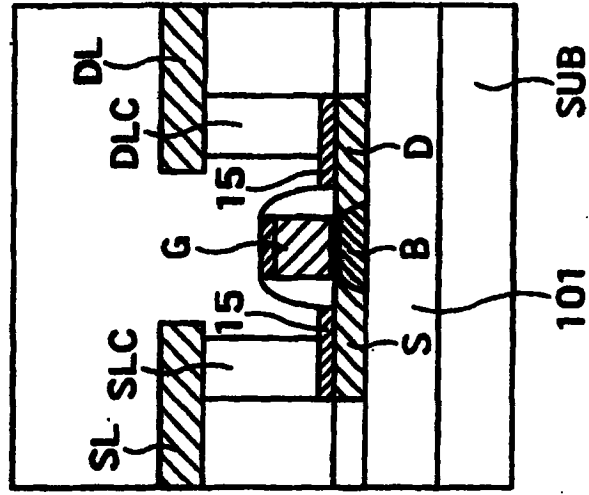


图 72



(A)



(B)

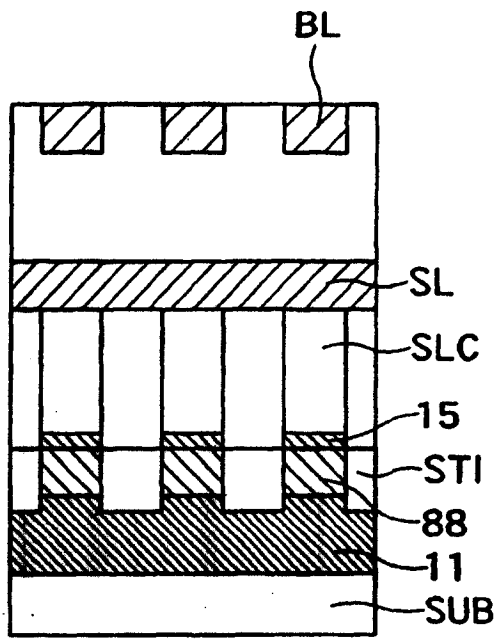


图 73

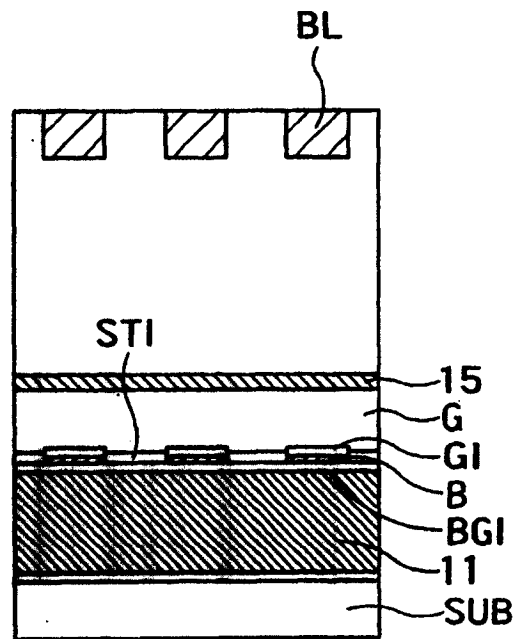


图 74

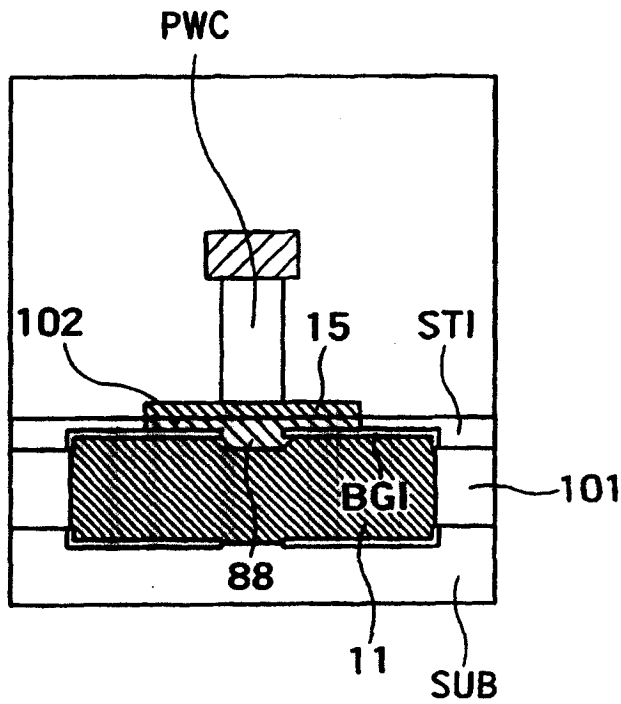


图 75

图 76

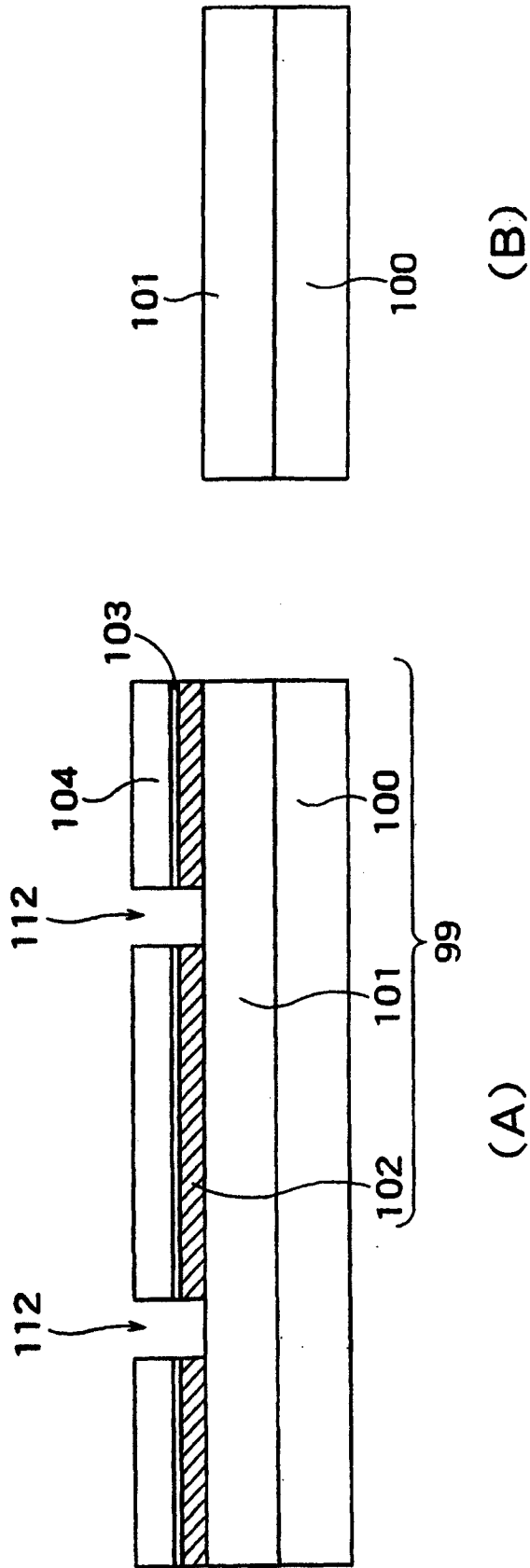


图77

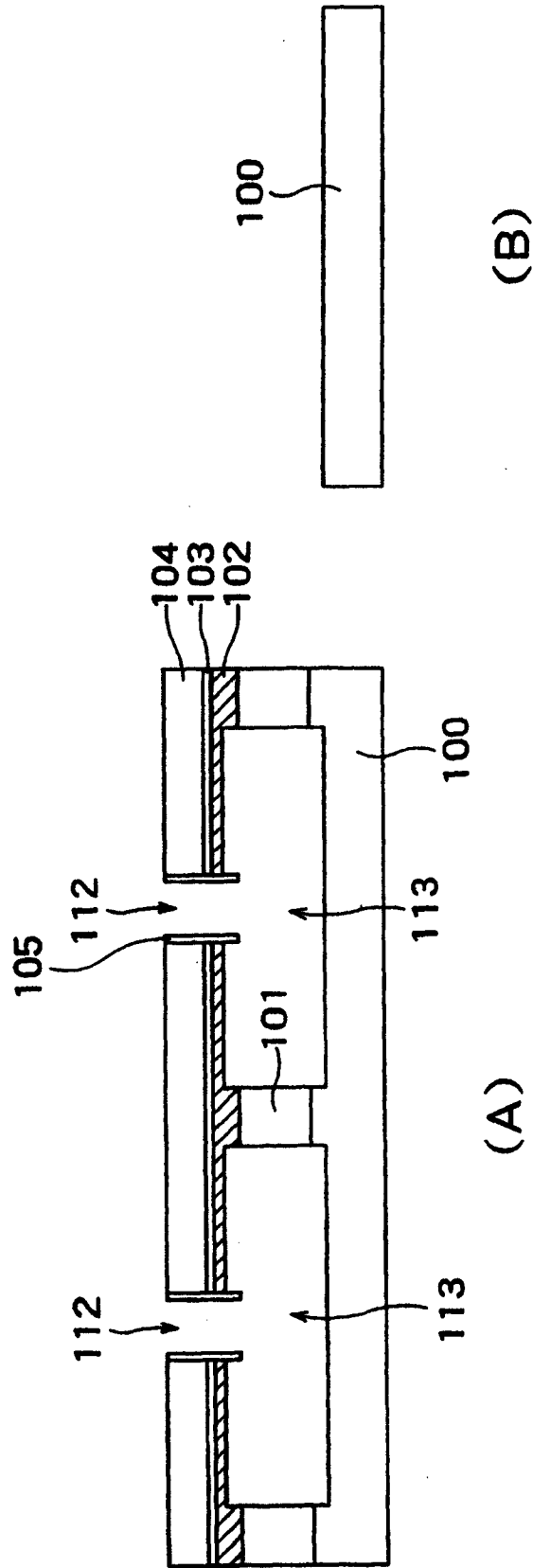


图 78

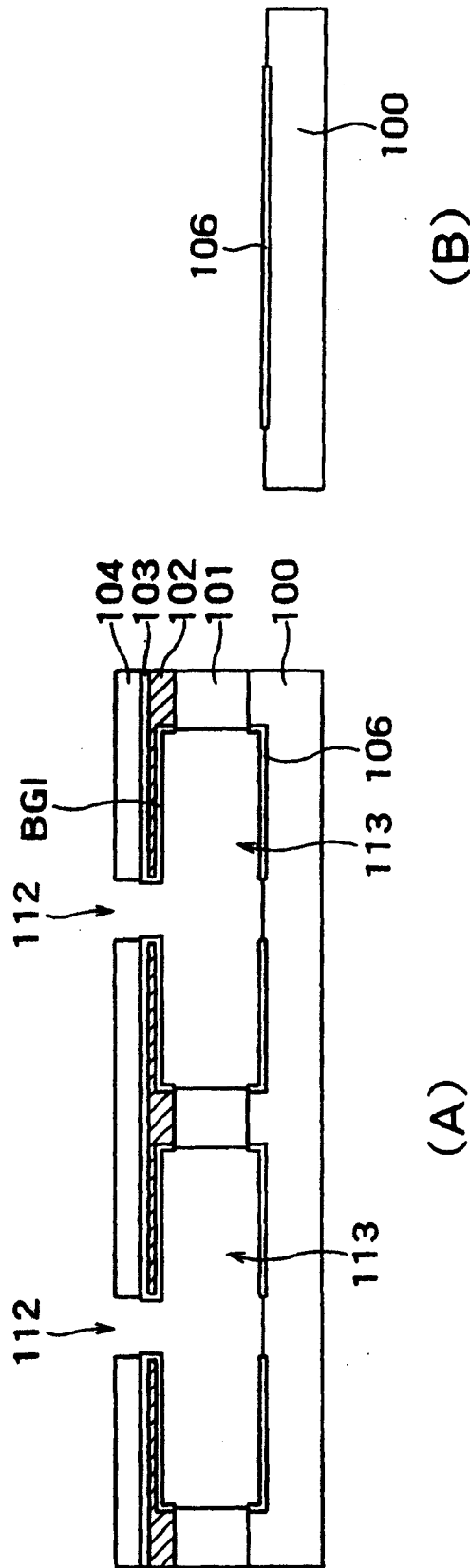


图 79

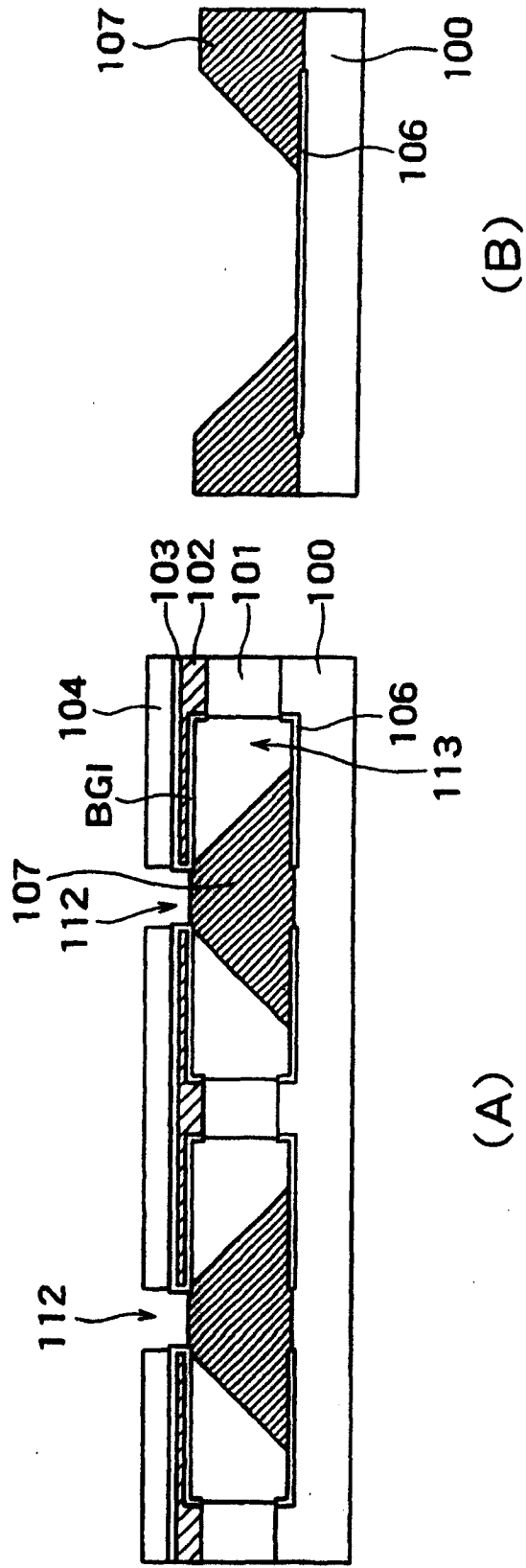


图 80

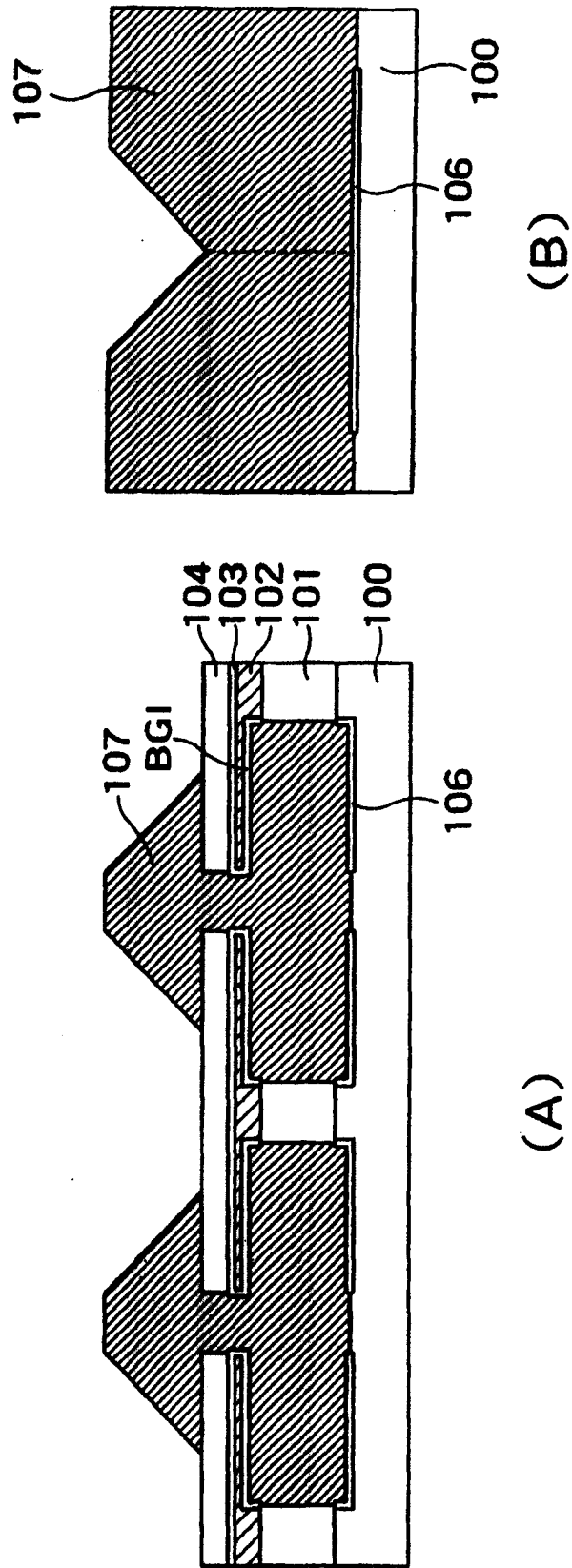


图81

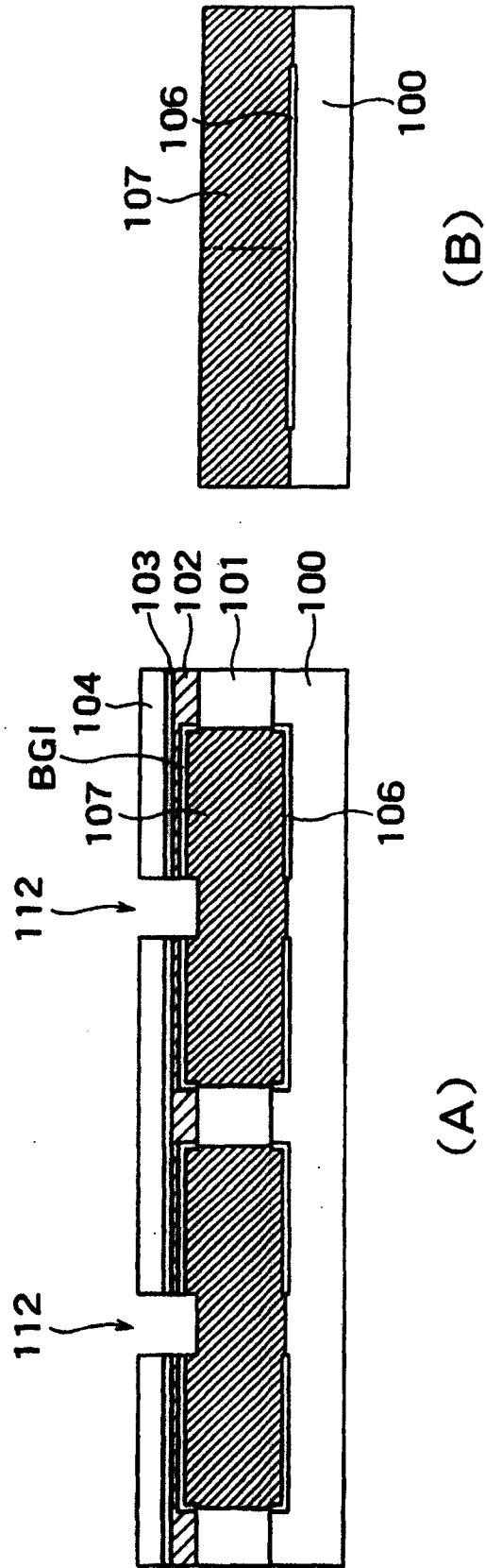


图 82

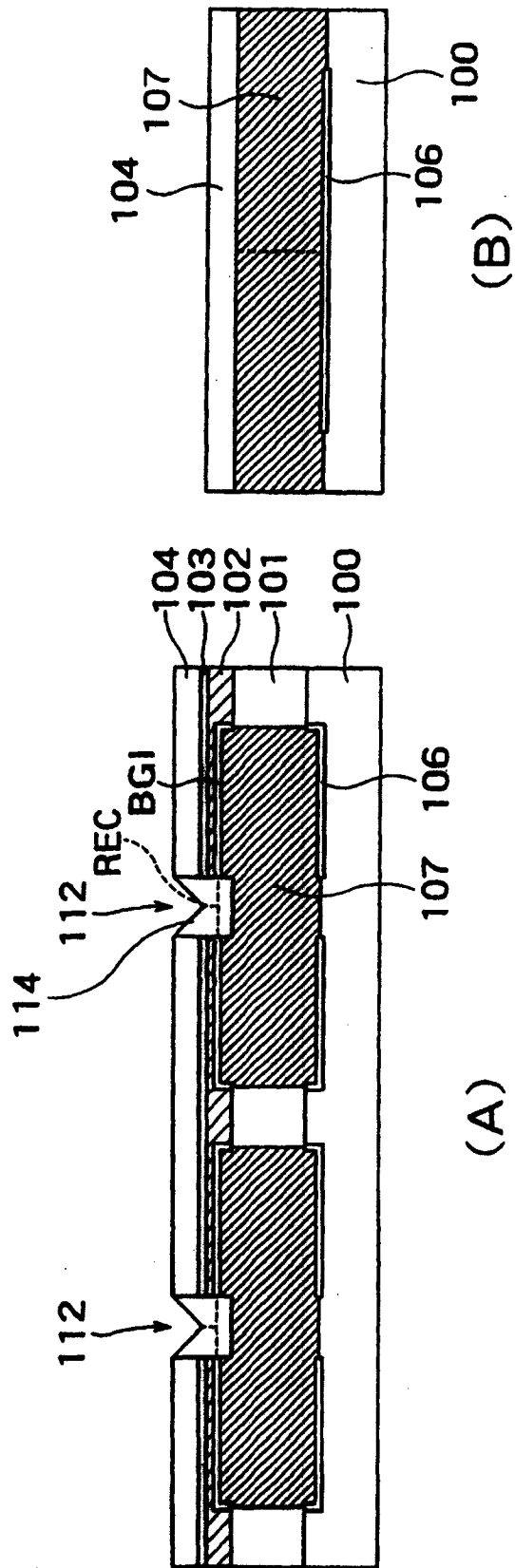


图 83

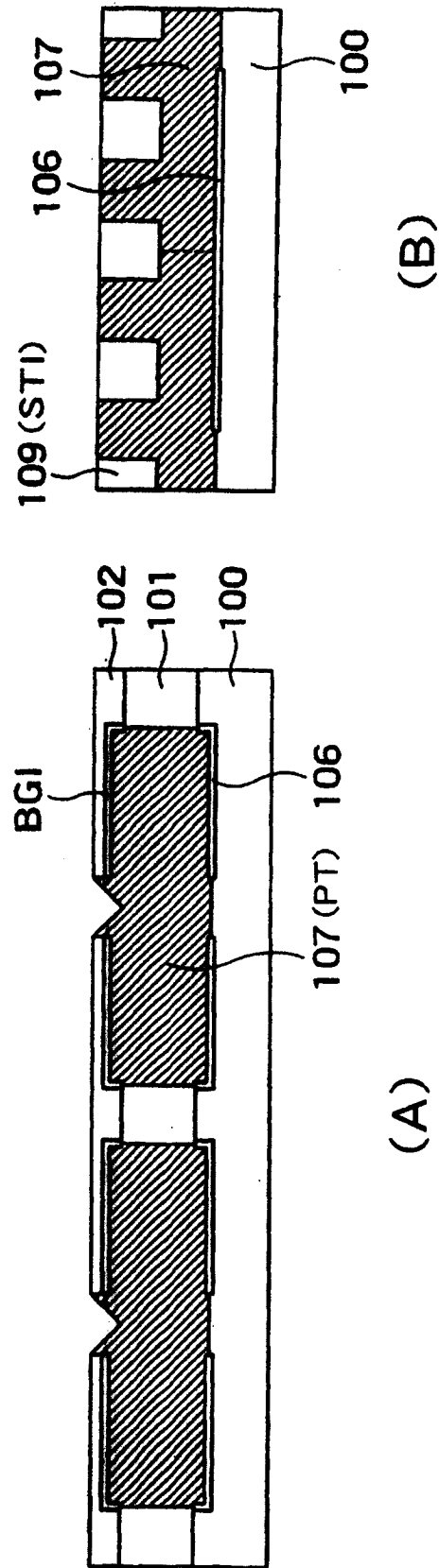


图84

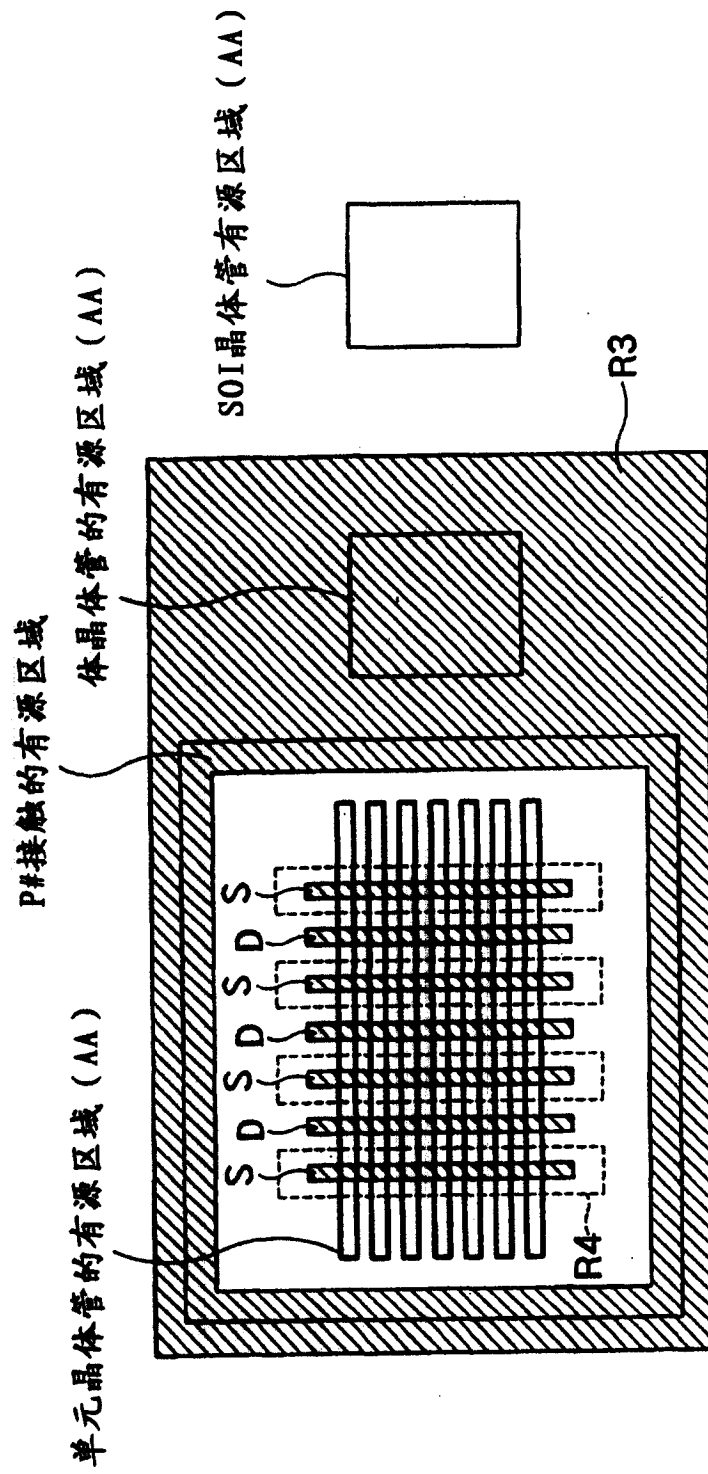


图85

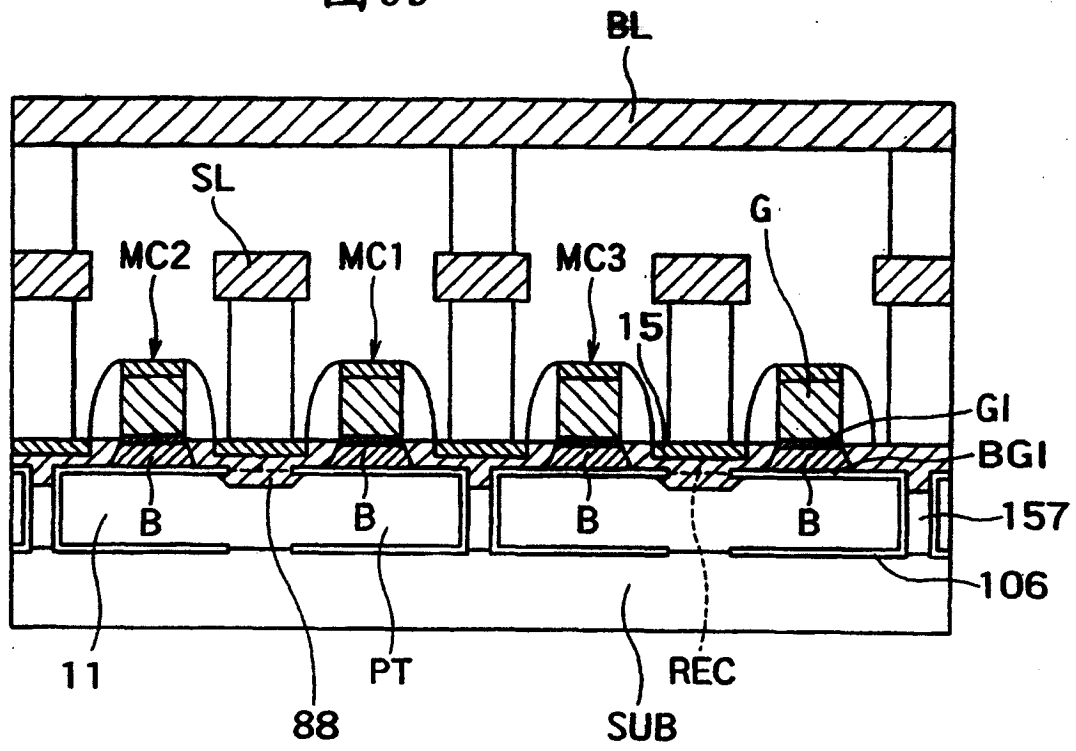


图 86

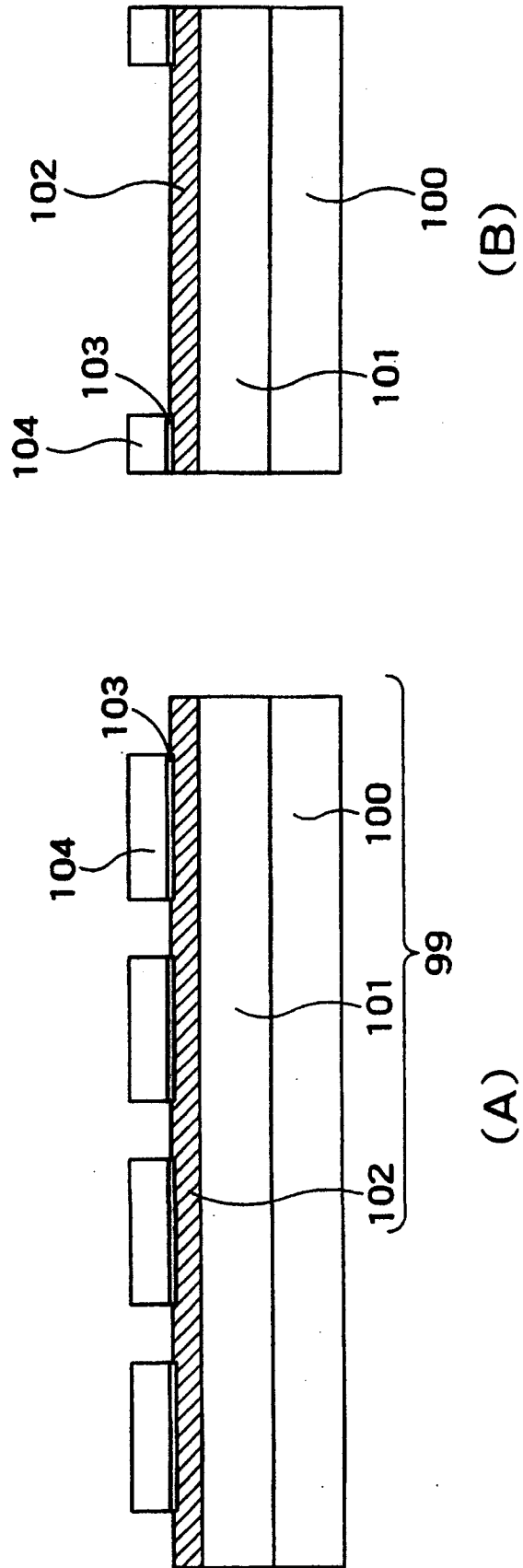


图 87

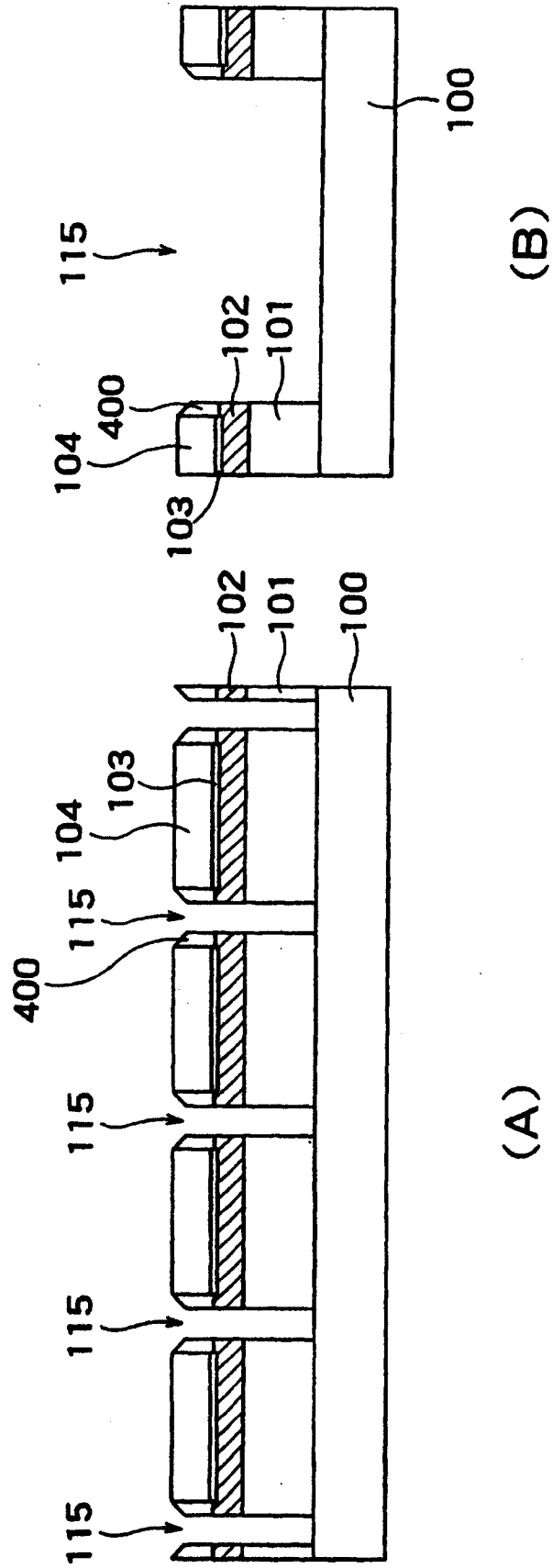


图 88

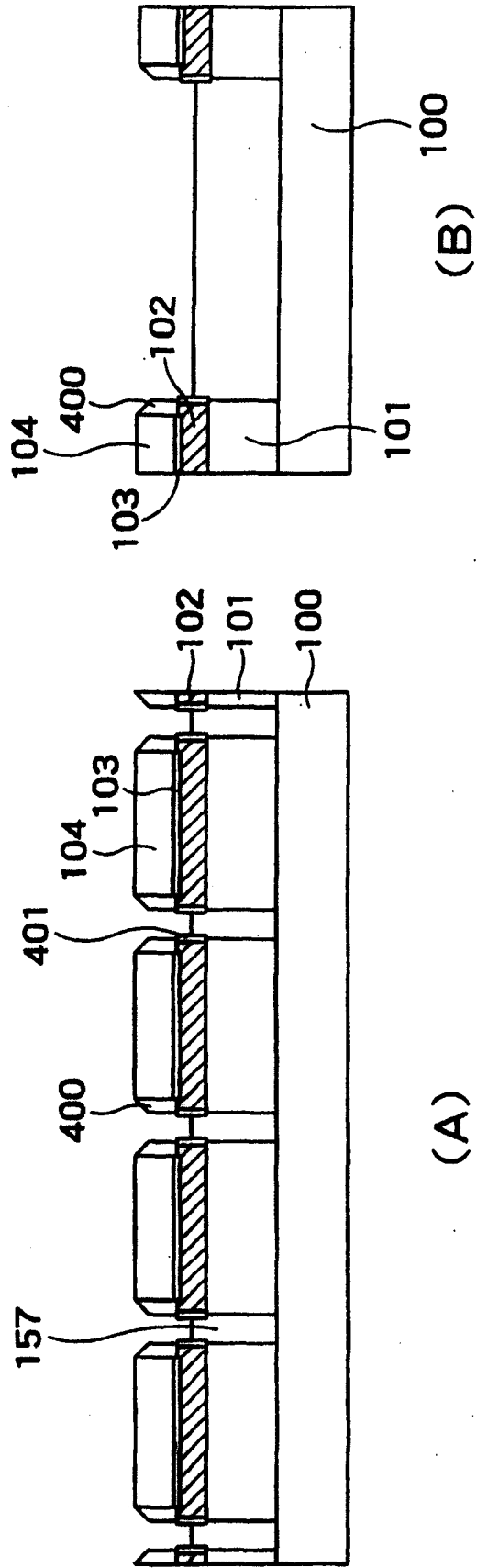


图 89

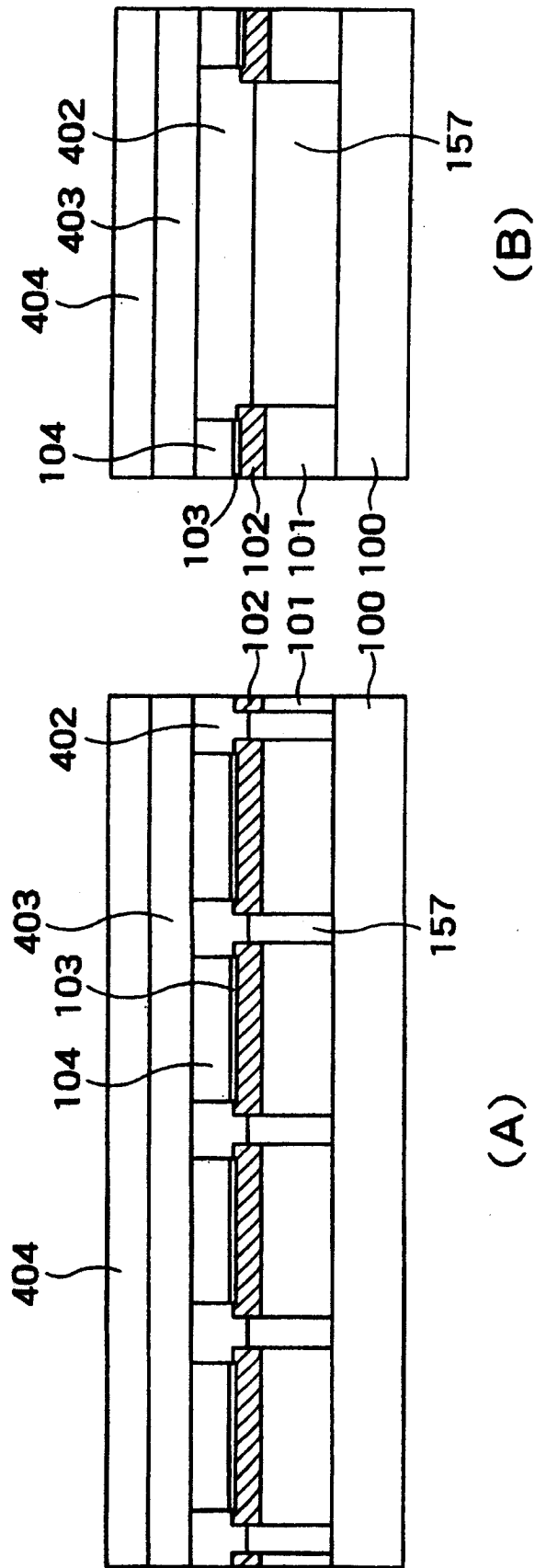


图90

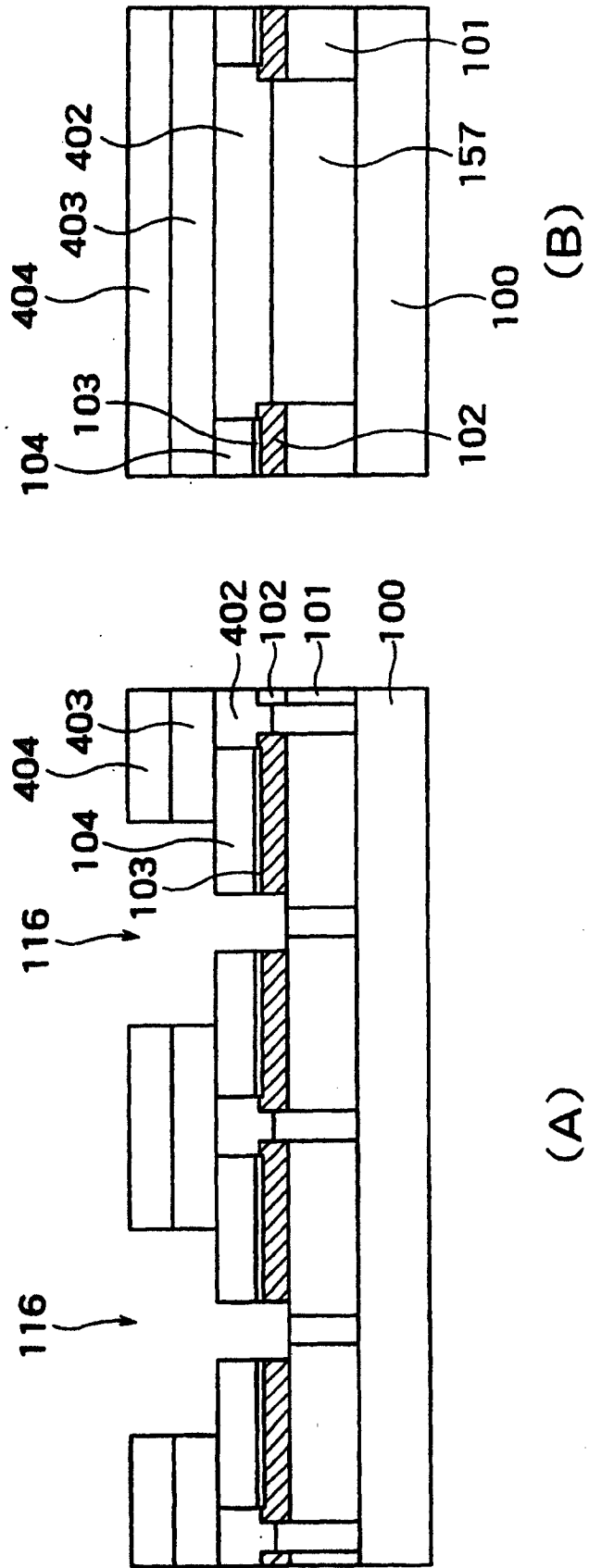


图91

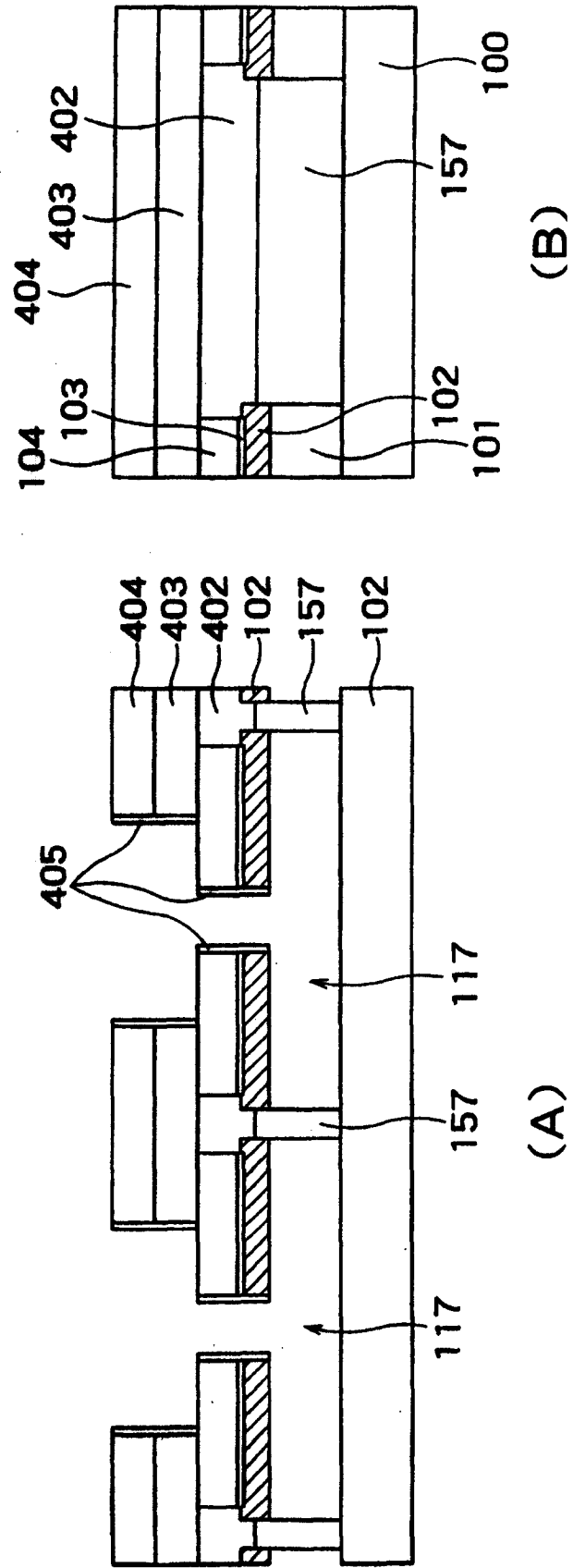


图 92

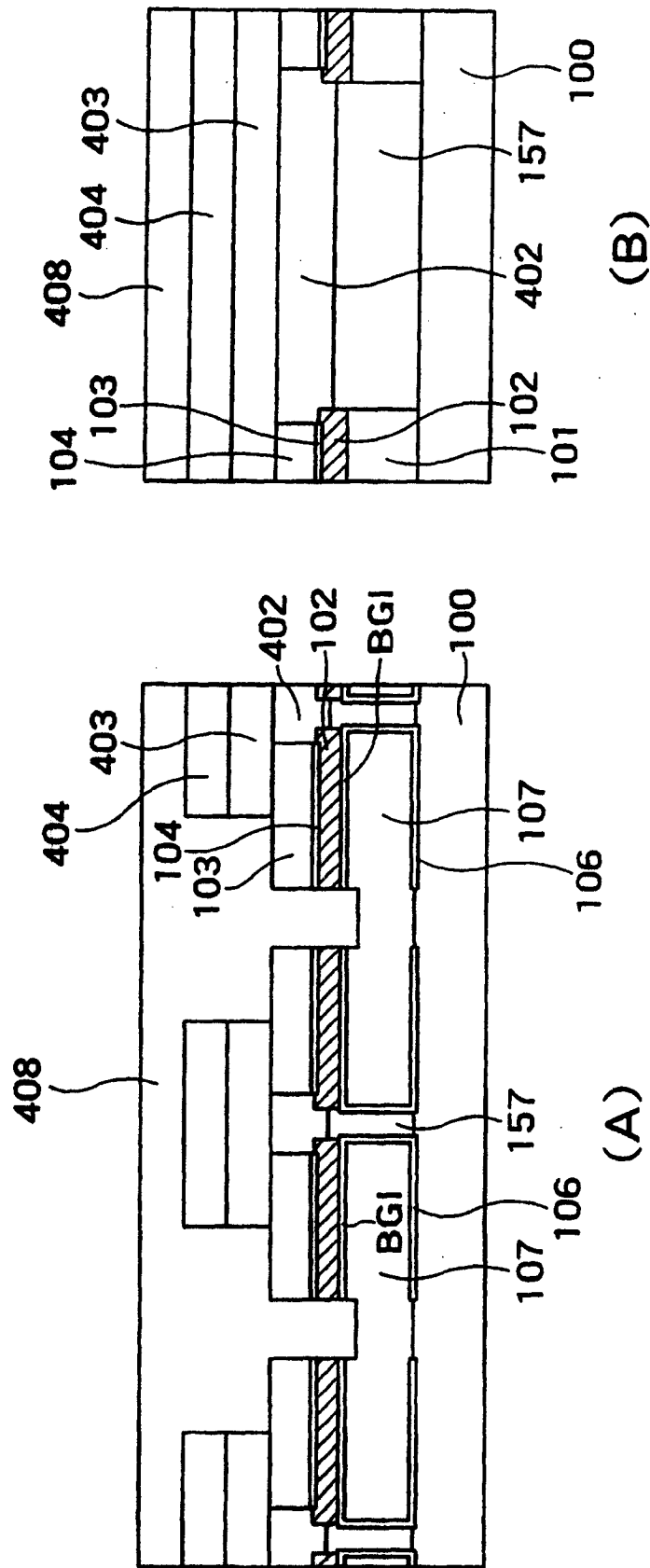


图 93

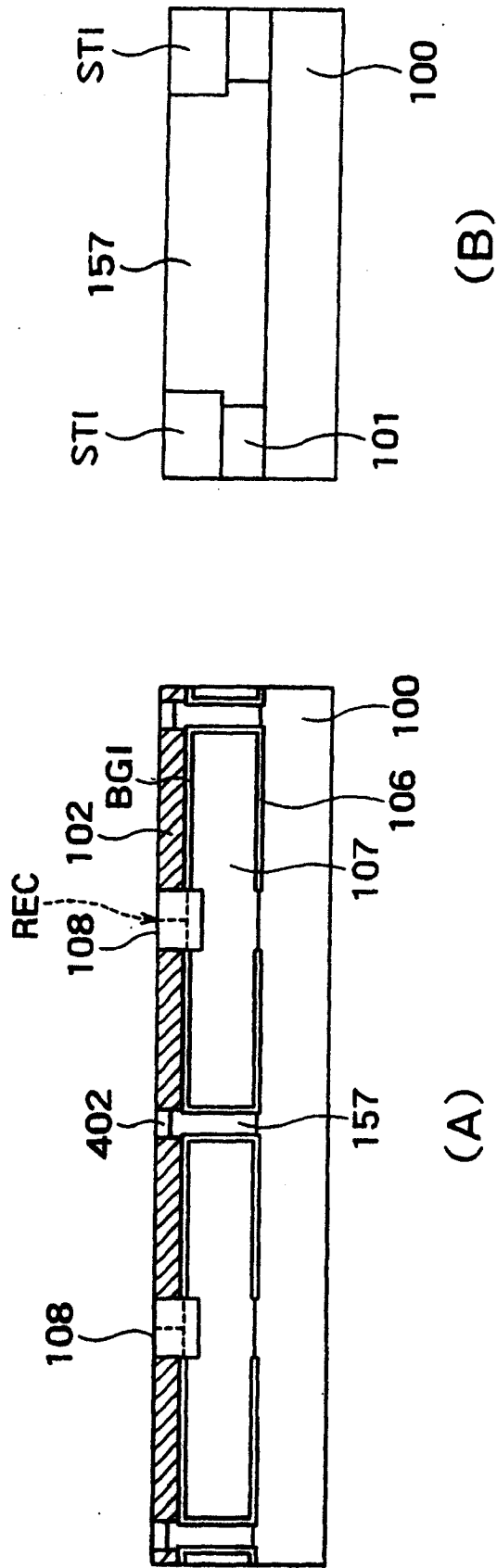


图 94

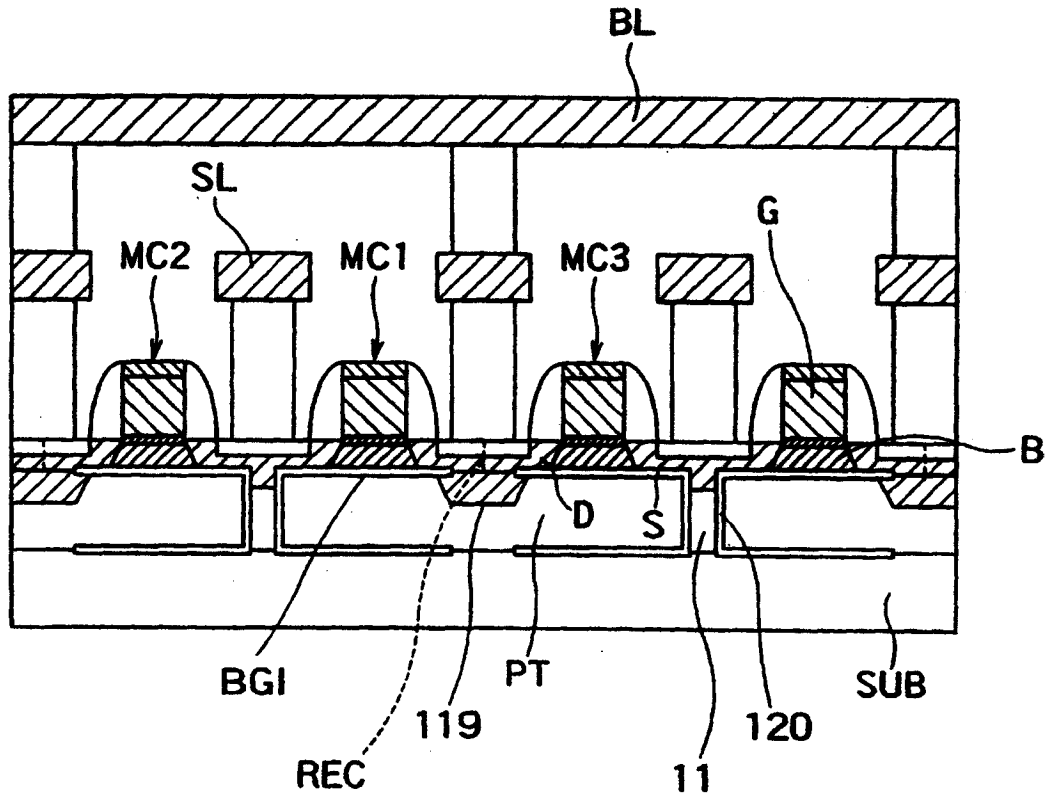


图 95

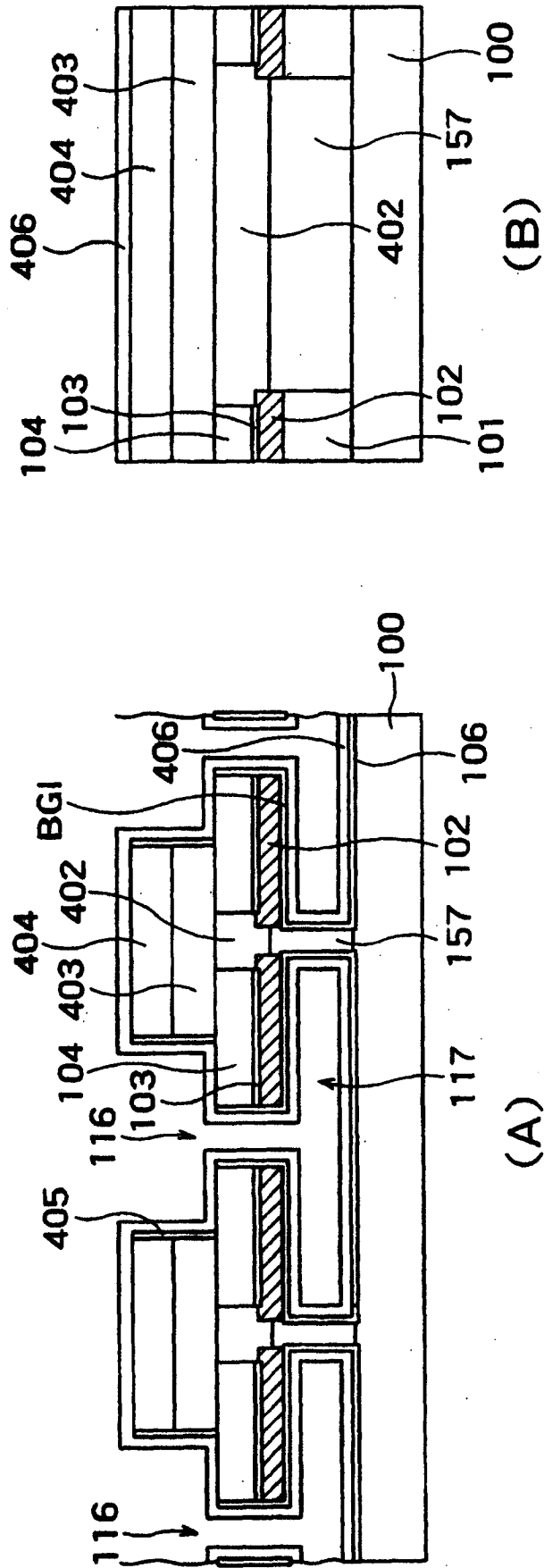


图96

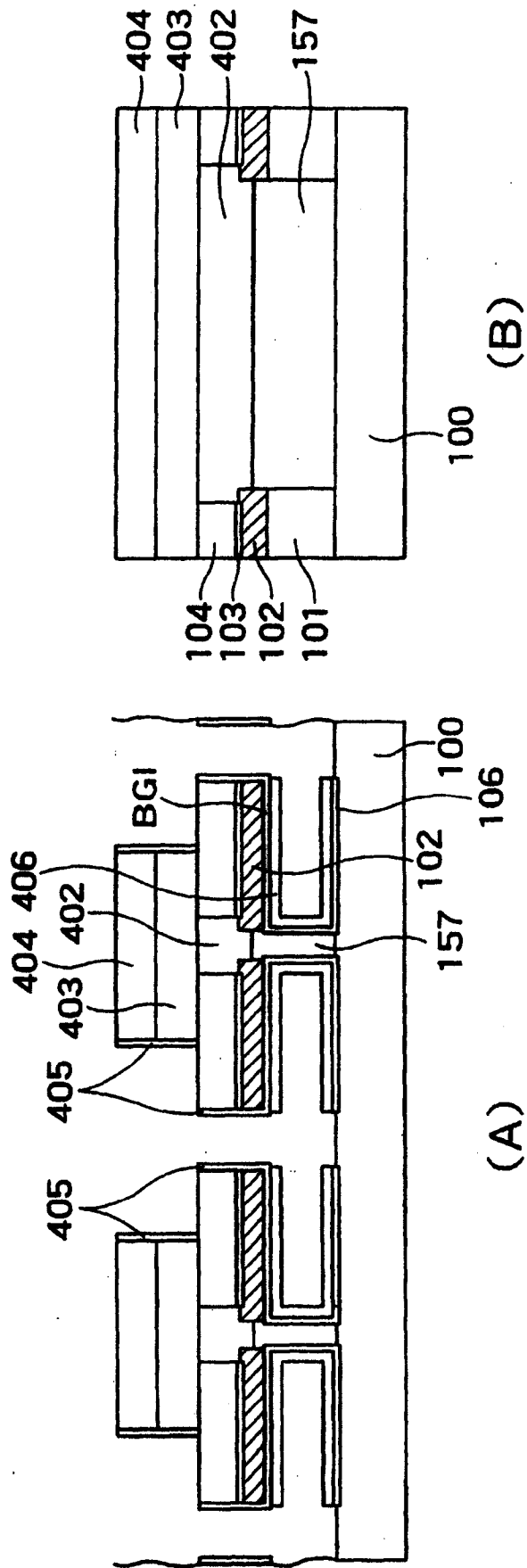


图97

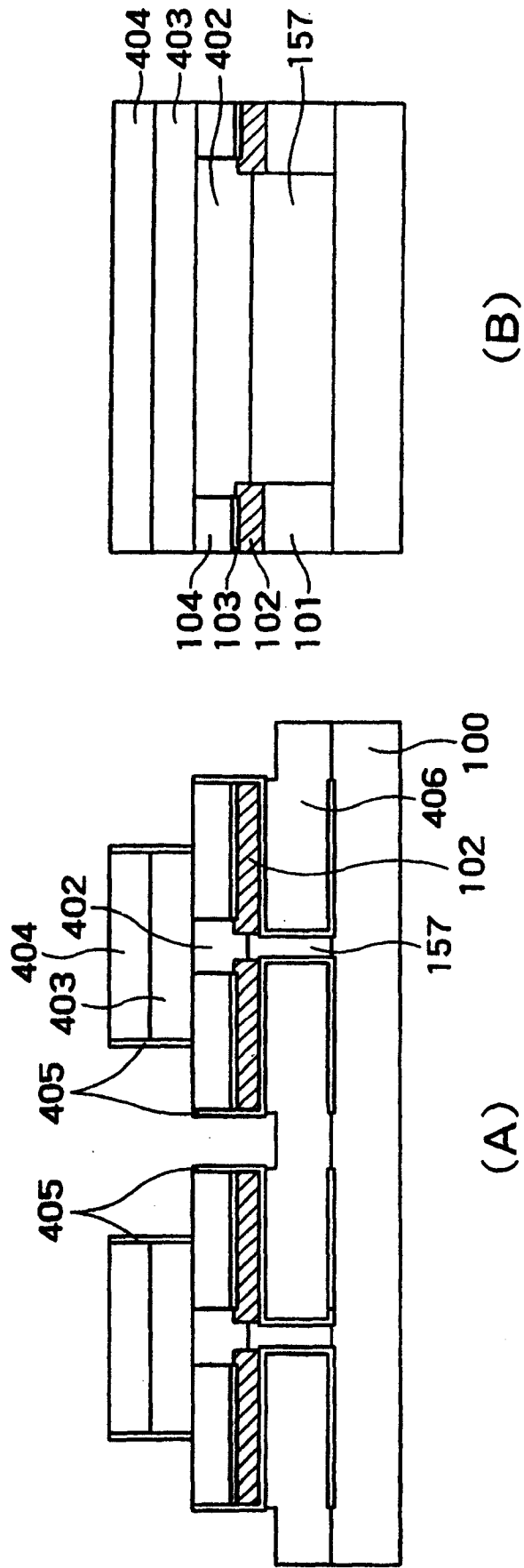
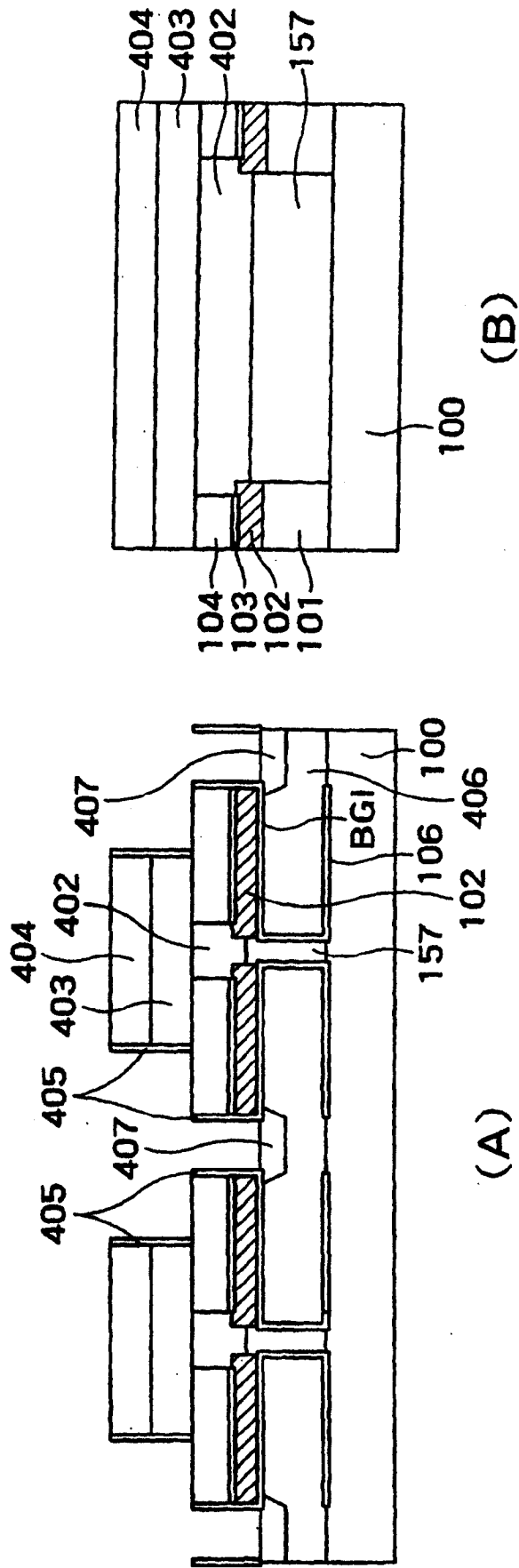


图98



- ◇ P型板极 (以往技术)、浓度 $1 \times 10^{19} \text{ cm}^{-3}$ (L5)
- 将P型板极+源极连接在衬底上+侧壁绝缘膜+浓度 $1 \times 10^{19} \text{ cm}^{-3}$ (L6)
- △ N型板极 (以往技术)、浓度 $8 \times 10^{17} \text{ cm}^{-3}$ (L7)
- 将N型板极+源极连接在衬底上+侧壁绝缘膜、浓度 $8 \times 10^{17} \text{ cm}^{-3}$ (L8)

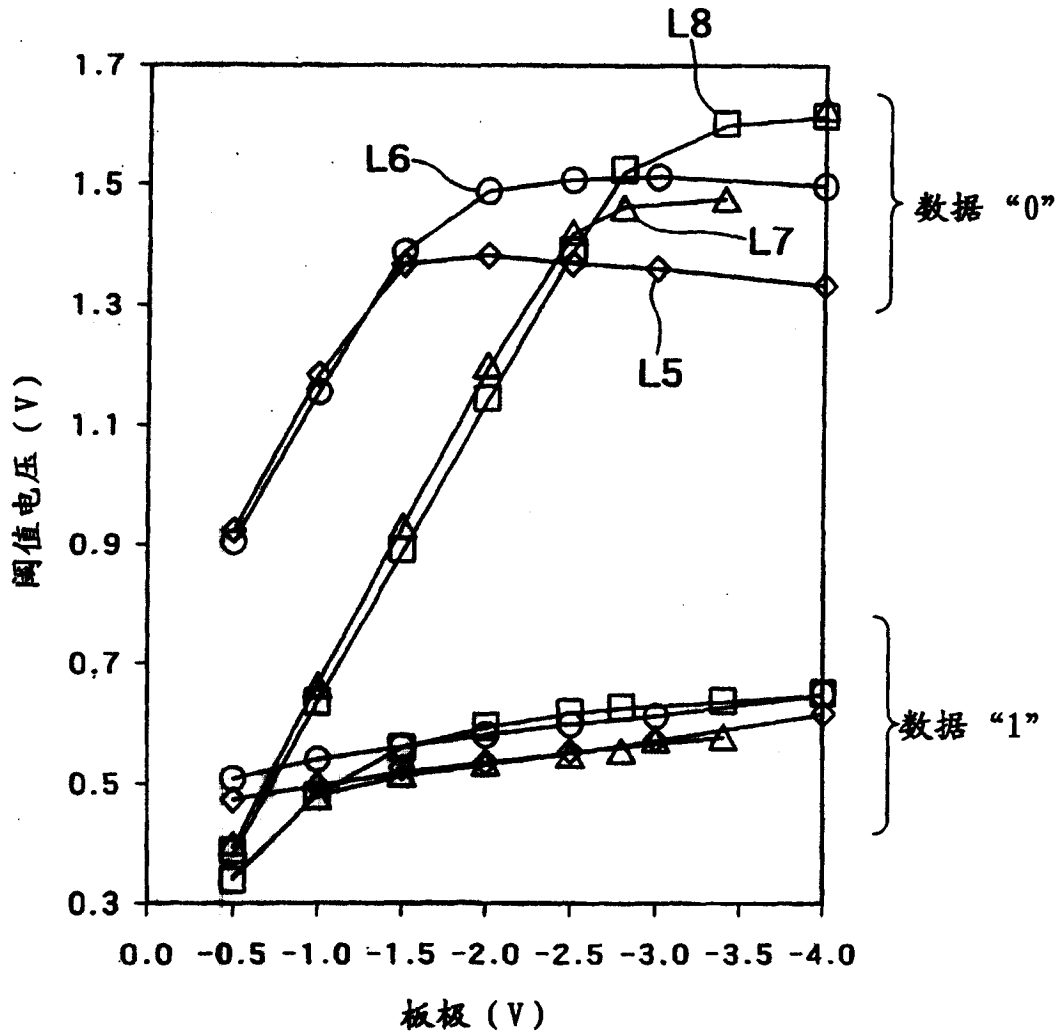
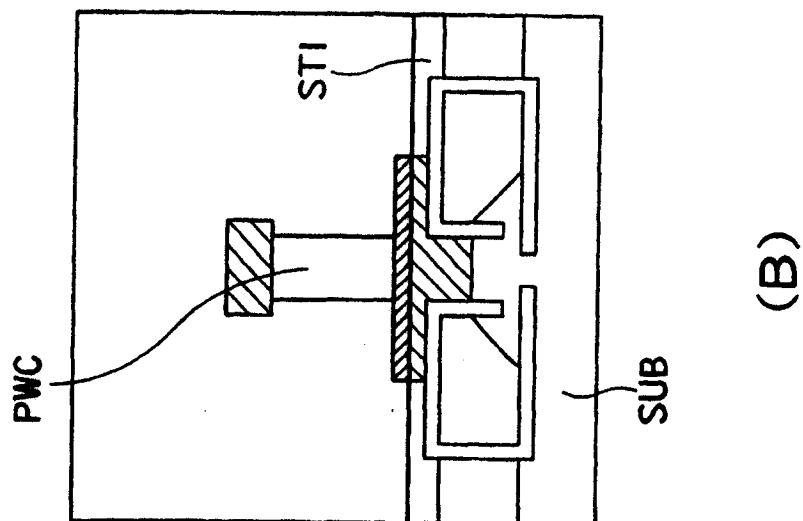
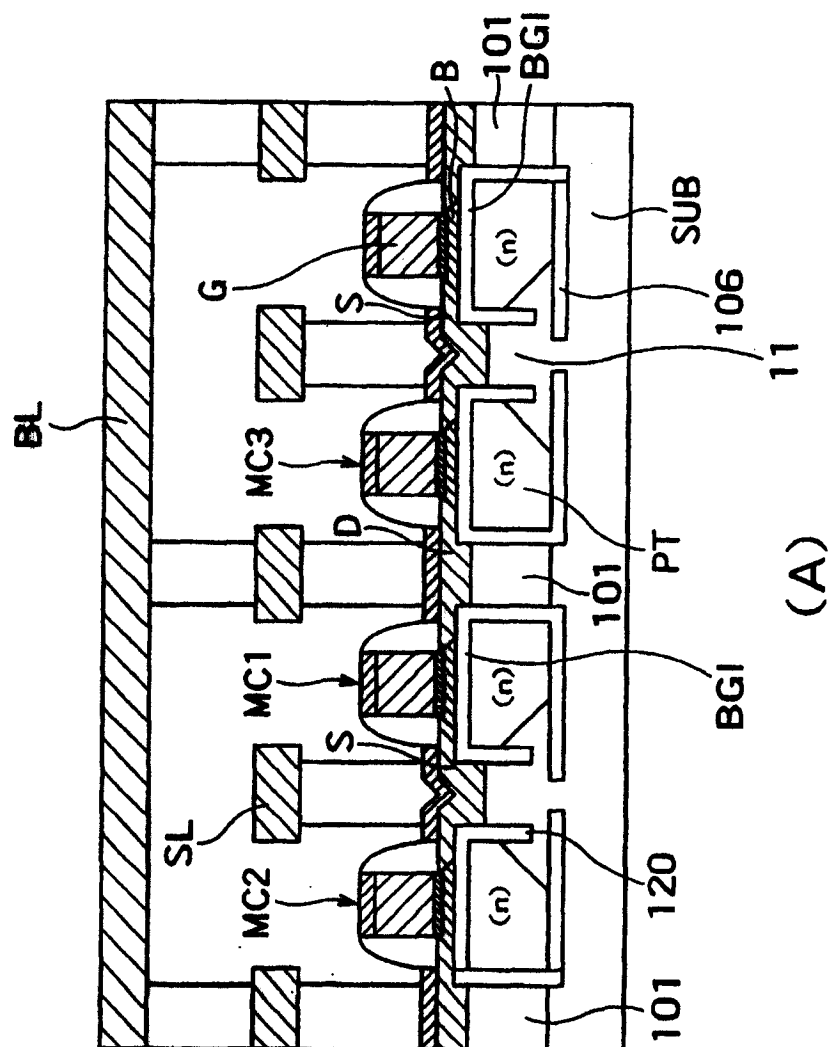


图 99

图 100



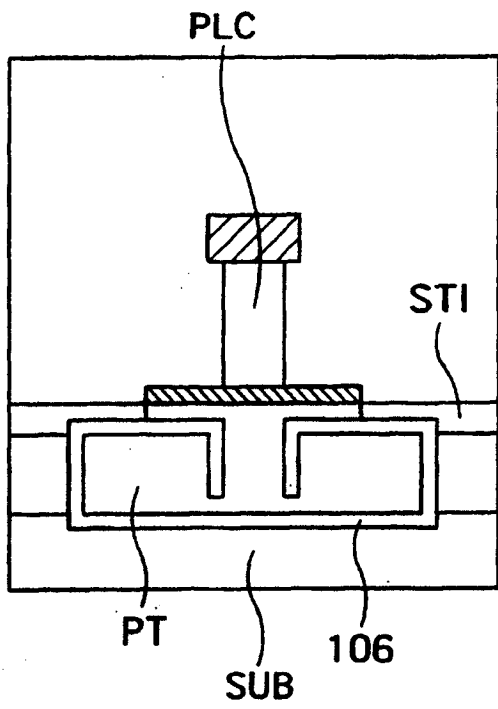


图 101

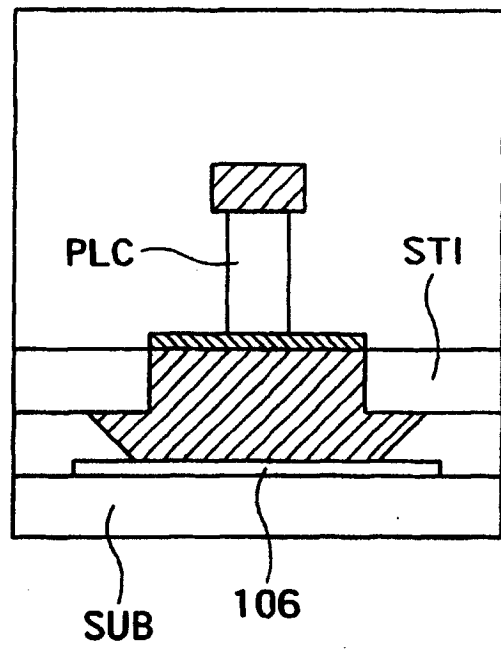


图 102

图103

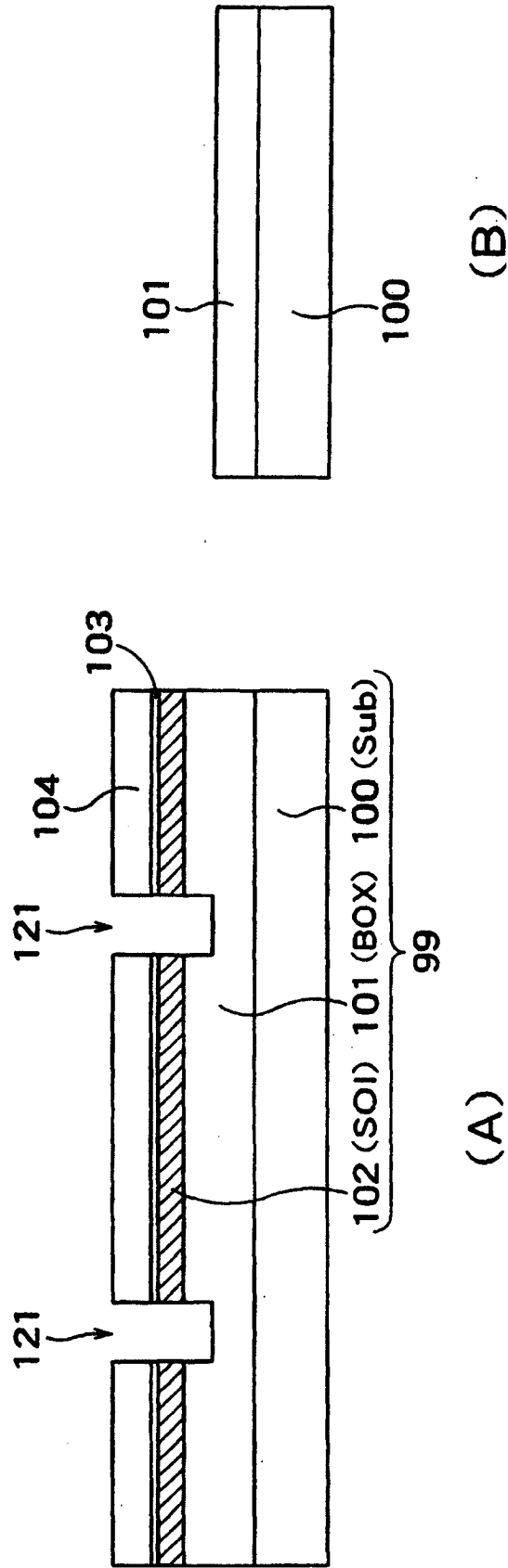


图 104

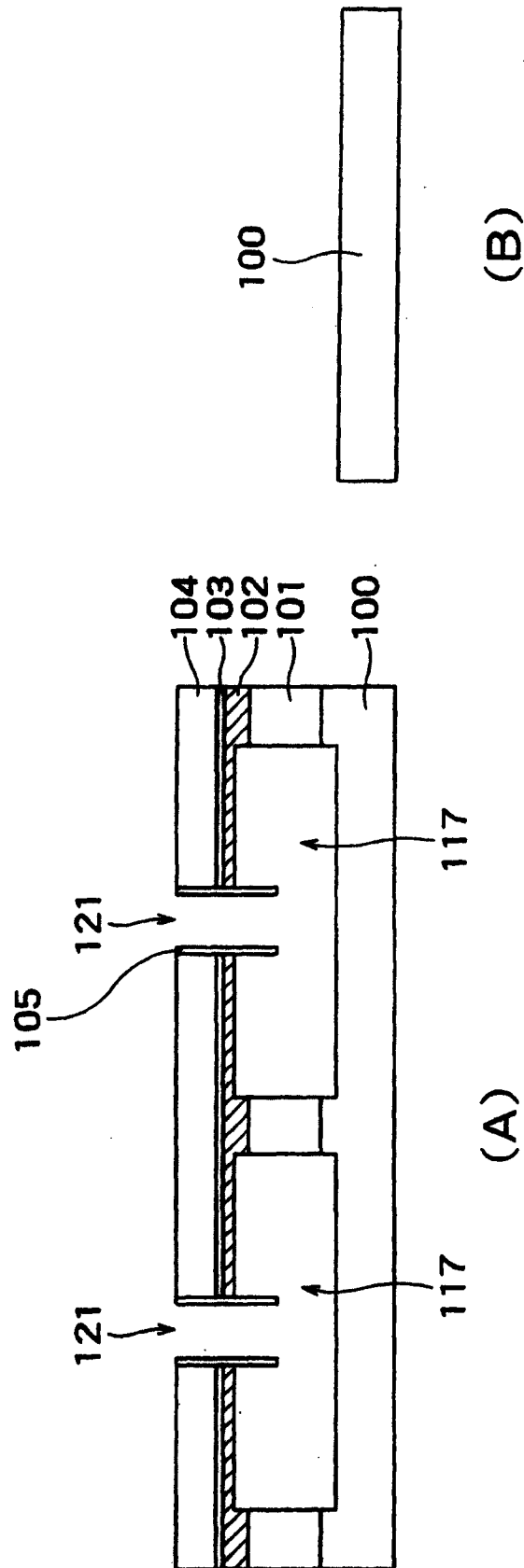


图105

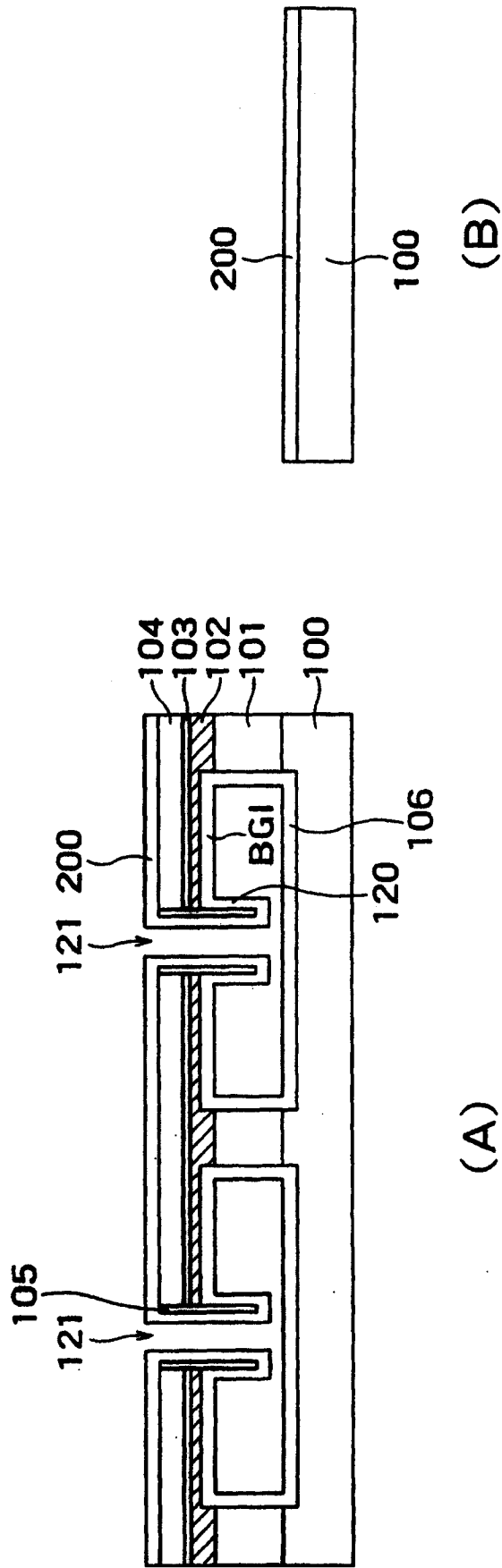


图106

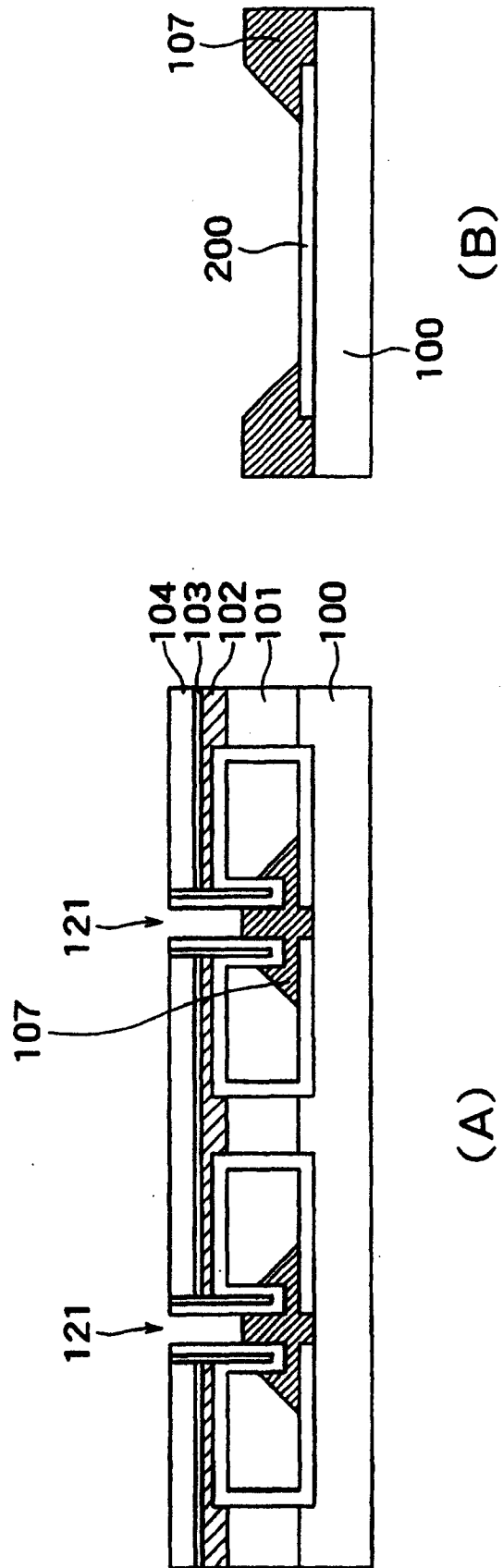


图107

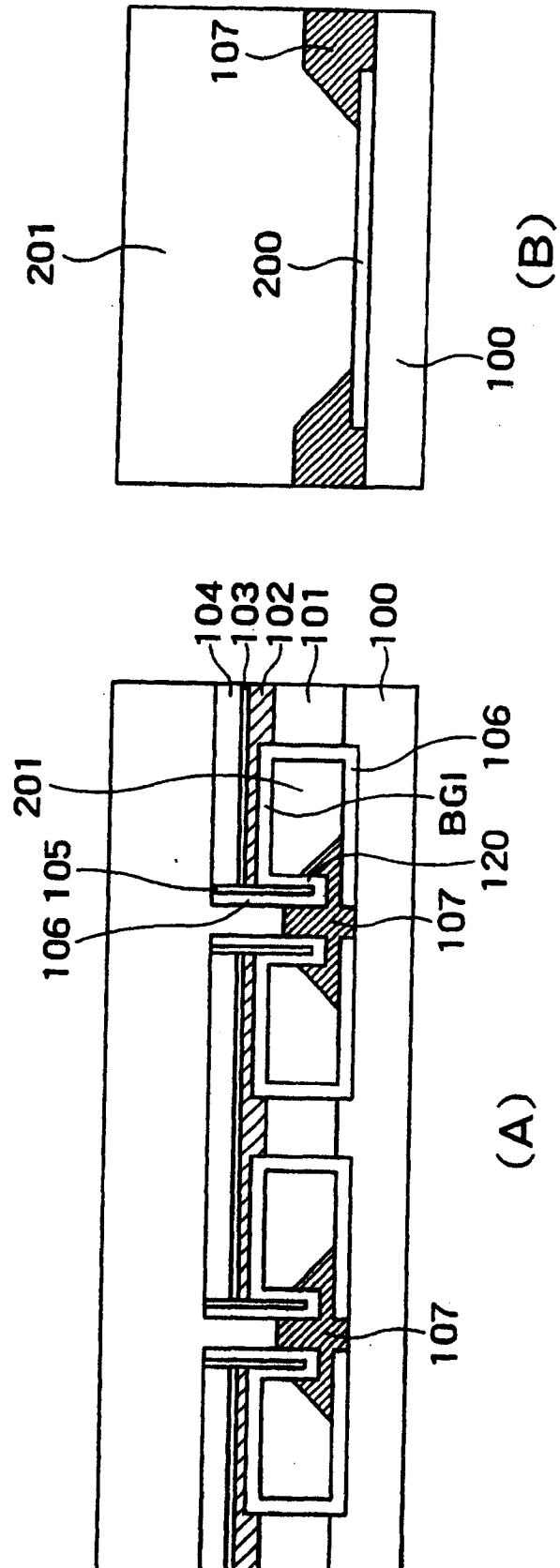


图108

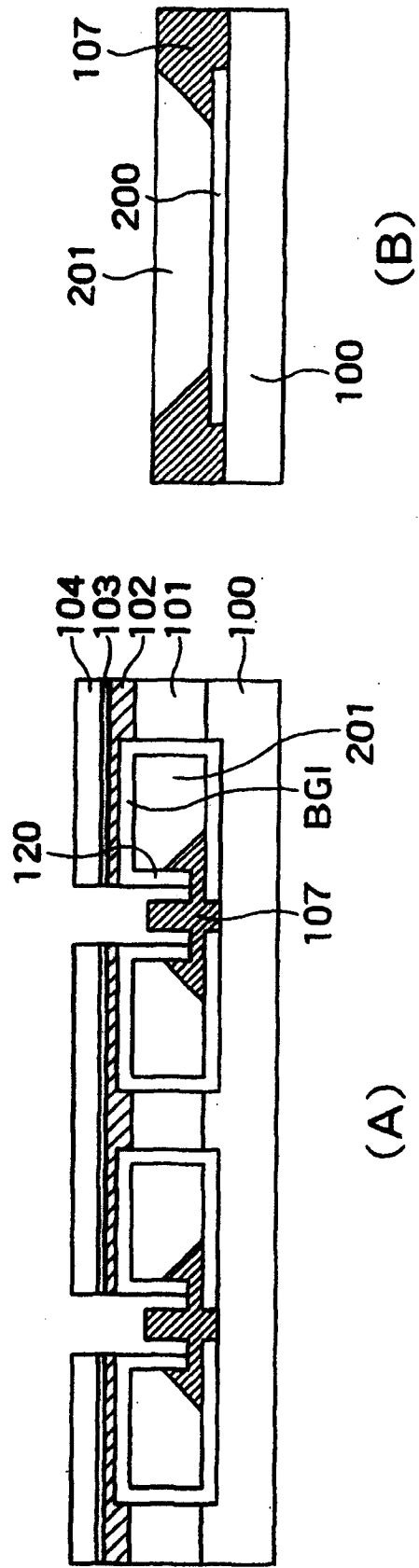


图109

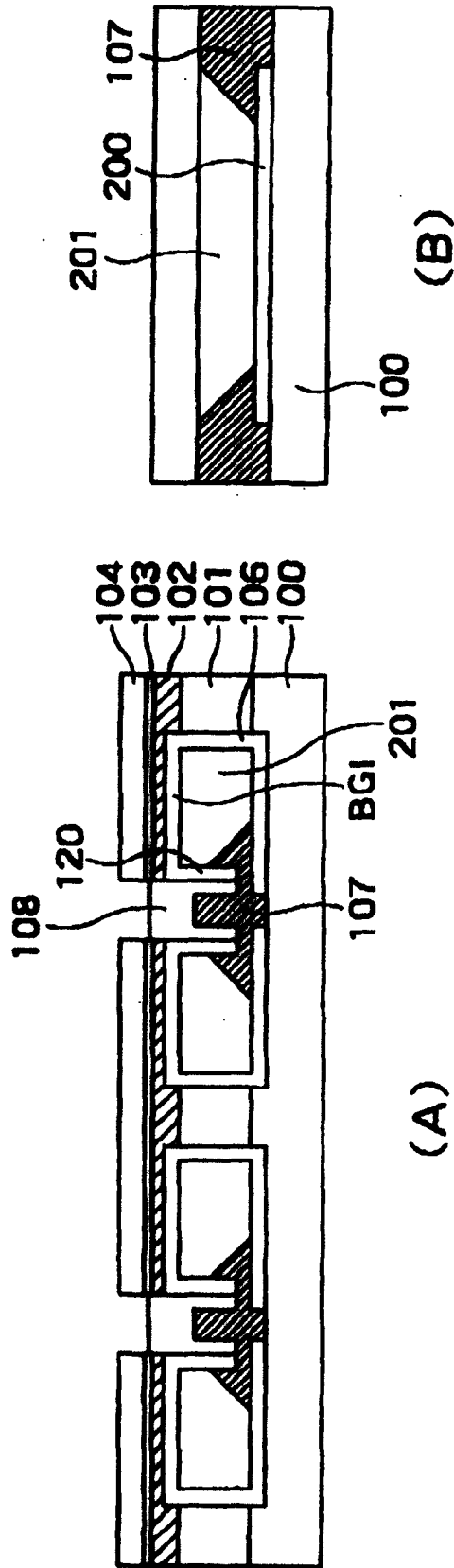


图 110

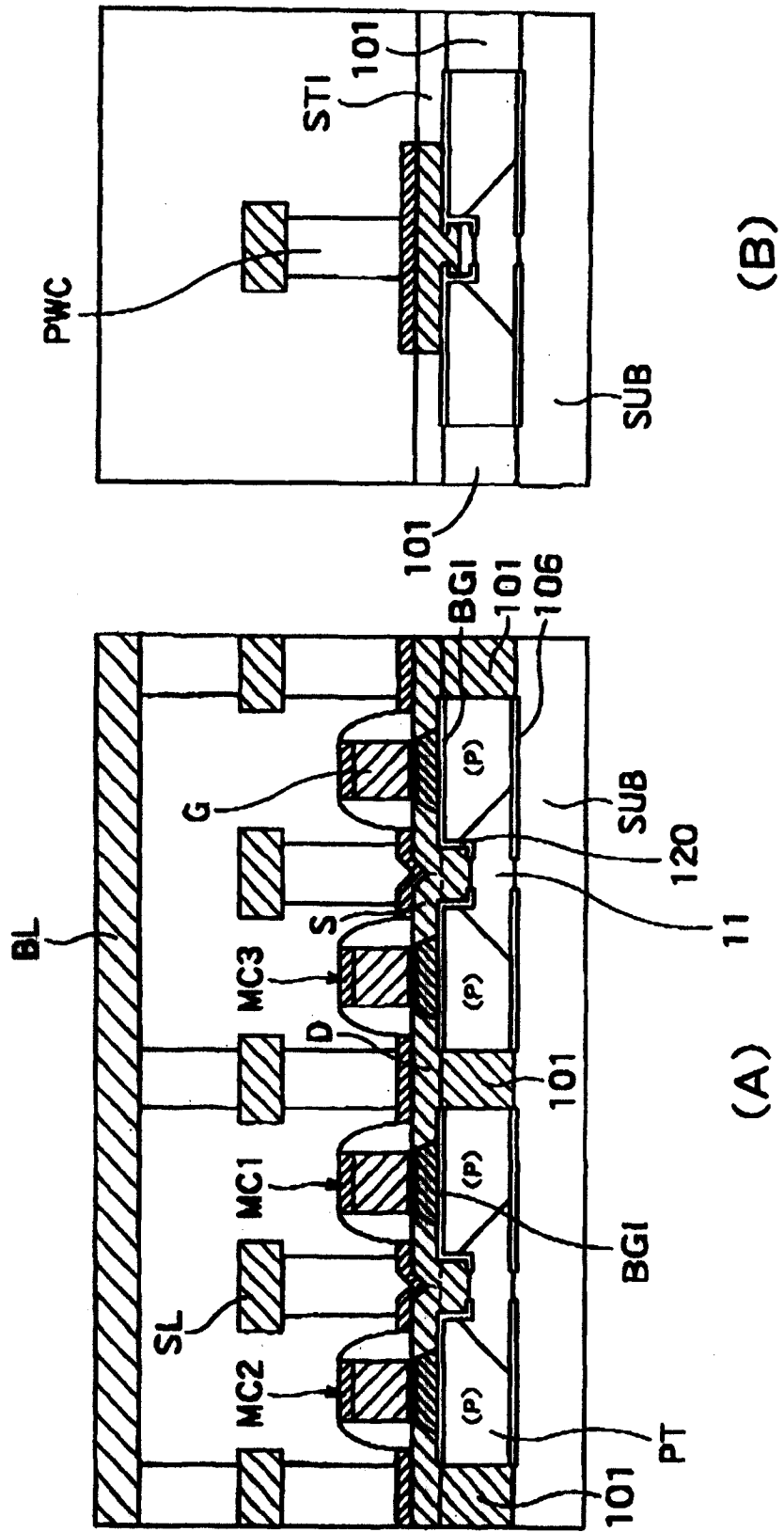


图111

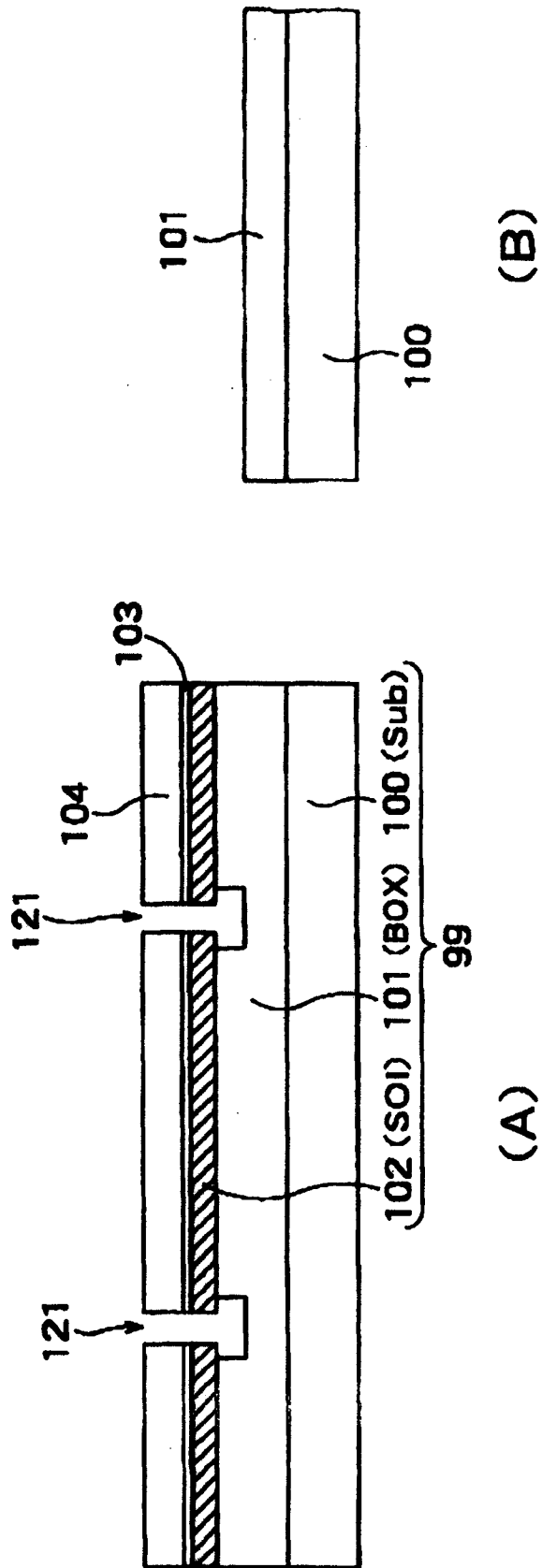


图 112

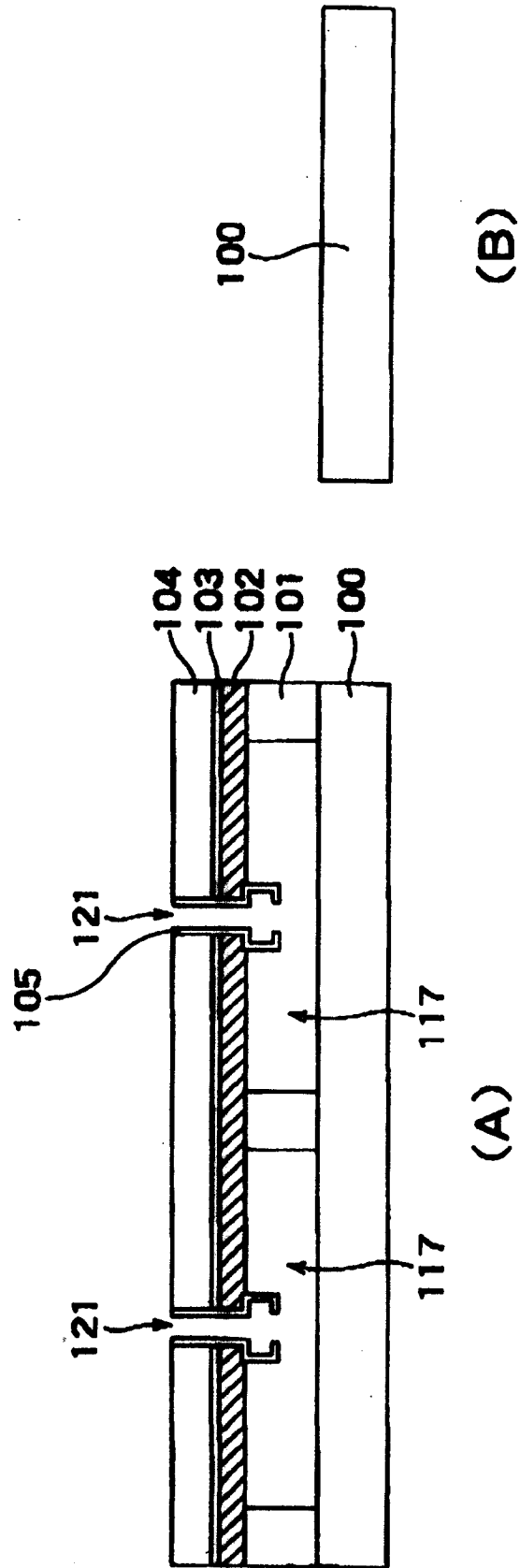


图113

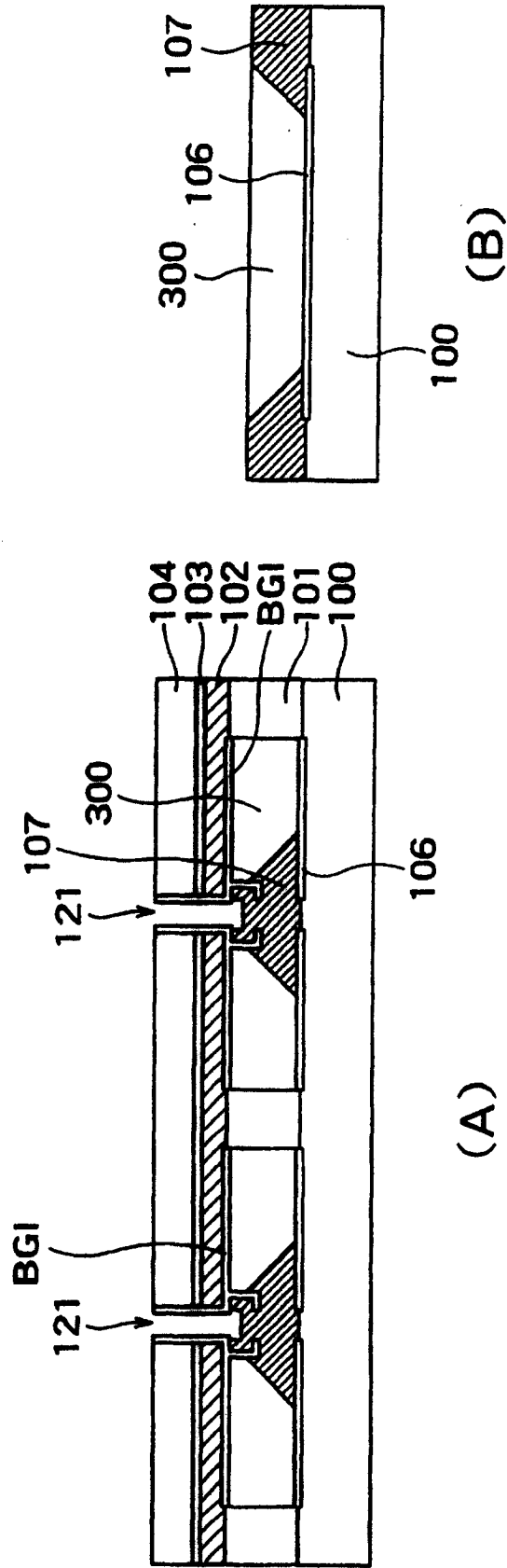


图 114

