



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0077325
(43) 공개일자 2014년06월24일

(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2006.01) G11C 8/00 (2006.01)
G11C 11/15 (2006.01)

(21) 출원번호 10-2012-0145974
(22) 출원일자 2012년12월14일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
김찬경
경기도 화성시 동탄지성로 42 (반송동, 동탄시범
한빛마을 동탄아이파크) 233동 804호
김동민
경기도 화성시 영통로27번길 35 (반월동, 신영통
현대아파트) 310동 103호

황홍선
경기도 수원시 영통구 영통로173번길 37 (망포동,
쌍용1차아파트) 106동 303호

(74) 대리인
박영우

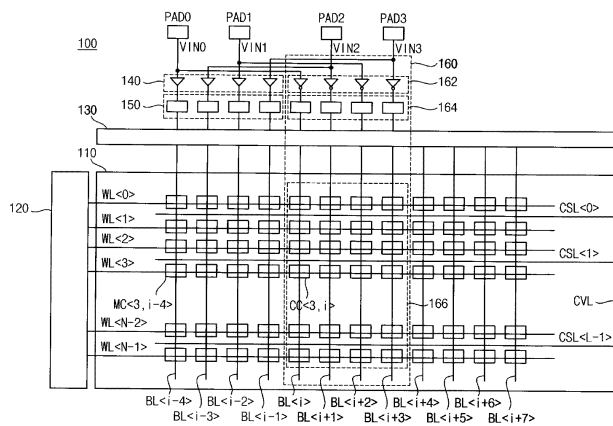
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **공통소스 반도체 메모리 장치**

(57) 요약

반도체 메모리장치는 복수의 비트라인들과 하나의 공통소스라인 사이에 각각 연결된 복수의 노말 셀 유닛들을 포함하는 셀 어레이와, 복수의 노말 셀 유닛들을 통해 공통소스라인에 동시 유입 및 유출되는 복수의 쓰기전류들을 상쇄시키기 위한 복수의 보상 쓰기전류들을 공통소스라인에 공급하기 위한 공통소스라인 보상회로를 포함한다. 따라서 데이터 패턴에 따른 공통소스라인의 유입 및 유출 전류의 불평형을 차단할 수 있으므로 공통소스라인의 노이즈를 삭제할 수 있다.

대표도



특허청구의 범위

청구항 1

복수의 비트라인들과 하나의 공통소스라인 사이에 각각 연결된 복수의 노말 셀 유닛들을 포함하는 셀 어레이; 및

상기 복수의 노말 셀 유닛들을 통해 상기 공통소스라인에 동시 유입 및 유출되는 복수의 쓰기전류들을 상쇄시키기 위한 복수의 보상 쓰기전류들을 상기 공통소스라인에 공급하기 위한 공통소스라인 보상회로를 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 공통소스라인 보상회로는

외부로부터 공급되는 쓰기 데이터를 반전 입력하기 위한 보상 입력버퍼;

상기 보상 입력버퍼를 통해 반전된 쓰기 데이터의 각 비트 값에 대응하는 보상 쓰기전류들을 대응하는 보상 비트라인들에 각각 동시에 공급하기 위한 보상 쓰기회로; 및

상기 셀 어레이의 영역에 배치되고 상기 보상 비트라인들과 상기 공통소스라인 사이에 각각 연결되고, 대응하는 보상 쓰기전류에 대응하는 데이터를 동시에 저장하기 위한 복수의 보상 셀 유닛들을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제2항에 있어서, 상기 복수의 보상 셀 유닛들은 상기 복수의 노말 셀 유닛들과 다른 더미 셀 유닛들로 구성된 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제2항에 있어서, 상기 복수의 보상 셀 유닛들은 상기 복수의 노말 셀 유닛들 중 일부의 셀 유닛들로 구성된 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제4항에 있어서, 상기 보상 쓰기회로와 보상 비트라인들 사이에 보상모드 선택회로를 구비하고,

상기 보상모드 선택회로는 보상모드세트신호에 응답하여 상기 보상 비트라인들을 선택하기 위한 칼럼 디코더를 통한 노말 쓰기전류와 상기 보상 쓰기회로를 보상 셀 유닛들에 선택적으로 공급하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제5항에 있어서, 상기 보상모드 선택회로는

보상모드 세트신호를 저장하고 보상모드 선택신호를 발생하기 위한 보상모드 세트 레지스터;

상기 보상모드 선택신호를 반전시키기 위한 인버터;

상기 칼럼 디코더와 상기 보상 비트라인들 사이에 연결되고 상기 보상모드 선택신호에 응답하여 노말 모드에서 턴온 되는 제1선택스위치; 및

상기 보상 쓰기회로와 상기 보상 비트라인들 사이에 연결되고 상기 인버터의 출력신호에 응답하여 보상모드에서 턴온 되는 제2선택스위치를 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

복수의 워드라인들 중 하나를 선택하기 위한 로우 디코더;

$n(>1)$ 비트 데이터의 비트 수에 대응하는 비트라인들을 하나의 칼럼단위로 동시에 선택하기 위한 칼럼 디코더;

상기 복수의 워드라인들과 상기 복수의 비트라인들의 각 교차점에 배치되고, 대응하는 비트라인과 하나의 공통 소스라인 사이에 각각 연결된 복수의 노말 셀 유닛들을 포함하는 셀 어레이;

상기 n 비트 데이터를 입력하기 위한 노말 입력버퍼;

상기 노말 입력버퍼에 입력된 데이터 패턴에 응답하여 상기 칼럼 디코더에 의해 선택된 칼럼의 비트라인들을 대응하는 쓰기전류로 각각 구동하기 위한 노말 쓰기회로; 및

상기 n 비트 데이터를 입력하여, 상기 노말 쓰기회로에 의해 동시 구동된 복수의 노말 셀 유닛들을 통해 상기 공통소스라인에 동시 유입 및 유출되는 복수의 쓰기전류들을 상쇄시키기 위한 복수의 보상 쓰기전류들을 상기 공통소스라인에 공급하기 위한 공통소스라인 보상회로를 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

제7항에 있어서, 상기 공통소스라인 보상회로는

상기 n비트 데이터를 반전 입력하기 위한 보상 입력버퍼;

상기 보상 입력버퍼를 통해 반전된 데이터의 각 비트 값에 대응하는 보상 쓰기전류들을 대응하는 보상 비트라인들에 각각 동시에 공급하기 위한 보상 쓰기회로; 및

상기 셀 어레이의 영역에 배치되고 상기 보상 비트라인들과 상기 공통소스라인 사이에 각각 연결되고, 대응하는 보상 쓰기전류에 대응하는 데이터를 동시에 저장하기 위한 복수의 보상 셀 유닛들을 구비한 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

제8항에 있어서, 상기 보상 쓰기회로와 보상 비트라인들 사이에 보상모드 선택회로를 구비하고,

상기 보상모드 선택회로는 보상모드 세트신호에 응답하여 상기 보상 비트라인들을 선택하기 위한 칼럼 디코더를 통한 노말 쓰기전류와 상기 보상 쓰기회로를 보상 셀 유닛들에 선택적으로 공급하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

제9항에 있어서, 상기 보상모드 선택회로는

보상모드 세트신호를 저장하고 보상모드 선택신호를 발생하기 위한 보상모드 세트 레지스터;

상기 보상모드 선택신호를 반전시키기 위한 인버터;

상기 칼럼 디코더와 상기 보상 비트라인들 사이에 연결되고 상기 보상모드 선택신호에 응답하여 노말 모드에서 턴온 되는 제1선택스위치; 및상기 보상 쓰기회로와 상기 보상 비트라인들 사이에 연결되고 상기 인버터의 출력 신호에 응답하여 보상모드에서 턴온 되는 제2선택스위치를 구비한 것을 특징으로 하는 반도체 메모리 장치.

명세서

기술분야

[0001] 본 발명은 공통소스 반도체 메모리 장치에 관한 것으로 특히 복수 비트 데이터의 동시 쓰기 동작시 데이터 패턴에 따른 공통 소스 노이즈를 저감시킬 수 있는 반도체 메모리 장치에 관한 것이다.

배경기술

[0002] 반도체 메모리 장치는 크게 DRAM 또는 SRAM과 같은 휘발성 반도체 메모리 장치와 ROM 또는 플래시 메모리와 같은 비휘발성 반도체 메모리 장치로 나누어진다.

[0003] 비휘발성 반도체 메모리 장치는 전원이 차단되어도 데이터를 보존할 수 있다. 비휘발성 메모리에 저장되는 데이터는 메모리 제조 기술에 따라 영구적이거나 재프로그램 가능하다. 그러므로 비휘발성 반도체 메모리 장치는 컴퓨터, 항공 전자 공학, 통신, 그리고 소비자 전자 기술 산업과 같은 넓은 범위의 응용분야에서 전원이 차단되어도 프로그램 및 마이크로 코드를 보존하기 위해서 사용된다.

[0004] 이와 같은 비휘발성 반도체 메모리 장치의 차세대 메모리 장치는 DRAM(Dynamic Random Access Memory)의 고집적성, FLASH 메모리의 비휘발성, SRAM(Static RAM)의 고속성 등을 갖출 것이 요구되고 있다. 현재 PRAM(Phase change RAM), NFGM(Nano Floating Gate Memory), PoRAM(Polymer RAM), MRAM(Magnetic RAM), FeRAM(Ferroelectric RAM), RRAM(Resistive RAM) 등이 상기와 같은 요구에 부응하는 차세대 메모리 장치로 거론되고 있다.

[0005] 특히 비휘발성 반도체 메모리 장치로 고속 대용량화가 가능한 저항체(resistance material)를 이용한 비휘발성 메모리 장치, 예컨대 자기 메모리 장치(MRAM : Magnetic Random Access Memory), 상변화 메모리 장치(PRAM : Phase change Random Access Memory) 및 저항 메모리 장치(RRAM : Resistive RAM) 등에 대한 연구가 활발히 이루어지고 있다. 자기 메모리 장치(MRAM : Magnetic Random Access Memory) 중 STT-MRAM(Spin Torque Transfer-Magnetic Random Access Memory)은 DRAM의 저비용, 고용량, SRAM의 고속 동작, FLASH의 비휘발성 특성을 모두 가지는 만능 메모리 장치이다.

[0006] STT-MRAM의 쓰기 동작은 셀 유닛을 중심으로 양방향의 전류를 임계치 이상 흘려줌으로써 데이터 프로그램이 가능해진다. 또한, DRAM의 라이트 밴드 폭(write bandwidth)과 필적하는 성능을 구현하기 위해서 하나의 공통소스라인(CSL) 오픈 시에 X8 또는 X16개의 데이터를 동시에 쓸 수 있는 시스템으로 구성되어 있다. 이 때, 입력되어지는 X8, X16의 데이터 패턴에 따라서 한쪽 방향으로 또는 다른 방향으로 흘러가는 전류의 양이 결정되어지게 된다. 결국 공통소스라인에서 전류가 빠져 나가거나, 흘러 들어오게 되는데 공통소스라인의 저항값에 따라서, 공통소스라인에 유기되어지는 노이즈 전압이 데이터 패턴에 따라서 변화된다. 안정적인 STT-MRAM의 동작을 위해서는 기준전압인 공통소스라인의 전압이 셀 어레이 전체에 걸쳐서 노이즈 없이 잘 공급되어야 한다.

발명의 내용

해결하려는 과제

[0007] 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 데이터 패턴에 따른 공통소스라인의 노이즈 삭제가 가능한 반도체 메모리 장치를 제공하는 데 있다.

과제의 해결 수단

[0008] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 반도체 메모리장치는 복수의 비트라인들과 하나의 공통소스라인 사이에 각각 연결된 복수의 노말 셀 유닛들을 포함하는 셀 어레이와, 복수의 노말 셀 유닛들을 통해 공통소스라인에 동시 유입 및 유출되는 복수의 쓰기전류들을 상쇄시키기 위한 복수의 보상 쓰기전류들을 공통소스라인에 공급하기 위한 공통소스라인 보상회로를 포함한다.

[0009] 본 발명에서 공통소스라인 보상회로는 외부로부터 공급되는 쓰기 데이터를 반전 입력하기 위한 보상 입력버퍼와, 보상 입력버퍼를 통해 반전된 쓰기 데이터의 각 비트 값에 대응하는 보상 쓰기전류들을 대응하는 보상 비트라인들에 각각 동시에 공급하기 위한 보상 쓰기회로와, 셀 어레이의 영역에 배치되고 보상 비트라인들과 공통소스라인 사이에 각각 연결되고, 대응하는 보상 쓰기전류에 대응하는 데이터를 동시에 저장하기 위한 복수의 보상 셀 유닛들을 포함한다.

[0010] 본 발명에서 데이터는 x2, x4, x8, x32, x64 또는 x128 등과 같이 2의 자승의 비트 수를 가진다.

[0011] 노말 셀 유닛 및 보상 셀 유닛들 각각은 대응하는 비트라인과 상기 공통소스라인 사이에 직렬로 연결된 가변저항 기억요소 및 셀 액세스 트랜지스터로 구성된다. 가변저항 기억요소는 스핀전달토크(spin transfer torque)(STT)에 의해 데이터가 기록되는 STT-MTJ(Magnetic Tunnel Junction) 기억요소가 바람직하다.

[0012] 본 발명에서 쓰기 데이터를 입력하기 위한 노말 입력버퍼와 보상 입력버퍼는 각각 복수의 의사 차동 증폭기들로 구성된 것이 바람직하다. 이와 같은 구성은 반도체 메모리 장치의 입력 핀수를 줄이면서 노이즈에 강한 특성을 가진다.

[0013] 본 발명에서 복수의 보상 셀 유닛들은 복수의 노말 셀 유닛들과 다른 더미 셀 유닛들로 구성할 수 있다. 이는 실제 저장 공간을 100% 사용하면서도 노이즈 삭제가 가능하다.

[0014] 또한 본 발명에서 복수의 보상 셀 유닛들은 복수의 노말 셀 유닛들 중 일부의 노말 셀 유닛들로 구성할 수도 있다. 이는 시스템 엔지니어가 노이즈 특성을 고려하여 공통소스라인 노이즈 삭제 기능을 사용여부를 소프트웨어적으로 선택할 수 있게 한다.

[0015] 즉 다른 실시예에서는 보상 쓰기회로와 보상 비트라인들 사이에 보상모드 선택회로를 구비하고, 보상모드 선택회로는 보상모드세트신호에 응답하여 상기 보상 비트라인들을 선택하기 위한 칼럼 디코더를 통한 노말 쓰기전류와 상기 보상 쓰기회로를 보상 셀 유닛들에 선택적으로 공급할 수 있다. 여기서 보상모드 선택회로는 보상모드 세트신호를 저장하고 보상모드 선택신호를 발생하기 위한 보상모드 세트 레지스터와, 보상모드 선택신호를 반전시키기 위한 인버터와, 칼럼 디코더와 보상 비트라인들 사이에 연결되고 상기 보상모드 선택신호에 응답하여 노말 모드에서 턴온 되는 제1선택스위치와, 보상 쓰기회로와 보상 비트라인들 사이에 연결되고 인버터의 출력신호에 응답하여 보상모드에서 턴온 되는 제2선택스위치를 포함할 수 있다.

[0016] 본 발명에 의한 도 다른 실시예는 복수의 워드라인들 중 하나를 선택하기 위한 로우 디코더와, $n(>1)$ 비트 데이터의 비트 수에 대응하는 비트라인들을 하나의 칼럼단위로 동시에 선택하기 위한 칼럼 디코더와, 복수의 워드라인들과 복수의 비트라인들의 각 교차점에 배치되고, 대응하는 비트라인과 하나의 공통소스라인 사이에 각각 연결된 복수의 노말 셀 유닛들을 포함하는 셀 어레이와, n 비트 데이터를 입력하기 위한 노말 입력버퍼와, 노말 입력버퍼에 입력된 데이터 패턴에 응답하여 칼럼 디코더에 의해 선택된 칼럼의 비트라인들을 대응하는 쓰기전류로 각각 구동하기 위한 노말 쓰기회로와, n 비트 데이터를 입력하여, 노말 쓰기회로에 의해 동시 구동된 복수의 노말 셀 유닛들을 통해 공통소스라인에 동시 유입 및 유출되는 복수의 쓰기전류들을 상쇄시키기 위한 복수의 보상 쓰기전류들을 공통소스라인에 공급하기 위한 공통소스라인 보상회로를 포함한다.

발명의 효과

[0017] 상기와 같은 본 발명의 실시예들에 따른 반도체 메모리 장치는 공통소스라인에 흘러 들어오는 전류크기와 흘러 나가는 전류크기가 항상 동일하게 유지할 수 있으므로 데이터 패턴에 관계없이 공통소스라인의 노이즈를 제거할 수 있으므로 쓰기 및 읽기 오류 발생을 줄일 수 있다.

[0018] 다만, 본 발명의 효과는 상기에서 언급된 효과로 제한되는 것은 아니며, 상기에서 언급되지 않은 다른 효과들은 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 실시예들에 따른 반도체 메모리 장치를 나타내는 블록도.
- 도 2는 도 1의 셀 어레이의 셀 유닛의 바람직한 일 실시예의 등가회로도.
- 도 3은 도 2의 셀 유닛의 가변저항 기억요소(ME)의 바람직한 일 실시예의 사시도.
- 도 4는 도 1의 노말 입력버퍼(140)의 바람직한 일 실시예의 회로도.
- 도 5는 도 1의 보상 입력버퍼(162)의 바람직한 일 실시예의 회로도.
- 도 6은 도 1의 노말 쓰기회로(150)의 일 실시예를 나타낸 회로도.
- 도 7은 도 1의 보상 쓰기회로(164)의 일 실시예를 나타낸 회로도.
- 도 8은 본 발명에 의한 반도체 메모리 장치에서 데이터 패턴 "0001"에 따른 공통소스라인 보상 동작을 설명하기 위한 회로도.
- 도 9는 본 발명에 의한 반도체 메모리 장치의 다른 실시예의 블록도.
- 도 10은 도 9의 보상모드 선택회로(168)의 바람직한 일 실시예의 회로도.
- 도 11은 도 1의 반도체 메모리 장치(100)를 포함하는 메모리 시스템(200)을 보여주는 블록도.
- 도 12는 도 11에 도시된 메모리 시스템(200)을 포함하는 전자 장치의 일 실시예의 블록도.
- 도 13은 도 11에 도시된 메모리 시스템(200)을 포함하는 전자 장치의 다른 실시예의 블록도.
- 도 14는 도 11에 도시된 메모리 시스템(200)을 포함하는 전자 장치의 또 다른 실시예의 블록도.
- 도 15는 도 11에 도시된 메모리 시스템(200)을 포함하는 전자 장치의 또 다른 실시예의 블록도.
- 도 16은 도 11에 도시된 메모리 시스템(200)을 포함하는 전자 장치의 또 다른 실시예의 블록도.

발명을 실시하기 위한 구체적인 내용

- [0020] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0021] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.
- [0022] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0023] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0024] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시(說示)된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0025] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0026] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0027] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0028] 도 1은 본 발명에 의한 반도체 메모리 장치의 바람직한 일 실시예의 블록도를 나타낸다.
- [0029] 도 1을 참조하면, 반도체 메모리 장치(100)는 셀 어레이(110), 로우 디코더(120), 칼럼 디코더(130), 노말 입력버퍼(140), 노말 쓰기회로(150) 및 공통 소스 라인 보상회로(160)를 포함한다.
- [0030] 일실시예에서 반도체 메모리 장치(100)는 설명의 편의상 4비트 데이터를 입출력하는 구조로 도시되어 있으나 동일한 개념으로 X8, X16, X32 등으로 확장 가능하다.
- [0031] 공통 소스라인 보상회로(160)는 보상 입력버퍼(162), 보상 쓰기 회로(164), 복수의 보상 셀 유닛들(166)을 포함한다.
- [0032] 셀 어레이(110)는 비트라인들(BL<i>4~BL<i>7)과 워드라인들(WL<0>~WL<N-1>)의 교차부위들에 각각 결합된 복수의 셀 유닛들을 포함한다. 두 개의 워드라인들(WL<0>, WL<1>), (WL<2>, WL<3>), -----, (WL<N-2>, WL<N-1>) 사이에 각각 공통소스라인들(CSL<0>, CSL<1>, -----, CSL<L-1>)이 배치되고 모든 공통소스라인들 (CSL<0>, CSL<1>, -----, CSL<L-1>)은 공통수직라인(CVL)에 의해 서로 전기적으로 결합된다. 이와 같은 공통 소스라인 구조는 셀당 $6F^2 (= 2F \times 3F)$ 의 사이즈를 만족시킨다.
- [0033] 워드라인 방향의 중앙에는 보상 셀 유닛들(166 : CC<i>(i, j)>)이 배치되고, 그 좌우에는 노말 셀 유닛들(MC<i>(i, j)>)

이 배치된다. 이와 같은 보상 셀 유닛들의 배치는 셀들의 공간배치에 따른 편차를 최소화하기 위한 것이다. 그러므로 최대 편차가 허용범위 이내라면 보상 셀 유닛들(166 : CC(<i,j>))의 공간 배치가 좌측 또는 우측 에지 부위에 배치될 수도 있다. 또한 보상 셀 유닛들(166 : CC(<i,j>))을 셀 어레이 공간 배에서 워드라인 방향으로 등간격으로 배치할 수도 있다.

- [0034] 그러므로 반도체 메모리 장치(100)의 셀 어레이(110)의 저장 공간은 $N \times (M + 4)$ 로 구성할 수 있다. 여기서 실제 사용자가 사용 가능한 저장 공간은 노말 셀 유닛들로 구성되는 $N \times M$ 저장 공간으로 주어진다.
- [0035] 본 발명의 보상 셀 유닛들(166)은 공통소스라인을 사용하는 저장 공간 단위, 예컨대 매트(MAT) 단위로 구성될 수 있다.
- [0036] 공통 소스라인 보상회로(160)의 보상 입력버퍼(162)는 4개의 패드들(PAD0~PAD3)을 통해 입력되는 4비트 데이터의 각 비트들을 각각 버퍼링하기 위한 노말 입력버퍼(140)와 달리 반전된 상보 값을 버퍼링한다.
- [0037] 도 2는 도 1의 셀 어레이의 셀 유닛의 등가 회로도를 나타내고, 도 3은 도 2의 셀 유닛의 가변저항 기억요소(ME)의 바람직한 일 실시예의 사시도를 나타낸다.
- [0038] 도 2를 참조하면, 셀 유닛(MC)은 비트라인(BL)과 공통소스라인(CSL)에 직렬로 연결된 가변저항 기억요소(ME)와 셀 액세스 트랜지스터(MS)를 포함한다. 셀 액세스 트랜지스터(MS)는 게이트에 워드라인(WL)이 연결된 MOS 트랜지스터로 구성한다.
- [0039] 가변저항 기억소자(ME)는 도 3에 도시한 바와 같이 스핀전달토크(spin transfer torque)(STT)에 의해 데이터가 기록되는 STT-MTJ(Magnetic Tunnel Junction) 요소로 구성할 수 있다. STT-MTJ 요소(ME)는 고정층(FXL)과 자유층(FRL) 및 이들 사이에 터널층(TNL)을 포함할 수 있다. 고정층(FXL)의 자화 방향은, 예컨대, X축 방향으로 고정될 수 있다. 자유층(FRL)의 자화 방향은 조건에 따라 X축 방향 또는 그의 역방향이 될 수 있다. 고정층(FXL)에 접촉된 제1 전극(E1)이 구비될 수 있고, 자유층(FRL)에 접촉된 제2 전극(E2)이 구비될 수 있다. 여기서 제1 전극(E1)은 도 2의 비트라인(BL)과 연결되고, 제2 전극(E2)은 도 2의 공통소스라인(CSL)에 연결된다.
- [0040] 예컨대, 제1 전극(E1) 상에 고정층(FXL), 터널층(TNL), 자유층(FRL) 및 제2 전극(E2)이 순차로 구비될 수 있다. 도시하지는 않았지만, 제1 전극(E1)과 고정층(FXL) 사이에 고정층(FXL)의 자화 방향을 고정시켜 주기 위한 요소, 예컨대, 반강자성층(anti-ferromagnetic layer)이 더 구비될 수 있다. 제1 및 제2 전극(E1, E2)은 배선 형태를 가질 수 있고, 이 경우, 서로 평행 또는 수직하게 구비될 수 있다. 제1 및 제2 전극(E1, E2) 사이에 쓰기전류(WC1, WC2)를 인가할 수 있다. 상기 쓰기전류(WC1, WC2)의 방향에 따라, 자유층(FRL)의 자화 방향이 결정될 수 있다. 예컨대, 제2 전극(E2)에서 제1 전극(E1)으로 제1 쓰기전류(WC1)를 인가하면, 자유층(FRL)은 고정층(FXL)과 동일한 방향으로 자화될 수 있다. 보다 상세히 설명하면, 상기 제1 쓰기전류(WC1)에 의해 전자가 제1 전극(E1)에서 제2 전극(E2)으로 이동한다. 이때, 고정층(FXL)과 동일한 스핀 방향을 갖는 전자들이 자유층(FRL)에 토크(torque)를 인가할 수 있다. 이에 따라, 자유층(FRL)은 고정층(FXL)과 동일한 방향으로 자화될 수 있다. 제1 전극(E1)에서 제2 전극(E2)으로 제2 쓰기전류(WC2)를 인가하면, 자유층(FRL)은 고정층(FXL)과 반대 방향으로 자화될 수 있다. 이는 제2 쓰기전류(WC2)에 의해 전자가 제2 전극(E2)에서 제1 전극(E1)으로 흐르는데, 이때, 고정층(FXL)과 반대의 스핀을 갖는 전자들이 자유층(FRL)으로 되돌아와 토크를 인가하기 때문이다. 이와 같이, STT-MTJ 요소(ME)에서 자유층(FRL)의 자화 방향은 스핀전달토크(spin transfer torque)에 의해 변할 수 있다. 자유층(FRL)의 자화 방향이 고정층(FXL)의 자화 방향(우측방향)과 동일할 때, STT-MTJ 요소(ME)는 낮은 저항값을 갖고, 반대인 경우(좌측방향)에 높은 저항값을 갖는다. STT-MTJ 요소(ME)가 낮은 저항값을 가질 때, 데이터 '0'에 대응되고, 높은 저항값을 가질 때, 데이터 '1'에 대응된다고 할 수 있다.
- [0041] 도 4는 도 1의 노말 입력버퍼(140)의 바람직한 일 실시예의 구체적인 회로 구성을 나타내고 도 5는 도 1의 보상 입력버퍼(162)의 바람직한 일 실시예의 구체적인 회로 구성을 나타낸다.
- [0042] 노말 입력버퍼(140)는 4개의 의사 차동 증폭기들(Pseudo differential amplifier)(PDA0~PDA3)을 포함한다. 각 의사 차동 증폭기들(PDA0~PDA3) 각각은 패드들(PAD0~PAD3)로부터 입력된 데이터 비트신호들(VIN0~VIN3)를 일측 입력단자에 각각 입력하고 타측 입력단자에는 기준전압신호(VREF)를 공통으로 입력한다. 각 의사 차동 증폭기들(PDA0~PDA3)은 두 입력신호의 차이를 증폭하여 비반전 출력단자들 각각에 출력신호들(VOUT0~VOUT3)을 각각 출력한다.
- [0043] 보상 입력버퍼(162)는 4개의 의사 차동 증폭기들(Pseudo differential amplifier)(PDA0B~PDA3B)을 포함한다. 각 의사 차동 증폭기들(PDA0B~PDA3B) 각각은 패드들(PAD0~PAD3)로부터 입력된 데이터 비트신호들(VIN0~VIN3)를 일측 입력단자에 각각 입력하고 타측 입력단자에는 기준전압신호(VREF)를 공통으로 입력한다. 각 의사 차동 증

폭기들(PDA0B~PDA3B)은 두 입력신호의 차이를 증폭하여 반전 출력단자들 각각에 출력신호들(VOUT0B~VOUT3B)을 각각 출력한다.

- [0044] 도 6은 도 1의 노말 쓰기회로의 바람직한 일 실시예의 구성을 나타내고, 도 7은 도 1의 보상 쓰기회로의 바람직한 일 실시예의 구성을 나타낸다.
- [0045] 노말 쓰기 회로(150)의 4개의 노말 쓰기 드라이버들(NWD0, NWD1, NWD2, NWD3)은 각기 풀업 전류소스(PUCS), 풀업 트랜지스터(PUTR), 풀다운 전류소스(PDCS), 풀다운 트랜지스터(PDTR)를 포함한다. 그러므로 노말 입력버퍼(140)의 출력신호들(VOUT0, VOUT1, VOUT2, VOUT3)을 각각 입력한다.
- [0046] 입력된 신호의 상태가 데이터 "0"이면 PMOS 트랜지스터로 구성된 풀업 트랜지스터(PUTR)가 턴온되어 풀업 전류소스(PUCS)로부터 공급된 쓰기전류를 컬럼 디코더(130)를 통해 선택된 비트라인으로 출력한다.
- [0047] 입력된 신호의 상태가 데이터 "1"이면 NMOS 트랜지스터로 구성된 풀다운 트랜지스터(PDTR)가 턴온되어 컬럼디코더(130)를 통해 선택된 비트라인으로부터 공급된 전류를 풀다운 전류소스(PUCS)를 통해 그라운드로 싱크한다.
- [0048] 그러므로 입력된 데이터의 상태에 응답하여 전류방향이 정반대인 쓰기전류로 컬럼 디코더(130)에 의해 선택된 비트라인을 드라이브 한다.
- [0049] 도 7을 참조하면 보상 쓰기회로(164)는 4개의 보상쓰기 드라이버들(CWD0, CWD1, CWD2, CWD3)을 포함한다. 4개의 보상 쓰기 드라이버들(CWD0, CWD1, CWD2, CWD3)은 노말 쓰기회로(150)의 4개의 노말 쓰기 드라이버들(NWD0, NWD1, NWD2, NWD3)과 동일한 회로 구성을 가진다.
- [0050] 보상 쓰기 회로(164)의 4개의 보상 쓰기 드라이버들(CWD0, CWD1, CWD2, CWD3)은 마찬가지로 각기 풀업 전류소스(PUCS), 풀업 트랜지스터(PUTR), 풀다운 전류소스(PDCS), 풀다운 트랜지스터(PDTR)를 포함한다. 그러므로 보상 입력버퍼(162)의 출력신호들(VOUT0B, VOUT1B, VOUT2B, VOUT3B)을 각각 입력한다. 4개의 보상 쓰기 드라이버들(CWD0, CWD1, CWD2, CWD3)의 출력은 컬럼 디코더(130)를 거치지 않고 비트라인들(BLi, BLi+1, BLi+2, BLi+3)에 각각 직접 연결된다.
- [0051] 따라서 보상 쓰기 회로(164)는 노말 쓰기 회로(150)에 입력된 신호와 상태가 반전된 신호가 입력되므로 4개의 보상 쓰기 드라이버들(CWD0, CWD1, CWD2, CWD3)에서 출력되는 4개의 전류신호는 4개의 노말 쓰기 드라이버들(NWD0, NWD1, NWD2, NWD3) 각각에서 출력되는 전류신호와와는 상반되는 흐름방향을 가진다.
- [0052] 도 8은 본 발명에 의한 반도체 메모리 장치에서 데이터 패턴 "0001"에 따른 공통소스라인 보상동작을 설명하기 위한 회로도이다.
- [0053] 도 8에서는 로우 디코더(120)에 의해 워드라인(WL<0>)이 선택되고, 컬럼 디코더(130)에 의해 비트라인들((BL<i-4>, BL<i-3>, BL<i-2>, BL<i-1>)이 각각 선택된 것으로 가정하여 셀 유닛들(MC<0, i-4>, MC<0, i-3>, MC<0, i-2>, MC<0, i-1>)에 "0001" 데이터를 저장하는 것으로 가정한다.
- [0054] 도 8을 참조하면, 데이터"0001"에 대응하여 노말 쓰기 드라이버들(NWD0~NWD3)의 각 입력측에는 노말 입력버퍼(140)의 출력신호들(VOUT0~VOUT3)의 상태인 "0001"이 인가된다. 그러므로 노말 쓰기 드라이버들(NWD0~NWD2)의 풀업 트랜지스터들(PUTR)이 턴온되어 풀업전류소스(PUCS)로부터 선택된 비트라인들(BL<i-4>, BL<i-3>, BL<i-2>)로 쓰기전류를 공급한다. 또한 노말 쓰기 드라이버들(NWD3)의 풀다운 트랜지스터들(PDTR)이 턴온되어 선택된 비트라인들(BL<i-1>)로부터 제공된 쓰기전류를 그라운드로 싱크한다. 그러므로 셀 유닛들(MC<0, i-4>, MC<0, i-3>, MC<0, i-2>)의 각 가변저항 기억요소들에는 도시된 화살표 방향(하측방향) 즉 비트라인으로부터 공통소스라인으로 쓰기전류가 흐르게 되므로 자유층의 자화장향이 고정층의 자화방향과 동일한 방향으로 자화된다. 그러므로 가변저항 기억요소의 저항값이 낮은 값으로 세팅되어 데이터 "0"을 저장한다. 한편 셀 유닛(MC<0, i-1>)의 가변저항 기억요소에는 도시된 화살표 방향(상측방향) 즉 공통소스라인으로부터 비트라인으로 쓰기전류가 흐르게 되므로 자유층의 자화장향이 고정층의 자화방향과 반대 방향으로 자화된다. 그러므로 가변저항 기억요소의 저항값이 높은 값으로 세팅되어 데이터 "1"을 저장한다.
- [0055] 여기서 공통소스라인(CSL<0>)을 전류 합류 노드로 보면 이 노드로 셀 유닛들(MC<0, i-4>, MC<0, i-3>, MC<0, i-2>)로부터 3개의 쓰기 전류들이 들어오는 방향인 반면에 이 노드로부터 셀 유닛(MC<0, i-1>)으로 하나의 전류가 나가는 방향이다. 그러므로 데이터 패턴에 따라 공통소스라인(CSL)에 들어오고 나가는 전류의 크기가 불균형을 이루게 된다. 이와 같은 전류 불균형은 공통소스라인의 전압레벨을 1/2VDD 상태에서 VDD 방향 또는 그라운드 방향으로 치우치게 작용할 수 있다. 이는 기억요소의 자화방향정도에 영향을 주게 되므로 쓰기 특성마진을 저하

시킨다.

- [0056] 본 발명에서는 데이터 "0001"에 대응하여 보상 입력회로(162)에서 "1110" 데이터를 생성하여 보상 쓰기회로(164)에 출력한다. 보상 쓰기회로(164)에서는 보상 입력회로(162)의 출력신호들(VOUT0B, VOUT1B, VOUT2B, VOUT3B)을 입력한다. 이들 신호에 응답하여 보상 쓰기 드라이버들(CWD0~CWD2)의 풀다운 트랜지스터들(PDTR)이 턴온되어 풀다운 전류소스(PDCS)로 보상 비트라인들(BL<i>, BL<i+1>, BL<i+2>)의 쓰기전류를 싱크한다. 또한 보상 쓰기 드라이버(CWD3)의 풀업 트랜지스터(PUTR)가 턴온되어 보상 비트라인(BL<i+3>)에 쓰기전류를 제공한다. 그러므로 보상 셀 유닛들(CC<0, i>, CC<0, i+1>, MC<0, i+2>)의 각 가변저항 기억요소들에는 도시된 화살표 방향(상측방향) 즉 공통소스라인으로부터 비트라인으로 쓰기전류가 흐르게 되므로 자유층의 자화장향이 고정층의 자화방향과 반대 방향으로 자화된다. 그러므로 가변저항 기억요소의 저항값이 높은 값으로 세팅되어 데이터 "1"을 저장한다. 한편 보상 셀 유닛(CC<0, i+3>)의 가변저항 기억요소에는 도시된 화살표 방향(하측방향) 즉 비트라인으로부터 공통소스라인으로 쓰기전류가 흐르게 되므로 자유층의 자화장향이 고정층의 자화방향과 동일한 방향으로 자화된다. 그러므로 가변저항 기억요소의 저항값이 낮은 값으로 세팅되어 데이터 "0"을 저장한다.
- [0057] 그러므로 데이터 "0001"을 동시에 4개의 셀 유닛에 저장할 경우에 본 발명에서는 공통소스라인에서 보면 들어오는 전류의 수는 셀 유닛들(MC<0, i-4>, MC<0, i-3>, MC<0, i-2>)과 보상 셀 유닛(CC<0, i+3>)의 쓰기전류들로 총 4개가 된다. 한편, 공통소스라인에서 보면 나가는 전류의 수는 셀 유닛(MC<0, i-1>)과 보상 셀 유닛들(CC<0, i>, CC<0, i+1>, MC<0, i+2>)의 쓰기전류들로 총 4개가 된다.
- [0058] 따라서 공통소스라인에 들어오는 전류의 크기와 나가는 전류의 크기가 데이터 패턴에 관계없이 항상 동일 크기로 균형을 이루게 되므로 쓰거나 읽기 오류 발생을 방지할 수 있다.
- [0059] 도 9는 본 발명에 의한 반도체 메모리 장치의 다른 실시예의 블록도를 나타낸다.
- [0060] 도 9의 다른 실시예는 상술한 도 1의 일 실시예와 비교하면 공통 소스 라인 보상회로(160)에 보상모드 선택회로(168)가 더 추가된 점이 다르다. 그러므로 동일 부분에 대해서는 동일 부호로 처리하고 구체적인 설명은 생략한다.
- [0061] 다른 실시예에서는 셀 어레이(110)에 별도의 보상 셀 유닛들을 추가하지 않고 통상의 N x M 사이즈 내의 노말 셀 유닛들 중 일부를 보상 셀 유닛으로 사용하는 구조를 제시한다. 그러므로 보상 셀 유닛 수를 제외하면 사용자가 실제 사용 가능한 저장 공간은 N x (M - 4) 이다. 보상모드가 세트된 경우에 메모리 컨트롤러에서는 보상 셀 유닛으로 구성된 저장 공간을 제외한 N x (M - 4) 저장공간에 대해서만 어드레싱 제어하는 조건으로 한정된다.
- [0062] 그러므로 다른 실시예에서는 저장 공간이 다소 줄어들지만 주변 회로 영역에 간단한 회로를 추가하는 것에 의해 노이즈 삭제 기능을 추가시킬 수 있는 잇점이 있다. 또한 모드세트 레지스터를 사용하여 노이즈 삭제 기능을 선택적으로 세팅할 수 있다는 점에서 시스템 엔지니어가 노이즈 삭제 기능을 소프트웨어적으로 선택할 수 있다.
- [0063] 도 10은 도 9의 보상모드 선택회로(168)의 구체적인 회로 구성을 나타낸다.
- [0064] 도 10을 참조하면, 보상모드 선택회로(168)는 보상모드 세트 레지스터(168a), 인버터(168b), 제1선택스위치(168c), 제2선택스위치(169d)를 포함한다.
- [0065] 보상모드 세트 레지스터(168a)는 외부로부터 보상모드 선택신호를 입력하여 보상모드 세트신호를 저장한다. 본 실시예에서는 레지스터에 저장된 데이터가 "1"이면 노말 모드 세팅상태이고 "0"이면 보상모드 세팅상태라고 가정한다. 그러므로 보상모드 세트 레지스터(168a)는 저장된 데이터가 "1"이면 하이상태로 되고 "0"이면 로우상태로 되는 보상모드 선택신호(CMS)를 출력한다.
- [0066] 제1선택스위치(168c)는 4개의 모스 트랜지스터들로 구성되고 칼럼 디코더(130)와 비트라인들(BL<i>, BL<i+1>, BL<i+2>, BL<i+3>)의 연결을 스위칭한다. 제1선택스위치(168c)는 4개의 모스 트랜지스터들은 보상모드 선택신호(CMS)의 하이상태에 응답하여 턴온된다. 즉 노말 모드에서는 제1선택스위치(168c)를 통해 칼럼 디코더(130)와 비트라인들(BL<i>, BL<i+1>, BL<i+2>, BL<i+3>)이 연결된다. 그러므로 노말 모드에서는 칼럼 디코더(130)를 통해 비트라인들(BL<i>, BL<i+1>, BL<i+2>, BL<i+3>)이 선택되면 노말 쓰기회로(140)에 의해 쓰기 전류가 공급된다.
- [0067] 제2선택스위치(168d)는 4개의 모스 트랜지스터들로 구성되고 보상 쓰기회로(164)와 비트라인들(BL<i>, BL<i+1>, BL<i+2>, BL<i+3>)의 연결을 스위칭한다. 제2선택스위치(168d)는 4개의 모스 트랜지스터들은 인버터(168b)를 통해 인가되는 보상모드 선택신호(CMS)의 로우상태에 응답하여 턴온된다. 즉 보상모드에서는 제2선택스위치(168

d)를 통해 보상 쓰기회로(164)와 비트라인들(BL<i>, BL<i+1>, BL<i+2>, BL<i+3>)이 연결된다. 그러므로 보상 모드에서는 노말 쓰기회로(140)에 연동되어 비트라인들(BL<i>, BL<i+1>, BL<i+2>, BL<i+3>)에 보상 쓰기회로(164)에 의해 보상 쓰기 전류가 공급된다.

- [0068] 도 11은 도 1의 반도체 메모리 장치(100)를 포함하는 메모리 시스템(200)을 보여주는 블록도이다.
- [0069] 도 11을 참조하면, 메모리 시스템(200)은 반도체 메모리 장치(100) 및 메모리 컨트롤러(210)를 포함한다.
- [0070] 메모리 컨트롤러(210)는 호스트(Host) 및 반도체 메모리 장치(100)에 연결된다. 호스트(Host)의 요청에 응답하여, 컨트롤러(210)는 반도체 메모리 장치(100)를 액세스하도록 구성된다. 예를 들면, 메모리 컨트롤러(210)는 호스트(Host)의 요청에 응답하여 반도체 메모리 장치(100)의 읽기, 쓰기, 그리고 소거 동작을 제어하도록 구성된다. 메모리 컨트롤러(210)는 반도체 메모리 장치(100)의 동작을 제어하도록 구성된다. 메모리 컨트롤러(210)는 반도체 메모리 장치(100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 메모리 컨트롤러(210)는 반도체 메모리 장치(100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0071] 메모리 컨트롤러(210)는 반도체 메모리 장치(100)에 제어 신호(CTRL) 및 어드레스(ADDR)를 제공하도록 구성된다. 그리고 메모리 컨트롤러(210)는 반도체 메모리 장치(100)와 데이터(DATA)를 교환하도록 구성된다. 메모리 컨트롤러(210)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 그리고 메모리 인터페이스(memory interface)와 같은 잘 알려진 구성 요소들을 포함한다. 램(RAM)은 프로세싱 유닛의 동작 메모리, 반도체 메모리 장치(100) 및 호스트(Host) 사이의 캐시 메모리, 그리고 반도체 메모리 장치(100) 및 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로서 이용된다. 프로세싱 유닛은 메모리 컨트롤러(210)의 제반 동작을 제어한다.
- [0072] 호스트 인터페이스는 호스트(Host) 및 컨트롤러(210) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 메모리 컨트롤러(210)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜, Firewire 프로토콜, PCMCIA (Personal Computer Memory Card International Association) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 외부(호스트)와 통신하도록 구성된다. 메모리 인터페이스는 반도체 메모리 장치(100)와 인터페이스한다.
- [0073] 메모리 시스템(200)은 오류 정정 블록을 추가적으로 포함하도록 구성될 수 있다. 오류 정정 블록은 오류 정정 코드(ECC)를 이용하여 반도체 메모리 장치(100)로부터 읽어진 데이터의 오류를 검출하고, 정정하도록 구성된다. 오류 정정 블록은 메모리 컨트롤러(210)의 구성 요소로서 제공된다. 오류 정정 블록은 반도체 메모리 장치(100)의 구성 요소로서 제공될 수 있다.
- [0074] 메모리 컨트롤러(210) 및 반도체 메모리 장치(100)는 하나의 반도체 칩으로 집적될 수 있다. 컨트롤러(210) 및 불휘발성 메모리 장치(100)는 하나의 반도체 칩으로 집적되어, 메모리 카드를 구성한다. 예를 들면, 컨트롤러(210) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC) 등과 같은 메모리 카드를 구성한다.
- [0075] 메모리 컨트롤러(210) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성한다. 반도체 드라이브(SSD)는 반도체 메모리에 데이터를 저장하도록 구성되는 저장 장치를 포함한다. 메모리 시스템(200)이 반도체 드라이브(SSD)로 이용되는 경우, 메모리 시스템(200)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.
- [0076] 다른 예로서, 메모리 시스템(200)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 태블릿 컴퓨터(tablet computer), 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP (portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), DMB (Digital Multimedia Broadcasting) 재생기, 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전

자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레메틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.

- [0077] 반도체 메모리 장치(100) 또는 메모리 시스템(200)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 반도체 메모리 장치(100) 또는 메모리 시스템(200)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지가 되어 실장된다.
- [0078] 도 12는 도 11에 도시된 메모리 시스템(200)을 포함하는 전자 장치의 일 실시예를 나타낸다.
- [0079] 도 12를 참조하면, 이동 전화기(cellular phone), 스마트 폰(smart phone), 또는 무선 인터넷 장치로서 구현될 수 있는 전자 장치(300)는 반도체 메모리 장치(100)와 반도체 메모리 장치(100)의 동작을 제어할 수 있는 메모리 컨트롤러(210)를 포함할 수 있다. 또한, 메모리 컨트롤러(210)는 전자 장치(300)의 전반적인 동작을 제어하는 호스트 프로세서(310)에 의하여 제어된다. 메모리 컨트롤러(210)는 반도체 메모리 장치(100)에 공통소스라인 노이즈 억제방식에 의한 쓰기동작에 의해 동시에 X4, X8, X16 또는 X32 데이터들을 안전하게 저장할 수 있다. 반도체 메모리 장치(100)에 저장된 데이터는 호스트 프로세서(310)의 제어 하에 디스플레이(Display; 320)를 통하여 디스플레이 될 수 있다.
- [0080] 무선 송수신기(Radio Transceiver; 330)는 안테나(ANT)를 통하여 무선 신호들을 주거나 받을 수 있다. 예컨대, 무선 송수신기(330)는 안테나(ANT)를 통하여 수신된 무선 신호들을 호스트 프로세서(310)가 처리할 수 있는 신호들로 변환할 수 있다. 따라서 호스트 프로세서(310)는 무선 송수신기(330)로부터 출력된 신호들을 처리하고, 처리된 신호들을 반도체 메모리(110)에 저장하거나 또는 디스플레이(320)를 통하여 디스플레이할 수 있다. 또한 무선 송수신기(330)는 호스트 프로세서(310)로부터 출력된 신호들을 무선 신호들로 변환하고, 변환된 무선 신호들을 안테나(ANT)를 통하여 외부로 출력할 수 있다.
- [0081] 입력 장치(340)는 호스트 프로세서(310)의 동작을 제어하기 위한 제어 신호들 또는 프로세서(310)에 의하여 처리될 데이터를 입력할 수 있는 장치로서, 터치 패드(touch pad)와 컴퓨터 마우스(computer mouse)와 같은 포인팅 장치(pointing device), 키패드(keypad), 또는 키보드로 구현될 수 있다.
- [0082] 호스트 프로세서(310)는 반도체 메모리(110)로부터 출력된 데이터, 무선 송수신기(330)로부터 출력된 무선 신호들, 또는 입력 장치(340)로부터 출력된 데이터가 디스플레이(320)를 통하여 디스플레이 될 수 있도록 디스플레이(320)의 동작을 제어할 수 있다.
- [0083] 도 13은 도 11에 도시된 메모리 시스템(200)을 포함하는 전자 장치의 다른 실시예를 나타낸다.
- [0084] 도 13을 참조하면, PC(personal computer), 태블릿 컴퓨터(tablet computer), 넷-북(net-book), e-리더(e-reader), PDA(personal digital assistant), PMP(portable multimedia player), MP3 플레이어, 또는 MP4 플레이어와 같은 데이터 처리 장치로 구현될 수 있는 전자 장치(400)는 반도체 메모리(100)와 반도체 메모리(100)의 동작을 제어할 수 있는 메모리 컨트롤러(210)를 포함한다.
- [0085] 또한, 전자 장치(400)는 전자 장치(400)의 전반적인 동작을 제어하기 위한 호스트 프로세서(410)를 포함할 수 있다. 메모리 컨트롤러(210)는 전자 장치(400)의 전반적인 동작을 제어하는 호스트 프로세서(410)에 의하여 제어된다. 메모리 컨트롤러(210)는 반도체 메모리 장치(100)에 공통소스라인 노이즈 억제방식에 의한 쓰기동작에 의해 동시에 X4, X8, X16 또는 X32 데이터들을 안전하게 저장할 수 있다. 호스트 프로세서(410)는 입력 장치(420)에 의하여 발생한 입력 신호에 따라 반도체 메모리(100)에 저장된 데이터를 디스플레이(430)를 통하여 디스플레이할 수 있다. 예컨대, 입력 장치(420)는 터치 패드 또는 컴퓨터 마우스와 같은 포인팅 장치, 키패드, 또는 키보드로 구현될 수 있다.
- [0086] 도 14는 도 11에 도시된 메모리 시스템(200)을 포함하는 전자 장치의 또 다른 실시예를 나타낸다.
- [0087] 도 14를 참조하면, 전자 장치(500)는 카드 인터페이스(Card Interface; 510), 메모리 컨트롤러(520), 도 1의 반도체 메모리 장치(100)를 포함한다.

- [0088] 전자 장치(500)는 카드 인터페이스(510)를 통하여 호스트(HOST)와 데이터를 주거나 받을 수 있다. 실시 예에 따라 카드 인터페이스(510)는 SD(secure digital) 카드 인터페이스 또는 MMC(multi-media card) 인터페이스일 수 있으나 이에 한정되는 것은 아니다. 카드 인터페이스(510)는 전자 장치(500)와 통신할 수 있는 호스트(HOST)의 통신 프로토콜에 따라 호스트(HOST)와 메모리 컨트롤러(520) 사이에서 데이터 교환을 인터페이스 할 수 있다.
- [0089] 메모리 컨트롤러(520)는 전자 장치(500)의 전반적인 동작을 제어하며, 카드 인터페이스(510)와 반도체 메모리 장치(100) 사이에서 데이터의 교환을 제어할 수 있다. 또한 메모리 컨트롤러(520)의 버퍼 메모리(522)는 카드 인터페이스(510)와 반도체 메모리 장치(100)사이에서 주고받는 데이터를 버퍼링할 수 있다. 메모리 컨트롤러(520)는 데이터 버스(DATA) 및 어드레스 버스(ADDRESS)를 통하여 카드 인터페이스(510)와 반도체 메모리 장치(100)와 연결된다. 실시예에 따라 메모리 컨트롤러(520)는 카드 인터페이스(510)로부터 읽기 또는 쓰고자 하는 데이터의 어드레스를 어드레스 버스를 통하여 수신하고 이를 반도체 메모리 장치(100)로 전달한다.
- [0090] 또한, 메모리 컨트롤러(520)는 카드 인터페이스(510) 또는 반도체 메모리 장치(100) 각각에 연결된 데이터 버스를 통하여 읽기 또는 쓰고자 하는 데이터를 수신하거나 전송한다. 실시예에 따라 도 14에 도시된 메모리 컨트롤러(520)는 도 11에 도시된 메모리 컨트롤러(210)와 동일 또는 유사한 기능을 수행할 수 있다. 그러므로 메모리 컨트롤러(520)는 반도체 메모리 장치(100)에 공통소스라인 노이즈 삭제방식에 의한 쓰기동작에 의해 동시에 X4, X8, X16 또는 X32 데이터들을 안전하게 저장할 수 있다.
- [0091] 도 14의 전자 장치(500)가 컴퓨터, 디지털 카메라, 디지털 오디오 플레이어, 이동 전화기, 콘솔 비디오 게임 하드웨어, 또는 디지털 셋-탑 박스와 같은 호스트 (HOST)에 접속될 때, 호스트(HOST)는 카드 인터페이스(510)와 메모리 컨트롤러 (520)를 통하여 반도체 메모리(100)에 저장된 데이터를 주거나 받을 수 있다.
- [0092] 도 15는 도 11에 도시된 메모리 시스템(200)을 포함하는 전자 장치의 또 다른 실시예를 나타낸다.
- [0093] 도 15를 참조하면, 전자 장치(600)는 카드 인터페이스(Card Interface; 610), 메모리 컨트롤러(620), 도 1의 반도체 메모리 장치(100)를 포함한다.
- [0094] 전자 장치(600)는 카드 인터페이스(610)를 통하여 호스트(HOST)와 데이터 통신을 수행할 수 있다. 실시 예에 따라 카드 인터페이스(610)는 SD(secure digital) 카드 인터페이스 또는 MMC(multi-media card) 인터페이스일 수 있으나 이에 한정되는 것은 아니다. 카드 인터페이스(610)는 전자 장치(600)와 통신할 수 있는 호스트(HOST)의 통신 프로토콜에 따라 호스트(HOST)와 메모리 컨트롤러(620) 사이에서 데이터 통신을 수행할 수 있다.
- [0095] 메모리 컨트롤러(620)는 전자 장치(600)의 전반적인 동작을 제어하며, 카드 인터페이스(610)와 반도체 메모리 장치(100) 사이에서 데이터의 교환을 제어할 수 있다.
- [0096] 또한, 메모리 컨트롤러(620)에 포함된 버퍼 메모리(622)는 전자 장치 (600)의 전반적인 동작을 제어하기 위하여 각종 데이터를 저장할 수 있다. 메모리 컨트롤러(620)는 데이터 버스(DATA) 및 로지컬 어드레스 버스(LOGICAL ADDRESS)를 통하여 카드 인터페이스(610)와 반도체 메모리 장치(100)와 접속될 수 있다. 실시 예에 따라 메모리 컨트롤러(620)는 카드 인터페이스(610)로부터 읽거나 또는 쓰고자 하는 데이터의 어드레스를 로지컬 어드레스 버스(LOGICAL ADDRESS)를 통하여 수신하고, 피지컬 어드레스 버스(PHYSICAL ADDRESS)를 통하여 반도체 메모리 장치(100)로 전달할 수 있다.
- [0097] 또한, 메모리 컨트롤러(620)는 카드 인터페이스(610) 또는 반도체 메모리 장치(100) 각각에 접속된 데이터 버스 (DATA)를 통하여 읽거나 또는 쓰고자 하는 데이터를 수신하거나 전송할 수 있다. 메모리 컨트롤러(620)는 도 11에 도시된 메모리 컨트롤러(210)와 동일 또는 유사한 기능을 수행할 수 있다. 따라서 메모리 컨트롤러(620)는 반도체 메모리 장치(100)에 공통소스라인 노이즈 삭제방식에 의한 쓰기동작에 의해 동시에 X4, X8, X16 또는 X32 데이터들을 안전하게 저장할 수 있다.
- [0098] 도 15의 전자 장치(600)가 컴퓨터, 디지털 카메라, 디지털 오디오 플레이어, 이동 전화기, 콘솔 비디오 게임 하드웨어, 또는 디지털 셋-탑 박스와 같은 호스트(HOST)에 접속될 때, 호스트(HOST)는 카드 인터페이스(610)와 메모리 컨트롤러(620)를 통하여 반도체 메모리 장치(100)에 저장된 데이터를 주거나 받을 수 있다.
- [0099] 도 16은 도 11에 도시된 메모리 시스템(200)을 포함하는 전자 장치의 또 다른 실시예를 나타낸다.
- [0100] 도 16을 참조하면, 전자 장치(700)는 반도체 메모리 장치(100)와 반도체 메모리 장치(100)의 데이터 처리 동작을 제어하기 위한 메모리 컨트롤러(210), 및 전자 장치 (700)의 전반적인 동작을 제어할 수 있는 프로세서(710)를 포함한다. 메모리 컨트롤러(210)는 반도체 메모리 장치(100)에 공통소스라인 노이즈 삭제방식에 의한 쓰기

동작에 의해 동시에 X4, X8, X16 또는 X32 데이터들을 안전하게 저장할 수 있다.

[0101] 전자 장치(700)의 이미지 센서(720)는 광학 이미지를 디지털 신호들로 변환하고, 변환된 디지털 신호들은 호스트 프로세서(710)의 제어 하에 반도체 메모리 장치(100)에 저장되거나 또는 디스플레이(730)를 통하여 디스플레이 된다. 또한, 반도체 메모리 장치(100)에 저장된 상기 디지털 신호들은 호스트 프로세서(710)의 제어 하에 디스플레이 (730)를 통하여 디스플레이 된다.

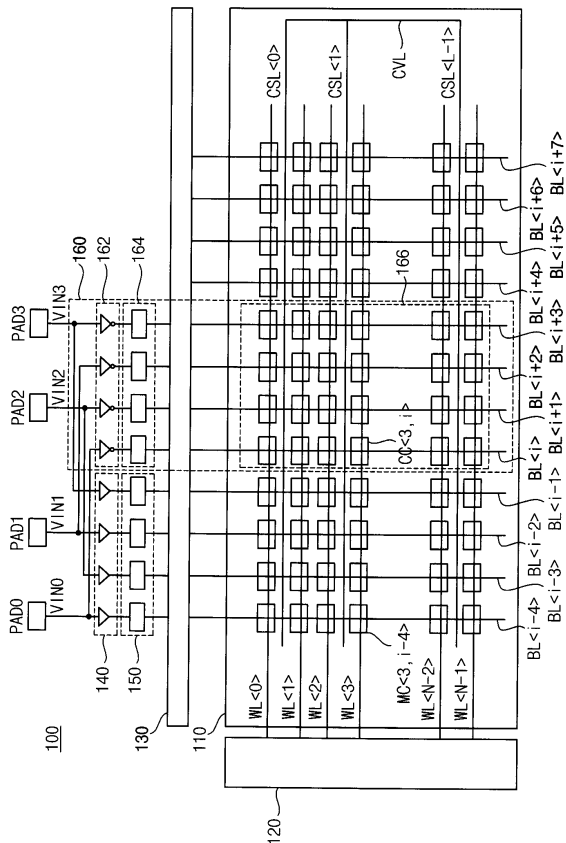
산업상 이용가능성

[0102] 본 발명은 단위 셀의 사이즈를 $6F^2$ 구조로 하기 위한 공통소스 반도체 메모리 장치에서 공통소스노드에 유입되거나 유출되는 총 전류의 크기를 제로상태로 제어함으로써 데이터 패턴에 따른 공통소스라인 노이즈 발생을 방지할 수 있는 가변저항 기억소자를 가진 비휘발성 반도체 메모리 장치, 자기 메모리 장치(MRAM : Magnetic Random Access Memory) 중 STT-MRAM(Spin Torque Transfer-Magnetic Random Access Memory)에 더욱 유용하게 이용될 수 있다.

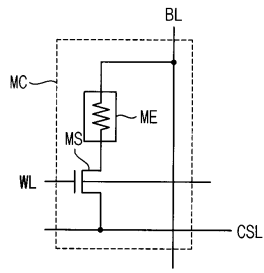
[0103] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

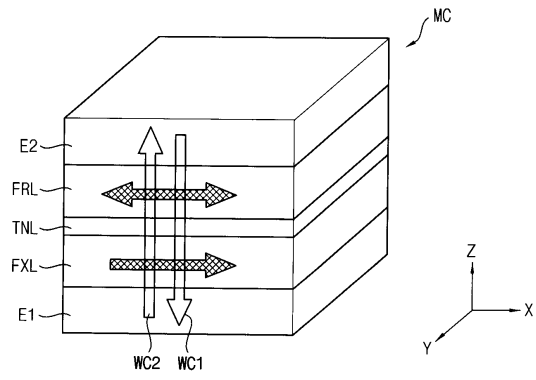
도면1



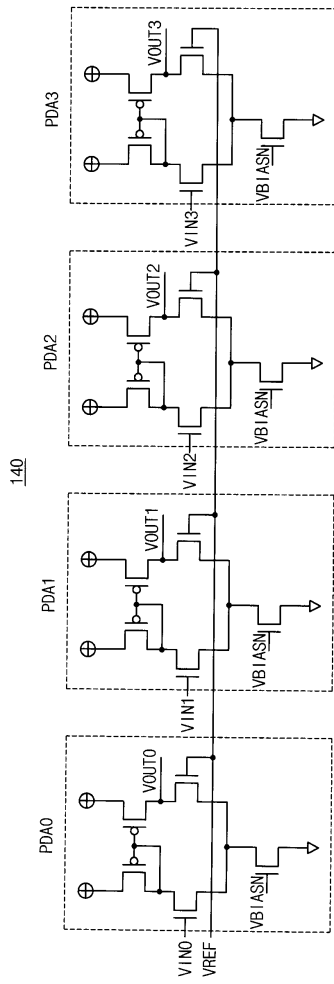
도면2



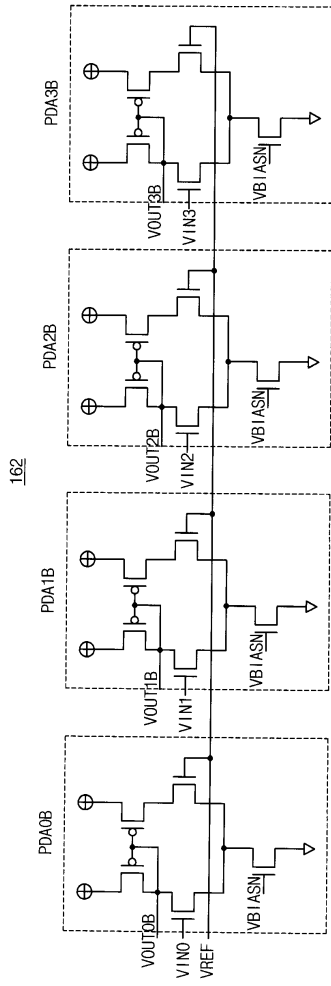
도면3



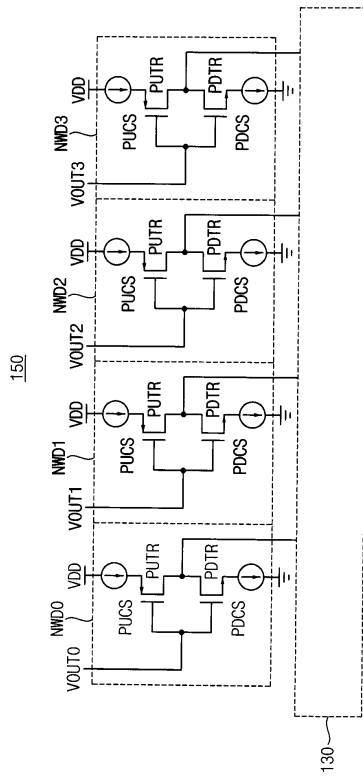
도면4



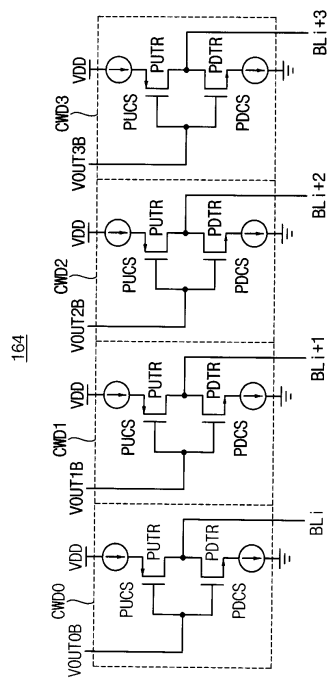
도면5



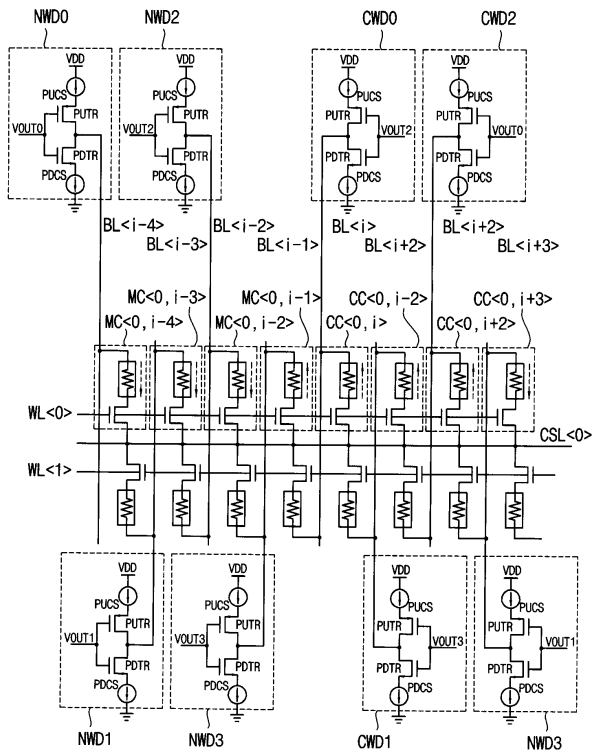
도면6



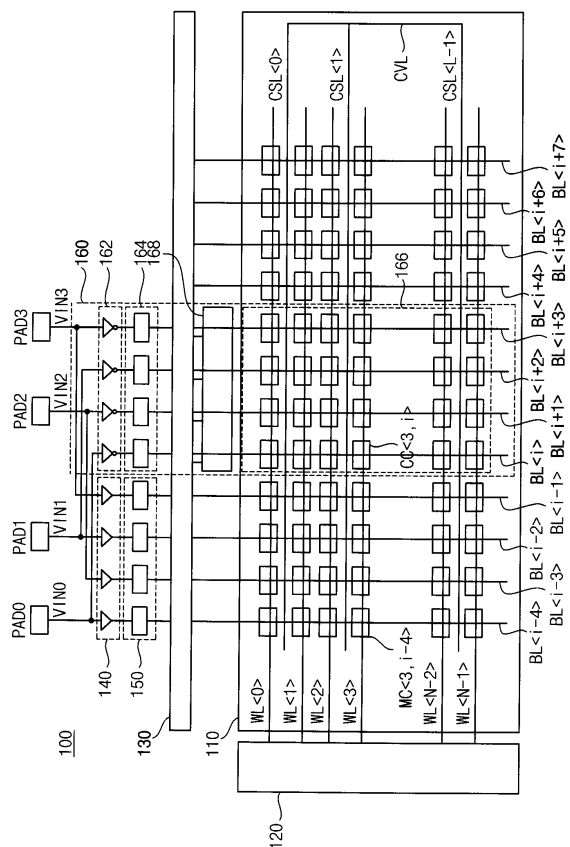
도면7



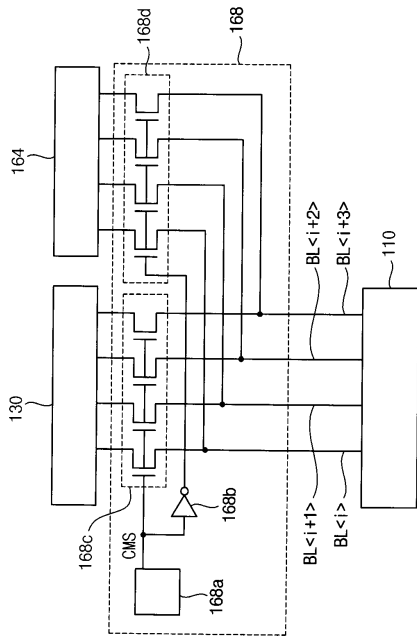
도면8



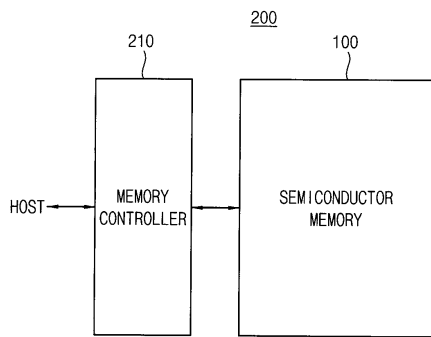
도면9



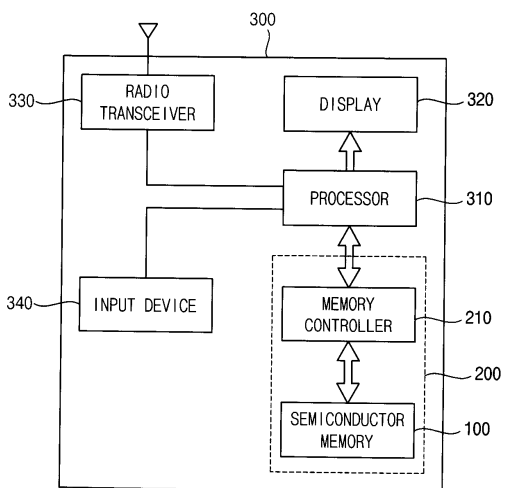
도면10



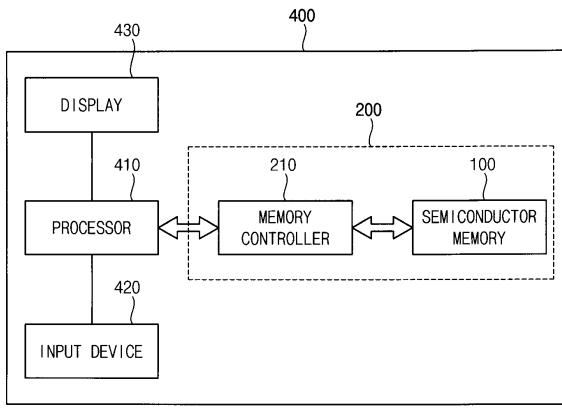
도면11



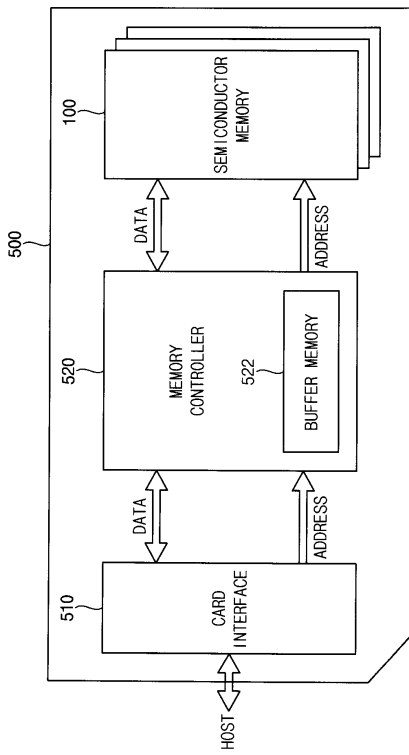
도면12



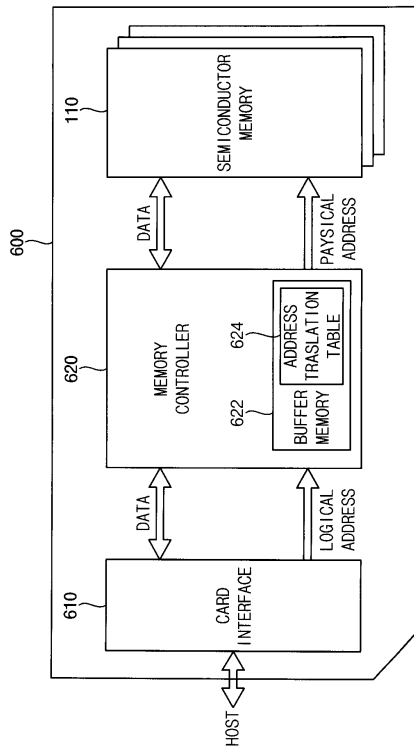
도면13



도면14



도면15



도면16

