

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4456868号
(P4456868)

(45) 発行日 平成22年4月28日 (2010.4.28)

(24) 登録日 平成22年2月12日 (2010.2.12)

(51) Int.Cl.		F I	
G09F	9/30	(2006.01)	G09F 9/30 365Z
H01L	27/32	(2006.01)	G09G 3/20 624P
G09G	3/20	(2006.01)	G09G 3/30 J
G09G	3/30	(2006.01)	H05B 33/14 A
H01L	51/50	(2006.01)	

請求項の数 12 (全 20 頁)

(21) 出願番号	特願2003-555482 (P2003-555482)	(73) 特許権者	501263810 トムソン ライセンシング Thomson Licensing フランス国, 92130 イッシー レ ムーリノー, ル ジャンヌ ダルク, 1-5 1-5, rue Jeanne d'Arc, 92130 ISSY LES MOULINEAUX, France
(86) (22) 出願日	平成14年12月12日 (2002.12.12)	(74) 代理人	100070150 弁理士 伊東 忠彦
(65) 公表番号	特表2005-513553 (P2005-513553A)	(74) 代理人	100091214 弁理士 大貫 進介
(43) 公表日	平成17年5月12日 (2005.5.12)	(74) 代理人	100107766 弁理士 伊東 忠重
(86) 国際出願番号	PCT/FR2002/004314		
(87) 国際公開番号	W02003/054843		
(87) 国際公開日	平成15年7月3日 (2003.7.3)		
審査請求日	平成17年12月9日 (2005.12.9)		
(31) 優先権主張番号	01/16843		
(32) 優先日	平成13年12月18日 (2001.12.18)		
(33) 優先権主張国	フランス (FR)		

最終頁に続く

(54) 【発明の名称】 シャンティングされたメモリ効果を有するエレクトロルミネッセンスセルのマトリクスを有する画像表示パネル

(57) 【特許請求の範囲】

【請求項1】

画像表示パネルの前面の方に光を発光することが可能であるメモリ効果を有するエレクトロルミネッセンスセルのマトリクスを有する画像表示パネルであって：

電極の前面アレイ及び電極の背面アレイであって、前記セルの各々において、前記前面アレイの前記電極は前記背面アレイの前記電極と交差している、電極の前面アレイ及び電極の背面アレイ；

各々のセルについて、少なくとも1つのエレクトロルミネッセンス素子を構成する少なくとも1つのエレクトロルミネッセンス層；

各々のセルについて、光導電素子を構成する、前記メモリ効果を得るための光導電層；
並びに

各々のセルにおいて、前記画像表示パネルの少なくとも1つのエレクトロルミネッセンス層と前記光導電層とを光学的に結合する手段；

を有する画像表示パネルであり、

少なくとも1つのエレクトロルミネッセンス素子及び各々のセルの前記光導電素子は電氣的に連続して接続され、該連続する接続は2つの最外端子と接続され、前記2つの最外端子のうちの一の最外端子は前記前面アレイの電極に接続され、前記2つの最外端子のうち他の最外端子は前記背面アレイの電極に接続され；

画像表示パネルは、各々のセルについて、前記セルの少なくとも1つのエレクトロルミネッセンス素子と並列に位置付けられたシャント素子を有し、該シャント素子の抵抗は照

明に依存しない；

ことを特徴とする画像表示パネル。

【請求項 2】

請求項 1 に記載の画像表示パネルであって、各々のセルについて、該セルの少なくとも 1 つのエレクトロルミネッセンス素子の前記シャント素子の抵抗 (R_{S_FL}) は、前記エレクトロルミネッセンス素子がオン状態において有する抵抗より大きい、ことを特徴とする画像表示パネル。

【請求項 3】

請求項 1 または 2 に記載の画像表示パネルであって、少なくとも 1 つのエレクトロルミネッセンス層は有機物である、ことを特徴とする画像表示パネル。

10

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の画像表示パネルであって、各々のセルについて、該セルの少なくとも 1 つのエレクトロルミネッセンス素子の前記シャント素子の前記抵抗は、前記セルが励起状態にないとき、対応する光導電素子の抵抗に等しいか又はそれより小さく、前記セルがオフのとき、少なくとも 1 つの対応するエレクトロルミネッセンス素子の抵抗より小さい、ことを特徴とする画像表示パネル。

【請求項 5】

請求項 4 に記載の画像表示パネルであって、前記セルの少なくとも 1 つのエレクトロルミネッセンス素子の前記シャント素子の抵抗は、前記セルが励起状態にないとき、前記対応する光導電素子の前記抵抗より厳密には小さい、ことを特徴とする画像表示パネル。

20

【請求項 6】

請求項 5 に記載の画像表示パネルであって、前記セルの少なくとも 1 つのエレクトロルミネッセンス素子の前記シャント素子の抵抗は、セルが励起状態にないとき、前記対応する光導電素子の前記抵抗の半分に等しいか又はそれより小さい、ことを特徴とする画像表示パネル。

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の画像表示パネルであって、前記画像表示パネルは、各々のセルについて、前記セルの光導電素子と並列に位置付けられたシャント素子をまた有する、ことを特徴とする画像表示パネル。

【請求項 8】

請求項 7 に記載の画像表示パネルであって、各々のセルについて、該セルの前記光導電素子の前記シャント素子の抵抗 (R_{S_PC}) は：

30

前記セルが励起状態にないとき、前記光導電素子の抵抗より小さく；及び

同じ前記セルの少なくとも 1 つのエレクトロルミネッセンス素子の前記シャント素子の前記抵抗に等しいか又はそれより大きい；

ことを特徴とする画像表示パネル。

【請求項 9】

請求項 8 に記載の画像表示パネルであって、各々のセルについて、 R_{S_PC} / R_{S_EL} 2 である、ことを特徴とする画像表示パネル。

【請求項 10】

請求項 9 に記載の画像表示パネルであって、各々のセルについて、 R_{S_PC} / R_{S_EL} 3 である、ことを特徴とする画像表示パネル。

40

【請求項 11】

請求項 1 乃至 10 のいずれか一項に記載の画像表示パネルであって、各々のセルにおいて、前記対応するエレクトロルミネッセンス素子及び前記光導電素子が電氣的に直列に接続されるように、少なくとも 1 つのエレクトロルミネッセンス層と前記光導電層との間の各々の界面において導電素子を有し、種々のセルの前記導電素子は互いに電氣的に絶縁されている、ことを特徴とする画像表示パネル。

【請求項 12】

請求項 1 乃至 11 のいずれか一項に記載の画像表示パネルであって、画像表示のために

50

セルを駆動するための手段であって、前記画像表示パネルのセルの各々の行について連続的に、前記行においてオンにされるべきセルをオンにするようにデザインされた選択アドレス位相が、先行するアドレス位相の間に、置かれたか又はそのままにされた状態で前記行のセルを維持するようにデザインされた非選択サステイン位相により後続する手順を実行するようにデザインされている、手段、を有する、ことを特徴とする画像表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エレクトロルミネッセンスセルのマトリクスから構成される画像表示パネルに関し、図1を参照するに、

- 前記パネルの前面の方に光を発光する（発光の矢印19）ことができるエレクトロルミネッセンス層16；

- エレクトロルミネッセンス層16の前の透明な前面電極層18；

- 前面電極層18の後の光導電層12であって、それ自身、不透明な背面電極層11とエレクトロルミネッセンス層16と接している中間電極層14との間に挿入されている、光導電層12；並びに

- 前記エレクトロルミネッセンス層16と前記光導電層12との間を光結合するために手段であって、例えば、特定の結合層13（図1に示す）または中間電極層14内に形成されることが可能である、手段；

を有する、画像表示パネルに関する。

【0002】

この種のパネルはまた、上記の層の組み合わせを支持するために、パネルの前面又は背面に基板を含む。一般に、この基板はガラスプレートまたは高分子材料より成るシートである。

【0003】

光導電層12は、下で説明するメモリ効果を有するパネルのセルを提供するためにデザインされている。

【0004】

前面電極層18、背面電極層11及び中間電極層14より成る電極は、互いに独立して、パネルのセルの発光を制御し且つ維持すること自体公知の方法でデザインされている。この目的のために、前面電極層18の電極は、例えば、行Yに配列され、背面電極層11は、それ故、列Xに配列され、これら列は、一般に、行に対して直交している。これら電極はまた、逆の構成を有することが可能であり、即ち、前面電極を列とし背面電極を行とすることが可能である。パネルのセルは、行電極Yと列電極Xとの交点に位置付けられ、それらセルは、それ故、マトリクス状に配列している。

【0005】

光のスポットの列に区分されるそのようなパネルにおいて画像を表示するために、前記画像の光スポットに対応する、パネルのセルの中を流れる電流を生成するように、種々の層の電極が提供されている。X電極とY電極との間で流れる電流は、これらの電極の交点に位置付けられるセルを提供するために、この交点に位置付けられるエレクトロルミネッセンス層16を流れる。それ故、この電流により励起されるセルは、パネルの前面の方に光19を発光する。パネルにおける全ての励起されたセルにより発光された光は画像を形成し表示される。

【0006】

参照文献、米国特許第4,035,774号明細書（IBM）、米国特許第4,808,880号明細書（CENT）及び米国特許第6,188,175B1号明細書（CDT）は上記のような種類のパネルについて開示している。

【0007】

エレクトロルミネッセンス層16は、それが有機材料である場合、3つのサブ層、即ち、ホール輸送サブ層162と電子輸送サブ層161との間のエレクトロルミネッセンス中

10

20

30

40

50

央サブ層 160 から構成される。

【0008】

ホール輸送サブ層 162 に接する前面電極層 18 の電極は、それ故、陽極としての機能を果たす。前面電極層 18 は、エレクトロルミネッセンス層 16 により発光される光がパネルの前面の方に通過するように、少なくとも部分的に透明である必要がある。前面電極層 18 の電極は、一般に、それ自体透明であり、混合 ITO (indium tin oxide) またはポリエチレンジオキシチオフェン (PEDOT) のような導電性高分子材料から成る。

【0009】

中間電極層 14 は、エレクトロルミネッセンス層 16 と光導電層 12 との間に適切に光結合するように十分透明である必要があり、この光結合は、下で説明するメモリ効果を特に得るため及びパネルの機能のために必要である。

【0010】

上記の参照文献はまた、上記の内容に反して、一方で、中間電極層 14 及びサブ層 161 の電極は、それぞれ、エレクトロルミネッセンスサブ層 160 におけるホールの注入及び輸送のための機能を果たし、他方、前面電極層 18 の電極及びサブ層 162 は、それぞれ、エレクトロルミネッセンスサブ層 160 における電極の注入及び輸送のための機能を果たす、構成を開示している。

【0011】

他の実施形態に従って、前面電極層 18 自体は、ホール注入 (陽極の場合) または電子注入 (陰極の場合) を改善することを意図する有機エレクトロルミネッセンス層 16 を接続するためのサブ層を含む、幾つかのサブ層から構成されることが可能である。

【0012】

光導電層 16 は、例えば、アモルファスシリコン又は硫化カドミウムから成ることが可能である。

【0013】

この種の表示パネルにおいては、光導電層 12 の役割は、“メモリ効果”をもつパネルのセルを提供することである。図 2 を参照するに、パネルの各々のセルは、直列の 2 つの素子であって：

- エレクトロルミネッセンス層領域 16 を取り囲むエレクトロルミネッセンス素子 E_{EL} ; 並びに
 - この同じエレクトロルミネッセンス層領域 16 の方を向いている光導電層領域 12 を取り囲む光導電素子 E_{PC} ;
- により表されることが可能である。

【0014】

図 2 に示すように、得られるメモリ効果はループ動作を頼りとしている。セルのエレクトロルミネッセンス素子 E_{EL} が光 19 を発光する限り、その光 19 の一部 19' は 光結合によりこの同じセルの光導電素子 E_{PC} に達し、この素子 E_{PC} により形成されるスイッチは閉じており、このスイッチが閉じている限り、エレクトロルミネッセンス素子 E_{EL} は、前面電極層 18 の 1 つの電極と背面電極層 11 の 1 つの電極に接する端子 B との間に電流を供給される。エレクトロルミネッセンス素子 E_{EL} は、それ故、光 19 を発光し、その光の一部 19' は光導電素子 E_{PC} を励起する。

【0015】

このループ動作は、それ故、エレクトロルミネッセンス層 16 と光導電層 12 との間の適切な光結合に頼っている。表示パネルが特定の光結合層を有する場合、例えば、この光結合層は、各々のエレクトロルミネッセンス素子 E_{EL} の方を向いて位置付けられた適切な透明な開口を開けられた不透明は誘電体層とすることが可能である。特定の光結合層が存在しない場合、結合手段として、中間電極層 14 において形成された透明開口を用いることがまた、可能である。当業者に周知である他の光結合手段が考えられるが、ここでは、それらについての詳細説明はしないこととする。

10

20

30

40

50

【 0 0 1 6 】

この想定されたメモリ効果は、画像を表示するようにパネルの画素及びサブ画素を制御することをより容易にするために意図され、特に、パネルの各々の行に対して連続的に行をオンにするためにセルをオンにするようにデザインされたアドレス位相は、前のアドレス位相の間に置かれた又はそのままにされた状態に、この行のセルを保つためにデザインされたサステイン位相が後に続く。

【 0 0 1 7 】

実際には、パネルの各々の行は、好ましいオン又はオフの状態に走査される行の各々のセルを移行されるように、連続して走査される。所定の行が走査された後、この行の全てのセルは、走査の間に又は他の行がアドレスされている間に、この行においてオンにされたセルのみが光を発光するように、同じ様式に維持され又は供せられる。このようにして、ある行がサステイン位相にある間に、他の行のためにアドレス位相が実行されることは好ましい。

10

【 0 0 1 8 】

実際には、サステイン位相の持続時間は、パネルのセルの輝度を調節することによって、特に、画像を表示するために必要とされる階調を生成すること、を可能にする。

【 0 0 1 9 】

一般に、パネルのセルを駆動するためのそのような方法の実施は：

- アドレス位相の間に、オンにされたセルの端子 A、B のみに対してイグニッション電圧を加える段階；
- サステイン位相の間に、オン状態を維持するために予めオンにされたセルに対して電圧が十分大きい必要がある全てのセルの端子 A、B にサステイン電圧 V_S を加える段階；を有する。

20

【 0 0 2 0 】

従って、アドレス位相は選択的位相であって、サステイン位相は選択的でないのとは対照的であり、それ故、全てのセルに同じ電圧を加えることを可能にして、パネルが駆動される方法を著しく簡単化する。

【 0 0 2 1 】

参照文献、“Erasable memory storage display”と題された IBM Technical Disclosure Bulletin, Vol. 24, No. 5, pp 2307 - 2310 は、表示パネルであって、各々のセルが：

30

- 上記の種類を表示パネルにおけるように直列に接続された有機エレクトロルミネッセンス素子 Z e l 及び光導電素子 L P C ; 並びに
- 更に、前記エレクトロルミネッセンス素子に並列に接続された、上記文献における光導電消去素子、即ち、基準 E P C ; を有する、表示パネルについて説明している。

【 0 0 2 2 】

エレクトロルミネッセンス素子を用いるパネルにおける光導電消去素子は、消去照射により光導電消去素子が励起されるときに低い値 $R - O N$ と、光導電消去素子が照射されないときの低い値 $R - O F F$ との間で変化する抵抗を有する。上記参照文献に従って、この光導電消去素子は、サステイン位相にあって且つオンであった対応するセルをオフにするために機能する。それ故、パネルを駆動するための手法はセルを消去するための位相を含み、その位相の間に、それらのセルは消去照射により照射される。

40

【 0 0 2 3 】

一般に、サステイン位相を終了させる消去位相の間に、消去されるべきオン状態にある各々のセル及び励起される光導電消去素子においては、前記セルは特にオフにされるべきであるため、尚もオン状態にあるセルを流れる電流の強度が実質的に光導電消去素子を通して流れて、エレクトロルミネッセンス素子 $E_{E L}$ を通って流れないように、抵抗 $R - O N$ は、オン状態においてエレクトロルミネッセンス素子 $E_{E L}$ が有する抵抗 $R_{O N - E L}$

50

より小さい。

【0024】

消去位相の範囲の外においては、光導電消去素子は抵抗 R_{OFF} を有し、パネルのエレクトロルミネッセンス素子 E_{EL} は、オフ状態において、抵抗 R_{OFF-EL} を有するか又は、オン状態において、抵抗 R_{ON-EL} を有する。 R_{OFF-EL} の値と比較される R_{OFF} の値について上記文献には記載はなく、それ故、当業者は、オフ状態にあるエレクトロルミネッセンス素子に関連して非励起状態において光導電消去素子が有するか又は有しない、効果的で有効なシャント機能に関する教示を得ることができない。

【0025】

従って、上記文献は、エレクトロルミネッセンス素子を消去するために、オン状態のエレクトロルミネッセンス素子を効果的にシャントすることを可能にする記載された手段には制約があり、本発明は、下で理解されるであろうように、全く異なる目的に対して、オフ状態にあるエレクトロルミネッセンス素子をシャントする手段を提供する。

10

【0026】

このようなタイプの駆動手法が、前記のようなメモリ効果を有するエレクトロルミネッセンスパネルに適用されるときであって、その場合に、各々のエレクトロルミネッセンス素子 E_{EL} に特有の中間電極層 14 の領域は他の領域から電氣的に絶縁され、それ故、エレクトロルミネッセンス素子 E_{EL} と光導電素子 E_{PC} との共通ポイント C の電位はフローティングである。

【0027】

20

又、図 2 を参照するに、表示パネルは、エレクトロルミネッセンス素子 E_{EL} の端子に対応するポイント A に接続される前面層 18 の行電極 Y_n 、 Y_{n+1} により、そして、光導電素子 E_{PC} の端子に対応するポイント B に接続される背面層 11 の列電極 X_p 、 X_{p+1} により供給され且つ光を発光することができるセル $C_{n,p}$ の集合を生成する。

【0028】

図 3 は、このような従来の駆動モードに従って：

- セル $C_{n,p}$ について、 $t > t_1$ に対してオンに留まる、該セルのイグニッションを伴う時間 t_1 における該行に対するアドレスシーケンス；並びに
- 次の行 $C_{n+1,p}$ のセルについて、 $t > t_2$ に対してオフに留まる、該セルのイグニッションを伴わない時間 t_2 における行に対するアドレスシーケンス；

を例示している。

30

【0029】

この 3 つのタイミング図 Y_n 、 Y_{n+1} 、 X_p は、これらのシーケンスを得るために、行電極 Y_n 、 Y_{n+1} 及び列電極 X_p に印加される電圧を示している。

【0030】

図 3 の下部には、セル $C_{n,p}$ 、 $C_{n+1,p}$ の端子 A、B (図 2) における電位と、これらセルのオン又はオフの状態を示している。

【0031】

それ故、図 2 に示すように、セルの端子 A、B に：

- オン状態にスイッチングするセルのために、オフ状態にあるセルに電位 V_a を加え；
- オン状態に留まるセルのために、オン状態にあるセルに電位 V_s 又は $(V_s - V_{off})$ を加え；並びに
- オフ状態に留めるセルのために、オフ状態にあるセルに電位 $(V_a - V_{off})$ 又は V_s を加えるとき、図 3 の下部に示したオンまたはオフの状態を得ることが必要である。

40

【0032】

これらの種々の電位値は：

- ダイオードがオフである電圧より小さく及びダイオードがオンである電圧より大きい、セル (図 2) の発光ダイオード E_{EL} の端子 A、C 間の、閾値電圧 $V_{s,EL}$ であって、そのようなダイオード E_{EL} の代表的な特性は図 5 に示されている、閾値電圧 $V_{s,EL}$ ；並びに

50

- オフ状態のセルがイグニッションされてオン状態に移行する電圧より大きい、セルの端子A、B間の、電圧 V_T ；
 に関連してそれらの電位値を設定することにより、図4において繰り返される。

【0033】

好ましいメモリ効果を得るために、セルの端子間に印加される電圧 $V_a - V_{off}$ がセルをオンにするには不十分であって、それ故、 $V_a - V_{off} < V_T$ であるように、及び、 $V_s - V_{off}$ がセルのオン又はオフ状態に影響を与えない、それ故、 $V_{s, EL} < V_s - V_{off}$ であるように、 X_p のような列電極に印加されることが出来る電圧値が選択される必要がある。

【0034】

図4に示すように、パネルが正確に動作するように、たとえ端子間に印加される電圧が $V_s - V_{off}$ まで低下し、 $V_{s, EL}$ に留まるとしても、かなりの量の光を発光し続けるために電圧 $V_a > V_T$ が印加されたセル $C_{n, p}$ に対しては、それ故、前記の選択が必要である。このようなタイプの動作に対して、セル、即ち、実質的なヒステリシスを現すように直列に接続されるエレクトロルミネッセンス素子 E_{EL} 及び光導電素子 E_{PC} に対して、前記の選択が必要である。

【0035】

パネルのセル $C_{n, p}$ の光導電素子 E_{PC} の典型的な特性（光導電素子 E_{PC} が10Vの電圧を印加されるとき、ルーメンズで表す照明の関数としてのアンペアで表す電流）を図6に示す。エレクトロルミネッセンス素子 E_{EL} の上記の特性（図5）を考慮すると、ここで、パネルのセル $C_{n, p}$ を構成する直列のこれら素子 E_{EL} と E_{PC} の両方の全体的な電流 - 電圧特性を表すことが可能である。セルの端子A、B間に0Vから20Vまでの電圧増加及び、次いで、20Vから0Vへの電圧減少を適用するときの様子を示す図7を参照されたい。

- セルのエレクトロルミネッセンス素子の端子A、Cにおける電圧 V_{E-el} ；
- セルのエレクトロルミネッセンス素子の端子C、Bにおける電圧 V_{E-pc} ；並びに
- 該セルに流れる電流の強度I。

【0036】

電圧がイグニッション（大きい強度）まで増加し、次いで消滅まで減少する1サイクルの間に、該セルにおける電流の強度の変化は、ヒステリシスであって、予めオンにされたセルがオンのまま留まる電圧値のサステイン領域（図4参照）が実際には存在しないことを示す、ヒステリシスを示さない。上記のメモリ効果は、それ故、得られない。

【発明の開示】

【発明が解決しようとする課題】

【0037】

本発明の目的は、欠如した又不十分なメモリ効果を克服することである。

【課題を解決するための手段】

【0038】

この目的のために、本発明の主題は、前記パネルの前面の方に光を発光することが可能であるメモリ効果を有するエレクトロルミネッセンスセルのマトリクスから構成される画像表示パネルであって：

- 前面電極アレイと背面電極アレイであって、前面電極アレイの電極は前記セルの各々において背面電極アレイの電極と交差する、前面電極アレイと背面電極アレイ；
- 各々のセルに対して、少なくとも1つのエレクトロルミネッセンス素子を形成する少なくとも1つのエレクトロルミネッセンス層；
- 各々のセルに対して、光導電素子を形成する、前記メモリ効果を得るための光導電層；

から構成され、少なくとも1つのエレクトロルミネッセンス素子と各々のセルの光導電素子は直列に電氣的に接続され、前記直列の2つの最外端子は接続され、それら2つの最外端子の1つの場合は、前記前面アレイの1つの電極に、他の最外端子の場合は、前記背面

10

20

30

40

50

アレイの1つの電極に接続され、

- パネルの少なくとも1つのエレクトロルミネッセンス層と前記光導電層との間を、各々のセルにおいて光学的に結合するための手段；

から更に構成され、画像表示パネルは、各々のセルに対して、前記セルの少なくとも1つのエレクトロルミネッセンス素子と共に並列に位置付けられたシャント素子と、照射に依存しない抵抗とから構成される。

【0039】

シャント素子の抵抗は照明に依存しないため、文献IBM Technical Disclosure Bulletin, Vol. 24, No. 5, pp. 2307-2310において記載されているような光導電消去素子のシャントとして使用することは間善意除外される。用語“シャント素子”は、それ故、ここでは、非光導電材料を使用し且つ照明を用いて感知できる程に変化しない抵抗を有して作製される従来の抵抗を意味することを意図している。

10

【0040】

好適には、パネルのエレクトロルミネッセンス層は有機物である。

【0041】

本発明はまた、画像を表示するために必要とされる光を発行するための前面エレクトロルミネッセンス層と光導電セルを活性化し又は励起するために適する光を発光するための背面エレクトロルミネッセンス層とを含む上記文献、米国特許第4,035,774号明細書(IBM)に開示されているパネルと同じタイプのパネルに適用する。光導電層は、2つのエレクトロルミネッセンス層の間に挟まれ、背面エレクトロルミネッセンス層のみと又は主にそれと光学的に結合される。各々のセルは、ここでは、一方は背面に及び他方は前面における2つのエレクトロルミネッセンス素子と挟まれた光導電素子とから構成される。これら3つの素子により形成される一連の構成の最外端子は、それらの一方の場合は背面電極に、そして、他方の場合は前面電極に接続されている。

20

【0042】

パネルが1つの有機エレクトロルミネッセンス層のみから構成される通常の状態においては、本発明の主題は、前記パネルの前面の方に光を発行することが可能であるメモリ効果を有するエレクトロルミネッセンスセルのマトリクスを構成する画像表示パネルであって：

30

- 前記セルの各々において前面電極アレイの電極は背面電極アレイの電極と交差する、前面電極アレイと背面電極アレイ；

- 各々のセルに対して、前記前面電極アレイの電極に接続される1つの端子をもつエレクトロルミネッセンス素子を形成するエレクトロルミネッセンス有機層；

- 各々のセルに対して、前記背面電極アレイの電極に接続される1つの端子をもつエレクトロルミネッセンス素子を形成する、前記メモリ効果を得るための光導電層；

- 各々のセルにおいて、エレクトロルミネッセンス素子の他の端子と光導電素子の他の端子とを同じ電位に電気的に接続するための手段；並びに

- 同じ該セルの前記光導電素子と各々のセルの前記エレクトロルミネッセンス素子との間を光学的に結合するための手段；

40

から構成され、各々のセルに対して、前記セルのエレクトロルミネッセンス素子と並列であるように位置付けされたシャント素子と照明に依存しない抵抗とから構成される、ことを特徴とする画像表示パネルである。

【発明を実施するための最良の形態】

【0043】

本発明の最も高い頻度の実施形態においては、パネルのいずれのセルの等価回路図を図9に示す。参照符号 E_{PC} 及び E_{EL} は、上記の図2におけるように、それぞれ、セルの光導電素子及びエレクトロルミネッセンス素子である。本発明に従って、該セルは、更に、照明に依存しない一定の抵抗 $R_{S,EL}$ のシャント素子と、エレクトロルミネッセンス素子 E_{EL} と並列に接続される前記シャント素子とを含む。

50

【0044】

本発明を最もうまく利用するために、どのような抵抗がシャント素子 $E_{S, EL}$ の抵抗 $R_{S, EL}$ に与えられる必要があるかをここで決定する。

【0045】

第1に、勿論、抵抗 $R_{S, EL}$ は、エレクトロルミネッセンス素子 E_{EL} がオン状態にある抵抗 R_{ON-EL} より大きいことが必要であり、それ故、セルがオン状態のとき、セルを流れる電流強度は、本質的にエレクトロルミネッセンス素子 E_{EL} を流れる。それ故、好適には、 $R_{S, EL} > R_{ON-EL}$ である。従って、セルがオンであるときのシャント素子におけるオーミック損失は制限される。オーミック損失が更に制限されるためには、 $R_{S, EL} > 2 \times R_{ON-EL}$ であることが好ましい。

10

【0046】

この特徴は、本発明に従ったシャント素子と、上記の文献である IBM Technical Disclosure Bulletin, Vol. 24, No. 5, pp. 2307-2310 に記載されているパネルの光導電消去素子との間に大きな差異をもたらすことに留意する必要がある。このことは、本発明のシャント素子の抵抗 R_{ON-EL} が、エレクトロルミネッセンス素子 E_{EL} がオン状態において有する内部抵抗 R_{ON-EL} より大きいため、その光導電消去素子がオンであるときに対応するエレクトロルミネッセンス素子 E_{EL} を効果的にシャンティングすることができない。対照的に、本発明に従ったシャント素子はオフになり、又は対応するエレクトロルミネッセンス素子を消去し、このことは本発明の目的には全く反することとなる。

20

【0047】

要約すると、上記の文献、IBM Technical Disclosure Bulletin, Vol. 24, No. 5, pp. 2307-2310 は、オン状態にあるエレクトロルミネッセンス素子をシャンティングするための手段を開示し、本発明の目的は、オフ状態にあるエレクトロルミネッセンス素子をシャンティングするための手段を提供する。

【0048】

第2に、抵抗 $R_{S, EL}$ は、セルがオフ状態のとき、セルを流れる電流強度が本質的にシャント素子 $E_{S, EL}$ を流れることを考慮することが可能であるように、オフ状態にあるエレクトロルミネッセンス素子 E_{EL} が有する内部抵抗 R_{OFF-EL} より小さく、好適には非常に小さいことが必要である。従って、 $R_{S, EL} < R_{OFF-EL}$ であり、好適には、 $R_{S, EL} < 1/2 R_{OFF-EL}$ である。換言すれば、本発明に従ったシャント素子は、エレクトロルミネッセンス素子 E_{EL} がオフ状態にあるとき、“導電的”である一方、上記文献、IBM Technical Disclosure Bulletin に開示されている光導電消去素子は、エレクトロルミネッセンス素子 E_{EL} がオン状態にあるとき、“導電的”となることができるようにデザインされている。

30

【0049】

一般に、 $R_{OFF-EL} < R_{ON-EL}$ 、即ち、 $R_{S, EL} > R_{ON-EL}$ 及び $R_{S, EL} < R_{OFF-EL}$ は、上記の2つの条件を結び付けることを可能にすることに留意する必要がある。

40

【0050】

R_{OFF-PC} は、非励起状態またはオフ状態にある光導電素子 E_{PC} の抵抗であるとする。上記で与えられた定義に従って、図3及び4を参照して上記のパネル駆動条件の下で、 V_T は、消灯された該セル（オフ状態）がイグニッションされてスイッチをオン状態にした電圧より大きい、該セルの端子A、B間の電圧とする。それ故、イグニッション電圧 V_T より非常に僅かに小さい電圧 $V_T - \epsilon$ (ϵ は非常に小さい) に対して、エレクトロルミネッセンス素子 E_{EL} の端子間の電圧 V_{E-e1} は上で定義した閾値 $V_{S, EL}$ と殆ど同じであり、

それ故、 $V_{E-e1} = V_{S, EL} - \epsilon$ (ϵ は非常に小さい) である。 V_{PC} が光導電素子 E_{PC} の端子間の電圧である場合、 $V_T - \epsilon = V_{PC} + V_{S, EL} - \epsilon$ である。更

50

に、 I がセルを流れる電流の強度である場合であって、該電流の全てがシャント素子 $E_{S.E.L}$ を流れ、エレクトロルミネッセンス素子 $E_{E.L}$ を流れない場合、セルは消灯されているため、次式のようになる。

【0051】

$$V_{T-} = V_{P.C} + V_{S.E.L-} = (R_{OFF-P.C} + R_{S.E.L}) \times I$$

$$V_{E.L} = V_{S.E.L-} = R_{S.E.L} \times I$$

これら2つの式から、 $V_{T-} = (1 + R_{OFF} / R_{S.E.L}) (V_{S.E.L-})$ であって、簡単のために、 $V_T = (1 + R_{OFF} / R_{S.E.L}) V_{S.E.L}$ 又は $(V_T / V_{S.E.L}) = (1 + R_{OFF} / R_{S.E.L})$ を導き出すことが可能である。

【0052】

図4に示すパネル駆動電圧の図をよくみると、“サステイン領域”の幅は $V_T / V_{S.E.L}$ に対応する。実際には、表示パネルを容易に駆動することができるよう十分に広い“サステイン領域”をうまく利用するために、差 $V_T - V_{S.E.L}$ が8又は9Vに等しいか又はそれ以上である必要がある。例えば、発光ダイオードをトリッピングするための閾値電圧が $V_{S.E.L} = 9$ である場合、 $(V_T / V_{S.E.L}) \geq 2$ 、即ち、 $(R_{OFF-P.C} / R_{S.E.L}) \geq 1$ 又は $R_{S.E.L} \geq R_{OFF-P.C}$ である。損失を制限する目的で、画像を表示するための発光ダイオード技術は、9Vの値より小さい値までトリップ閾値電圧を小さくする方向に向かっており、このことは、“サステイン領域”の幅が8又は9Vより大きく留まるように、比 $(V_T / V_{S.E.L})$ は厳密的には2より大きく、或いは3に等しいか又はそれより大きく、比 $(R_{OFF-P.C} / R_{S.E.L})$ は厳密的には1より大きく、或いは2に等しいか又はそれより大きい、ことを意味する。

【0053】

従って、好適には、本発明に従ったパネルの各々のセルに対して、該セルのエレクトロルミネッセンス素子 $E_{E.L}$ のシャント素子 $E_{S.E.L}$ の抵抗 $R_{S.E.L}$ は、セルが励起状態にないとき、対応する光導電素子 $E_{P.C}$ の抵抗 $R_{OFF-P.C}$ に等しいかそれより小さく、セルがオフのとき、対応するエレクトロルミネッセンス素子 $E_{E.L}$ の抵抗 $R_{OFF-E.L}$ より小さく、一般に、 $R_{OFF-E.L} > R_{OFF-P.C}$ である。

【0054】

好適には、本発明のセルのエレクトロルミネッセンス素子 $E_{E.L}$ のシャント素子 $E_{S.E.L}$ の抵抗 $R_{S.E.L}$ は、セルが励起状態にないとき、厳密には対応する光導電素子 $E_{P.C}$ の抵抗 $R_{OFF-P.C}$ より小さく、又は、該抵抗の二分の一に等しいか又はそれより更に小さい。

【0055】

本発明に従ったエレクトロルミネッセンス素子 $E_{E.L}$ のシャント素子 $E_{S.E.L}$ のお陰で、下の例において更に詳細に示すように、上記のように、パネルは、従来の駆動手法により実際に利用することができるメモリ効果を備え、パネルの各々のセルにおける電流の強度 I の変化は、ヒステリシスと、予めオンにされたセルを用いて、オンに保たれる電圧値を有するサステイン領域(図4および10参照)とを示す。

【0056】

本発明の他の有利な実施形態においては、本発明に従ったパネルは又、各々のセルに対して、前記セルの光導電素子と並列に位置付けられたシャント素子を含む。

【0057】

それ故、パネルのエネルギー消費における実質的減少が実現する。更に、この付加的なシャントは、光導電素子がデエキサイトされることを容易にし、パネルのセルスイッチング時間を減少させることを可能にし、有利である。

【0058】

本発明のこのような他の有利な実施形態も従ったパネルのいずれのセルの等化回路図を図15に示している。参照符号 $E_{P.C}$ 、 $E_{E.L}$ は、該セルの光導電素子とエレクトロルミネッセンス素子をそれぞれ表す。該セルは、ここでは、エレクトロルミネッセンス素子 $E_{E.L}$ と並列に接続された抵抗 $R_{S.E.L}$ のシャント素子 $E_{S.E.L}$ のみではなく、光導電

10

20

30

40

50

素子 E_{PC} と並列に接続された抵抗 $R_{S,PC}$ のシャント素子 $E_{S,PC}$ を含む。

【0059】

R_{OFF-PC} は、非励起状態またはオフ状態である光導電素子 E_{PC} のテイクより非常に小さいように選択される必要があり、それ故、セルがオフ状態にあるとき、セルを流れる電流の強度は、全部、シャント素子 $E_{S,PC}$ を流れる。従って、 $R_{S,PC} \leq R_{OFF-PC}$ であり、好適には、 $R_{S,PC} \leq 1/2 R_{OFF-PC}$ である。

【0060】

パネル駆動条件（図3及び4を参照して上で説明した）下で、既に与えられた定義に従って、 V_T は、消灯された該セル（オフ状態）がイグニッションされてオン状態にスイッチングされた電圧より大きい、該セルの端子A、B間の電圧であるとする。それ故、イグニッション電圧 V_T より非常に僅かに小さい電圧 V_{T-} （は非常に小さい）に対して、エレクトロルミネッセンス素子 E_{EL} の端子間の電圧 V_{E-el} は既に定義された閾値 $V_{S,EL}$ と殆ど同じであり、それ故、 $V_{E-el} = V_{S,EL} - \epsilon$ （ ϵ は非常に小さい）である。 V_{PC} が光導電素子 E_{PC} の端子間の電圧である場合、 $V_{T-} = V_{E-pc} + V_{S,EL} - \epsilon$ である。更に、 I がセルを流れる電流の強度である場合であって、該電流の全てがシャント素子 $E_{S,PC}$ 及び $E_{S,EL}$ を流れ、光導電素子 E_{PC} 及びエレクトロルミネッセンス素子 E_{EL} を流れない場合、セルはオフであるため、次式のようなになる。

【0061】

$$V_{T-} = V_{E-pc} + V_{S,EL} - \epsilon = (R_{S,PC} + R_{S,EL}) \times I$$

$$V_{E-el} = V_{S,EL} - \epsilon = R_{S,EL} \times I$$

これら2つの式から、 $V_{T-} = (1 + R_{S,PC} / R_{S,EL}) (V_{S,EL} - \epsilon)$ であって、簡単のために、 $V_T = (1 + R_{OFF} / R_{S,EL}) V_{S,EL}$ 又は $(V_T / V_{S,EL}) = (1 + R_{OFF} / R_{S,EL})$ を導き出すことが可能である。

【0062】

図4に示すパネル駆動電圧の図をよくみると、“サステイン領域”の幅は $V_T / V_{S,EL}$ に対応する。実際には、表示パネルを容易に駆動することができるよう十分に広い“サステイン領域”をうまく利用するために、差 $V_T - V_{S,EL}$ が8又は9Vに等しいか又はそれ以上である必要がある。例えば、発光ダイオードをトリッピングするための閾値電圧が $V_{S,EL} = 9$ である場合、 $(V_T / V_{S,EL}) \geq 2$ 、即ち、 $(R_{S,PC} / R_{S,EL}) \geq 1$ 又は $R_{S,EL} \leq R_{OFF-PC}$ である。損失を制限する目的で、画像を表示するための発行ダイオード技術は、9Vの値より小さい値までトリップ閾値電圧を小さくする方向に向かっており、このことは、“サステイン領域”の幅が8又は9Vより大きく留まるように、比 $(V_T / V_{S,EL})$ は厳密的には2より大きく、或いは3に等しいか又はそれより大きく、比 $(R_{S,PC} / R_{S,EL})$ は厳密的には1より大きく、或いは2に等しいか又はそれより大きい、ことを意味する。

【0063】

従って、好適には、本発明に従ったパネルの各々のセルに対して、該セルの光導電素子 E_{PC} のシャント素子 $E_{S,PC}$ の抵抗 $R_{S,PC}$ は、同じ該セルのエレクトロルミネッセンス素子 E_{EL} のシャント素子 $E_{S,EL}$ の抵抗 $R_{S,EL}$ に等しいかそれより大きい。

【0064】

好適には、 $R_{S,PC} / R_{S,EL} \geq 2$ であって、更に好適には、 $R_{S,PC} / R_{S,EL} \geq 3$ である。

【0065】

好適には、本発明に従ったパネルは、対応するエレクトロルミネッセンス素子と光導電素子を直列であって電氣的に接続するように、各々のセル内に、少なくとも1つのエレクトロルミネッセンス層と光導電層との間の各々の界面に導電素子を含み、種々のセルの導電素子は互いに電氣的に絶縁されている。

【0066】

10

20

30

40

50

好適には、同じエレクトロルミネッセンス層と同じ光導電層との間の導電素子は全く同一の導電層であり、種々のセルの導電素子は互いに電氣的に絶縁されるように明らかに不連続とする。上記の文献、米国特許第4,035,774号明細書において記載されている、2つのエレクトロルミネッセンス層を有するタイプのパネルの場合には、それ故、2つの導電界面層を必要とする。

【0067】

1つのエレクトロルミネッセンス層を有する最も一般的な場合には、エレクトロルミネッセンス素子の各々のシャント素子は、シャンティングするエレクトロルミネッセンス素子 E_{EL} と同じ中間層の導電素子及び同じ前面アレイの電極に接続される。光導電素子の適切な各々のシャント素子が、シャンティングする光導電素子 E_{PC} と同じ中間層の導電素子及び同じ背面アレイの電極に接続される。用語“シャント素子”は、いずれのシャンティング手段を意味するとして理解される。幾つかの例を後に挙げることにする。

10

【0068】

有利なことに、本発明に従ったパネルは、画像を表示するためにセルを駆動するための手段を含み、前記手段は、パネルのセルの各々の行に対して連続的に、該行においてオンにされるべきセルをオンにすることを意図された選択アドレス位相が、前のアドレス位相の間に置かれた又はそのままにされた状態で該行のセルを維持するようにデザインされた、非選択サステイン位相により後継される手法が実行されるようにデザインされている。

【0069】

本発明の他の特徴及び優位性は、添付図面を参照する、限定的でない例として提供する好適な実施形態の説明において理解されることであろう。

20

【0070】

タイミングチャートを示す図は、比率が尊重された場合に明らかに理解されない特定の詳細をより理解し易くするために、比率には厳密に従わない。

【0071】

説明を簡単化し、本発明を先行技術と比較して差異及び優位性を明確化するために、同じ機能を果たす構成要素に対して同等の参照符号を用いる。

【0072】

本発明の一般的実施形態におけるパネル、即ち、エレクトロルミネッセンス素子のみに対してシャント素子を有するパネルについて、以下、説明する。このようなパネルを製造するプロセスについて、又、説明する。

30

【0073】

図8を参照するに、本発明に従ったパネルの各々のセルであって、図1を参照して既に説明したパネルの構成要素は別として、この場合は同じ参照符号を有す、各々のセルは：

- 該セルのエレクトロルミネッセンス層領域16と中間電極層領域14との周囲のバリアリブ20であって、その底部は光導電層12を支持し、その上部は透明な前面電極層18の高さに少なくとも達する、バリアリブ20；並びに

- 光導電層12が透明な前面電極層18の電極と電気接触をするようにこれらのバリアリブの側面に設けられるシャント層21であって、該シャント層21は本発明に従ったシャント素子 E_{SEL} を形成し、該シャント素子 E_{SEL} の抵抗 R_{SEL} はシャント層21（バリアリブの高さ方向に沿って伸びる）の幅に比例し、その膜厚に反比例し、該シャント層の寸法、特にその膜厚と、該シャント層21の材料は、各々のセル内の、その材料が形成する該シャント素子の抵抗が：

40

- 一方で、励起状態でないとき、該セルのエレクトロルミネッセンス層領域16に対応して光導電素子 E_{PC} の抵抗 R_{OFF-EL} に等しいか又はそれより小さく；並びに

- 他方で、励起状態でないとき、該セルの光導電層領域12に対応して、シャント層がシャンティングするエレクトロルミネッセンス素子 E_{EL} の抵抗 R_{OFF-EL} より小さい；

ように選択される、シャント層21；
から構成される。

50

【0074】

最終的に、該シャント層21の材料は、対応するシャント素子の抵抗が照明に依存しないように、光導電性でない。

【0075】

それ故、バリアリブ20は、パネルのセルを規定するために2次元ネットワークを形成する。これらのバリアリブの寸法、特に高さ、これらのバリアリブの材料は、各々のセル内で、下端部と上端部との間で測定されるこれらバリアリブの電気抵抗は、該セルのシャント素子 $E_{S,EL}$ の抵抗 $R_{S,EL}$ より実質的に大きいように、選択される。それ故、これらのバリアリブは互いにパネルのセルを電氣的に絶縁している。従って：

- シャント素子 $E_{S,EL}$ は互いに絶縁され；並びに
- 各々のセルに特有の中間電極層領域14は、該セルのエレクトロルミネッセンス素子 E_{EL} と光導電素子 E_{PC} との間の共通のポイントにおける電位がフローティングであるように、互いに電氣的に絶縁される。

10

【0076】

本発明の他の実施形態（図示せず）に従って、シャント層は、セルのバリアリブの周囲において不連続性を有し、それ故、例えば、各々のセルの一側面におけるバリアリブのみがシャント層により覆われる。しかしながら、勿論、該シャント層は、光導電層12が透明な前面電極層18の電極と電気接触をするようにすることは重要である。

【0077】

他の実施形態（図示せず）においては、このような電気接触は、中間層14の電極により間接的に提供されることが可能である。

20

【0078】

図9を参照するに、パネルの各々のセルは、次の素子により現されることが可能である。

- エレクトロルミネッセンス層領域16の周囲のエレクトロルミネッセンス素子 E_{EL} ；
- エレクトロルミネッセンス素子 E_{EL} と直列である、同じ該エレクトロルミネッセンス層領域16に対する光導電層領域12を取り囲む光導電素子 E_{PC} ；並びに
- エレクトロルミネッセンス素子 E_{EL} と並列である、該セルのシャント層21により構成されるシャント素子 $E_{S,EL}$ 。

30

【0079】

本発明に従ったシャント素子 $E_{S,EL}$ の付加により、電圧がイグニッション（高強度）まで増加し、次いで励起まで減少するサイクルの間に、該セルにおける電流の強度 I における変化は実質的にヒステリシスを示す。

【0080】

従って、パネルのセルを駆動するため及び画像を表示するために、パネルの各々の行において連続的に、該行においてオンにされるべきセルをオンにするようにデザインされた選択アドレス位相が、前のアドレス位相の間に置かれた又はそのままにされた状態に該行のセルを維持するためにデザインされた非選択サステイン位相により後継される手法を用いることが可能である。

40

【0081】

このような駆動手法を採用するために、図3及び4を参照して、 V_a 、 V_S 、 V_{off} の上記の定義を用いることにより：

- 電圧 V_T に等しいか又はそれより大きい V_a （セルのイグニッション電圧）を選択することが満たされる。電圧 V_T は、オフ状態にある消灯されたセルの端子間に印加され、セルがイグニッションされてオン状態にスイッチングされるようにする電圧である。 V_T の値は図10により与えられ、次のようになる。
- 値 $(V_S - V_{off})$ が電圧 $V_{S,EL}$ に等しいか又はそれより大きくなるような V_S （セルのサステイン電圧）及び V_{off} を選択することが満たされる。電圧 $V_{S,EL}$ は、エレクトロルミネッセンス素子 E_{EL} の端子間に印加され、そのイグニッション（ V

50

$> V_{S, EL}$) 又はその励起 ($V < V_{S, EL}$) をもたらず電圧である。 $V_{S, EL}$ の値はまた、図 10 において与えられる。

【0082】

上で説明したように、更に、 V_T は、 $V_T = (1 + R_{OFF-PC} / R_{S, EL}) V_{S, EL}$ により与えられることが可能である。

【0083】

先行技術とは異なり、予めオンにされたパネルのセルを用いて、それ以後はオンに留まる電圧値のサステイン領域 (図 4 及び 10 参照) が存在することが理解された。本発明に特有のシャント素子 $E_{S, EL}$ のお陰で、上記のメモリ効果は、それ故、パネルのセル全てに対して得られる。

10

【0084】

本発明に従ってエレクトロルミネッセンス表示パネルを作製するために、当業者が従来から採用してきた層の析出及びエッチング方法が、このタイプのパネルに対して使用される。そのようなパネルを作製するための一プロセスについて、行電極の方向にパネルを貫いた断面及び列電極の方向にパネルを貫いたそれぞれ断面である、図 11 及び 12 を参照して、以下、説明する。

【0085】

アルミニウムの一様な層を、スパッタリング又は真空蒸着 (PVD) により、例えばガラスプレートにより構成される基板 10 に析出され、次いで、その得られた層は、並行な電極又は列電極 X_p 、 X_{p+1} のアレイを形成するためにエッチングする。このようにして、背面電極層 11 が得られる。

20

【0086】

続いて、例えば、プラズマ強化化学蒸着法 (PECVD) によるアモルファスシリコン、或いは化学的気相蒸着法 (CVD) 又はスピンコーティング法による有機光導電材料名度の光導電材料 12 の一様な薄膜を、この列電極 11 の上に析出する。

【0087】

続いて、光結合層 13 を形成し、この層は、各々の後のエレクトロルミネッセンスセル $C_{n, p}$ のために、非価値導電層 12 の方に光を通すようにするためにデザインされた孔 26 によりセルの中央において孔を開けられた不透明なアルミニウム層部分により形成された結合素子 25 から構成されている。この形成は、アルミニウム 25 の一様な層を析出し、次いで、パネルの後のセルの中央に位置付けされた光結合孔 26 をエッチングにより形成し、この領域のエッチングはパネルをセルに区画することを意図している後のバリアリブ 20 を規定する。

30

【0088】

続いて、光導電層 12 の光導電素子とこのセルのエレクトロルミネッセンス素子との間の中間接続電極を形成することを意図して、混合 ITO (indium tin oxide) の薄膜導電層 14 を、真空スパッタリングにより析出する。次いで、再びバリアリブ 20 が位置付けされる領域を規定するために、該層はエッチングされる。

【0089】

続いて、パネルをエレクトロルミネッセンスセル $C_{n, p}$ に区画し且つ各々のセルのシャント素子 $E_{S, EL}$ を電氣的に絶縁することを意図して、バリアリブ 20 の 2 次元ネットワークが形成される。この目的のために、有機バリアリブ樹脂の一様な層が、先ず、スピンコーティングにより形成され、次いで、該層は、バリアリブ 20 の 2 次元ネットワークを形成するためにエッチングされる。

40

【0090】

続いて、本発明に従った“シャンティング”のために用いられる材料が、パネルの全体的な活性表面に亘って全体的な層として均一に析出される。該層は、プロセスのこの段階においてパネル表面が有する凹凸に適合する。本発明に従ったシャント素子 $E_{S, EL}$ は、次いで、バリアリブ 20 の壁のみへのコーティングの初期膜厚に等しい膜厚のシャンティング層を残すように、ウェーハ全体に亘って異方的にエッチングすることにより得られ

50

る。図を参照するに、エッチングは垂直方向にのみ実施され、シャンティング層の水平部分の身が取り除かれる。本発明に従ったシャンティング層21及びシャント素子 E_{S, E_L} は、化学的気相蒸着法(CVD)により得られる窒化チタン(TiN)とすることが可能である。異方性エッチングは、それ自体既知である適切な化学半のうを用いる“高密度”プラズマエッチングチャンバ内で実施されることが可能である。 $500 \times 500 \mu\text{m}^2$ のセルに対して、本発明に従ったメモリ効果をもつ双安定モードにおける動作を提供することが可能である、約5kのシャント抵抗 R_{S, E_L} を得るためには、2nm乃至100nmの範囲内野膜厚の窒化チタン(TiN:低効率を $2 \times 10^{-4} \text{cm}$ 乃至 10^{-2}cm の範囲内で調整することができる)を得ることが要求される。

【0091】

図12を参照するに、次いで、列電極 X_p, X_{p+1} に対して垂直なセパレータ20'が、列電極 X_p, X_{p+1} に対して垂直であり且つ後のセルの間にあるバリアリブ20の上に設けられる。この目的のために、先ず、一様な有機バリアリブの層がスピニングにより形成され、次いで、セパレータ20'のアレイを形成するためにエッチングされる。セパレータの高さ、即ち、析出される層の膜厚は、図12に示すように、プロセスの後のフェーズにおいて更に析出される層より実質的に大きい必要がある。

【0092】

続いて、エレクトロルミネッセンス層16のエレクトロルミネッセンス素子 E_{E_L} を形成することを意図して、有機層161、160、162が、本発明に従ったシャント層21をコーティングされたバリアリブ20間に析出される。これら有機層161、160、162は、それ自体既知であり、ここでは詳細について説明しない。他の変形は、特に無機エレクトロルミネッセンス材料の使用において、本発明の範囲を逸脱することなく、考案することが可能である。

【0093】

続いて、行電極 Y_n, Y_{n+1} を形成するために、列電極 X_p, X_{p+1} に垂直に高いバリアリブ20'間に、透明な導電層18が析出される。好適には、該層は、陰極およびITO層から構成される。析出条件は、各々のセルのシャント素子 E_{S, E_L} のエッジが該透明な層18により覆われるようなものである必要がある。本発明に従った画像表示パネルが、従って、得られる。

【0094】

本発明に従ったパネルを作製するためのプロセスの変形について、ここで、図13及び14を参照して説明する。そのプロセスは、シャント層21に代えて、本発明に従ったシャント素子 E_{S, E_L} として、バリアリブ20の側面の表面層を用いることを除いて、上記プロセスと同様のままである。この目的のために、バリアリブは、その表面層をより導電性の大きいものとするように、表面に析出される。このプロセスは、特定のシャント層を析出することにより分配されるため、優位性がある。バリアリブの通常寸法(幅 $40 \mu\text{m}$ に対して膜厚 $1 \mu\text{m}$ のオーダー)を与える場合、バリアリブの表面ドーピングにより生じるリークは、各々のセル内のエレクトロルミネッセンス素子 E_{E_L} の端子における電極間の好ましいシャント効果を得るためには十分である。バリアリブの導電性ドーピングは表面のみであるため、パネルのセル間の以前と同様の電氣的絶縁が維持される。

【0095】

第3の実施形態に従って、本発明のシャント機能は、この層を通る電荷の非再結合輸送のための並行チャネルを生成するために適切な方法で、有機エレクトロルミネッセンスマルチレイヤ16をドーピングすることにより提供される。

【0096】

当業者は、本発明の好適な実施形態に従ったパネルであって、本命最初の冒頭において提供した実施形態の一般的記載に基づいて、エレクトロルミネッセンス素子と光導電素子の両方のシャント素子を有するパネルを作製するために必要とされる素子を所有する一般知識から及び上記の詳細説明から容易に導き出すことができるであろう。

【0097】

10

20

30

40

50

本発明は、有機エレクトロルミネッセンス材料または無機エレクトロルミネッセンス材料を使用する、いずれのタイプのエレクトロルミネッセンスマトリクスパネルに適用することができる。

【図面の簡単な説明】

【0098】

【図1】先行技術の光導電層を有するエレクトロルミネッセンスパネルのセルの断面図である。

【図2】図1のセルの等価回路図である。

【図3】このパネルのセルのメモリ効果をうまく利用するようにデザインされた従来のパネル駆動手法が用いられるとき、メモリ効果を有するエレクトロルミネッセンスマトリクスパネルの2つの行電極と1つの列電極に印加される電圧の3つのタイミングチャートである。

10

【図4】図3に示す駆動手法を適用する間のパネルの電極に印加される種々の電圧のポジショニングを示す図である。

【図5】図1に示すパネルのセルのエレクトロルミネッセンス素子 E_{EL} の代表的な特性を示す図である。

【図6】図2に示すパネルのセルの光導電素子 E_{PC} の代表的な特性を示す図である。

【図7】先行技術に従って、電圧増加(0Vから20Vまで)と続く電圧減少(20Vから0Vまで)から構成されるサイクルがセルの端子A、Bに適用されるとき、図1及び2に示されるパネルのセルのエレクトロルミネッセンス素子 E_{EL} 及び光導電素子 E_{PC} の端子間それぞれの電圧 V_{E-eL} 及び V_{E-pC} の分布を示す図である。この図はまた、セルを流れる電流の強度変化を示す。

20

【図8】本発明の一実施形態における光導電層を有するエレクトロルミネッセンスパネルのセルの断面図である。

【図9】図8のセルの等価回路図である。

【図10】本発明に従って、電圧増加(0Vから20Vまで)と続く電圧減少(20Vから0Vまで)から構成されるサイクルがセルの端子A、Bに適用されるとき、図8及び9に示されるパネルのセルのエレクトロルミネッセンス素子 E_{EL} 及び光導電素子 E_{PC} の端子間それぞれの電圧 V_{E-eL} 及び V_{E-pC} の分布を示す図である。この図はまた、セルを流れる電流の強度変化を示す。

30

【図11】本発明に従ったパネルの第1実施形態の行電極の方向における断面図であって、パネルを作製するためのプロセスを示すことを意図した、断面図である。

【図12】本発明に従ったパネルの第1実施形態の列電極の方向における断面図であって、パネルを作製するためのプロセスを示すことを意図した、断面図である。

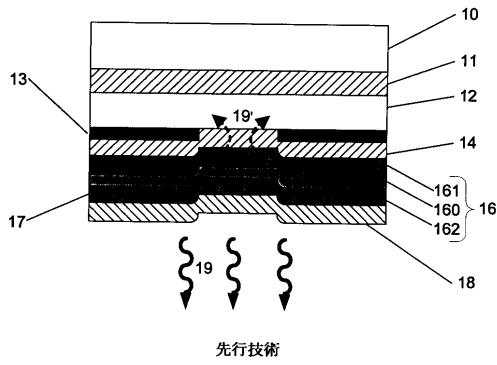
【図13】本発明に従ったパネルの第2実施形態の行電極の方向における断面図であって、図11に示したパネルを作製するためのプロセスの他の構成を示すことを意図した、断面図である。

【図14】本発明に従ったパネルの第2実施形態の列電極の方向における断面図であって、図12に示したパネルを作製するためのプロセスの他の構成を示すことを意図した、断面図である。

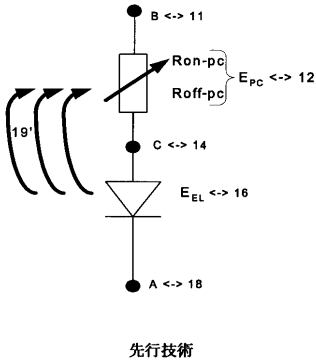
40

【図15】本発明の他の有利な実施形態におけるセルの等価回路図である。

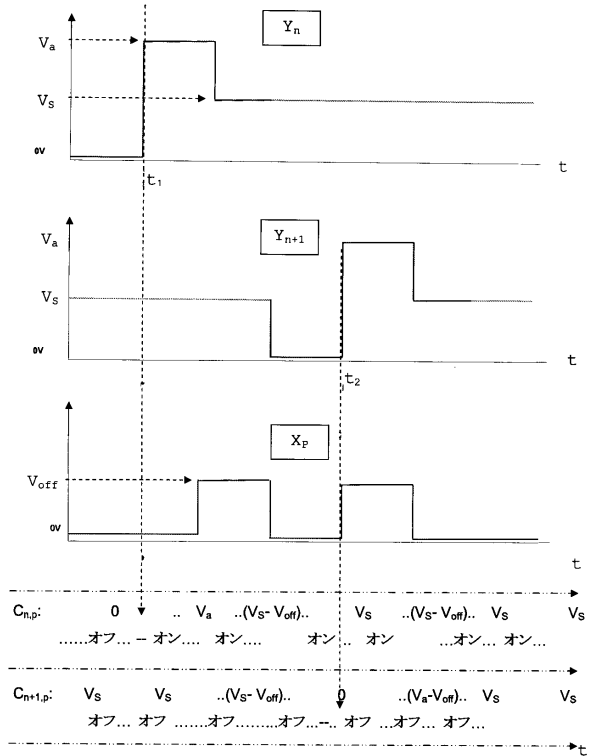
【図1】



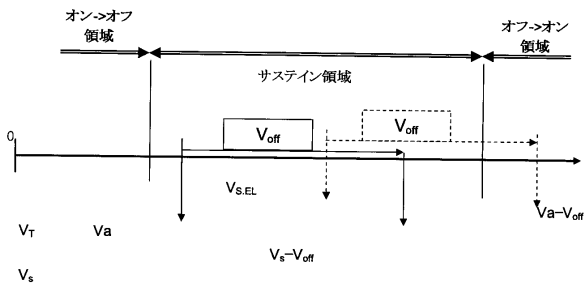
【図2】



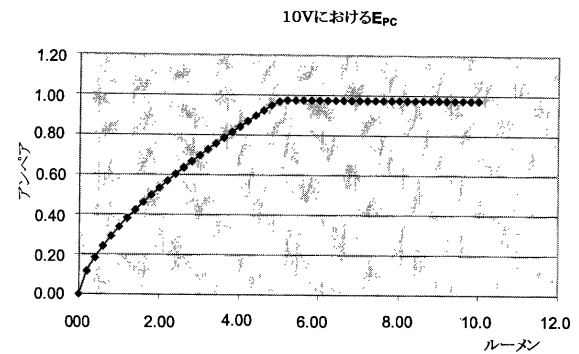
【図3】



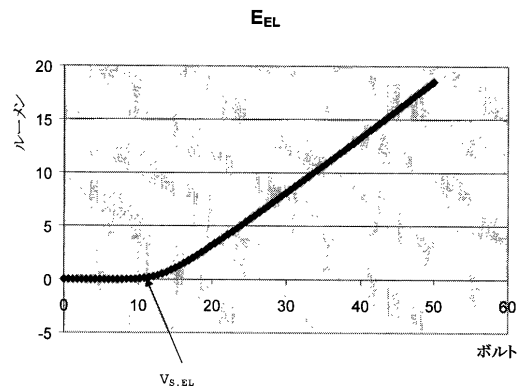
【図4】



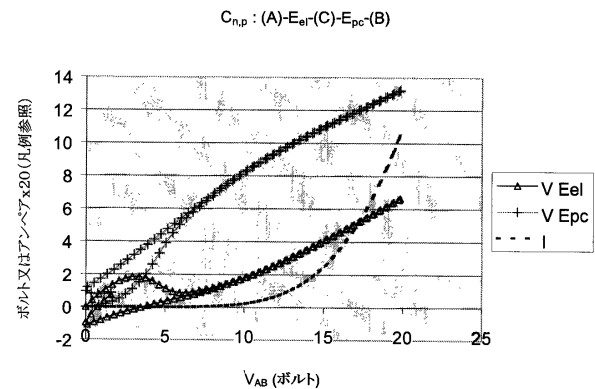
【図6】



【図5】



【図7】



【 図 8 】

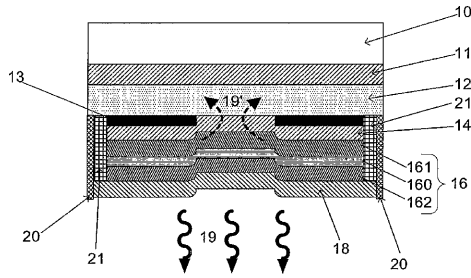


FIG. 8

【 図 9 】

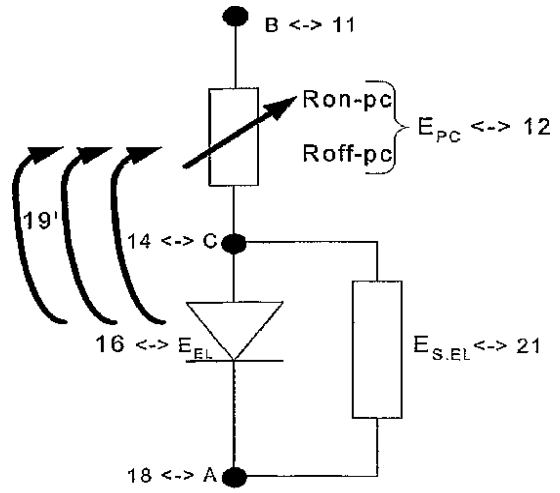
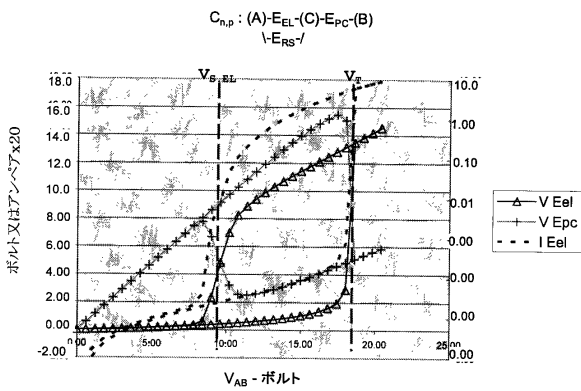


FIG. 9

【 図 10 】



【 図 12 】

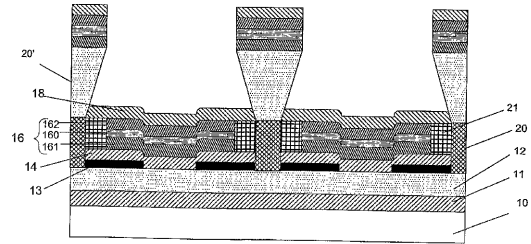


FIG. 12

【 図 13 】

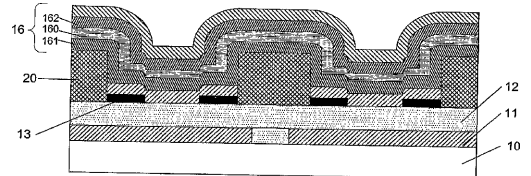


FIG. 13

【 図 11 】

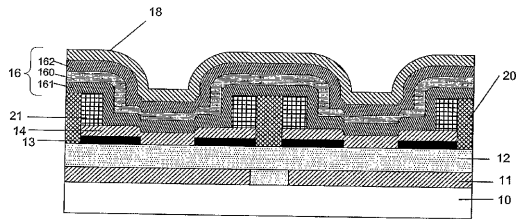


FIG. 11

【 図 14 】

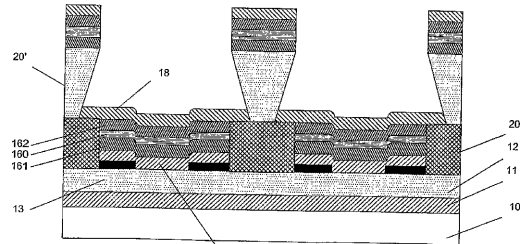


FIG. 14

フロントページの続き

- (72)発明者 ダゴワ, ジャン - ポール
フランス国, 3 5 5 1 0 セゾン・セヴィニエ, ルート・ド・フジェール 2 5
- (72)発明者 フェリー, クリストフ
フランス国, 3 5 0 0 0 レンヌ, リュ・ジャン・マセ 7

審査官 田井 伸幸

- (56)参考文献 特開2000 - 267603 (JP, A)
特開昭52 - 077537 (JP, A)
特表2004 - 537832 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/30
G09G 3/20
G09G 3/30
H01L 27/32
H01L 51/50