

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11)特許出願公開番号

**特開2014-123770**

(P2014-123770A)

(43) 公開日 平成26年7月3日(2014.7.3)

(51) Int. Cl.

F I

テーマコード (参考)

HO 1 L 27/146 (2006.01)

HO 1 L 27/14 A

4M118

HO4N 5/3745 (2011.01)

HO4N 5/335 745

5C024

審査請求 有 請求項の数 13 O L (全 15 頁)

(21) 出願番号 特願2014-52326 (P2014-52326)

(22) 出願日 平成26年3月14日 (2014. 3. 14)

(62) 分割の表示 特願2013-70541 (P2013-70541)  
の分割

原出願日 平成20年5月9日(2008.5.9)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100126240

弁理士 阿部 琢磨

(74) 代理人 100124442

弁理士 黒岩 創吾

(72) 發明者 小林 昌弘

東京都大田区下丸子3丁目30番2号キヤ  
ノン株式会社内

(72) 発明者 山下 雄一郎

東京都大田区下丸子3丁目30番2号キヤ  
ノン株式会社内

[最終頁に続く](#)

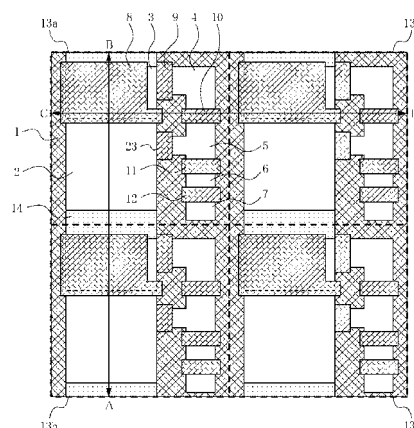
(54) 【発明の名称】 光電変換装置及びそれを用いた撮像システム

(57) 【要約】

【課題】 耐圧を有しつつ、素子分離部から電荷保持部への電荷の混入を低減する。

【解決手段】 撮像領域に電荷保持部を有する光電変換装置において、電荷保持部のための素子分離部は、PN接合を用いた第1の素子分離部と絶縁体を用いた第2の素子分離部とを有する。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

第 1 の光電変換部を含む複数の光電変換部と、  
前記第 1 の光電変換部にて生じた電荷を保持する第 1 の電荷保持部を少なくとも含み、  
それぞれが前記複数の光電変換部のうち対応する光電変換部にて生じた電荷を保持する複数の電荷保持部と、

前記第 1 の電荷保持部を電氣的に分離する素子分離部と、を有する光電変換装置において、

前記素子分離部は、PN 接合を用いた第 1 の素子分離部と、絶縁体を用いた第 2 の素子分離部と、を有することを特徴とする光電変換装置。

10

## 【請求項 2】

前記光電変換装置は、  
前記複数の電荷保持部が配されるウエルと、  
前記ウエルに電位を供給するためのコンタクトプラグに接して配された半導体領域と、  
をさらに有し、

前記第 2 の素子分離部は、前記第 1 の電荷保持部と前記半導体領域との間に配されたことを特徴とする請求項 1 に記載の光電変換装置。

## 【請求項 3】

前記光電変換装置は、  
少なくとも前記第 1 の電荷保持部の電荷に基づく信号を出力するためのトランジスタを含む複数のトランジスタ、をさらに有し、

20

前記素子分離部は、前記第 1 の電荷保持部と前記複数のトランジスタの少なくとも一部との間に配され、絶縁体を用いた第 3 の素子分離部を含むことを特徴とする請求項 1 または請求項 2 に記載の光電変換装置。

## 【請求項 4】

前記複数の電荷保持部のうち対応する電荷保持部の電荷がそれぞれ転送される複数の浮遊拡散部をさらに有することを特徴とする請求項 1 乃至 3 のいずれか一項に記載の光電変換装置。

## 【請求項 5】

それぞれが前記複数の浮遊拡散部のうち対応する浮遊拡散部の電圧をリセットする複数のリセットトランジスタをさらに有することを特徴とする請求項 4 に記載の光電変換装置。

30

## 【請求項 6】

前記複数の電荷保持部は遮光されていることを特徴とする請求項 1 乃至請求項 5 のいずれか一項に記載の光電変換装置。

## 【請求項 7】

前記第 1 の素子分離部は、前記第 1 の電荷保持部と、前記複数の電荷保持部のうち前記第 1 の電荷保持部と隣接する電荷保持部との間に配されたことを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の光電変換装置。

40

## 【請求項 8】

前記第 1 の素子分離部は、前記第 1 の電荷保持部と、前記複数の光電変換部のうち前記第 1 の光電変換部と隣接する光電変換部との間に配されたことを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載の光電変換装置。

## 【請求項 9】

前記第 1 の光電変換部と前記第 1 の電荷保持部との間の領域の上にゲート電極を有し、前記ゲート電極と前記第 1 の光電変換部と前記第 1 の電荷保持部とが、埋め込みチャネルを有するトランジスタを構成することを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の光電変換装置。

## 【請求項 10】

前記第 1 の電荷保持部は第 1 導電型の第 1 の半導体領域を有し、

50

前記第 1 の半導体領域の下部に第 2 導電型の第 2 の半導体領域が配され、

前記第 2 の半導体領域は、前記第 1 の半導体領域への前記電荷の混入を低減する障壁として機能することを特徴とする請求項 1 乃至 9 のいずれか一項に記載の光電変換装置。

【請求項 1 1】

前記第 2 の素子分離部は S T I 構造であることを特徴とする請求項 1 乃至請求項 1 0 のいずれか一項に記載の固体撮像装置。

【請求項 1 2】

請求項 1 乃至請求項 1 1 のいずれか一項に記載の光電変換装置と、

前記光電変換装置から出力される信号を処理する信号処理回路と、を有することを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本件は複数の光電変換部及び複数の電荷保持部を有する光電変換装置の素子分離の構成に関する。

【背景技術】

【0 0 0 2】

近年、C C D 型や M O S 型の光電変換装置は多くのデジタルスチルカメラやデジタルカムコーダに用いられている。M O S 型の光電変換装置においては、光電変換部の蓄積時間を一定に揃えるグローバルシャッター機能を実現するための素子構造が開発されている。それは、光電変換部に対して電荷保持部を有する構成である。特許文献 1 には、この電荷保持部を有する構成において L O C O S 構造の素子分離部を有する構成が開示されている。また、特許文献 2 には、電荷保持部を有する構成において電荷保持部への光の入射を低減することを目的として、電荷保持部を囲むように間隙が設けられている構成が開示されている。

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2 0 0 7 - 0 5 3 2 1 7 号公報

【特許文献 2】特開 2 0 0 7 - 1 5 7 9 1 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

本願発明者らは、特許文献 1 の構造において、素子分離部に光が入射した場合、素子分離部内で光の乱反射が生じて電荷保持部へと光が入射してしまうことを見出した。特許文献 2 においては、配線層付近における光の入射についての検討がなされているものの、特許文献 1 と同様に素子分離部に光が入射した場合の電荷保持部へ与える影響については検討がなされていなかった。しかし、素子分離部においては、光の影響だけではなく耐圧や寄生 M O S などの電気的特性について配慮が必要となる。そこで、本発明においては、耐圧を有しつつ、素子分離部から電荷保持部への電荷の混入を低減する光電変換装置を提供することを目的とする。

【課題を解決するための手段】

【0 0 0 5】

本発明の一つの側面に係る光電変換装置は、第 1 の光電変換部を含む複数の光電変換部と、前記第 1 の光電変換部にて生じた電荷を保持する第 1 の電荷保持部を少なくとも含み、それぞれが前記複数の光電変換部のうち対応する光電変換部にて生じた電荷を保持する複数の電荷保持部と、前記第 1 の電荷保持部を電氣的に分離する素子分離部と、を有する光電変換装置であって、前記素子分離部は、P N 接合を用いた第 1 の素子分離部と、絶縁体を用いた第 2 の素子分離部と、を有することを特徴とする。

【発明の効果】

## 【 0 0 0 6 】

本発明によって、光電変換装置において、耐圧を有しつつ、素子分離部から電荷保持部への電荷の混入を低減することが可能となる。

## 【 図面の簡単な説明 】

## 【 0 0 0 7 】

【 図 1 】 光電変換装置の画素回路の一例

【 図 2 】 第 1 の実施形態を説明する光電変換装置の平面模式図

【 図 3 】 図 2 の A B 線及び C D 線での断面模式図

【 図 4 】 第 1 の実施形態を説明する光電変換装置の平面模式図

【 図 5 】 図 4 の E F 線及び G H 線での断面模式図

10

【 図 6 】 第 1 の実施形態を説明する光電変換装置の平面模式図と断面模式図

【 図 7 】 光電変換装置の画素回路の別の例

【 図 8 】 撮像システムを説明するブロック図

【 発明を実施するための形態 】

## 【 0 0 0 8 】

本発明は、撮像領域に電荷保持部を有する光電変換装置において、電荷保持部のための素子分離部が、P N 接合を用いた第 1 の素子分離部と絶縁体を用いた第 2 の素子分離部とを有する。そして、第 2 の素子分離部を電荷保持部と複数のトランジスタの少なくとも一部との間に配する。第 1 の素子分離部によって、酸化膜を用いた素子分離部で発生する乱反射の影響を低減し、また第 2 の素子分離部を電荷保持部とトランジスタとの間に配置することで、読み出し回路と電荷保持部との耐圧を維持することが可能となる。

20

## 【 0 0 0 9 】

以下、実施形態について図面を用いて説明する。信号電荷を電子として、説明を行う。

## 【 0 0 1 0 】

( 第 1 の実施形態 )

始めに、図 1 を用いて電荷保持部を有する光電変換装置の画素回路の一例を説明する。図 1 は電荷保持部を有する画素 1 3 が 2 行 2 列で配列した構成を示している。2 は光電変換部、3 は電荷保持部、4 は浮遊拡散部、5 は電源部、7 は画素出力部、8 は第 1 の転送ゲート電極、9 は第 2 のゲート電極である。10 はリセット用トランジスタのゲート電極、11 は選択用トランジスタのゲート電極、12 は増幅用トランジスタのゲート電極、23 は排出部となるオーバーフロードレイン ( 以下 O F D ) 用のゲート電極である。電源線は所定の電圧を供給する配線であり、電源部 5 と接続している。ここで、電源部 5 はリセット用トランジスタのドレイン、選択用トランジスタのドレイン、O F D のドレインとも同一のノードとなっている。R E S、T X 1、T X 2、S E L、O F D は各ゲート電極にパルスを供給する制御線である。R E S はリセット用トランジスタのゲート電極 10 に、T X 1 は第 1 のゲート電極 8 に、T X 2 は第 2 のゲート電極 9 に、S E L は選択用トランジスタのゲート電極 11 に、O F D はオーバーフロードレイン用のゲート電極 23 にパルスを供給する制御線である。O U T は信号線である。n や m とは自然数であり、ある行 n とその隣の行 n + 1、ある列 m とその隣の列 m + 1 とを示している。ここで、画素 1 3 とは、1 つの光電変換部 2 を含む構成であり、光電変換装置の構成における最小の繰り返し単位である。この画素 1 3 が複数配された領域を撮像領域と称する。

30

40

## 【 0 0 1 1 】

このような画素 1 3 における、グローバルシャッターの動作は次のようになる。ある蓄積期間が経過した後に、光電変換部 2 にて生じた電荷を第 1 のゲート電極 8 によって、電荷保持部 3 へと転送する。電荷保持部 3 にてある蓄積期間の信号電荷を保持している間、光電変換部 2 では再び信号電荷の蓄積が始まる。電荷保持部 3 の信号電荷は第 2 のゲート電極 9 によって浮遊拡散部 4 へと転送され、増幅用トランジスタの画素出力部 7 から信号として出力される。また、電荷保持部 3 にて信号電荷を保持している間に光電変換部 2 にて生じた電荷が電荷保持部 3 へ混入しないように、O F D 23 によって光電変換部 2 の電荷を排出させる場合もある。リセット用トランジスタは、電荷保持部 3 から信号電荷が転

50

送される前に浮遊拡散部 4 を所定の電位に設定する（リセット動作）。この時の浮遊拡散部 4 の電位をノイズ信号として画素出力部 7 から出力し、後に出力される信号電荷に基づく信号との差分をとることで、ノイズ信号を除去することができる。

#### 【0012】

また、画素 13 において、第 1 のゲート電極 8 の下部が埋め込みチャネルとなってもよい。つまり光電変換部 2 と電荷保持部 3 とが導通している。このような構成のグローバルシャッターの動作は、次のようになる。光電変換部 2 にて生じた信号電荷は光電変換部 2 と電荷保持部 3 とで保持される。そして、ある蓄積期間が経過した後に、第 2 のゲート電極 9 によって浮遊拡散部 4 へ信号電荷が転送される。浮遊拡散部 4 に信号電荷が転送された後、再び光電変換部 2 と電荷保持部 3 とで信号電荷の蓄積が始まる。この構成においても、浮遊拡散部 4 にて信号電荷を保持している間に光電変換部 2 にて生じた電荷が浮遊拡散部 4 へ混入しないように、OFD 23 によって光電変換部 2 の電荷を排出させる場合もある。また、リセット用トランジスタの動作としては、同様である。この動作は、第 1 のゲート電極 8 の下部が埋め込みチャネルになっていなくても第 1 のゲート電極 8 の駆動によって、行うことが可能である。本実施形態では、このような埋め込みチャネルとなっている構成を例に説明を行う。

#### 【0013】

図 2 は、図 1 のような画素構成の光電変換装置の平面模式図である。画素 13 が 2 行 2 列に配されている。13a を第 1 の画素、13b を第 2 の画素、13c を第 3 の画素、13d を第 4 の画素とする。図 1 と同様の機能を有する構成については、同一の符号を付し説明を省略する。各符号の a、b、c、d については、それぞれ第 1 の画素、第 2 の画素、第 3 の画素、第 4 の画素の構成であることを示している。また、説明のため、コンタクトやゲート電極以外の配線の配置については省略している。図 1 において共通のノードとなっている部分は同一の半導体領域である場合や配線によって接続されている場合がある。

#### 【0014】

図 1 において、1 及び 14 は素子分離部である。14 は半導体領域の PN 接合を利用した第 1 の素子分離部であり、1 は絶縁体を利用した第 2 の素子分離部である。第 2 の素子分離部 1 以外の部分が活性領域となっており、各素子が形成される。

#### 【0015】

第 1 の画素 13a に着目して説明する。第 1 のゲート電極 8a は電荷保持部 3a の上部まで延在して配置されている。第 1 のゲート電極 8a が電荷保持部 3a の上部まで配されていることで、電荷保持部 3a への光の入射を低減させ、また、第 1 のゲート電極 8a に供給される電圧を制御することによって、電荷保持部 3a の暗電流を低減することが可能である。ここで、電荷保持部 3a は、第 1 の素子分離部 14 と第 2 の素子分離部 1 とを有する。隣接する光電変換部 2（不図示）との間には第 1 の素子分離部 14 が配されている。つまり、例えば第 2 の画素 13c の電荷保持部 3b と第 1 の画素 13a の電荷保持部 3a との間には第 1 の素子分離部 14 が配されている。このような素子分離部の構成について図 3 の断面模式図を用いてより詳細に説明する。以下、n 型を第 1 導電型として説明する。

#### 【0016】

図 3（A）は図 2 の AB 線の断面模式図であり、図 3（B）は図 2 の CD 線における断面模式図である。図 3（A）及び図 3（B）において、21 はウエルである。ウエル 21 は、n 型であっても、p 型であってもよく、半導体基板に設けられた構成であっても、半導体基板であってもよい。16 は第 2 導電型の第 1 の半導体領域であり、17 は第 1 導電型の第 2 の半導体領域であり、これらは光電変換部 2 を構成する。18 は第 1 導電型の第 3 の半導体領域であり、電荷保持部 3 を構成する。19 は第 2 導電型の第 4 の半導体領域であり、電荷保持部 3 への電子の混入を低減させる障壁として機能しうる。20 は電荷保持部 3 への光の入射を低減させる遮光膜である。遮光膜 20 は図 2 においては省略している。そして、22 は第 2 導電型の半導体領域であり、周囲の半導体領域と PN 接合による

電氣的な分離を行う第 1 の素子分離部 1 4 を構成する。第 2 導電型の半導体領域 1 4 は周囲の半導体領域に比べて第 2 導電型の不純物濃度が高く、即ち信号電荷に対するポテンシャルが高い。また、2 3 は絶縁体であり、第 2 の素子分離部 1 を構成する。第 2 の素子分離部 1 は L O C O S 構造 ( L o c a l o x i d a t i o n o f S i l i c o n ) や S T I 構造 ( S h a l l o w t r e n c h i s o l a t i o n ) である。1 5 は第 2 導電型の第 5 の半導体領域であり、チャネルストップとして、また電子に対する障壁として機能しうる。更に、第 5 の半導体領域 1 5 は絶縁体 2 3 を設けたことによる暗電流の防止の機能をも有してもよい。ここで、本実施形態においては、第 2 の半導体領域 1 7 と第 3 の半導体領域 1 8 との間に、第 1 導電型の第 6 の半導体領域を有する ( 不図示 )。第 6 の半導体領域によって、第 1 のゲート電極 8 の下部に埋め込みチャンネルが形成される。

10

#### 【 0 0 1 7 】

ここで、課題について図 6 を用いて詳細な説明を行う。図 6 ( A ) は図 2 に対応した平面模式図であり、図 2 と同様に図 1 の画素回路に対応する。図 6 ( B ) は図 6 ( A ) の X Y 線における断面模式図である。図 1 から図 3 と同様の構成については、同一の符号を付し説明を省略する。ここで、図 6 ( A ) では電荷保持部 3 のための素子分離部は絶縁体を利用した第 2 の素子分離部 1 のみとなっている。この時の X Y 線における断面において、図 6 ( B ) のようなことが生じる。光電変換部 2 a には遮光膜 2 0 が無いため、光が入射しやすく、光電変換部 2 a と電荷保持部 3 b との間にも光が入射する。ここで、発明者は、第 2 の素子分離部 1 に光が入射した場合、絶縁体と半導体基板 2 1 との界面で反射を繰り返して、様々な方向へ向かう散乱光が生じてしまうことを見出した。この散乱光による電子が、電荷保持部 3 b にて保持された信号電荷に混入し偽信号を生じてしまう場合がある。この時、素子分離部が半導体基板に深くまで絶縁体を設けた S T I 構造を有する場合には、より反射が生じやすく散乱光が生じやすい。また、素子分離部への光の入射は、光電変換部 2 a の周りだけでなく、電荷保持部 3 b が並んでいる場合でも遮光膜 2 0 の切れ目で生じる可能性がある。

20

#### 【 0 0 1 8 】

一方、図 3 ( A ) では、第 2 の画素 1 3 b の電荷保持部 3 b と、第 1 の画素 1 3 a の光電変換部 2 a との間に第 1 の素子分離部 1 4 を設けている。図 3 ( A ) に示したように、遮光膜 2 0 が設けられていない光電変換部 2 a には光が入射しやすい。この光の入射量が多い部分に第 1 の素子分離部 1 4 を設けることによって、光はウエル 2 1 の深部へと透過し、散乱が低減される。また、第 1 の素子分離部 1 4 によって、光によって生じた電子が電荷保持部 3 b を構成する第 3 の半導体領域 1 8 b へに混入することを低減することが可能である。更には、第 4 の半導体領域 1 9 b が存在することによって、電子の第 3 の半導体領域 1 8 b への混入をより低減することが可能となる。

30

#### 【 0 0 1 9 】

また、図 3 ( B ) では、複数のトランジスタの少なくとも一部 ( ここではリセット用トランジスタ ) と電荷保持部 3 a との間には第 2 の素子分離部 1 が配されている。第 2 の素子分離部 1 によって、電氣的な分離を十分に行うことが可能である。なお、トランジスタはリセット用トランジスタに限らない。電荷保持部がトランジスタのソース領域あるいはドレイン領域と同一のノードになっていなければよく、増幅用トランジスタや選択用トランジスタであってもよい。これら、トランジスタゲート電極には高いパルスが供給され、また、トランジスタのソース領域あるいはドレイン領域には高い電圧が供給される場合があるため電氣的な分離及び耐圧が必要となる。また、第 2 の素子分離部は、電荷保持部とウエルの電位を固定するためのウエルコンタクトのための半導体領域との間に配されていても良い。リセット動作時には電荷保持部に高い電位がかかるため、ウエルコンタクトのための半導体領域との電氣的な分離を十分に行うためである。

40

#### 【 0 0 2 0 】

ここで、トランジスタのソース領域あるいはドレイン領域を形成する半導体領域は光電変換部を構成する第 2 の半導体領域 1 7 に比べて高い不純物濃度を有することが多い。このような高い不純物濃度の半導体領域を第 1 の素子分離部によって分離を行うと P N 接合

50

界面に大きな電界がかかってしまう。従って、第2の素子分離部1にて耐圧を保ちつつ、電氣的な分離を行うことが望まれる。更に、光電変換部2とは異なり複数のトランジスタは遮光することも可能であるため、第2の素子分離部1への光の入射を低減し、散乱光の発生を低減することが可能となる。

#### 【0021】

しかし、絶縁体を有する第2の素子分離部1は、絶縁体と半導体との界面の格子欠陥に起因する暗電流が生じる場合がある。そこで、本実施形態のように、信号電荷を保持する電荷保持部3や光電変換部2の近傍には、第1の素子分離部14を配置することで図6の構成に比べてノイズを低減することが可能となる。

#### 【0022】

本実施形態のように光電変換部2と電荷保持部3との間は埋め込みチャンネルとなっている構成においては、電荷保持部3にて信号電荷を保持する期間が長くなるため、入射光による電子の混入や暗電流の低減に効果的である。しかし、光電変換部2と電荷保持部3との間が埋め込みチャンネルの構成には限定されない。また、障壁となる第4の半導体領域19や第5の半導体領域15はなくてもよい。

#### 【0023】

(第2の実施形態)

本実施形態の光電変換装置は、第1の実施形態とは画素の平面レイアウトが異なり、画素同士が線対称となって配置されている構成である。また、電荷保持部及び光電変換部の周囲における素子分離部の配置が異なる。図4を用いて説明を行う。

#### 【0024】

図4は光電変換装置の平面模式図である。図4において図2と同一の構成については同一の符号を付し、説明を省略する。また、説明のため、コンタクトやゲート電極以外の配線、遮光膜については省略している。図4では2行4列の8つの画素13について示しているが、光電変換装置としては図4の8つの画素が繰り返し2次元に配置されている。その内、4つの画素13a、13b、13c、13dを用いて説明を行う。図4では図2と異なり、第1の画素13aと第3の画素13cの光電変換部2が向かい合って配置されている。即ち、第1の画素13a及び第2の画素13bの列と第3の画素13c及び第4の画素13dの列が線対称として配置されている。ここで、第1の実施形態と同様に、第1の画素13aの電荷保持部3aと不図示の隣接する画素の光電変換部との間には第1の素子分離部14が配置されている。そして、第1の画素13aのトランジスタと電荷保持部3aとの間には第2の素子分離部1が配置されている。しかし、更に、第1の画素13aの電荷保持部3aと第3の画素13cの電荷保持部3cとの間にも第1の素子分離部14が配されている。このような構成によって、第1の実施形態に比べてより、電荷保持部3aへ混入する電荷を低減することが可能となる。また、電荷保持部3aへ混入する暗電流を低減することが可能となる。また、光電変換部2aにおいても第3の画素13cの光電変換部2cとの間に第1の素子分離部14を有する。このような構成によって、光電変換部2a及び光電変換部2cへの暗電流を低減することが可能である。また、トランジスタと電荷保持部3aあるいは光電変換部2aとの間には第2の素子分離部1が配されていることによって、耐圧の低下や寄生MOSトランジスタの発生を抑制することが可能である。更に、図5の断面模式図を用いて説明する。

#### 【0025】

図5(A)は図4のEF線の断面模式図であり、図5(B)は図4のGH線における断面模式図である。図5(A)及び図5(B)において、図3(A)及び図3(B)と同様の構成については同一の符号を付し、説明を省略する。図5(A)においては、図3(A)とほぼ同一の構成となっているため説明を省略する。図5(B)においては、第1の画素13aの電荷保持部3aと第3の画素13cの電荷保持部3cとが隣接しており、同一の遮光膜20にて遮光されている。この遮光膜20によって、電荷保持部3aと電荷保持部3cとの間には光の入射はない。しかし、暗電流が発生しやすい第2の素子分離部1の絶縁体23ではなく第1の素子分離部14、即ち第2導電型の半導体領域22が配置され

10

20

30

40

50

ている。このような構成によって、電荷保持部 3 a 及び電荷保持部 3 c への暗電流を低減することが可能となる。

#### 【0026】

以上述べてきたように、ある画素の電荷保持部と隣接する画素の電荷保持部との間においても、第 1 の素子分離部を配置することによって、第 2 の素子分離部を配置した場合に生じる光の散乱による偽信号の発生を低減が可能となる。また、電荷保持部への暗電流の混入を低減することが可能となる。また、光電変換部の周囲においても同様である。あわせて、電荷保持部とトランジスタとの間には第 2 の素子分離部を設けることによって、耐圧が向上し、また寄生 MOS トランジスタの発生を低減することが可能となる。なお、本実施形態の素子分離部の配置を異なる平面レイアウトに適用することも可能である。

10

#### 【0027】

##### (第 3 の実施形態)

本実施形態では、図 1 に記載の画素回路とは異なる画素回路について図 7 を用いて説明する。図 7 は画素ユニット 2 2 を有する構成を示している。図 1 と同様の構成については同一の符号を付し、説明を省略する。

#### 【0028】

図 7 の 2 a は第 1 の光電変換部、2 b は第 2 の光電変換部 2 b、3 a は第 1 の電荷保持部、3 b は第 2 の電荷保持部である。8 a と 9 a は第 1 の光電変換部に対応する第 1 のゲート電極と第 2 のゲート電極であり、8 b と 9 b は第 2 の光電変換部に対応する第 1 のゲート電極と第 2 のゲート電極である。2 3 a は第 1 の光電変換部に対応する排出部であり、2 3 b は第 2 の光電変換部に対応する排出部である。そして、第 1 の光電変換部 2 a と第 2 の光電変換部 2 b とが浮遊拡散部 4、リセット用トランジスタ、選択用トランジスタ、増幅用トランジスタとを共有化している。

20

#### 【0029】

つまり、図 7 の画素回路は、図 1 の画素回路において n 行目 m 列の画素と n + 1 行目 m 列の画素の浮遊拡散部 4 同士が接続された構成である。更に、リセット用トランジスタと選択用トランジスタと増幅用トランジスタとが共有化されている。また、図 1 の構成は、画素ユニット 2 2 が含む光電変換部 2 が 1 つの場合とも言える。

#### 【0030】

このような構成によれば図 1 の構成に比べて素子数を削減することができるため、電荷保持部や光電変換部の面積を大きくとることが可能となる。

30

#### 【0031】

この時の素子分離部の配置については、第 2 の実施形態に示したように、電荷保持部とトランジスタとの間には第 2 の素子分離部を配置し、第 1 の素子分離部は次のような場所に配置することが望ましい。まず、電荷保持部同士の間、例えば、第 1 の電荷保持部 3 a と第 2 の電荷保持部 3 b との間や第 1 の電荷保持部 3 a と隣接する画素ユニットの電荷保持部との間である。更に、電荷保持部と光電変換部との間、例えば、第 1 の電荷保持部 3 a と第 2 の光電変換部 2 b との間や第 1 の電荷保持部 3 a と隣接する画素ユニットの光電変換部との間である。このように、第 2 の実施形態に示したような第 1 の素子分離部と第 2 の素子分離部との配置を規定することで、耐圧を保ちつつ、電荷保持部への電荷の混入を低減することが可能となる。

40

#### 【0032】

##### (撮像システムへの応用)

本実施形態では、第 1 の実施形態及び第 3 の実施形態にて説明してきた光電変換装置を撮像システムに適用した場合について、図 8 を用いて説明する。撮像システムとは、デジタルスチルカメラやデジタルビデオカメラや携帯電話用デジタルカメラである。

#### 【0033】

図 8 はデジタルスチルカメラの構成図である。被写体の光学像は、レンズ 8 0 2 等を含む光学系によって光電変換装置 8 0 4 の撮像面に結像される。レンズ 8 0 2 の外側には、レンズ 8 0 2 のプロテクト機能とメインスイッチを兼ねるバリア 8 0 1 が設けられうる。

50



レンズ 802 には、それから出射される光の光量を調節するための絞り 803 が設けられる。光電変換装置 804 から複数チャンネルで出力される撮像信号は、撮像信号処理回路 805 によって、各種の補正、クランプ等の処理が施される。撮像信号処理回路 805 から複数チャンネルで出力される撮像信号は、A/D 変換器 806 でアナログ - デジタル変換される。A/D 変換器 806 から出力される画像データは、信号処理部（画像処理部）807 によって各種の補正、データ圧縮などがなされる。光電変換装置 804、撮像信号処理回路 805、A/D 変換器 806 及び信号処理部 807 は、タイミング発生部 808 が発生するタイミング信号にしたがって動作する。各ブロックは、全体制御・演算部 809 によって制御される。その他、画像データを一時的に記憶するためのメモリ部 810、記録媒体への画像の記録又は読み出しのための記録媒体制御インターフェース部 811 を備える。記録媒体 812 は、半導体メモリ等を含んで構成され、着脱が可能である。さらに、外部コンピュータ等と通信するための外部インターフェース（I/F）部 813 を備えてもよい。ここで、805 から 808 は、光電変換装置 804 と同一チップ上に形成されてもよい。

10

20

30

40

50

#### 【0034】

次に、図 8 の動作について説明する。バリア 801 のオープンに応じて、メイン電源、コントロール系の電源、A/D 変換器 806 等の撮像系回路の電源が順にオンする。その後、露光量を制御するために、全体制御・演算部 809 が絞り 803 を開放にする。光電変換装置 804 から出力された信号は、撮像信号処理回路 805 をスルーして A/D 変換器 806 へ提供される。A/D 変換器 806 は、その信号を A/D 変換して信号処理部 807 に出力する。信号処理部 807 は、そのデータを処理して全体制御・演算部 809 に提供し、全体制御・演算部 809 において露出量を決定する演算を行う。全体制御・演算部 809 は、決定した露出量に基づいて絞りを制御する。

#### 【0035】

次に、全体制御・演算部 809 は、光電変換装置 804 から出力され信号処理部 807 で処理された信号にから高周波成分を取り出して、高周波成分に基づいて被写体までの距離を演算する。その後、レンズ 802 を駆動して、合焦が否かを判断する。合焦していないと判断したときは、再びレンズ 802 を駆動し、距離を演算する。

#### 【0036】

そして、合焦が確認された後に本露光が始まる。露光が終了すると、光電変換装置 804 から出力された撮像信号は、撮像信号処理回路 805 において補正等がされ、A/D 変換器 806 で A/D 変換され、信号処理部 807 で処理される。信号処理部 807 で処理された画像データは、全体制御・演算部 809 によりメモリ部 810 に蓄積される。その後、メモリ部 810 に蓄積された画像データは、全体制御・演算部 809 の制御により記録媒体制御 I/F 部を介して記録媒体 812 に記録される。また、画像データは、外部 I/F 部 813 を通してコンピュータ等に提供されて処理される。

#### 【0037】

このようにして、本発明の光電変換装置は撮像システムに適用される。本発明の光電変換装置を用いることによって、グローバルシャッターによる画像信号へのノイズを低減することが可能となるため、より高画質な画像を得ることが可能となる。また、信号処理回路等でのノイズ除去が容易となる。

#### 【0038】

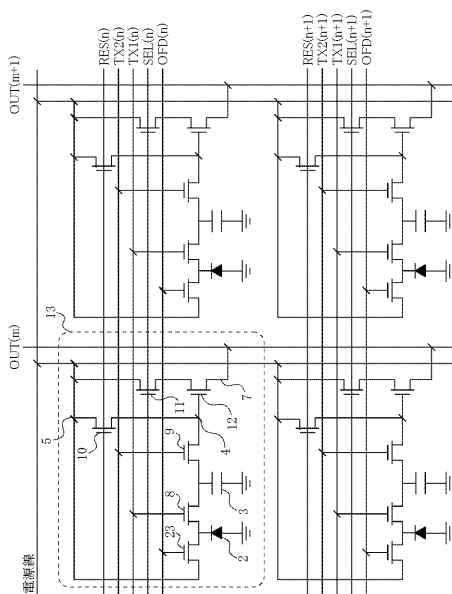
以上、本発明のいくつかの実施形態について説明してきた。しかし、本発明は各実施形態に限定されるものではなく、適宜変更可能である。例えば、画素の回路構成は図 1 の構成に限らない。図 1 にして示したような排出部ではなく、半導体基板の垂直方向に電荷を排出する構成を有していても良い。また、第 1 のゲート電極 8 の構成は実施形態にて述べてきた構成に限られず、第 1 のゲート電極 8 が電荷保持部 3 の上部まで延在しなくても良い。電荷の極性、半導体領域の極性及びトランジスタの極性についても、適宜変更可能である。

#### 【符号の説明】

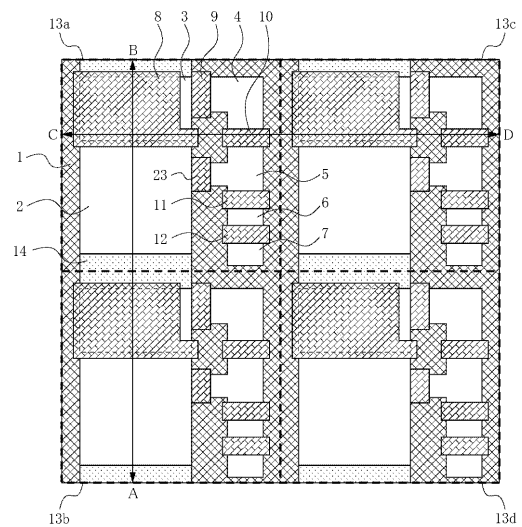
## 【 0 0 3 9 】

- 1 第 2 の素子分離部
- 2 光電変換部
- 3 電荷保持部
- 4 浮遊拡散部
- 8 第 1 のゲート電極
- 9 第 2 のゲート電極
- 1 4 第 1 の素子分離部
- 1 3 画素
- 2 2 画素ユニット

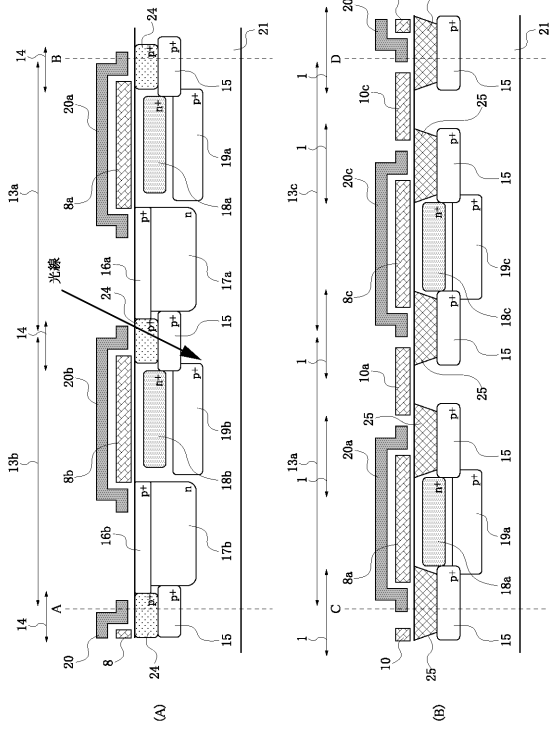
【 図 1 】



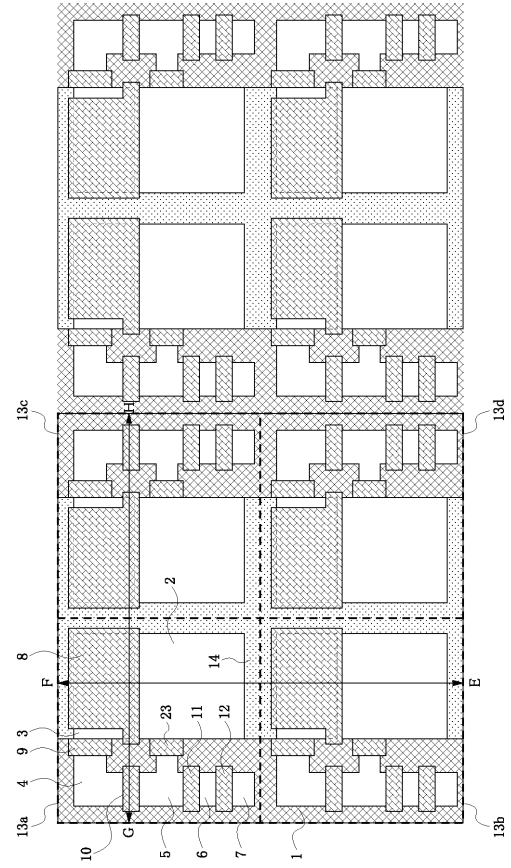
【 図 2 】



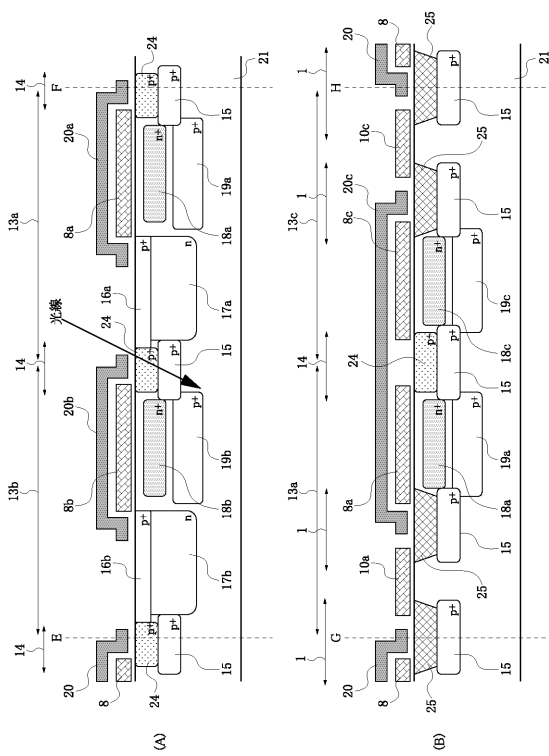
【図 3】



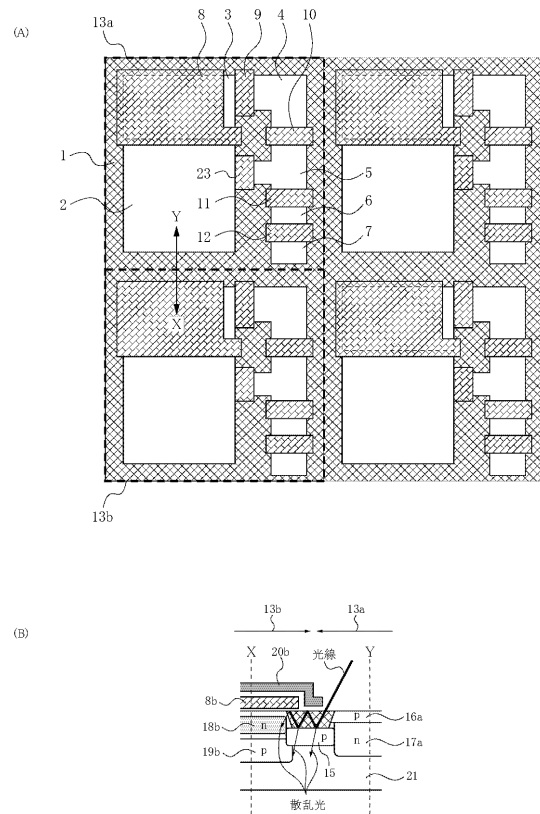
【図 4】



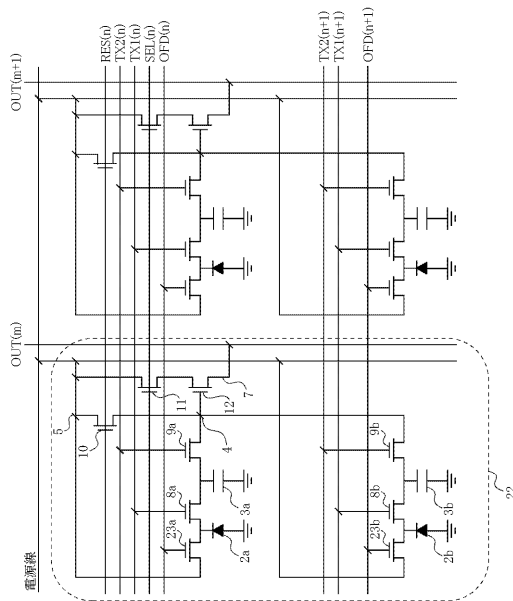
【図 5】



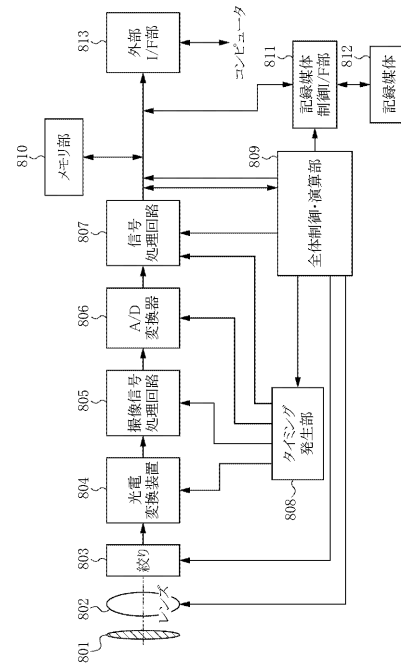
【図 6】



【図 7】



【図 8】



## 【手続補正書】

【提出日】平成26年4月14日(2014.4.14)

## 【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 半導体領域をそれぞれが含む複数の光電変換部と、  
 前記複数の光電変換部のうち対応する光電変換部にて生じた電荷を保持する第 1 導電型の第 2 半導体領域をそれぞれが含む複数の電荷保持部と、  
 前記電荷保持部の電荷が転送される浮遊拡散部を含み、前記浮遊拡散部に転送された電荷に基づく信号を出力する複数の増幅部と、  
 第 2 導電型の第 3 半導体領域を用いた第 1 の素子分離部と、  
 絶縁体を用いた第 2 の素子分離部と、を有する、  
 ことを特徴とする光電変換装置。

【請求項 2】

前記複数の電荷保持部の 1 つと、前記複数の増幅部の 1 つとの間に、前記第 2 の素子分離部の一部が配された、  
 ことを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】

前記光電変換部の電荷が排出される第 4 半導体領域を有し、  
 前記複数の電荷保持部の 1 つと、前記複数の増幅部の 1 つとの間に、前記第 2 の素子分離部の一部が配された、

ことを特徴とする請求項 1 に記載の光電変換装置。

【請求項 4】

前記第 1 半導体領域と前記第 4 半導体領域との間の領域の上に配されたゲート電極を有する、

ことを特徴とする請求項 3 に記載の光電変換装置。

【請求項 5】

前記光電変換装置は、前記増幅部を構成するトランジスタを少なくとも含む複数のトランジスタ、を有し、

前記第 2 の素子分離部の一部が、前記複数の電荷保持部の 1 つと前記複数のトランジスタの少なくとも一部との間に配された、

ことを特徴とする請求項 1 に記載の光電変換装置。

【請求項 6】

前記複数のトランジスタは、前記浮遊拡散部の電圧をリセットするリセットトランジスタを含む、

ことを特徴とする請求項 5 に記載の光電変換装置。

【請求項 7】

前記複数の電荷保持部は遮光されていることを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の光電変換装置。

【請求項 8】

前記第 1 の素子分離部は、前記複数の電荷保持部のうち隣接する 2 つの電荷保持部の間に配された、

ことを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載の光電変換装置。

【請求項 9】

前記第 1 の素子分離部は、前記複数の電荷保持部の 1 つと、前記複数の光電変換部の 1 つとの間に配されたことを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の光電変換装置。

【請求項 10】

前記複数の光電変換部の 1 つと、当該 1 つに対応する電荷保持部との間の領域の上に配されたゲート電極を有する、

ことを特徴とする請求項 1 乃至請求項 9 のいずれか一項に記載の光電変換装置。

【請求項 11】

前記ゲート電極は、前記第 2 半導体領域の上にまで延在している、

ことを特徴とする請求項 10 に記載の光電変換装置。

【請求項 12】

前記第 2 の素子分離部は S T I 構造であることを特徴とする請求項 1 乃至請求項 11 のいずれか一項に記載の光電変換装置。

【請求項 13】

請求項 1 乃至請求項 12 のいずれか一項に記載の光電変換装置と、

前記光電変換装置から出力される信号を処理する信号処理回路と、を有することを特徴とする撮像システム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

本発明の一つの側面に係る光電変換装置は、第 1 導電型の第 1 半導体領域をそれぞれが含む複数の光電変換部と、前記複数の光電変換部のうち対応する光電変換部にて生じた電荷を保持する第 1 導電型の第 2 半導体領域をそれぞれが含む複数の電荷保持部と、前記電荷保持部の電荷が転送される浮遊拡散部を含み、前記浮遊拡散部に転送された電荷に基づ

く信号を出力する複数の増幅部と、第2導電型の第3半導体領域を用いた第1の素子分離部と、絶縁体を用いた第2の素子分離部と、を有する、ことを特徴とする。

---

フロントページの続き

F ターム(参考) 4M118 AB01 BA14 CA04 DD04 DD12 FA06 FA14 FA25 FA26 FA27  
FA28 FA34 FA38 GB03 GB07  
5C024 BX01 CX32 CY47 GX16 GX18 GY31 GY39 GY41