



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월17일  
(11) 등록번호 10-1255675  
(24) 등록일자 2013년04월11일

(51) 국제특허분류(Int. Cl.)  
H01L 23/373 (2006.01) H01L 23/367 (2006.01)  
(21) 출원번호 10-2010-7027421  
(22) 출원일자(국제) 2009년04월27일  
심사청구일자 2010년12월06일  
(85) 번역문제출일자 2010년12월06일  
(65) 공개번호 10-2011-0004475  
(43) 공개일자 2011년01월13일  
(86) 국제출원번호 PCT/US2009/041780  
(87) 국제공개번호 WO 2009/137286  
국제공개일자 2009년11월12일  
(30) 우선권주장  
12/115,076 2008년05월05일 미국(US)  
(56) 선행기술조사문헌  
JP2007221078 A\*  
JP62194652 A\*  
KR2020000011896 U\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
켈컴 인코퍼레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
(72) 발명자  
카스코운, 케네쓰  
미국 92121 캘리포니아 샌디에고 모어하우스 드라이브 5775  
구, 시쿤  
미국 92121 캘리포니아 샌디에고 모어하우스 드라이브 5775  
노와크, 매튜, 엠.  
미국 92121 캘리포니아 샌디에고 모어하우스 드라이브 5775  
(74) 대리인  
특허법인 남앤드남

전체 청구항 수 : 총 26 항

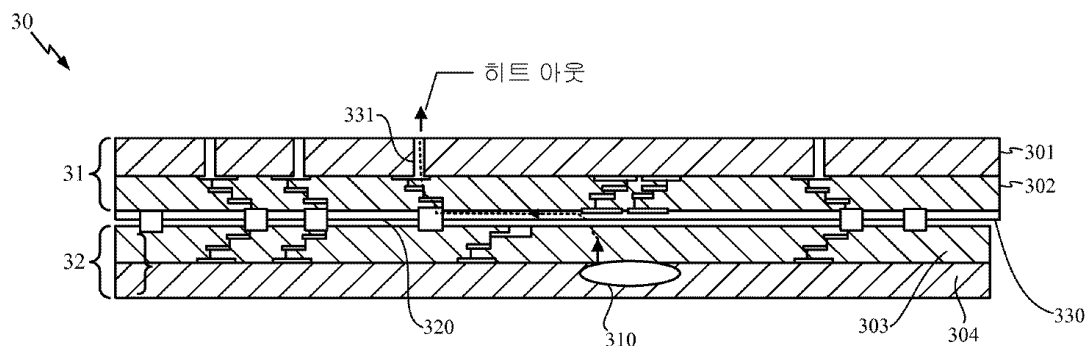
심사관 : 박귀만

(54) 발명의 명칭 3-D 집적 회로 측면 열 방산

(57) 요약

열 전도성 물질(320)로 IC 디바이스의 계층(tier)들(31, 32) 사이에 에어 갭을 충전함으로써, 계층들 중 하나 내에 하나 이상의 위치들에서 생성되는 열은 측면으로 배치될 수 있다. 열의 측면 배치는 계층의 전체 수직 길이를 따를 수 있으며, 열적 물질이 전기적으로 절연될 수 있다. 스루(through) 실리콘-비아들(331)은 열적 장애(troubled) 위치들(310)로부터 떨어져 열 방산을 돕기 위하여 특정 위치들에서 구성될 수 있다.

대표도



## 특허청구의 범위

### 청구항 1

제 2 다이 상에 적층된 제 1 다이 — 각각의 다이는 활성면 및 기판을 포함하고, 상기 다이들의 활성면들은 복수의 계층간 접속들(tier to tier connections)에 의해 함께 연결되고(coupled), 상기 계층간 접속들은 상기 제 1 다이 및 제 2 다이 사이에 갭을 생성함 —;

상기 제 1 다이 내에 배치되는 제 1 열 전도성 물질로 채워지는 기관-관통 비아; 및

상기 갭 내에 위치되는 열 전도성층을 포함하는,

3 차원 집적 회로 (IC) 디바이스.

### 청구항 2

제1항에 있어서,

상기 제 1 열 전도성 물질의 열 전도성은 적어도  $10 \text{ W/m/K}$ 인,

3 차원 집적 회로 (IC) 디바이스.

### 청구항 3

제1항에 있어서,

상기 제 1 열 전도성 물질은 전기적으로 절연성인,

3 차원 집적 회로 (IC) 디바이스.

### 청구항 4

제1항에 있어서,

상기 제1 열 전도성 물질은 패터닝된 막인,

3 차원 집적 회로 (IC) 디바이스.

### 청구항 5

제1항에 있어서,

적어도 하나의 다이의 한 단부에 배치되는 제 2 열 전도성 물질을 더 포함하며,

상기 제 2 열 전도성 물질은 상기 다이들 사이에 배치되는 상기 제 1 열 전도성 물질에 열적으로 연결되는,

3 차원 집적 회로 (IC) 디바이스.

### 청구항 6

제1항에 있어서,

상기 제 1 열 전도성 물질은 다이아몬드 매트릭스, 및 다이아몬드 막 패턴의 리스트로부터 선택되는,

3 차원 집적 회로 (IC) 디바이스.

### 청구항 7

제1항에 있어서,

상기 제 1 열 전도성 물질은 적어도 부분적으로 탄소 나노튜브로 이루어지는,

3 차원 집적 회로 (IC) 디바이스.

### 청구항 8

제1항에 있어서,  
상기 제 1 다이는 상기 제 2 다이보다 원주적으로 더 큰,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 9

제8항에 있어서,  
상기 제 2 다이는 적어도 2 개의 다이들을 포함하고, 상기 2 개의 다이들 중 적어도 하나는 제 2 열 전도성층을 더 포함하는,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 10

제1항에 있어서,  
상기 열 전도성층은 증착되고, 증착시키는 수단은 CVD, PVD, 스핀 온(spin on) 및 스크린 온(screen on) 중 적어도 하나를 포함하는,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 11

제1항에 있어서,  
상기 제 1 열 전도성 물질은 또한 전기적으로 도전성인,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 12

제 1 다이 및 제 2 다이 — 각각의 다이는 활성면 및 기판을 포함함 —;  
상기 다이들의 활성면들을 연결하기 위한 수단 — 상기 연결하기 위한 수단은 상기 제 1 다이 및 제 2 다이 사이에 갭을 생성함 —;  
상기 제 1 다이를 관통해 연장되는 비아에 배치되는 열을 전도하기 위한 수단; 및  
상기 갭 내에 배치되는 열을 전도하기 위한 수단을 포함하는,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 13

제12항에 있어서,  
상기 갭 내에 배치되는 수단은 다이아몬드 매트릭스, 및 다이아몬드 막 패턴의 리스트로부터 선택되는,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 14

제12항에 있어서,  
상기 제 1 다이를 관통해 연장되는 비아에 배치되는 수단은 카본 나노튜브들로 이루어진,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 15

제 2 다이 상에 적층되는 제 1 다이 — 상기 제 1 다이는 상기 제 2 다이보다 원주적으로 크고, 상기 제 1 다이 및 제 2 다이는 복수의 계층간 접속들에 의해 함께 연결되고, 상기 계층간 접속들은 상기 제 1 다이 및 제 2 다이 사이에 갭을 생성함-; 및

상기 제 1 다이 내에 배치되는 제 1 열 전도성 물질로 채워지는 기관-관통 비아를 포함하고,  
상기 제 2 다이는 열 전도성층을 포함하는,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 16

제15항에 있어서,  
상기 제 2 다이는 적어도 2 개의 다이들을 포함하고, 상기 2 개의 다이들 중 적어도 하나는 제 2 열 전도성층을 더 포함하는,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 17

활성면 및 기관을 포함하는 제 1 다이;  
상기 제 1 다이 내에 배치되는 제 1 열 전도성 물질로 채워지는 기관-관통 비아; 및  
상기 제 1 다이의 상기 활성면에 직접 연결되는 열 전도성층을 포함하는,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 18

제17항에 있어서,  
상기 제 1 열 전도성 물질의 열 전도성은 적어도 10 W/m/K 인,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 19

제17항에 있어서,  
상기 제 1 열 전도성 물질은 전기적으로 절연성인,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 20

제17항에 있어서,  
상기 제 1 열 전도성 물질은 패터닝된 막인,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 21

제17항에 있어서,  
활성면 및 기관을 갖는 제 2 다이를 더 포함하고,  
상기 제 1 다이 및 제 2 다이는 복수의 계층간 접속들에 의해 함께 연결되고, 상기 계층간 접속들은 상기 제 1 다이 및 제 2 다이 사이에 갭을 생성하고,  
상기 열 전도성층은 상기 갭 내에 제공되는,  
3 차원 집적 회로 (IC) 디바이스.

#### 청구항 22

제17항에 있어서,  
상기 열 전도성층은 다이아몬드 매트릭스 및 다이아몬드 막 패턴의 리스트로부터 선택되는,

3 차원 집적 회로 (IC) 디바이스.

#### 청구항 23

제21항에 있어서,

상기 제 1 다이는 상기 제 2 다이보다 원주적으로 더 큰,

3 차원 집적 회로 (IC) 디바이스.

#### 청구항 24

제17항에 있어서,

상기 열 전도성층은 증착되고, 증착시키는 수단은 CVD, PVD, 스핀 온(spin on) 및 스크린 온(screen on) 중 적어도 하나를 포함하는,

3 차원 집적 회로 (IC) 디바이스.

#### 청구항 25

제17항에 있어서,

상기 제 1 열 전도성 물질은 전기적으로 도전성인,

3 차원 집적 회로 (IC) 디바이스.

#### 청구항 26

제25항에 있어서,

상기 제 1 열 전도성 물질은 적어도 부분적으로 탄소 나노튜브들로 이루어지는,

3 차원 집적 회로 (IC) 디바이스.

### 명세서

#### 기술분야

[0001] 본 발명은 집적 회로(IC)들, 및 특히 다중-계층(multi-tiered)(3-D) IC들, 및 더욱 상세하게는 3-D IC들에서 열 방산을 향상시키기 위한 시스템들 및 방법들과 관련된다.

#### 배경기술

[0002] IC 기술에서 다중-계층 또는 3-차원(3-D) IC 디바이스들을 형성하기 위하여 칩들(다이들)을 함께 적층할 필요가 있다. 그러한 3-D IC 적층의 한 결과는 신호들이 단일 패키지 내에 유지될 때 이동해야 하는 감소된 거리로 인하여, 신호 프로세싱 동안의 신호 전파 시간의 감소이다.

[0003] 계층 결합을 위한 한 방법은 2개의(또는 그 이상의) 다이들을 함께 제공하고, 그 후 단일 구조로 다이들을 캡슐화하는 것이다. 개별적인 다이들의 표면에 전기 컨덕터들 및/또는 콘택들은 상이한 다이들상에 컴포넌트들 사이에서 전기 신호들을 전달하는 역할을 한다.

[0004] 다이들이 서로에 근접하여 위치될 때의 하나의 문제점인 열적 밀도가 증가한다는 것이다. 또한, 적층된 IC들의 감소된 사이즈로 인하여(700-100 마이크로로부터 20 마이크로 미만에 이르는 기판 두께), 측면 열 전도성은 감소된다. 따라서, 핫 스팟(hot spot)들은 열 소스로부터 열을 멀리 이동시키는 작은 능력과 함께 존재한다.

[0005] 측면 열 전도성을 증가시키기 위한 하나의 방법은 계층들의 적어도 하나의 기판 두께를 증가시키는 것이다. 다른 방법은 열을 방산할 수 있도록 칩의 금속 층들을 증가시키는 것이다. 이것은 결국 신호 전송 속도를 저하시키는 것 뿐 아니라 패키지의 원하는 중형비에 부정적인 영향을 미친다.

[0006] 둘 이상의 계층이 결합될 때 부가적인 문제가 존재한다. 그러한 상황들에서, 적층된 IC 디바이스는 계층들 사이에 다수의 산화물 층들을 포함한다. 열등한 열적 도전체인 산화물은 열 방산 문제를 가중시킨다.

[0007] 열 전도성 문제들을 돕기 위하여 취해질 수 있는 다수의 방식들이 존재한다. 하나의 그러한 접근법은 내부 부분으로부터 표면 계층으로 열을 이동시키기 위하여 쓰루-실리콘-비아(TSV: through-silicon-via)들을 사용하고, 그 후 IC 패키지의 표면에 위치되는 높은 열 전도성 물질과 같은, 전통적 방법들을 사용하여 열을 제거할 수 있다. 그러한 해결책을 이용하는 문제점은 회로 레이아웃이 열을 생성하는 핫 스팟에 인접하여 다양한 계층들에 구성되는 디바이스들로 인하여, 필요한 위치에 TSV를 위치시키는 것을 방지할 수 있다는 것이다.

[0008] 다른 문제점은 다양한 핫 스팟들을 냉각시키기 위하여 적층된 IC 디바이스를 통해 냉각 물질을 순환시키는 것이다. 이것은 이동하는 액체가 액체 채널들에 대한 엄격한(tight) 공차들 및 펌핑 메커니즘을 요구하기 때문에 제조하는데 비용이 많이 든다. 또한, 필요한 위치에 냉각 물질을 채널링하는 것이 불가능할 수 있다. 채널링 문제는 기관 자신을 통해 냉각 액체를 밀어넣음으로써 얼마간 극복될 수 있으나, 이러한 방법은 비용들 및 문제들의 추가적 세트 없이 이루어지지 않는다.

### 발명의 내용

[0009] 본 발명의 실시예들은 열 전도성 물질로 적층된 다이들 사이의 에어 갭을 충전하며, 이는 각각의 다이 내에 하나 이상의 위치들에서 생성되는 열이 측면으로 옮겨지도록 허용한다. 열의 측면 이동은 수직 길이의 일부를 따라 또는 다이의 전체 수직 길이를 따라 이루어질 수 있다. 일 실시예에서, 열적 물질은 전기적으로 도전성이다. 일 실시예에서, 아마도 탄소 나노튜브들을 사용하는 TSV들은 열적 장애(thermally troubled) 위치들로부터 떨어져 열 방산을 돕도록 특정 위치들에서 구성될 수 있다.

[0010] 일 실시예에서, 다중-계층 반도체는 제1 계층과 제2 계층 사이에 배치되는 제1 열 전도성 물질을 포함하며, 상기 물질은 제1 계층 및 제2 계층의 열 전도성보다 높은 열 전도성을 갖는다.

[0011] 다른 실시예에서, 계층(tiered) 반도체를 제조하는 방법이 개시되며, 상기 방법에서 제1 다이의 적어도 하나의 메이팅(mating) 표면에 열 전도성 물질이 가해지며, 상기 다이의 메이팅 표면이 제2 다이의 메이팅 표면과 메이팅 접촉된다.

[0012] 또 다른 실시예에서, 적층된 IC 디바이스에서 열 방산을 위한 방법이 개시되며, 이는 다중-계층 IC 디바이스의 한 계층의 열적 장애 영역으로부터의 열이 디바이스의 인접 계층들 사이에 계층간 영역으로 흐르도록 허용하여, 계층간 영역과의 열적 연통(communication)에서 적어도 하나의 열 방산 위치로의 계층간 영역에서 측면으로의 열 흐름이 용이해진다. 일 실시예에서, 열 방산 영역은 디바이스의 계층의 적어도 하나의 층을 관통하여 구성되는 비아이다. 다른 실시예에서, 열 방산 영역은 동일한 계층에서 인접한 다이들 사이에 갭이다.

[0013] 진술한 내용은 뒤 따르는 상세한 설명이 보다 잘 이해될 수 있도록 본 발명의 특징들 및 기술적 장점들을 보다 폭넓게 개관하였다. 본 발명의 청구항들의 내용을 형성하는 부가적인 특징들 및 장점들이 설명될 것이다. 본 기술분야의 당업자들은 개시되는 개념 및 특정 실시예들이 본 발명의 동일한 목적을 실행하기 위한 다른 구조들을 변형 또는 설계하기 위한 기초로서 용이하게 이용될 수 있다는 것을 인지해야 한다. 본 기술분야의 당업자들은 또한 그러한 동등한 구조들이 첨부된 청구항들에서 진술되는 바와 같이 본 발명의 정신 및 범위를 벗어나지 않는 것을 인지해야 한다. 본 발명의 특징인 것으로 여겨지는 신규한 특징들은 추가적 목적들 및 장점들과 함께, 자신의 구조 및 동작의 방법 모두에 관하여, 첨부된 도면들과 함께 고려될 때 하기의 설명으로부터 보다 잘 이해될 것이다. 그러나, 각각의 도면들은 단지 예시 및 설명을 목적으로 제공되며, 본 발명의 제한들의 정의로서 고려되지 않는다는 것을 명확히 이해해야 한다.

[0014] 본 발명의 보다 완전한 이해를 위하여, 첨부된 도면과 함께 취해지는 하기의 설명에 대한 참조가 이루어진다.

### 도면의 간단한 설명

[0015] 도 1은 3-D 집적 회로들과 함께 존재할 수 있는 열적 트러블 조건들의 일 양상을 개시하는 횡단면도이다.

도 2는 열 제거 문제에 대한 하나의 예시적인 해결책을 개시하는 횡단면도이다.

도 3은 본 발명의 개념들의 일 실시예를 보여주는 횡단면도이다.

도 4는 본 발명의 교지에 따라 적층된 IC 디바이스를 구성하기 위한 방법의 일 실시예를 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0016] 도 1은 3-D 집적 회로들과 함께 존재할 수 있는 열적 트러블 조건들의 일 양상을 개시한다. 도 1에 도시되는

바와 같이, 다이(11)는 다이(12)와 함께 적층된다. 다이(11)의 활성층은 층(102)이고, 다이(12)의 활성층은 층(103)이다. 이것은 다이들의 액티브 층들이 위 또는 아래와 같은 임의의 배향일 수 있으므로 예시적인 정렬이다.

- [0017] 비아들(105)은 다이(11)의 기판 층(101)을 관통한다. 비아들은 원하는 바에 따라 층들(102, 103 및/또는 104)에 구성될 수 있다. 전기 경로들(107 및 108)은 다이들 사이에 상호접속부를 형성한다. 시일(109)은 원치 않는 오염물들이 개별적인 다이들(11, 12) 사이에 영역(120)에 진입하는 것을 방지하도록 작용한다.
- [0018] 엘리먼트(108)는 보통 30 미크론 이하의 스케일이며, 구리 또는 주석 구리 금속 대 금속 결합을 형성한다. 영역(120)은 보통 에어 갭이다. 갭(120)은 10 미크론 미만의 범위일 수 있다.
- [0019] 핫 스팟(110)은 다이(12) 상에 있으며, 문제는 이러한 상대적으로 작은 영역(110)으로부터 다이 적층물의 외부 부분으로 열을 이동시키는데 있다. 엘리먼트들(111)은 핫 스팟(110) 바로 위에 있으며, 층들(103, 102, 101)을 통해 위쪽으로 이동하는 핫 스팟(110)으로부터의 열에 의하여 영향을 받을 수 있다.
- [0020] 도 2는 열 제거 문제에 대한 하나의 논의된 해결책을 개시한다. 이러한 해결책에서, 개별적인 TSV들(201, 202, 및 203)을 갖는 TSV 어레이(200)가 핫 스팟(110)으로부터의 열에 대한 열 전도성을 제공하도록 배치된다. 열은 층(103)을 통과하고, 층(103)는 바닥부 다이(12)의 활성 영역이다. 열은 그 후 다이의 활성 층(102)을 통과하고, TSV 어레이(200)를 통해 내부로 옆으로 빠져나온다. 다이들(201, 202, 203)은 열 전도성을 증가시키기 위하여 구리 또는 텅스텐 배선될 수 있으나, 임의의 열 전도성 물질이 작용할 것이다. 일 실시예에서, 탄소 나노튜브(CTN: carbon nanotube)들은 비아들(201, 202, 203)을 충전하는데 사용될 수 있다. 다른 실시예에서, CNT들은 비아들(201, 202, 203)을 부분적으로 충전하며, 금속이 비아들(201, 202, 203)의 나머지를 충전한다. CNT들의 장점은 개선된 전류 밀도 뿐 아니라 개선된 전기적 및 열 전도성이다.
- [0021] 도 3은 본 발명의 개념들이 이용되는 일 실시예(30)를 도시한다. 열 전도성 물질(320)은 다이들(31 및 32) 사이의 갭 내에 위치된다. 다른 실시예에서, 열 전도성 물질(320)은 계층들(31, 32)의 활성 층들(302, 303) 중 하나의 금속층들(미도시) 사이에 있다. 열 전도성 물질(320)은 이상적으로 측면 열 전달을 용이하게 하도록 10 W/m/K를 초과하는 열 전도성을 가질 것이다. 물질(320)은 열적으로 도전성이고, 일 실시예에서, 다이들(31, 32)을 접속시키는 전기 접속부들을 단락시키지 않도록 전기 절연성이며, 이는 다이들(31, 32)에 포함되는 엘리먼트들의 동작에 간섭할 것이다. 물질(320)은 다양한 방법들에 의하여 배치될 수 있으며, 예를 들어, 화학적 기상 증착(CVD), 및/또는 물리적 기상 증착(PVD)에 의하여 스핀 온(spin on)되거나 증착될 수 있다. 물질(320)은 다이아몬드 매트릭스 또는 다이아몬드 막 패턴될 수 있다.
- [0022] 단지 다이들 중 하나(31)의 하나의 층(302)상에 도시되나, 물질(320)은 다이들(31, 32)이 적층될 때 각각의 층(302, 303)상의 물질(32)이 서로 실제로 터치하도록 2개의 메이팅 층들(302, 303) 각각의 표면상에 위치될 수 있다. 대안적으로, 물질(320)은 메이팅 층들(302, 303) 중 하나상에만 위치될 수 있다.
- [0023] 동작시, 핫 스팟(310)으로부터의 열은 다이(32)의 층(303)을 통해 위쪽으로 물질(320)로 통과한다. 열은 그 후 행잉(hanging) 에지(330) 위와 같은 디바이스의 한 에지로 물질(320)을 따라 측면으로 이동하거나, 또는 보다 통상적으로, 열은 다이(31)의 층(301)에 구성되는 비아(331)를 통하는 것과 같이, 하나 이상의 열 방산 비아들을 통과할 것이다. 열의 측면 이동으로 인하여, 디바이스(30) 양단의 온도가 더 균일해진다. 이러한 장점은 열이 전체 디바이스(30) 양단에 상대적으로 빠르게 확산하도록 허용하여, 디바이스(30)가 고르게 가열되게 한다. 전체 디바이스(30) 또는 디바이스의 패키지와 같은 더 큰 영역으로부터의 열의 제거는 그 후 작은 내부 영역으로부터 열을 제거하는 것보다 달성하기 용이하다.
- [0024] 열 방산 비아(331)는 다이(31)를 통해 위로 또는 다이(32)를 통해 아래로 (또는 두 방향 모두로) 지나간다는 것을 유념하라. 열 전도성 물질(320)의 한 장점은 열 방산 비아(331)가 열적 장애 영역(310)으로부터 측면으로 오프셋될 수 있어, 회로에 대하여 사용될 장애 영역 바로 위에 영역들 또는 다양한 층들(301, 302, 303)에 구성되는 다른 엘리먼트들을 자유롭게 할 수 있다. 또한 층들(301, 302, 303)을 통해 바로 위쪽으로 흐를 필요가 없으나, 그보다는 비아(331)가 예를 들어, 각지거나 및/또는 구부러질 수 있다는 것을 유념하라. 측면 열 방산의 다른 장점은 더 적은 TSV들이 필요하다는 것이다.
- [0025] 둘 이상의 계층들을 갖는 다중-계층 디바이스들에 대하여, 다수의 층간 열 방산 물질 구조들이 사용될 수 있다. 따라서, 열은 열원으로부터 측면으로 제1 층간 영역 내에 제1 거리만큼 이동하고, 그 후, 비아의 도움으로 한 계층을 통과하며, 열 전도성 물질이 제1 층간 영역 및 제2 층간 영역 모두에 위치된다면, 그 후 다시 제2 층간 영역에서 측면으로(임의의 방향으로) 이동할 수 있다.

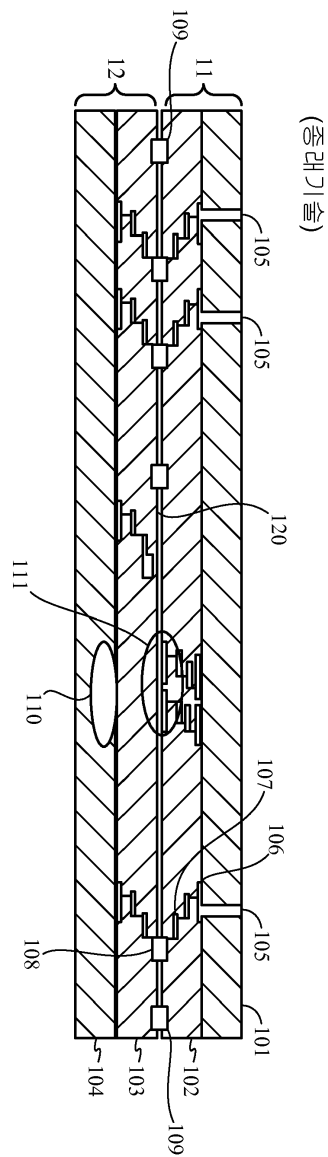


- [0026] 물질(320)로부터 훨씬 더 많은 열의 제거를 허용하기 위한 한 시스템은 다이들(31)과 같은 층들 중 하나를 다른 다이(32)보다 더 큰 원주를 갖게 하여, 더 큰 다이들상의 오버행잉 립(overhanging lip)상에 표면 영역(330)과 같은 표면 영역을 생성하는 것이다. 원할 경우 이러한 동일한 기술이 직경에서처럼 스테거링(staggered)될 수 있는 다수의 계층들에 대하여 작용할 것을 유념하라. 물질(320)의 조성은 전체 표면에 걸쳐 동일할 필요가 없으며, 물질(320)의 차이는 핫 스팟(들)(310)로부터의 열 전도를 돕는데 사용될 수 있다.
- [0027] 일 실시예에서, 바닥부 다이는 상부 다이보다 크다. 따라서, 갭이 바닥부 다이상에 놓이는 (단일 계층의)2개 상부 다이들 사이에 존재할 것이다. 본 발명에 따라, 갭 충전 물질은 상부 다이들 사이에 이러한 갭 내에 제공될 수 있다. 갭 충전 물질은 열적으로 도전성일 수 있으며, 다이아몬드 막과 같은 우수한 열 전도성을 갖는 임의의 물질일 수 있다. 일 실시예에서, 열 전도성 갭 충전 물질은 적층된 IC 디바이스 외부로의 열의 이동을 돕기 위하여 물질(320)에 열적으로 결합된다.
- [0028] 도 4는 본 발명의 교지에 따라 적층된 IC 디바이스들을 구성하기 위한 방법의 일 실시예(40)를 도시한다. 프로세스(401)는 다이가 적층된 IC 디바이스를 구성하기 위하여 선택되었는지를 결정한다. 그렇지 않다면, 프로세스(402)는 대기 시간을 제어한다. 다이가 선택된 이후, 프로세스(403)는 열 전도성 물질이 다이의 적어도 하나의 측면 표면에 부가되어야 하는지를 결정한다. 열 전도성 물질은 CVD 또는 PVD 프로세싱과 같은, 상기 논의된 방법들 중 임의의 하나에 의하여 프로세스(404)의 제어하에 증착될 수 있거나, 또는 물질은 막으로서 스핀 온되거나 또는 인가될 수 있다.
- [0029] 프로세스들(405 및 406)은 이전에 선택된 다이와 메이팅하기 위하여 선택될 다음 다이를 기다린다. 적절한 경우, 프로세스들(407 및 408)은 이러한 다음 다이에 열 전도성 물질을 부가하며, 프로세스(409)는 그 후 다이들을 함께 결합한다. 프로세스(410)는 더 많은 다이들이 부가될 것인지를 결정한다. 모든 다이들이 선택되고 열 전도성 물질(적절하다면)로 코팅되었을 때, 프로세스(411)는 그 후 테스트 및/또는 사용을 위해 이용가능한 IC 패키지를 완성한다.
- [0030] 본 발명 및 본 발명의 장점들이 상세히 설명되었으나, 첨부된 청구항들에 의하여 정의되는 바와 같은 본 발명의 정신 및 범위를 벗어나지 않고 본 발명에서 다양한 변화들, 대체들 및 개조들이 이루어질 수 있다는 것을 이해해야 한다. 예를 들어, 물질(320)은 비-전기 도전성인 것으로 설명되었으나, 물질을 전기 도전성으로 만드는 것이 가능하다. 이러한 실시예에서, 열을 여전히 열적으로 방산하면서 전기 접속들을 방지하기 위하여 몇몇 비아들로부터 분리될 수 있도록, 전기 도전성 물질은 패터닝가능, 즉, 패터닝될 수 있어야 한다.
- [0031] 본 발명의 범위는 본 명세서에 개시되는 프로세스, 머신, 제품, 물질의 조성, 수단, 방법들 및 단계들의 특정 실시예들로 제한되는 것으로 여겨지지 않는다. 본 기술분야의 당업자는 현재 존재하거나 추후에 개발될 개시, 프로세스들, 머신들, 제품, 물질의 조성들, 수단들, 방법들, 또는 단계들로부터, 본 발명에 따라 이용될 수 있는, 본 명세서에 개시되는 대응 실시예들과 실질적으로 동일한 기능을 수행하거나 실질적으로 동일한 결과를 달성할 수 있다는 것을 용이하게 인지할 수 있을 것이다. 따라서, 첨부된 청구항들은 그러한 프로세스들, 머신들, 제품, 물질의 조성들, 수단들, 방법들 또는 단계들과 같은 그들의 범위 내에 포함되도록 의도된다.

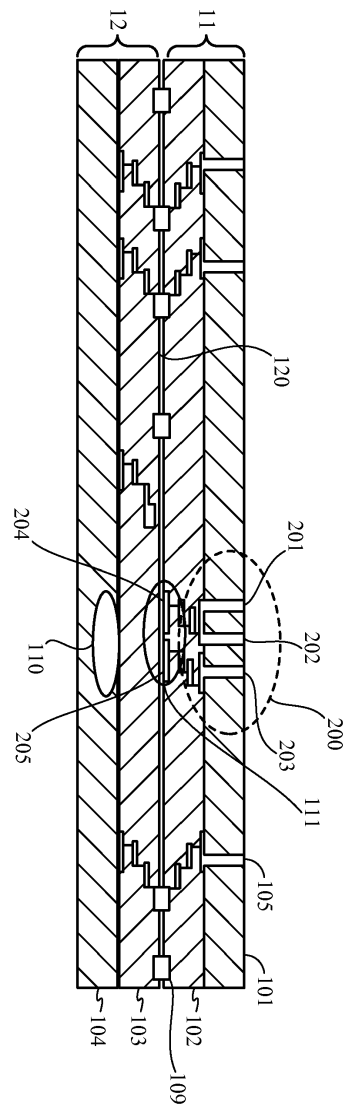


도면

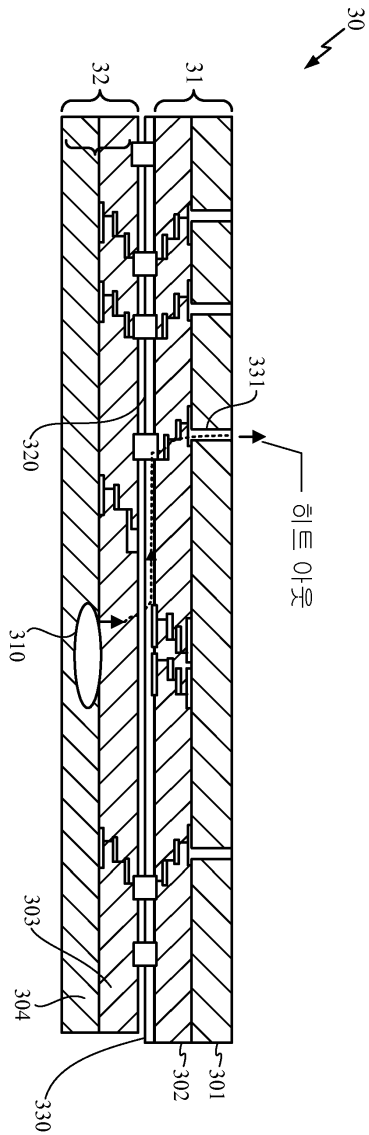
도면1



도면2



도면3



도면4

