

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5546222号
(P5546222)

(45) 発行日 平成26年7月9日 (2014.7.9)

(24) 登録日 平成26年5月23日 (2014.5.23)

(51) Int.Cl.

F I

HO 1 L 27/146 (2006.01)

HO 1 L 27/14 A

HO 4 N 5/374 (2011.01)

HO 4 N 5/335 7 4 O

請求項の数 14 (全 20 頁)

(21) 出願番号	特願2009-276834 (P2009-276834)	(73) 特許権者	000001007
(22) 出願日	平成21年12月4日 (2009.12.4)		キヤノン株式会社
(65) 公開番号	特開2011-119543 (P2011-119543A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成23年6月16日 (2011.6.16)	(74) 代理人	100126240
審査請求日	平成24年11月27日 (2012.11.27)		弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	渡邊 高典
			東京都大田区下丸子3丁目30番2号キヤ
			ノン株式会社内
		(72) 発明者	板橋 政次
			東京都大田区下丸子3丁目30番2号キヤ
			ノン株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置及び製造方法

(57) 【特許請求の範囲】

【請求項 1】

光電変換部を含む複数の画素が配された半導体基板と、
前記半導体基板の第1主面側に配された複数の配線層と、
前記複数の配線層の間に配された層間絶縁膜と、を有し、
前記半導体基板の第1主面とは反対側の第2主面から、前記光電変換部へ光が入射する裏面入射型の固体撮像装置において、
前記光電変換部が、第1のN型半導体領域と第1のP型半導体領域とを含み、
前記第1のN型半導体領域は、主たる不純物としてヒ素を含み、
前記第1のN型半導体領域は、前記第1のP型半導体領域よりも前記半導体基板の第2
主面に近い位置に配され、
光電変換によって発生したホールが、信号電荷として前記第1のP型半導体領域に収集され、
前記第1のP型半導体領域と前記第1のN型半導体領域との間に、第2のN型半導体領域が配され、
前記第2のN型半導体領域が、前記半導体基板の第1主面からの深さが異なる2つのN型半導体領域を含み、
該2つのN型半導体領域のうち、第1主面に近い領域の不純物濃度が、他方の領域の不純物濃度よりも低い、
ことを特徴とする固体撮像装置。

10

【請求項 2】

前記半導体基板の第 2 主面上に絶縁膜が配され、

前記第 1 の N 型半導体領域が、前記絶縁膜と接するように配されたことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

フローティングディフュージョンと、

前記第 1 の P 型半導体領域に収集されたホールを前記フローティングディフュージョンに転送する転送部と、

前記フローティングディフュージョンに転送されたホールの量に応じた信号を読み出す回路と、

10

を備えたことを特徴とする請求項 1 または請求項 2 に記載の固体撮像装置。

【請求項 4】

前記第 1 の P 型半導体領域と前記第 1 の N 型半導体領域との間に、第 2 の P 型半導体領域が配され、

前記第 2 の P 型半導体領域が完全空乏化することを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の固体撮像装置。

【請求項 5】

前記半導体基板は、前記複数の画素が配された画素領域と、前記画素からの信号を処理する信号処理回路が配された周辺回路領域とを含み、

前記第 2 の P 型半導体領域が、前記半導体基板の前記第 1 主面に平行な方向に沿って、前記周辺回路領域にまで延在して配されたことを特徴とする請求項 4 に記載の固体撮像装置。

20

【請求項 6】

前記第 2 の P 型半導体領域が、前記半導体基板の第 1 主面に平行な平面方向に沿って、

前記半導体基板の端部にまで延在して配されたことを特徴とする請求項 4 または請求項 5 に記載の固体撮像装置。

【請求項 7】

前記第 2 の N 型半導体領域が、前記半導体基板の第 1 主面からの深さが異なる複数の N 型半導体領域を含み、

該複数の N 型半導体領域の中では、最も第 1 主面に近い領域の不純物濃度が最も高く、

前記第 1 の N 型半導体領域の不純物濃度は前記最も第 1 主面に近い領域の不純物濃度よりも高いことを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の固体撮像装置。

30

【請求項 8】

前記半導体基板は、前記複数の画素が配された画素領域と、前記画素からの信号を処理する信号処理回路が配された周辺回路領域とを含み、

前記第 2 の N 型半導体領域が、前記半導体基板の前記第 1 主面に平行な方向に沿って、前記周辺回路領域にまで延在して配されたことを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載の固体撮像装置。

【請求項 9】

前記第 2 の N 型半導体領域が、前記半導体基板の第 1 主面に平行な平面方向に沿って、

前記半導体基板の端部にまで延在して配されたことを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の固体撮像装置。

40

【請求項 10】

前記半導体基板は、前記複数の画素が配された画素領域と、前記画素からの信号を処理する信号処理回路が配された周辺回路領域とを含み、

前記第 1 の N 型半導体領域が、前記半導体基板の前記第 1 主面に平行な方向に沿って、前記周辺回路領域にまで延在して配されたことを特徴とする請求項 1 乃至請求項 9 のいずれか一項に記載の固体撮像装置。

【請求項 11】

前記第 1 の N 型半導体領域が、前記半導体基板の第 1 主面に平行な平面方向に沿って、

50

前記半導体基板の端部にまで延在して配されたことを特徴とする請求項 1 乃至請求項 1 0 のいずれか一項に記載の固体撮像装置。

【請求項 1 2】

前記半導体基板の前記第 1 主面の上に第 2 の絶縁膜が配され、

前記第 2 の絶縁膜と接するように配された第 3 の N 型半導体領域を有することを特徴とする請求項 1 乃至請求項 1 1 のいずれか一項に記載の固体撮像装置。

【請求項 1 3】

前記複数の画素のうち、隣接する画素の前記第 1 の P 型半導体領域の間に、画素分離部を有することを特徴とする請求項 1 乃至請求項 1 2 のいずれか一項に記載の固体撮像装置。

10

【請求項 1 4】

請求項 1 乃至請求項 1 3 のいずれか一項に記載の固体撮像装置と、

前記固体撮像装置から出力された撮像信号を処理する信号処理部とを有した撮像システム。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は固体撮像装置、とりわけ裏面入射型の固体撮像装置、その製造方法、及びカメラシステムに関するものである。

【背景技術】

20

【0 0 0 2】

近年、より高感度の固体撮像装置を実現するために、半導体基板の第 1 主面側（表面側）にトランジスタや金属配線が配され、表面側とは反対の第 2 主面側（裏面側）から光が入射する、裏面入射型固体撮像装置が提案されている。

【0 0 0 3】

特許文献 1 には、裏面側から入射した光が光電変換されて発生する電子ホール対のうち、信号電荷としてホールを蓄積し、検出トランジスタのチャネル電流を変調する C M D 型の固体撮像装置が開示されている。具体的に、特許文献 1 の図 2 には、C M D 型の固体撮像装置において、裏面側から入射した光を光電変換する受光部を有する構成が示されている。特許文献 1 の図 2 に示された受光部は、光電変換が行われる低濃度 P 型半導体領域、及びホールが蓄積される P 型半導体領域を含み、光入射面である裏面側の界面に高濃度 N 型半導体領域が形成されている。

30

【先行技術文献】

【特許文献】

【0 0 0 4】

【特許文献 1】特開 2 0 0 8 - 2 9 4 1 7 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 5】

特許文献 1 には高濃度の N 型半導体領域の具体的なイオン種の開示がない。したがって、用いられるイオン種によっては光入射面の界面に配された高濃度 N 型半導体領域が不純物拡散によって広がってしまう場合がある。そうすると、第 1 に、界面付近でのポテンシャル分布が平坦になり、界面の近くで発生したホールが蓄積領域に集まりにくくなる。そのため、高感度化を達成するのが困難となる。あるいは蓄積領域へ集まらないホールが隣接画素へ混入してノイズ、カラー撮像装置であれば混色の原因となる。

40

【0 0 0 6】

上記課題に鑑み、本発明は、高感度で混色の少ない裏面入射型固体撮像素子の提供を目的とする。

【課題を解決するための手段】

【0 0 0 7】

50

本発明に係る固体撮像装置は、光電変換部を含む複数の画素が配された半導体基板と、前記半導体基板の第1主面側に配された複数の配線層と、前記複数の配線層の間に配された層間絶縁膜と、を有し、前記半導体基板の第1主面とは反対側の第2主面から、前記光電変換部へ光が入射する裏面入射型の固体撮像装置において、前記光電変換部が、第1のN型半導体領域と第1のP型半導体領域とを含み、前記第1のN型半導体領域は、主たる不純物としてヒ素を含み、前記第1のN型半導体領域は、前記第1のP型半導体領域よりも前記半導体基板の第2主面に近い位置に配され、光電変換によって発生したホールが、信号電荷として前記第1のP型半導体領域に収集され、前記第1のP型半導体領域と前記第1のN型半導体領域との間に、第2のN型半導体領域が配され、前記第2のN型半導体領域が、前記半導体基板の第1主面からの深さが異なる2つのN型半導体領域を含み、該2つのN型半導体領域のうち、第1主面に近い領域の不純物濃度が、他方の領域の不純物濃度よりも低い、ことを特徴とする。

10

【0008】

また本発明に係る固体撮像装置の製造方法は、半導体基板の第2主面にヒ素をイオン注入する工程と、前記半導体基板を前記第2主面とは反対側の第1主面側から薄くする工程と、前記半導体基板の前記第2主面側にプロセス基板を貼り合わせる工程と、前記半導体基板の第1主面側に配線層を形成する工程と、前記プロセス基板を除去する工程とを含むことを特徴とする。

【0009】

本発明の別の側面に係る固体撮像装置の製造方法は、前記半導体基板の第1主面に配線層を形成する工程と、前記半導体基板を第1主面とは反対側の第2主面側から薄くする工程と、前記半導体基板の第2主面にヒ素をイオン注入する工程と、を含むことを特徴とする。

20

【0010】

本発明の別の側面に係る固体撮像装置の製造方法は、SOI層、BOX層、バルク基板からなるSOI基板の、SOI層にヒ素をイオン注入する工程と、前記SOI層上にエピタキシャル成長によってシリコン膜を形成する工程と、前記SOI層のBOX層とは反対側に配線層を形成する工程と、前記バルク基板を除去する工程と、を含むことを特徴とする。

【発明の効果】

30

【0011】

本発明に係る固体撮像装置によれば、感度が向上した裏面入射型の固体撮像装置を提供することが可能である。

【図面の簡単な説明】**【0012】**

【図1】(a)実施例1の断面。(b)深さ方向の不純物プロファイル。

【図2】実施例1の製造プロセス。

【図3】実施例2の断面。

【図4】(a)実施例3の断面。(b)深さ方向の不純物プロファイル。

【図5】(a)実施例4の断面。(b)深さ方向の不純物プロファイル。

40

【図6】実施例4の製造プロセス。

【図7】(a)実施例5の断面。(b)深さ方向の不純物プロファイル。

【図8】(a)実施例6の断面。(b)深さ方向の不純物プロファイル。

【図9】実施例6の製造プロセス。

【図10】実施例7の製造プロセス。

【図11】実施例8の製造プロセス。

【図12】カメラシステムの実施例。

【発明を実施するための形態】**【0013】**

本発明の実施例を図面を参照して詳細に説明する。本発明においては、信号電荷として

50

ホールが用いられる。

【 0 0 1 4 】

本明細書において、半導体基板とは、ウェハあるいはチップのうち半導体領域の部分を意味する。すなわち、半導体基板の主面と言う場合には、ウェハあるいはチップの半導体領域と、その他の物質との界面を意味する。たとえば、一般のシリコンウェハは空気と触れる面が自然酸化膜で覆われている。この場合、半導体基板の主面とは、シリコン領域と酸化膜との界面を意味している。熱酸化などによって、界面の位置が変わるときには、新たな界面が主面である。

【実施例 1】

【 0 0 1 5 】

図 1 (a) は本発明に係る固体撮像装置の一実施形態における、断面概略図である。101 は、光電変換部や各トランジスタの半導体領域などが形成される半導体基板（以下、便宜上 PD 形成基板と称する）である。詳しくは後述するが、PD 形成基板 101 には、P 型半導体基板、N 型半導体基板、SOI 基板などの半導体領域を使用することができる。PD 形成基板の第 1 主面側（表面側）には、配線部 104 が配される。図面上での配線部 104 の上部、すなわち配線部 104 の PD 形成基板 101 とは反対側に、主として基板強度を保つことを目的として、支持基板 103 を設けてもよい。PD 形成基板 101 の第 2 主面上には絶縁膜 105 が配される。PD 形成基板 101 の第 2 主面側（裏面側）、すなわち配線部 104 とは反対側には、絶縁膜 105 を介して、保護膜 106、光学機能部 107 が必要に応じて配される。このように本実施例は配線及びトランジスタが配される面とは反対側、すなわち裏面側から光が入射する裏面入射型の固体撮像装置の構成になっている。

【 0 0 1 6 】

図 1 (a) の断面概略図には、画素領域 108 と周辺回路領域 109 とが模式的に示されている。画素領域 108 には複数の画素が配され、各画素には入射した光を光電変換する光電変換部が含まれる。図 1 の画素領域 108 には 2 画素のみが示されているが、更に多数の画素が行列状あるいは線状に配されていてもよい。周辺回路領域 109 には、画素からの信号を読み出すために必要な回路が形成される。周辺回路には、例えばシフトレジスタ、デコーダ等で構成される走査回路が含まれる。さらに光電変換部から出力された信号に対して増幅等の信号処理を行う読み出し回路部が含まれていてもよい。

【 0 0 1 7 】

次に画素領域 108 に配される光電変換部の構造について説明する。PD 形成基板 101 の表面近傍にホールを収集可能な P 型半導体領域 110 が配される。P 型半導体領域 110 の表面側に、高濃度 N 型半導体領域 111 が配される。PD 形成基板 101 の表面側にも絶縁膜が配されており、高濃度 N 型半導体領域 111 によって、表面側の絶縁膜界面で発生する電荷が P 型半導体領域 110 に混入することを抑制することが可能となる。P 型半導体領域 110 が特許請求の範囲に記載の第 1 の P 型半導体領域に相当する。

【 0 0 1 8 】

画素領域 108 の全体に画素ウェル 112 が配される。画素ウェル 112 はリンを主たる不純物として含む N 型半導体領域である。P 型半導体領域 110 と画素ウェル 112 とが PN 接合を形成している。PD 形成基板 101 の裏面には、N 型半導体領域 119 が配される。本実施例において、N 型半導体領域 119 が特許請求の範囲に記載の第 1 の N 型半導体領域に相当し、画素ウェル 112 が第 2 の N 型半導体領域に相当する。

【 0 0 1 9 】

光電変換部は、P 型半導体領域 110、高濃度 N 型半導体領域 111、画素ウェル 112、及び N 型半導体領域 119 を含んで構成される。より具体的に言えば本実施例の光電変換部は埋め込み型フォトダイオードである。

【 0 0 2 0 】

PD 形成基板 101 の表面には、P 型半導体領域で構成されるフローティングディフュージョン（以下、FD）113 が配される。FD 113 にはコンタクトプラグが設けられ

10

20

30

40

50

、図示されていない増幅部の入力へ電氣的に接続される。また、P型半導体領域110とFD113の間のPD形成基板上には、絶縁膜を介して転送ゲート電極114が配される。

【0021】

転送ゲート電極114に供給されるバイアスにより、P型半導体領域110からFD113への転送路が形成される。転送路が形成されると、P型半導体領域110のホールはFD113に完全空乏転送され得る。そして、FD113に転送されたホールの量に応じた信号が増幅部から出力される。転送ゲート電極114と転送路は、P型半導体領域110に収集されたホールをFDに転送する転送部を構成している。

【0022】

N型半導体領域115はウェルコンタクト領域であり、画素ウェル112及びN型半導体領域119の電位を設定するための電極と電氣的に接続される。ウェルコンタクト領域115は画素領域108内に周期的に配置されてもよいし、画素領域108と周辺回路領域109との境界に配置されていてもよい。

【0023】

PD形成基板101の周辺回路領域109には、周辺回路ウェル116が配される。周辺回路ウェル116には例えばMOSトランジスタが配される。周辺回路ウェル116は、NMOSトランジスタが形成される領域はP型半導体領域であり、PMOSトランジスタが形成される領域はN型半導体領域である。図1には、1つの周辺回路ウェルしか図示されていないが、異なる導電型の周辺回路ウェルが混在していてもよい。どちらの導電型の場合においても、周辺回路ウェル116の不純物濃度は、PD形成基板の不純物濃度より高いことが好ましい。周辺回路のトランジスタを微細に形成することが可能となるためである。

【0024】

配線部104は、配線層118が層間絶縁膜117を介して繰り返し積層した多層配線構造となっている。配線部104は配線層が1層だけの単層配線構造としてもよい。配線部104の上部に配される支持基板103には、例えばシリコンが用いられる。保護膜106には、例えば窒化シリコンが用いられる。光学機能部107には、マイクロレンズ、カラーフィルタ、導波路などが含まれる。

【0025】

N型半導体領域119は、主たる不純物としてヒ素を最も多く含む。シリコン結晶中にヒ素が不純物として添加された場合、シリコンとの格子定数の違いによる歪みが小さい。N型半導体領域110が、PD形成基板101の裏面側の絶縁膜105と接するように配された場合、界面準位が減り、例えば主たる不純物としてリンが添加された場合に比べて、暗電流の発生を抑制することができる。

【0026】

図1(b)は、図1(a)のABに沿った不純物の濃度プロファイルを示している。図1(b)の縦軸は不純物濃度で、横軸は表面からの深さである。ここで、本明細書において、深さ方向は基板表面若しくは裏面に垂直な方向と定義する。すなわち、図1(a)のABは深さ方向を示している。

【0027】

図1(b)に示されるとおり、PD形成基板101表面の最も近くに高濃度N型半導体領域111の不純物濃度ピークが位置する。高濃度N型半導体領域111より深い位置に、P型半導体領域110の不純物濃度ピークが位置する。P型半導体領域110の下部に画素ウェル112の半導体領域があり、PD形成基板101裏面の最も近くにN型半導体領域119の不純物濃度ピークが位置する。

【0028】

N型半導体領域119は主たる不純物としてヒ素を含む。ヒ素はリンやボロンに比べて質量が大きいため、拡散係数が小さく、熱処理が行われても拡散しにくい。イオン注入によって形成した不純物分布が、熱処理によって大幅に変化することがない。よって、急峻

10

20

30

40

50

な不純物濃度ピークを有するN型半導体領域119を形成することができる。

【0029】

このような構造によって、裏面から表面に向かう急峻なポテンシャル勾配を実現できるため、界面に近いところで光電変換されたホールが、速やかにP型半導体領域110の方へ移動する。したがって、光電荷が最も多く発生する光入射面付近のホールを、効率的にP型半導体領域110に取り込むことができる。

【0030】

本実施例は、P型半導体領域110からFD113にホールを完全空乏転送する構成となっている。このような転送を高い精度で実現するために、光電変換部の設計自由度が高い方が好ましい。上述の通りヒ素は拡散しにくいので、光電変換部の厚さを高い自由度で設計することができる。

10

【0031】

画素ウェル112は主たる不純物としてリンを含む。リンは拡散係数が大きく、画素ウェル112の不純物濃度ピークはなだらかになる。これによって、画素ウェル112のポテンシャルはなだらかになり、画素ウェル112はホールがP型半導体領域110へ移動するのに大きな妨げとはならない。また、リンは進入深さが大きいので、画素ウェル112を深くすることができる。

【0032】

好適には、画素ウェル112はリンのイオン注入によって形成される。イオン注入は注入エネルギーとドーズ量を制御することで、所望の不純物分布を安定的に形成することができる。従って、プロセスの安定性が良くなり歩留まりが向上する。

20

【0033】

画素ウェル112は本発明に必須の構成ではなく、P型半導体領域110とN型半導体領域119とがPN接合を形成している構成としてもよい。

【0034】

以下に、本実施例の固体撮像装置の製造プロセスを図面を用いて説明する。本実施例においては、PD形成基板101としてP型のシリコン基板を用いる。図2(a)では、図の上側が裏面側(入射面)に相当し、下側が表面側(配線部が形成される側)に相当する。図2(a)に示すように、PD形成基板101に、N型半導体領域119を形成するためのヒ素イオン注入と、画素ウェル112形成するためのリンイオン注入とを行う。好ましくは図面上方からイオン注入を行う。画素ウェル112を形成するためのリンイオン注入は、異なる注入エネルギーで複数回行っているが、1回で形成してもよい。本実施例においては、レジストマスクを用いて画素領域108にのみイオン注入を行い、周辺回路領域109にはイオン注入を行なわない。

30

【0035】

次に、酸素雰囲気中で熱処理を行い、絶縁膜105としての酸化膜の形成と不純物の活性化を行う。不純物活性化のためのアニールと、酸化膜の堆積とをそれぞれ別工程としてもよい。

【0036】

図2(b)に示されるように、画素ウェル112よりも表面に近い位置に、剥離層120を形成する。後の工程でPD形成基板101の一部を除去して薄膜化する際、剥離層120でPD形成基板101の一部を剥離する。水素イオン注入により剥離層120を形成することができる。

40

【0037】

また、剥離層120はエッチストップ層として形成してもよい。PD形成基板101の一部をエッチングによって除去する際に、エッチングレートが低い層を形成しておくことで、エッチストップ層として機能させることができる。例えば、酸素イオン注入により酸化膜を形成してもよいし、ボロンやリンを注入して不純物濃度を基板と異ならせてもよい。

【0038】

50

続いて図2(c)に示すように、PD形成基板101の絶縁膜105が配された側にプロセス基板102を貼り合わせる。プロセス基板102は、後の工程でPD形成基板101の表面側に素子や配線を形成する際に、プロセス装置が担持する面を提供するための基板である。PD形成基板101にシリコン基板を使用する場合、プロセス基板102にもシリコン基板を使用することが望ましい。両者の熱膨張係数の差を小さくすることで、基板の反りや剥離を抑制することができるためである。

【0039】

その後、剥離層120でPD形成基板101の一部を剥離する。エッチストップ層を形成した場合は、エッチングによりPD形成基板101の一部を除去して、PD形成基板101を薄くする。PD形成基板101の各半導体領域が形成された部分は除去しない。

10

【0040】

図2(d)に示すように、基板の上下を反転した後、表面(図2(d)の上側)に画素領域108、周辺回路領域109を構成する各半導体領域、ゲート電極を形成し、その後、配線部104を形成する。ここでは周知の手法を用いることができる。

【0041】

次に、図2(e)に示すように、配線部104のPD形成基板101とは反対側に支持基板103を貼り合わせる。支持基板103は機械的強度を高めるために設けられ、シリコン基板などが用いられる。

【0042】

続いて、プロセス基板102を除去する。プロセス基板102の除去は、研磨と、絶縁膜105をエッチストップ層としたエッチングによって行う。

20

【0043】

プロセス基板102の除去後、裏面側には必要に応じて保護膜106、光学機能部107を形成する。本実施例においては、保護膜106として窒化膜が配され、カラーフィルタとマイクロレンズを備えた構成を例示している。

【0044】

以上述べたように、本実施例においては、N型半導体領域119が主たる不純物としてヒ素を最も多く含んでいるため、N型半導体領域119の不純物濃度ピークは急峻になる。このような構成によれば、裏面側の界面付近で発生した電荷を効率的に蓄積領域に取り込めるので、感度が向上し、隣接画素への混色が低減される。

30

【0045】

また、N型半導体領域119を裏面側の絶縁膜界面を覆うように配した場合には、シリコン基板中にヒ素が添加されているので、結晶格子の歪みが小さい。このような構成によれば、界面準位が減少するので、暗電流が低減される。

【実施例2】

【0046】

図3は本発明に係る固体撮像装置の別の実施形態における、断面概略図である。実施例1と同様の機能を有する部分には同じ符号を付し、詳細な説明は省略する。

【0047】

本実施例では、N型半導体領域119と画素ウェル112とが周辺回路領域109にも延在している点の実施例1と異なる。周辺回路領域109への延在量は周辺回路領域109全体を覆っていてもよいし、周辺回路領域109の一部を覆っていてもよい。更に、N型半導体領域119と画素ウェル112とはチップ全面に配されることが望ましい。換言すると、図3に示されるように、N型半導体領域119、画素ウェル112が、PD形成基板101の表面に平行な平面方向に沿って、チップの端部まで延在していることが望ましい。

40

【0048】

本実施例では、周辺回路ウェル116の不純物濃度は、画素ウェル112の不純物濃度よりも高い。好ましくは、周辺回路ウェル116の不純物濃度は、画素ウェル112の不純物濃度の3倍以上である。

50

【 0 0 4 9 】

以下に、本実施例の固体撮像装置の製造プロセスを説明する。実施例 1 の製造プロセスと比較して、本実施例の製造プロセスは N 型半導体領域 1 1 9 と画素ウェル 1 1 2 とを形成するためのイオン注入工程が異なる。実施例 1 の製造プロセスにおいては、図 2 (a) で示されるように、画素領域 1 0 8 のみに不純物が導入されるように、レジストマスクを用いたイオン注入が行われる。これに対して、本実施例では、周辺回路領域 1 0 9 まで開口部が広がったレジストマスクを用いてイオン注入を行えばよい。レジストマスクの開口部は周辺回路領域 1 0 9 全体を開口してもよいし、周辺回路領域の一部のみを開口していてもよい。

【 0 0 5 0 】

10

P D 形成基板 1 0 1 の全面に N 型半導体領域 1 1 9 と画素ウェル 1 1 2 とを形成する場合は、レジストマスクを用いずに P D 形成基板全面にイオン注入を行う。

【 0 0 5 1 】

本実施例では、周辺回路を形成する工程において、周辺回路ウェル 1 1 6 を画素ウェル 1 1 2 よりも不純物濃度が高くなるように形成する。

【 0 0 5 2 】

以上に述べた点を除いて、実施例 1 の製造プロセスと同様のプロセスで、本実施例の固体撮像装置を製造することができる。

【 0 0 5 3 】

本実施例に係る固体撮像装置は、実施例 1 の効果に加えて以下の効果を有する。

20

【 0 0 5 4 】

裏面入射型の固体撮像素子を製造するには、表面側の構造と、裏面側の構造との位置を合わせる必要がある。実施例 1 の製造プロセスのように、基板の両面から加工するプロセスが含まれる場合、アライメントが困難である。本実施例は、画素ウェル 1 1 2 と N 型半導体領域 1 1 9 とが周辺回路領域 1 0 9 にまで延在している。このような構成によれば、アライメントが容易になるため、製造プロセスがより簡単になる。

【 0 0 5 5 】

更に、画素ウェル 1 1 2 と N 型半導体領域 1 1 9 とがチップ全面に配された構成とすれば、アライメントがさらに容易になる。加えて、レジストマスクが不要になるため、工程数を削減することができ、製造コストを抑えることが可能となる。

30

【 実施例 3 】

【 0 0 5 6 】

図 4 (a) は本発明に係る固体撮像装置の別の実施形態における、断面概略図である。実施例 1 ~ 2 と同様の機能を有する部分には、同一の符号を付し、詳細な説明は省略する。

【 0 0 5 7 】

本実施例は、N 型半導体領域 1 1 9 と P 型半導体領域 1 1 0 との間の領域が、不純物濃度がほぼ均一な N 型半導体領域 4 0 1 となっている点で、実施例 1 及び 2 と相違する。N 型半導体領域 4 0 1 としては、P D 形成基板 1 0 1 をそのまま使用することができる。半導体基板の不純物は均一に分布しているとみなせるからである。また、エピタキシャル成長によって不純物濃度が均一な半導体層を形成してもよい。本実施例において、N 型半導体領域 4 0 1 が特許請求の範囲に記載の第 2 の N 型半導体領域に相当する。

40

【 0 0 5 8 】

図 4 (b) は、図 4 (a) の A B に沿った不純物のプロファイルを示している。図 4 (b) の縦軸は不純物濃度で、横軸は表面からの深さである。

【 0 0 5 9 】

図 4 (b) が示すように、N 型半導体領域 1 1 9 が急峻な不純物濃度ピークを持つため、裏面付近で光電変換によって発生したホールは、速やかに N 型半導体領域 4 0 1 の方へ移動する。N 型半導体領域 4 0 1 の不純物は均一に分布していて、なおかつ不純物濃度が低いため、ホールは N 型半導体領域 4 0 1 内であまり散乱することなく、効率良く P 型半

50

導体領域 1 1 0 に移動する。

【 0 0 6 0 】

また、N型半導体領域 4 0 1 が比較的低濃度なので、ホールの移動度が高い。N型半導体領域 4 0 1 を空乏化してP型半導体領域 1 1 0 にホールを転送する構成とした場合、より効率的な転送が可能となる。

【 0 0 6 1 】

以下に、本実施例の固体撮像装置の好適な製造プロセスを説明する。実施例 1 の製造プロセスに対して、最初に使用するPD形成基板 1 0 1 が異なる。本実施例では、N型の半導体基板若しくはN型エピタキシャル層を形成した半導体基板をPD形成基板 1 0 1 として用いることができる。

10

【 0 0 6 2 】

実施例 1 の製造プロセスにおいては、図 2 (a) で示されるように、N型半導体領域 1 1 9 を形成するためのイオン注入工程と画素ウェル 1 1 2 とを形成するためのイオン注入工程との両方を含んでいる。これに対して、本実施例では、画素ウェル 1 1 2 を形成するためのイオン注入工程を行わない。

【 0 0 6 3 】

以上に述べた点を除いて、実施例 1 の製造プロセスと同様のプロセスで、本実施例の固体撮像装置を製造することができる。

【 0 0 6 4 】

本実施例に係る固体撮像装置は、実施例 1 の効果に加えて以下の効果を有する。

20

【 0 0 6 5 】

N型半導体領域 1 1 9 とP型半導体領域 1 1 0 との間に、不純物分布がほぼ平坦なN型半導体領域 4 0 1 を有する。このような構成によれば、ホールの散乱が少なくなり、効率良くホールをP型半導体領域 1 1 0 に集めることができるので、感度をさらに向上させることができる。

【 0 0 6 6 】

また、本実施例の好適な製造プロセスによれば、N型半導体領域 4 0 1 にPD形成基板 1 0 1 をそのまま使用することができるので、イオン注入の必要がない。したがって、光電変換部の深さ方向の設計自由度が高くなる。

【実施例 4】

30

【 0 0 6 7 】

図 5 (a) は本発明に係る固体撮像装置の別の実施形態における、断面概略図である。実施例 1 ~ 3 と同様の機能を有する部分には、同一の符号を付し、詳細な説明は省略する。

【 0 0 6 8 】

本実施例は、N型半導体領域 1 1 9 とP型半導体領域 1 1 0 との間に、P型半導体領域 1 1 0 に向かって不純物濃度が小さくなる画素ウェル 5 0 1 を有する点で、実施例 1 ~ 3 と相違する。

【 0 0 6 9 】

画素ウェル 5 0 1 は主たる不純物としてリン若しくはヒ素を含むN型半導体領域である。N型半導体領域 1 1 9 からP型半導体領域 1 1 0 に向かって、滑らかな濃度勾配を有する構造とすることができる。画素ウェル 5 0 1 を表面に近い領域と、表面から遠い領域に分けて考えたとき、表面に近い領域は他方の領域より不純物濃度が低い。

40

【 0 0 7 0 】

または、実施例 1 の画素ウェル 1 1 2 のように、深さの異なる複数の半導体領域から構成し、実施例 1 と異なる点として、各半導体領域の不純物濃度ピークが、P型半導体領域 1 1 0 に向かって減少していくような構造としてもよい。本実施例において、画素ウェル 5 0 1 が特許請求の範囲に記載の第 2 のN型半導体領域に相当する。

【 0 0 7 1 】

図 5 (b) は、図 5 (a) の A B に沿った不純物のプロファイルを示している。図 5 (

50

b) の縦軸は不純物濃度で、横軸は表面からの深さである。

【0072】

図4(b)が示すように、N型半導体領域119が急峻な不純物濃度ピークを持つため、裏面付近で光電変換によって発生したホールは、速やかに画素ウェル501に移動する。

【0073】

画素ウェル501の不純物濃度は、N型半導体領域119からP型半導体領域110に向かって小さくなっている。このような不純物分布によって、裏面から表面へ向けての深さ方向の電界が生じ、ホールのP型半導体領域110へ向かう移動を促進する。

【0074】

本実施例の好適な製造プロセスを図を用いて説明する。図6(a)に示すように、P型シリコン基板をPD形成基板101として用い、PD形成基板101の裏面(図の上側)にリンのイオン注入を行う。このとき、できるだけ浅い領域にイオン注入する。

【0075】

次に、図6(b)に示すように、熱拡散によって注入したリンを拡散させて、画素ウェル501を形成する。

【0076】

続いて、図6(c)に示すようにN型半導体領域119を形成するために、ヒ素のイオン注入を行う。この後は、実施例1の図2(b)以降と同様のプロセスを行えばよい。

【0077】

実施例1の製造方法において、画素ウェル112のイオン注入を行う際に、注入エネルギーの異なる複数回のイオン注入を行っても良い。この場合に、注入エネルギーが高くなるにつれて、ドーズ量が小さくなる条件でイオン注入を行うことでも、本実施例の構造を作製することができる。

【0078】

本実施例に係る固体撮像装置は、実施例1の効果に加えて以下の効果を有する。

【0079】

本実施例に係る固体撮像装置は、P型半導体領域110に向かって不純物濃度が小さくなる画素ウェル501を有している。このような構成によれば、ホールが効率良くP型半導体領域110に収集される。したがって、より感度が向上し、混色が低減される。

【0080】

また、本実施例の好適な製造プロセスによれば、画素ウェル501を熱拡散法で形成するため、製造コストを低減できる。これによって低コストで感度の改善が可能となる。

【実施例5】

【0081】

次に、本発明に係る固体撮像装置の別の実施形態について説明する。本実施例に係る固体撮像装置は、図7(a)に示されるように、画素ウェル112が、裏面からの深さが異なる複数のN型半導体領域112a、bを含む構成となっている。

【0082】

図7は、本実施例の画素部の深さ方向に沿った不純物分布を示している。図7に示されるように、画素ウェル112に含まれる複数のN型半導体領域の中では、最も表面(配線部が配される面)に近い位置に配されたN型半導体領域112aの不純物濃度が最も高い。N型半導体領域119の不純物濃度は、N型半導体領域112aよりも高い。

【0083】

画素ウェル112に含まれる複数のN型半導体領域うち、最も表面(配線部が配される面)に近い位置に配されたN型半導体領域112aは、P型半導体領域110の直下に配される。すなわち、P型半導体領域110と画素ウェル112とがPN接合を構成している。

【0084】

本実施例に係る固体撮像装置は、N型半導体領域119が主たる不純物としてヒ素を最

10

20

30

40

50

も多く含むので、感度が向上し、混色が低減される。また暗電流が低減され、ノイズの少ない画像を撮像できる。

【0085】

本実施例に係る固体撮像装置は、P型半導体領域110が比較的不純物濃度が高いN型半導体領域112aとPN接合を構成している。このような構成によれば、P型半導体領域110の空乏層の広がりを抑制することができる。特に、飽和電荷量を向上させるためにP型半導体領域110の不純物濃度を高くしたときでも、P型半導体領域110直下のN型半導体領域112aの不純物濃度を高くすることで、空乏層の広がりを抑制することができる。これによって、信号読出し時の駆動電圧を小さくすることができるため、消費電力を低減することができる。

10

【実施例6】

【0086】

図8(a)は本発明に係る固体撮像装置のさらに別の実施形態における、断面概略図である。実施例1～5と同様の機能を有する部分には、同一の符号を付し、詳細な説明は省略する。

【0087】

本実施例は、N型半導体領域119とP型半導体領域110の間の領域に、P型半導体領域110に比べて低濃度のP型半導体領域801を有することを特徴としている。P型半導体領域801はイントリンジックに近い半導体領域であってもよい。P型半導体領域801として、P型のPD形成基板101をそのまま使うことができる。本実施例において、P型半導体領域801が特許請求の範囲に記載の第2のP型半導体領域に相当する。

20

【0088】

PD形成基板101の画素間には、N型半導体領域802が配される。N型半導体領域802の裏面側の端部は、N型半導体領域119と接していることが望ましい。

【0089】

N型半導体領域802はホールに対するポテンシャル障壁となるため、隣接する2つの画素の光電変換部の間に配置されることで、画素分離部として機能する。したがって、P型半導体領域801中のホールが隣接する画素へ混入することを抑制する。

【0090】

一部のN型半導体領域がウェルコンタクト領域115と接続されていても良い。この場合、N型半導体領域802を介してN型半導体領域119の電位を設定することができる。

30

【0091】

固体撮像装置の動作として、ホール蓄積を開始する前にP型半導体領域110はバイアスが印加され、リセットされる。本実施例は、このときP型半導体領域801の大部分が空乏化、好ましくは完全空乏化するように構成されている。

【0092】

P型半導体領域801に比べて、N型半導体領域119及びN型半導体領域802が十分に高濃度な場合、P型半導体領域に広がる空乏層幅Wは次の式で表現される。

40

【0093】

【数1】

$$W = \sqrt{\frac{2\epsilon_{Si}(\phi - V)}{qN_A}}$$

【0094】

ここで、 ϵ_{Si} はシリコンの誘電率、 q は素電荷、 N_A はP型半導体領域801の不純物濃度、 ϕ はP型半導体領域801と周囲のN型半導体領域との間のビルトインポテンシャル、 V はリセット電圧である。

【0095】

空乏層幅Wが、P型半導体領域801の深さ d_1 または幅 d_2 のいずれか小さい方 d について、次の条件を満たせば、P型半導体領域801は完全空乏化する。

50

【 0 0 9 6 】

【 数 2 】

$$W \leq \frac{d}{2}$$

【 0 0 9 7 】

具体的に、P型半導体領域 8 0 1 の深さ、及び幅が $2 \mu\text{m}$ で、リセット電圧 V が -5 V の場合、P型半導体領域 8 0 1 の不純物濃度 N_A が $6.5 \times 10^{15} \text{ cm}^{-3}$ 以下であれば、P型半導体領域 8 0 1 が完全空乏化する条件を満たす。

【 0 0 9 8 】

より簡単には、P型半導体領域 8 0 1 の深さまたは幅のいずれか小さい方が $n \mu\text{m}$ の場合に、不純物濃度 N_A が次の式を満たせば良い。 10

【 0 0 9 9 】

【 数 3 】

$$N_A \leq \left(\frac{n}{2}\right)^2 \times 6.5 \times 10^{15}$$

【 0 1 0 0 】

図 8 (b) は、図 5 (a) の A B に沿った不純物のプロファイルを示している。図 5 (b) の縦軸は不純物濃度で、横軸は表面からの深さである。

【 0 1 0 1 】

本実施例においては、N型半導体領域 1 1 9 と P型半導体領域 1 1 0 の間に、P型半導体領域 8 0 1 が配されている。P型半導体領域 8 0 1 の不純物濃度は、他の半導体領域に比べて低く、基板の不純物濃度と同程度になっている。このため、P型半導体領域 8 0 1 は空乏化され、空乏層電界によってホールが速やかに P型半導体領域 1 1 0 へ移動する。 20

【 0 1 0 2 】

N型半導体領域 1 1 9 は主たる不純物としてヒ素を含むため、裏面の近傍に急峻な不純物濃度ピークを持つ構成とすることができる。すなわち、裏面から浅い領域に、不純物濃度が高い半導体領域が配されている。このため、P型半導体領域 8 0 1 の空乏層が裏面近くまで広がり、多くの電荷を P型半導体領域 1 1 0 に集められる。一方で、空乏層が裏面側界面とつながることはないため、暗電流が低減される。

【 0 1 0 3 】

本実施例の好適な製造プロセスについて、図面を用いて説明する。図 9 (a) に示すように、PD形成基板 1 0 1 として、シリコン基板に P型半導体領域をエピタキシャル成長させた基板を用いる。あるいは P型のシリコン基板を用いてもよい。 30

【 0 1 0 4 】

次に図 9 (b) に示すように、裏面側の浅い領域に N型半導体領域 1 1 9 を形成するためのイオン注入を行う。その後は、実施例 1 の図 2 (b) ~ (c) のプロセスを行う。

【 0 1 0 5 】

続いて、実施例 1 の図 (d) の工程を行う。この際に、図 9 (c) に示されるように、N型半導体領域 8 0 2 を形成する。以後は、実施例 1 と同様の工程を行う。

【 0 1 0 6 】

本実施例に係る固体撮像装置は、実施例 1 の効果に加えて以下の効果を有している。 40

【 0 1 0 7 】

P型半導体領域 8 0 1 の空乏層が裏面側の界面付近まで広がる。このため、裏面側の界面付近で発生したホールも、空乏層電界によって効率的に P型半導体領域 1 1 0 に収集される。このような構成によれば、感度をより向上させることができる。

【 0 1 0 8 】

本実施例に係る固体撮像装置は、N型半導体領域 8 0 2 が配された構成となっている。このような構成によれば、P型半導体領域 8 0 1 中にあるホールが隣接する画素に混入することが抑制される。したがって、混色がさらに低減される。

【 0 1 0 9 】

画素分離部を有する構成は、本実施例に限らず実施例 1 ~ 5 の固体撮像装置に適用することができる。

【実施例 7】

【0110】

本発明に係る固体撮像装置を製造するための別の製造プロセスについて、図面を用いて説明する。本製造プロセスでは、SOI (Silicon on insulator) 基板に素子構造を形成する。SOI 層が PD 形成基板 101 として機能し、バルク基板がプロセス基板 102 として機能する。SOI 層と BOX (Buried Oxide) 層との界面が裏面であり、光入射面となる。

【0111】

まず、図 10 (a) に示すように、SOI 層と BOX 層との界面付近に、N 型半導体領域 119 を形成するためのヒ素イオン注入を行う。このときの注入エネルギー条件は、不純物濃度のピーク深さ R_p が、SOI 層表面、及び SOI 層と BOX 層との界面から、それぞれ $3 R_p$ 以上離れた位置になる条件が望ましい。 R_p は不純物濃度の深さ方向の標準偏差であり、不純物濃度のピーク深さ R_p からの分散を示す。例えば BOX 層との界面から $3 R_p$ より近い位置に不純物濃度のピークがあると、BOX 層に多数の不純物を取り込まれ、不純物濃度にばらつきが生じる。前述の条件によって、プロセスばらつきが小さくなり、不純物濃度を安定化することができる。

【0112】

続いて図 10 (b) に示すように、SOI 層上にエピタキシャル成長によりシリコン膜を形成し SOI 層を厚くする。これにより、低エネルギーのイオン注入でも表面から深い場所に N 型半導体領域 119 を形成することが可能になる。一般にイオン注入エネルギーが小さいほうが R_p が小さくなるため、急峻な濃度勾配を有する不純物分布を得やすい。また、より深い画素構造とすることで、特に長波長光の感度が向上する。

【0113】

図面では全面にヒ素のイオン注入をしているが、実施例 1 の図 2 (a) のように、マスクを用いて画素領域 108 のみにイオン注入してもよい。

【0114】

本製造プロセスにおいて、SOI 層は N 型の半導体領域である。前述の各実施例のように、画素ウェル 112 を形成するため、リンのイオン注入を行ってもよいし、SOI 層が P 型の半導体領域であってもよい。

【0115】

次に図 10 (c) に示すように、SOI 層に画素領域 108 及び周辺回路領域 109 に配される各半導体領域、配線部 104 を形成する。ここでは周知の手法を用いることができる。その後、配線部 104 の PD 形成基板 101 とは反対の側に支持基板 103 を貼り合わせる。

【0116】

最後にプロセス基板 102 として機能しているバルク基板を BOX 層のところから除去し、裏面側に必要に応じて保護膜 106 と光学機能部 107 とを形成する。

【実施例 8】

【0117】

本発明に係る固体撮像装置を製造するための、また別の製造プロセスについて、図面を用いて説明する。

【0118】

本製造プロセスでは、PD 形成基板 101 として P 型のシリコン基板を用いる。図 11 (a) に示すように、剥離層 120、画素領域 108 及び周辺回路領域 109 に配される各半導体領域、配線部 104 を形成する。ここでは周知の手法を用いることができる。図 2 に示される製造プロセスとは、N 型半導体領域 119 を形成するためのヒ素イオン注入を、この段階では行わない点で相違する。

【0119】

次に、図 1 1 (b) に示すように、支持基板 1 0 3 を貼り合わせ、P D 形成基板 1 0 1 の裏面側を剥離層 1 2 0 のところから剥離する。

【 0 1 2 0 】

続いて、図 1 1 (c) に示されるように、P D 形成基板 1 0 1 の裏面近傍に N 型半導体領域 1 1 9 を形成する。例えば、裏面側からヒ素のイオン注入を行い、レーザースパイクアニールによって活性化を行うことで、N 型半導体領域 1 1 9 を形成することができる。配線部や接着剤が付着している場合、イオン注入が困難な場合がある。このような場合には、例えばプラズマドーピング法で不純物注入を行えばよい。

【 0 1 2 1 】

最後に、裏面側に必要に応じて保護膜 1 0 6 と光学機能部 1 0 7 とを形成する。

10

【実施例 9】

【 0 1 2 2 】

本発明の固体撮像装置をカメラシステムに適用した場合の一実施例について詳述する。撮像システムとして、デジタルスチルカメラやデジタルカムコーダーなどがあげられる。図 1 2 に、撮像システムの例としてデジタルスチルカメラに光電変換装置を適用した場合のブロック図を示す。

【 0 1 2 3 】

図 1 2 において、1 はレンズの保護のためのバリア、2 は被写体の光学像を固体撮像装置 4 に結像させるレンズ、3 はレンズ 2 を通った光量を可変するための絞りである。4 は上述の各実施例で説明した固体撮像装置であって、レンズ 2 により結像された光学像を画像データとして変換する。ここで、固体撮像装置 4 の基板には A D 変換器が形成されているものとする。7 は固体撮像装置 4 より出力された撮像データに各種の補正やデータを圧縮する信号処理部である。そして、図 1 2 において、8 は固体撮像装置 4 および信号処理部 7 に、各種タイミング信号を出力するタイミング発生部、9 は各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部である。1 0 は画像データを一時的に記憶する為のメモリ部、1 1 は記録媒体に記録または読み出しを行うためのインターフェース部、1 2 は撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体である。そして、1 3 は外部コンピュータ等と通信する為のインターフェース部である。ここで、タイミング信号などは撮像システムの外部から入力されてもよく、撮像システムは少なくとも固体撮像装置 4 と、固体撮像装置から出力された撮像信号を処理する信号処理部 7 とを有すればよい。

20

30

【 0 1 2 4 】

本実施例では、固体撮像装置 4 と A D 変換器とが同一基板に形成されている構成を説明したが、固体撮像装置 4 と A D 変換器とが別の基板に設けられている場合であってもよい。また、固体撮像装置 4 と信号処理部 7 とが同一の基板上に形成されていてもよい。

【 0 1 2 5 】

以上のように、本発明に係る固体撮像装置をカメラシステムに適用することが可能である。本発明に係る固体撮像装置をカメラシステムに適用することにより、高感度で画像を撮影することが可能となる。

【符号の説明】

40

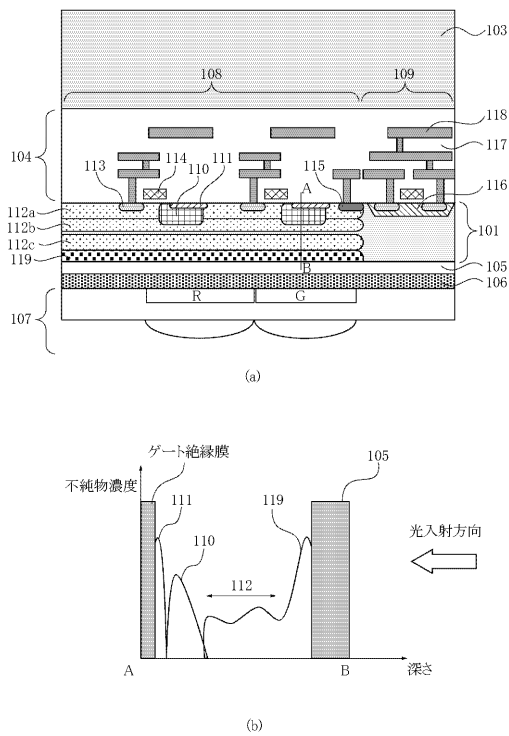
【 0 1 2 6 】

- 1 0 1 P D 形成基板
- 1 0 2 プロセス基板
- 1 0 3 支持基板
- 1 0 4 配線部
- 1 0 5 絶縁膜
- 1 0 6 保護膜
- 1 0 7 光学機能部
- 1 0 8 画素領域
- 1 0 9 周辺回路領域

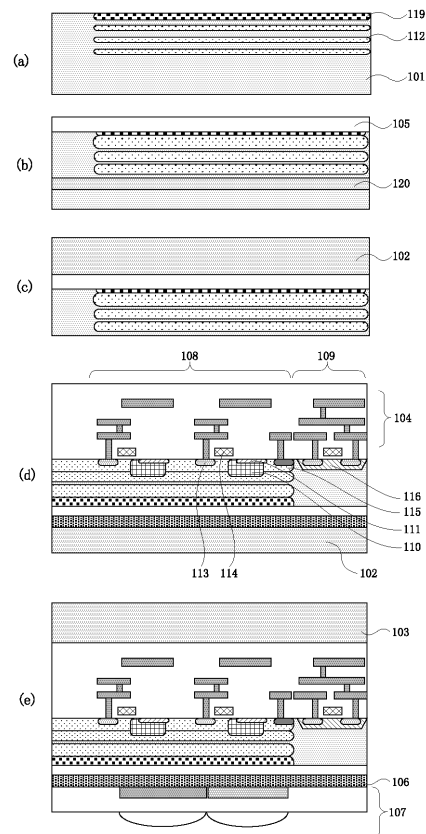
50

- 1 1 0 蓄積領域
- 1 1 1 高濃度 N 型半導体領域
- 1 1 2 画素ウェル
- 1 1 3 フローティングディフュージョン
- 1 1 4 転送ゲート電極
- 1 1 5 ウェルコンタクト領域
- 1 1 6 周辺回路ウェル
- 1 1 7 層間絶縁膜
- 1 1 8 配線
- 1 1 9 N 型半導体領域
- 1 2 0 剥離層

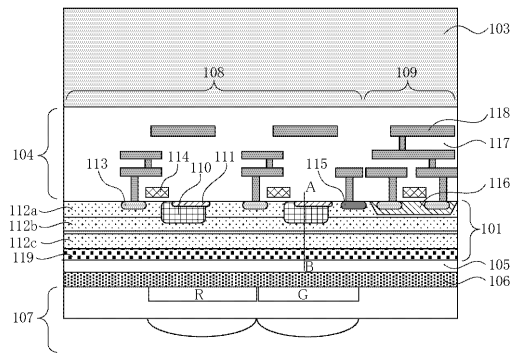
【図 1】



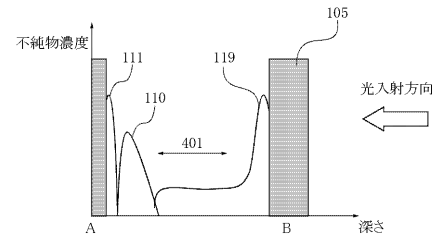
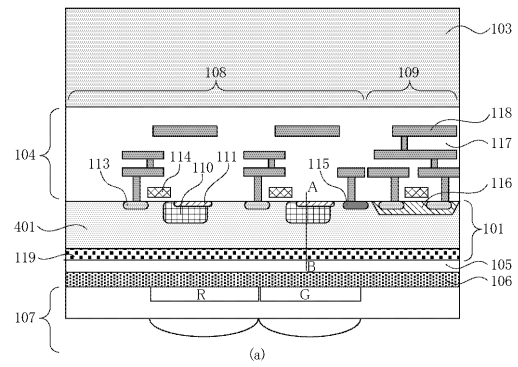
【図 2】



【図 3】

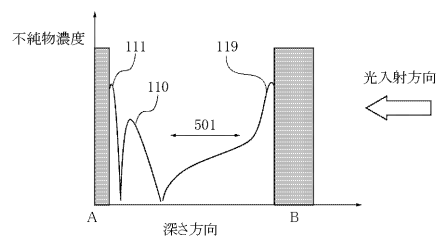
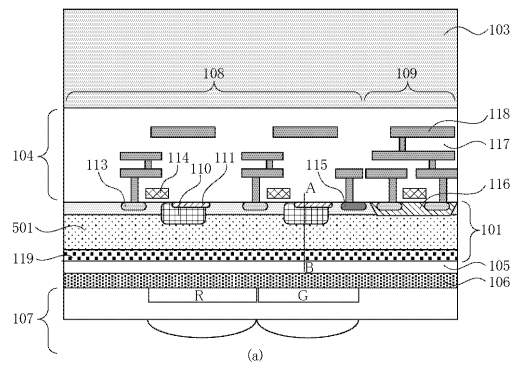


【図 4】



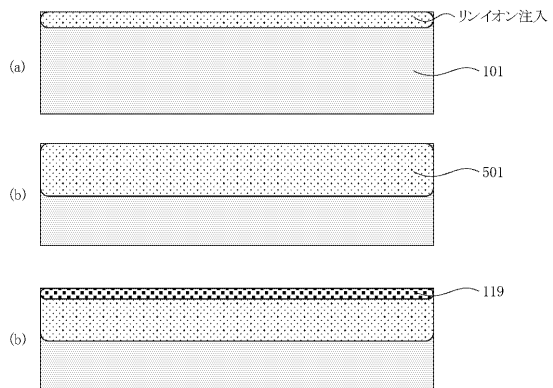
(b)

【図 5】

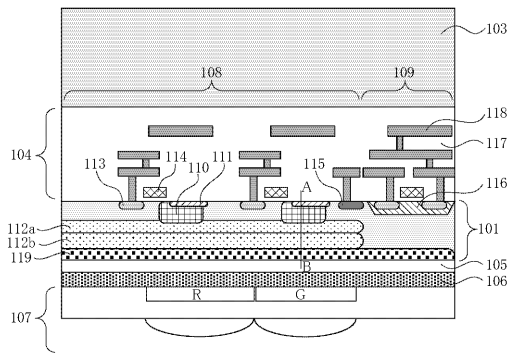


(b)

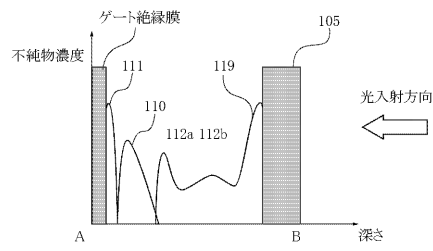
【図 6】



【図 7】

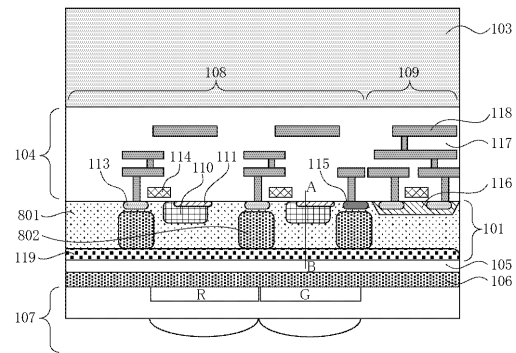


(a)

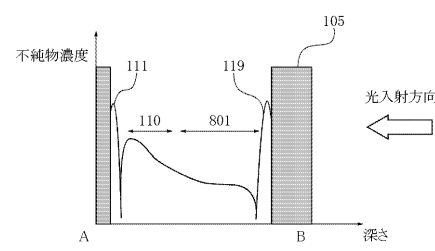


(b)

【図 8】

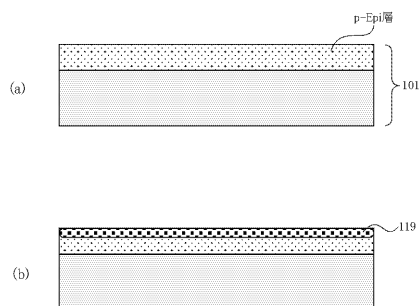


(a)



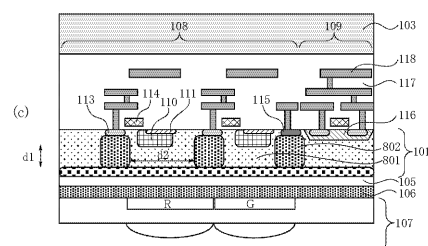
(b)

【図 9】



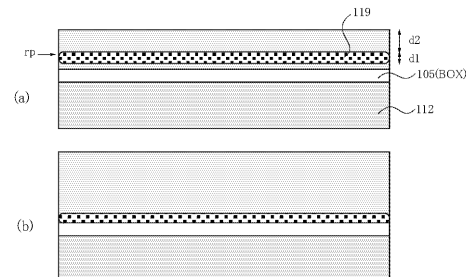
(a)

(b)



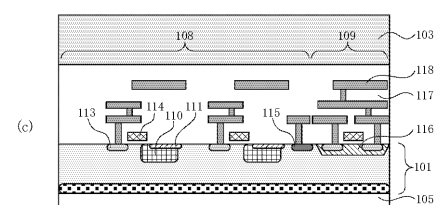
(c)

【図 10】



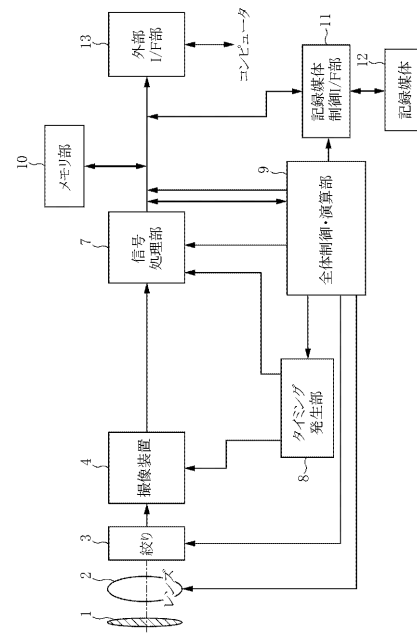
(a)

(b)



(c)

【圖 12】



フロントページの続き

- (72)発明者 小林 昌弘
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 小林 秀央
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 札幌 哲也
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 市川 武史
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 小川 将之

- (56)参考文献 特開2006-019360(JP,A)
特開平06-163410(JP,A)
特開2005-142221(JP,A)
特開2005-150521(JP,A)
特開2004-342836(JP,A)
特開2004-047985(JP,A)
特開2003-258223(JP,A)
特開2004-296827(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146

H04N 5/374