

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 1 月 3 日(03.01.2014)



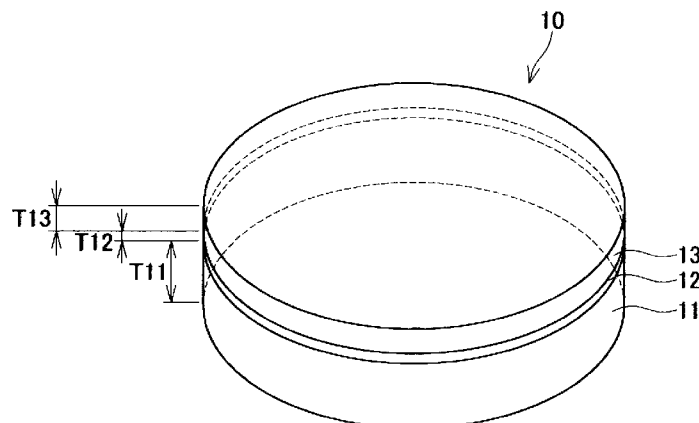
(10) 国際公開番号

WO 2014/002576 A1

- (51) 国際特許分類:
H01L 21/02 (2006.01) H01L 21/20 (2006.01)
- (21) 国際出願番号: PCT/JP2013/060931
- (22) 国際出願日: 2013 年 4 月 11 日(11.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-146820 2012 年 6 月 29 日(29.06.2012) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機(KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 Aichi (JP).
- (72) 発明者; および
- (71) 出願人 (米国についてのみ): 今岡 功(IMAOKA Ko) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP).
- (74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市中区牛島町 6 番 1 号 名古屋ルーセントタワー 9 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: Provided is a method for producing a semiconductor device using a support substrate exhibiting enhanced removal easiness. The method for producing a semiconductor device involves: a film formation step in which a support substrate formed from SiC crystals is heated to a predetermined temperature in a vacuum to sublimate the Si constituting the surface of the support substrate, and a graphene laminate film in which multiple layers of graphene are laminated is formed on at least a portion of the surface of the support substrate; a bonding step in which a semiconductor layer formed from SiC single crystals is bonded to the surface of the graphene laminate film; and a separation step in which the semiconductor layer bonded to the support substrate is separated from the support substrate with the cleavage plane of the graphene laminate film functioning as the origin.

(57) 要約: 除去容易性を高めた支持基板を用いた、半導体装置の製造方法を提供する。半導体装置の製造方法は、SiC結晶で形成された支持基板を真空中で所定温度に加熱して表面を構成しているSiを昇華させ、グラフェンが複数積層されたグラフェン積層膜を支持基板の表面の少なくとも一部に形成する成膜工程を備える。単結晶SiCで形成された半導体層を、グラフェン積層膜の表面に貼り合わせる貼り合わせ工程を備える。グラフェン積層膜のへき開面を起点として、支持基板に貼り合わせてある半導体層を支持基板から分離する分離工程を備える。

WO 2014/002576 A1

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本出願は、2012年6月29日に出願された日本国特許出願第2012-146820号に基づく優先権を主張する。その出願の全ての内容はこの明細書中に参照により援用されている。本明細書では、半導体層貼り合わせ用の支持基板を用いた、半導体装置の製造方法に関する技術を開示する。

背景技術

[0002] 近年、薄膜状の単結晶の半導体層と支持基板とを貼り合わせることによって構成される、貼り合せ基板が開発されている。高品位の単結晶の半導体層を、デバイスの活性領域だけに使用することができるため、デバイスの低コスト化を図ることが可能となる。また、関連する技術が特開2012-4232号公報に開示されている。

発明の概要

発明が解決しようとする課題

[0003] 貼り合わせ基板の半導体層上にデバイスを製造した後においては、支持基板が不要となる。よって、貼り合わせ基板に用いる支持基板には、除去容易性が要求される。

課題を解決するための手段

[0004] 本明細書では、半導体装置の製造方法を開示する。この半導体装置の製造方法は、SiC結晶で形成された支持基板を真空中で所定温度に加熱して表面を構成しているSiを昇華させ、Cを主体する層が複数積層された層状膜を支持基板の表面の少なくとも一部に形成する成膜工程を備える。半導体の単結晶で形成された半導体層を、層状膜の表面に貼り合わせる貼り合わせ工程を備える。層状膜のへき開面を起点として、支持基板に貼り合わせてある半導体層を支持基板から分離する分離工程を備える。

[0005] 上記方法では、支持基板と半導体層とが、Cを主体する層が複数積層され

ている層状膜を介して接着されている、貼り合わせ基板を形成することができる。Cを主体する層の一例としては、グラフェンが挙げられる。層状膜は、層内の原子間の結合力よりも、層間の原子間の結合力の方が弱い特性を有している。よって層状膜は、各層に垂直な方向に最も分離し易いという、へき開する性質を有している。これにより分離工程において、層状膜を形成する複数のCを主体する層を互いにへき開させることで、半導体層を支持基板から分離させることができる。よって、支持基板の除去容易性を高めることが可能となる。

発明の効果

[0006] 本明細書に開示の技術によれば、除去容易性を高めた支持基板を用いた、半導体装置の製造方法を提供することができる。

図面の簡単な説明

[0007] [図1]貼り合わせ基板の斜視図である。

[図2]支持基板の部分拡大図である。

[図3]グラフェンの成長状態を示す模式図である。

[図4]グラフェンの成長状態を示す模式図である。

[図5]グラフェン積層膜が成膜されたS i C結晶粒の一部断面拡大図である。

発明を実施するための形態

[0008] 以下、本明細書で開示する実施例の技術的特徴の幾つかを記す。なお、以下に記す事項は、各々単独で技術的な有用性を有している。

[0009] (特徴1) 上記の半導体装置の製造方法では、半導体層は単結晶S i Cであってもよい。半導体層を形成する単結晶S i Cの結晶欠陥密度に比して、支持基板を形成するS i C結晶の結晶欠陥密度の方が高くてもよい。結晶性が低いS i C結晶（マイクロパイプ等の結晶欠陥が多い結晶）は、結晶性が高いS i C結晶（結晶欠陥が少ない結晶）よりも安価に製造することができる。そして支持基板は、半導体層を補強する基板であり、高い結晶性が要求されない基板であるため、半導体層を形成する単結晶S i Cよりも結晶性が低い結晶を使用することができる。これにより、貼り合わせ基板のコストを低

減することができる。また、半導体層と支持基板に同一材料である SiC 結晶を用いることで、熱膨張率を同等にすることができるため、貼り合わせ後に剥離が発生してしまう事態を防止することができる。

[0010] (特徴 2) 上記の半導体装置の製造方法では、支持基板を形成する SiC 結晶は多結晶 SiC であってもよい。分離工程は、半導体層が貼り合わせてある支持基板を複数に分割した後に、半導体層を支持基板から分離してもよい。支持基板は多結晶 SiC で形成されているため、さまざまな面方くらいを有する結晶粒が支持基板の表面に表出している。また、層状膜は、SiC 結晶のある特定の面に対するオフセット角度が所定角度の範囲内である表面を有する結晶粒に、選択的に形成される場合がある。この場合、これらの面方位を有する結晶粒に選択的に層状膜を形成させることができるため、支持基板の表面に層状膜を点在させることが可能となる。よって、支持基板表面の全面に層状膜を形成する場合に比して、半導体層と支持基板との接着力を高めることができるため、意図せずに半導体層と支持基板とが分離してしまう事態を防止することが可能となる。また、支持基板を複数に分割することによって、半導体層と支持基板との接着面積を減らすことができる。よって、半導体層と支持基板との接着力の絶対値を、支持基板の分割前に比して小さくすることができる。これにより、支持基板の除去容易性を高めることが可能となる。なお、支持基板の分割方法の例としては、ダイシングによりチップを切り出す方法が挙げられる。

[0011] (特徴 3) 上記の半導体装置の製造方法では、支持基板を形成する SiC 結晶は、主表面の面方位が (0001) 面である六方晶の単結晶 SiC であってもよい。分離工程は、半導体層が貼り合わせてある支持基板を分割しない状態で、半導体層を支持基板から分離してもよい。層状膜は、六方晶の SiC 結晶の (0001) 面に形成されやすい特性を有しているため、支持基板表面の全面に層状膜を成膜することができる。これにより、支持基板表面の一部に層状膜が成膜されている場合に比して、半導体層を支持基板から分離させやすくすることができる。よって、支持基板を分割しない状態で、半導

体層を支持基板から分離させることができるため、分離後の支持基板を再利用することが可能となる。

- [0012] (特徴4) 上記の半導体装置の製造方法では、所定温度は1300℃以上であってよい。Cを主体する層はグラフェン(graphene)であってよい。真空中で1300℃以上でSiC結晶を加熱することで、SiC結晶表面のSi原子を昇華させ、残存したC原子によって自己組織的にグラフェンを形成させることができる。グラフェンは厚さ1原子層の炭素材料であるため、グラフェンを積層させることで層状膜を形成することができる。

実施例 1

- [0013] <貼り合わせ基板の構成>

図1に、本実施例に係る貼り合わせ基板10の斜視図を示す。貼り合わせ基板10は略円盤状に形成されている。貼り合わせ基板10は、下側に配置された支持基板11と、支持基板11の上面に配置されたグラフェン積層膜12と、グラフェン積層膜12の上面に貼り合わされた半導体層13とを備えている。支持基板11は、6Hポリタイプや4Hポリタイプなどの、多結晶SiCによって形成されていてもよい。グラフェン積層膜12は、グラフェンが複数積層された層状膜である。グラフェンとは、二次元蜂の巣格子の格子点にC原子を配置した、厚さ1原子層の炭素材料である。またグラフェン積層膜12は、層内の原子間の結合力よりも、層間の原子間の結合力の方が弱い特性を有している。よってグラフェン積層膜12は、各層に垂直な方向に最も分離し易いという、へき開する性質を有している。半導体層13は、例えば、化合物半導体(例: 6H-SiC、4H-SiC、GaN、AlN)の単結晶によって形成されていてもよい。また例えば、単元素半導体(例: Si、C)の単結晶によって形成されていてもよい。また、半導体層13を形成する半導体の単結晶の方が、支持基板11を形成する多結晶SiCに比して、結晶欠陥密度が低くされている。

- [0014] グラフェン積層膜12が成膜された支持基板11と、半導体層13とは、別途に作製される。そして、常温接合、プラズマ接合、水酸基接合などの各

種の接合法によって半導体層 13 をグラフェン積層膜 12 に貼り合わせることによって、貼り合わせ基板 10 が形成される。支持基板 11 の厚さ T_{11} は、後工程加工に耐えることができる機械的強度が得られるように定めればよい。厚さ T_{11} は、例えば、支持基板 11 の直径が 100 mm である場合には、100 μm 程度であってもよい。グラフェン積層膜 12 の厚さ T_{12} は、後述する分離工程を実施できるように定めればよい。半導体層 13 の厚さ T_{13} は、例えば、ウェハー表面に沿った方向にトランジスタ等の素子を形成する横型デバイスを製造する場合には、5 μm 以上であってもよい。また、ウェハー表面に垂直な方向に素子を形成する縦型デバイスを製造する場合には、厚さ T_{13} は数十 μm であってもよい。

[0015] 実施例 1 では、例として、半導体層 13 が 6 H ポリタイプの単結晶 SiC で形成されており、支持基板 11 が 6 H ポリタイプの多結晶 SiC で形成されている場合を、以下に説明する。

[0016] <半導体装置の製造方法>

実施例 1 に係る半導体装置の製造方法の製造方法は、成膜工程と、貼り合わせ工程と、分離工程と、を備えている。成膜工程は、グラフェン積層膜 12 を支持基板 11 の表面の少なくとも一部に形成する工程である。貼り合わせ工程は、SiC 単結晶で形成された半導体層 13 を、グラフェン積層膜 12 の表面に貼り合わせる工程である。分離工程は、グラフェン積層膜 12 のへき開面を起点として、支持基板 11 に貼り合わせてある半導体層 13 を支持基板 11 から分離する工程である。分離工程は、各種のデバイスが半導体層 13 に形成された後に行われても良い。

[0017] <成膜工程>

成膜工程を説明する。成膜工程では、SiC 表面分解法によって、支持基板 11 の表面の一部にグラフェン積層膜 12 が成膜される。図 2 に、支持基板 11 表面の部分拡大図を示す。支持基板 11 は多結晶 SiC で形成されているため、図 2 に示すように、様々な面方位を有する結晶粒が表出している。また SiC 表面分解法を用いる場合には、六方晶の SiC 結晶の特定の面

に、グラフェン積層膜 12 が選択的に形成されやすくなる。SiC 結晶の特定の面とは、(0001) 面に対するオフセット角度が所定角度（例えば 10° 程度）の範囲内である面である。従って、例えば図 2 においてハッチングをかけた結晶粒 21 が、前述の特定の面を有している場合には、結晶粒 21 の表面に選択的にグラフェン積層膜 12 を形成させることができる。よって、支持基板 11 の表面にグラフェン積層膜 12 を点在させることが可能となる。なお、特定の面を有さない結晶粒（図 2 においてハッチングをかけていない結晶粒）の表面には、成膜工程によって、へき開性を有さない炭素層が成膜される場合がある。

[0018] 支持基板 11 の表面をグラフェン積層膜 12 が占める面積割合が大きくなるほど、支持基板 11 と半導体層 13 との接着力を弱めることができる。グラフェン積層膜 12 が占める面積割合は、例えば、30～70% の範囲であってもよい。また、グラフェン積層膜 12 が形成される結晶粒の平均粒子径によっても、支持基板 11 と半導体層 13 との接着力を制御することが可能である。グラフェン積層膜 12 が形成される結晶粒の平均粒子径は、例えば、数百 μm であってもよい。また、これらの結晶粒の平均粒子径は、貼り合わせ基板 10 から切り出されるチップのチップサイズに応じて定められるとしてもよい。例えば、これらの結晶粒の平均粒子径を、チップの一辺の長さの半分以下にするとしてもよい。

[0019] SiC 表面分解法による、グラフェン積層膜 12 の形成方法を説明する。支持基板 11 の表面を洗浄した後に、真空炉（不図示）内に支持基板 11 を載置する。そして、真空度 $10^{-4} \sim 10^{-6}$ (Torr)、1350～1500℃で、支持基板 11 を加熱する。支持基板 11 を真空中で加熱することにより、前述した特定の面を有する SiC 結晶粒の表面では、Si 原子が昇華して、残存した C 原子によって自己組織的にグラフェンが形成される。

[0020] グラフェンが成長するメカニズムを、図 3 および図 4 の模式図を用いて説明する。図 3 は、グラフェンの成長前の状態を示す図である。図 4 は、グラフェンの成長後の状態を示す図である。ハッチングされた大きな丸印は Si

原子を示しており、ハッチングされていない小さな丸印はC原子を示している。図3の支持基板11では、SiCバイレイヤーL1からL6までの6層が存在している。SiCバイレイヤーとは、六角形格子構造のC原子からなる1層のC原子層と、六角形格子構造のSi原子からなる1層のSi原子層とが積層して形成されている層である。SiCバイレイヤーL1は、支持基板11の表面に表出している。SiCバイレイヤーL2ないしL6は、支持基板11のバルクを形成している。なお、SiCバイレイヤーL6の下層にはさらに多数のSiCバイレイヤーが存在するが、図3および図4では図示を省略している。

[0021] 図3の支持基板11を真空中で加熱開始すると、SiCバイレイヤーL1ないしL3の3層分のSi原子が昇華する。そして残存したC原子によって、自己組織的にグラフェンが形成される。これにより図4に示すように、Si原子層SL1の上に、1層分のグラフェンG1が形成される。グラフェンG1のC原子の数密度は、Si原子層SL1のSi原子の数密度の3倍である。よって、グラフェン積層膜12の六角形格子構造の方が、Si原子層SL1の六角形格子構造よりも格子定数が小さい。

[0022] 以降、真空中でのアニールが続行されると、上記のグラフェン形成のメカニズムに基づき、複数層のグラフェンが形成され、積層していく。これにより、グラフェンが複数積層されたグラフェン積層膜12が形成される。

[0023] グラフェン積層膜12の形成工程では、支持基板11の加熱時間を長くするほどグラフェンの積層数を多くすることができる。グラフェンの積層数が多くなるほど、グラフェン積層膜12がへき開しやすくなるため、支持基板11と半導体層13との接着力を弱くすることができる。よって、グラフェンの積層数は、支持基板11と半導体層13との接着力の要求値に基づいて決定すればよい。例えば、グラフェン積層膜12のグラフェンの積層数は1～5層の範囲内であってもよい。

[0024] <貼り合わせ工程>

貼り合わせ工程を説明する。例として、常温接合を行う場合を説明する。

半導体層 1 3 と支持基板 1 1 を、不図示の常温接合装置のチャンバーにセットする。チャンバー内を真空状態にした上で、半導体層 1 3 の裏面およびグラフェン積層膜 1 2 の接合面に、イオンビームを照射する。これにより、材料表面の酸化膜や吸着層を除去して結合手を表出させることで、表面を活性化させることができる。その後、半導体層 1 3 の裏面とグラフェン積層膜 1 2 の接合面とを接触させることで、両層を接合させることができる。接合時の圧力は、10～50 MPa の範囲内であってもよい。これにより、貼り合わせ基板 1 0 が完成する。貼り合わせ基板 1 0 は、通常の半導体装置でハンドリングするための厚みや強度を備えている。よって、貼り合わせ基板 1 0 に対して、フォトリソグラフィやエッチング等の既知の各種の半導体プロセスを実施することができ、半導体層 1 3 の表面に各種のデバイスを形成することができる。

[0025] <分離工程>

分離工程を説明する。分離工程では、第 1 のステップとして、貼り合わせ基板 1 0 を複数に分割する。貼り合わせ基板 1 0 の分割方法の例としては、ダイシングによりチップを切り出す方法が挙げられる。

[0026] 第 2 のステップとして、分割後の貼り合わせ基板 1 0 に対して、半導体層 1 3 と支持基板 1 1 とを分離させる方向の力を加える。これにより、グラフェン積層膜 1 2 を形成する複数層のグラフェンを互いに分離させることで、グラフェン積層膜 1 2 をへき開させることができる。よって、支持基板 1 1 に貼り合わせてある半導体層 1 3 を、支持基板 1 1 から分離することができる。

[0027] <実施例 1 の効果>

グラフェン積層膜 1 2 を介さずに、支持基板 1 1 と半導体層 1 3 とを直接に貼り合わせた場合には、研磨などによって支持基板 1 1 を除去する必要がある。支持基板 1 1 が SiC 結晶で形成されている場合には、SiC は難削性の材料であるため、除去が困難である。本明細書に記載されている半導体装置の製造方法では、支持基板 1 1 と半導体層 1 3 との間に介在するグラフ

エン積層膜 12 をへき開させることで、半導体層 13 を支持基板 11 から分離させることができる。これにより、研磨等の必要性を無くすることができるため、支持基板 11 の除去容易性を高めることが可能となる。

[0028] グラフェン積層膜 12 はへき開する性質を有するため、グラフェン積層膜 12 が支持基板 11 表面に成膜されている面積が大きくなるほど、支持基板 11 と半導体層 13 との接着力が弱くなる。実施例 1 に記載されている半導体装置の製造方法では、支持基板 11 に多結晶 SiC を用いているため、支持基板 11 表面にグラフェン積層膜 12 を点在させるように成膜することができる。よって、支持基板 11 表面の全面にグラフェン積層膜 12 を成膜する場合に比して、半導体層 13 と支持基板 11 との接着力を高めることができる。また分離工程では、貼り合わせ基板 10 を複数に分割した後に、半導体層 13 と支持基板 11 とを分離する。貼り合わせ基板 10 を分割することによって、半導体層 13 と支持基板 11 との接合面積を減少させることができる。よって、半導体層 13 と支持基板 11 との接着力の絶対値を、支持基板 11 の分割前に比して小さくすることができるため、分割前に比して半導体層 13 を支持基板 11 から分離しやすくすることができる。以上より、貼り合わせ基板 10 の分割前の状態においては、半導体層 13 と支持基板 11 との間に十分な接着力を発生させることができるため、貼り合わせ基板 10 に各種の半導体プロセスを実施する場合に、半導体層 13 と支持基板 11 とが剥離してしまう事態を防止できる。また、貼り合わせ基板 10 の分割後の状態においては、半導体層 13 と支持基板 11 との接着力を低下させることができるため、支持基板 11 の除去容易性を高めることが可能となる。

[0029] 支持基板 11 は、半導体層 13 を補強するための基板であり、高い結晶性が要求されない。よって支持基板 11 には、半導体層 13 を形成する単結晶 SiC よりも結晶欠陥が多い SiC 結晶を使用することができる。結晶欠陥が多い SiC 結晶は、結晶欠陥が少ない SiC 結晶よりも成長速度を高めることができ、安価に製造することができるため、支持基板 11 の製造コストを低減することが可能となる。また、半導体層 13 と支持基板 11 に同一材

料であるSiC結晶を用いることで、熱膨張率を同等にすることができるため、貼り合わせ後に剥離が発生してしまう事態を防止することができる。

[0030] 図5に、グラフェン積層膜12が成膜されたSiC結晶粒の、一部断面拡大図を示す。図5に示す結晶粒は、表面F2を備えている。表面F2の、SiC結晶の(0001)面に対するオフセット角度は、角度 α である。また、角度 α は、前述した所定角度の範囲内である。図5に示すように、表面F2には、(0001)面の面方位を備える面F1がステップ状に断続的に表出している。面F1上には、面F1に対して垂直な方向D1に、グラフェン積層膜12が成膜されている。ここで、面F2に対して垂直な方向を方向D2とすると、方向D1は方向D2に対して角度 α だけ傾いている。また、支持基板11の表面には様々な面方位を有する結晶粒が表出しているため、上述した角度 α は、グラフェン積層膜12が成膜されている結晶粒の各々ごとに異なる値となる。これにより、グラフェン積層膜12がへき開しやすい方向である方向D1を、グラフェン積層膜12が成膜されている結晶粒ごとに異ならせることができる。よって、貼り合わせ基板10の全体を考えた場合に、半導体層13と支持基板11との間に、あらゆる方向の剥離力に対する十分な接着力を発生させることが可能となる。

実施例 2

[0031] <貼り合わせ基板の構成>

実施例1では、支持基板11が多結晶SiCで形成されている形態を説明した。実施例2は、支持基板11が単結晶SiCで形成されている形態を説明する。実施例2では、例として、支持基板11が6Hポリタイプの単結晶SiCで形成されており、支持基板11の主表面の面方位が(0001)面である場合を説明する。なお、実施例2に係る貼り合わせ基板10のその他の構成は、実施例1の貼り合わせ基板10の構成と同様であるため、ここでは説明を省略する。

[0032] <半導体装置の製造方法>

支持基板11は6Hポリタイプの単結晶SiCで形成されており、その主

表面が（０００１）面とされている。また、ＳｉＣ表面分解法によって成膜されるグラフェン積層膜は、六方晶のＳｉＣ結晶の（０００１）面に成膜されやすい特性を有している。よって成膜工程では、支持基板１１の表面の全面にグラフェン積層膜１２が成膜される。なお、成膜されるグラフェン積層膜１２は、多結晶状態である。次に貼り合わせ工程において、半導体層１３の裏面とグラフェン積層膜１２の接合面とが貼り合わされる。なお、成膜工程および貼り合わせ工程の内容は、実施例１で説明済みであるため、ここでは説明を省略する。

[0033] 支持基板１１表面の全面にグラフェン積層膜１２が成膜されているため、実施例１で説明したような支持基板１１表面の一部にグラフェン積層膜１２が成膜されている場合に比して、半導体層１３と支持基板１１との接着力を低減させることができる。よって分離工程では、貼り合わせ基板１０を分割しない状態で、半導体層１３と支持基板１１とを分離させることができる。

[0034] ＜実施例２の効果＞

実施例２の貼り合わせ基板１０では、貼り合わせ基板１０を分割しない状態で、半導体層１３を支持基板１１から分離させることができるため、分離後の支持基板１１を再利用することが可能となる。また、グラフェン積層膜１２は、厚さ１原子層のグラフェンが数層～数十層分積層した膜であるため、非常に薄い。よって、グラフェン積層膜１２を支持基板１１に繰り返し成膜しても、支持基板１１の厚さの減少量は無視できるほど小さいため、支持基板１１を繰り返して再利用することができる。

[0035] 以上、本発明の実施例について詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

[0036] ＜変形例＞

本実施形態では、支持基板１１に６ＨポリタイプのＳｉＣ結晶を用いる場合を説明したが、この形態に限られない。ＳｉＣ表面分解法によってグラフェン積層膜を成膜できるＳｉＣ結晶であれば、何れのポリタイプのＳｉＣ結

晶を支持基板 11 に用いてもよい。例えば、4HポリタイプのSiC結晶を支持基板 11 に用いることも可能である。

[0037] 実施例 2 において、支持基板 11 は、複数のポリタイプ（例：4H-SiC、6H-SiC、3C-SiCなど）が混合している結晶構造のSiCによって形成されていてもよい。複数のポリタイプが混合している結晶構造のSiCでは、グラフェンが成膜される結晶構造を有する面と、グラフェンが成膜されない結晶構造を有する面が、支持基板 11 の主表面に混在して表出している場合がある。よって、単一ポリタイプの結晶構造のSiCにグラフェン積層膜 12 を成膜する場合に比して、グラフェン積層膜 12 が成膜される面積割合を低くすることができる。これにより、単一のポリタイプの結晶構造のSiCを用いる場合に比して、半導体層 13 と支持基板 11 との接着力を高めることができる。また、複数のポリタイプが混合している結晶構造のSiCは、厳密な温度制御を行うことなく成長させることができるため、単一ポリタイプの結晶構造のSiCよりも成長速度を高めることができる。よって、支持基板を製造するコストを低減させることが可能となる。また、複数のポリタイプが混合している結晶構造のSiCでは、マイクロパイプが表面に表出する場合がある。この場合、SiCの表面に各種の層を成膜することで、表面のマイクロパイプを埋め込んで平坦化することにより、マイクロパイプの影響を小さくすることが可能である。

[0038] 貼り合わせ工程において、グラフェン積層膜 12 に貼り合わされる半導体層 13 は、1 種類に限られない。例えば、グラフェン積層膜 12 の接合面を複数のエリアに分割し、各エリアに異なる半導体層 13 を貼り合わせるとしてもよい。

[0039] 本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

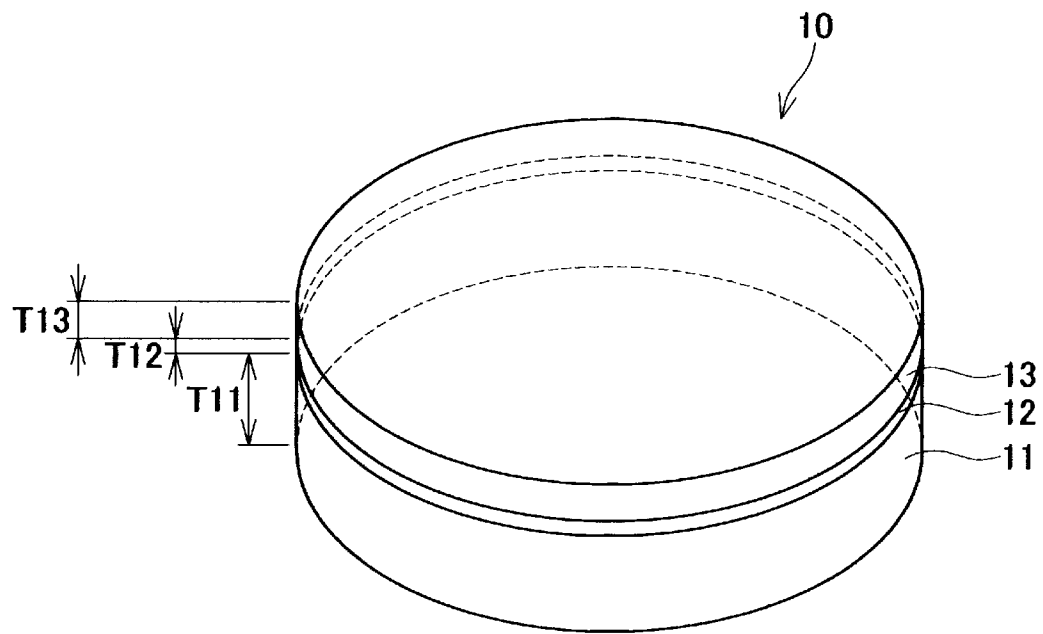
符号の説明

[0040] 1 0 : 貼り合わせ基板、 1 1 : 支持基板、 1 2 : グラフェン積層膜、 1 3 : 半導体層、 2 1 : 結晶粒

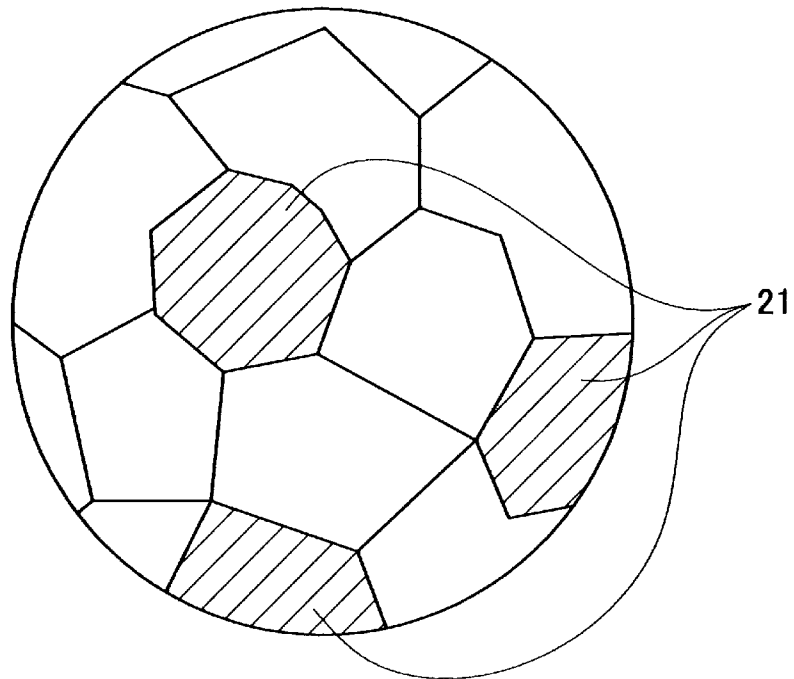
請求の範囲

- [請求項1] S i C 結晶で形成された支持基板を真空中で所定温度に加熱して表面を構成している S i を昇華させ、C を主体する層が複数積層された層状膜を前記支持基板の表面の少なくとも一部に形成する成膜工程と、
- 半導体の単結晶で形成された半導体層を、前記層状膜の表面に貼り合わせる貼り合わせ工程と、
- 前記層状膜のへき開面を起点として、前記支持基板に貼り合わせてある前記半導体層を前記支持基板から分離する分離工程と、
- を備えることを特徴とする半導体装置の製造方法。
- [請求項2] 前記半導体層は単結晶 S i C であり、
- 前記半導体層を形成する単結晶 S i C の結晶欠陥密度に比して、前記支持基板を形成する S i C 結晶の結晶欠陥密度の方が高いことを特徴とする請求項 1 に記載の半導体装置の製造方法。
- [請求項3] 前記支持基板を形成する前記 S i C 結晶は多結晶 S i C であり、
- 前記分離工程は、前記半導体層が貼り合わせてある前記支持基板を複数に分割した後に、前記半導体層を前記支持基板から分離することを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。
- [請求項4] 前記支持基板を形成する前記 S i C 結晶は、主表面の面方位が (0 0 1) 面である六方晶の単結晶 S i C であり、
- 前記分離工程は、前記半導体層が貼り合わせてある前記支持基板を分割しない状態で、前記半導体層を前記支持基板から分離することを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。
- [請求項5] 前記所定温度は 1 3 0 0 ° C 以上であり、
- 前記 C を主体する層はグラフェン (graphene) であることを特徴とする請求項 1 ～ 4 の何れか 1 項に記載の半導体装置の製造方法。

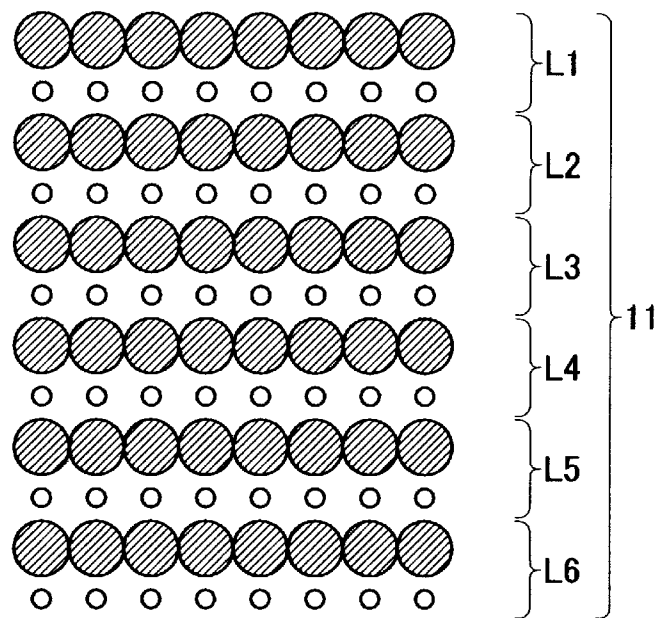
[図1]



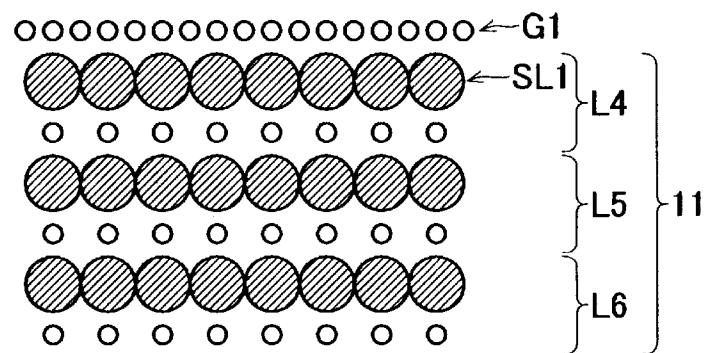
[図2]



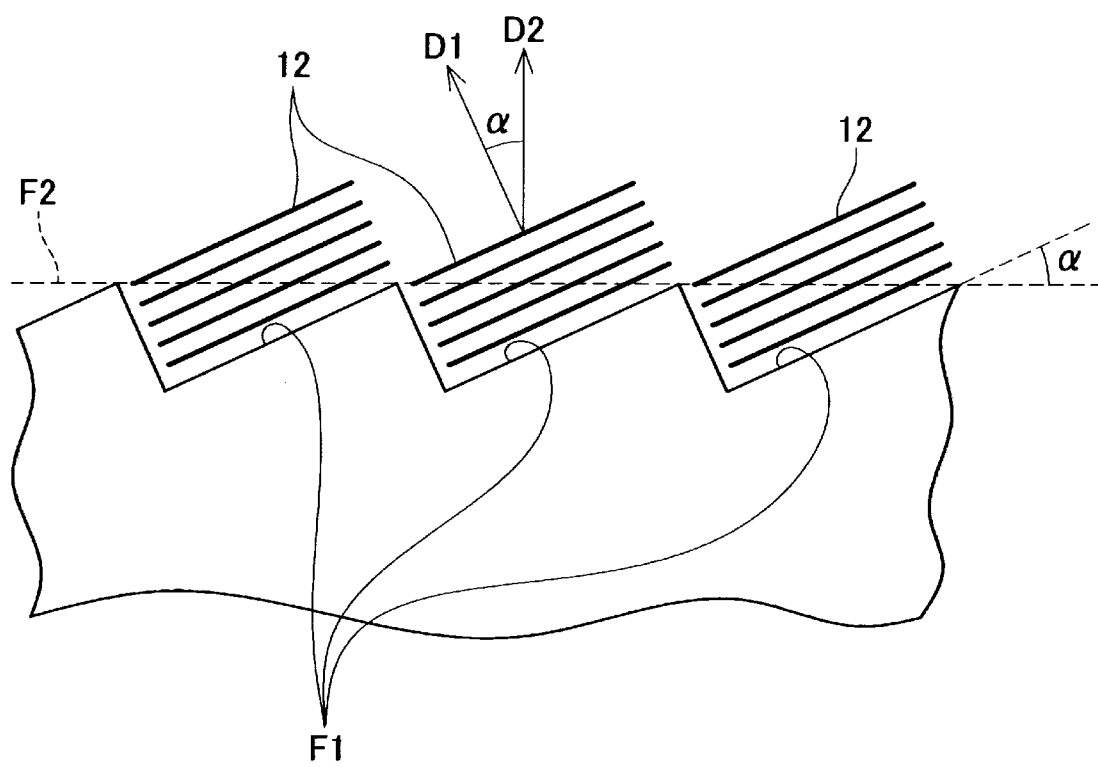
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/060931

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/02 (2006.01) i, H01L21/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02, H01L21/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-9268 A (Oki Data Corp.), 13 January 2011 (13.01.2011), paragraphs [0016], [0017], [0030]; fig. 2, 8 & US 2010/0320445 A1 & EP 2267796 A2 & CN 101931035 A	1-3, 5 4
Y A	JP 2002-280531 A (Denso Corp.), 27 September 2002 (27.09.2002), paragraphs [0018] to [0027]; fig. 1 (Family: none)	1-3, 5 4
Y A	JP 2009-62247 A (National University Corporation University of Fukui), 26 March 2009 (26.03.2009), paragraph [0011] (Family: none)	5 4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 May, 2013 (01.05.13)

Date of mailing of the international search report
21 May, 2013 (21.05.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/060931

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-263497 A (Denso Corp.), 07 October 1997 (07.10.1997), paragraph [0004] & US 6110279 A	4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/02 (2006.01)i, H01L21/20 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/02, H01L21/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-9268 A (株式会社沖データ) 2011.01.13, 段落[0016], [0017], [0030], 第 2, 8 図 & US 2010/0320445 A1 & EP 2267796 A2 & CN 101931035 A	1 - 3, 5 4
Y A	JP 2002-280531 A (株式会社デンソー) 2002.09.27, 段落[0018] - [0027], 第 1 図 (ファミリーなし)	1 - 3, 5 4
Y A	JP 2009-62247 A (国立大学法人福井大学) 2009.03.26, 段落[0011] (ファミリーなし)	5 4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 5 . 2 0 1 3

国際調査報告の発送日

2 1 . 0 5 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

榎本 剛

5 F

9 3 7 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-263497 A (株式会社デンソー) 1997. 10. 07, 段落[0004] & US 6110279 A	4