(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/76

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0204023
(24) 등록일자 1999년03월25일

(21) 출원번호 10-1996-0024661
(22) 출원일자 1996년06월27일
(65) 공개번호 특1998-0006066
(43) 공개일자 1998년03월30일

(73) 특허권자 현대전자산업주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 정명준
경기도 이천시 대월면 사동리 441-1 현대아파트 110동 304호
(74) 대리인 박해천, 원석희

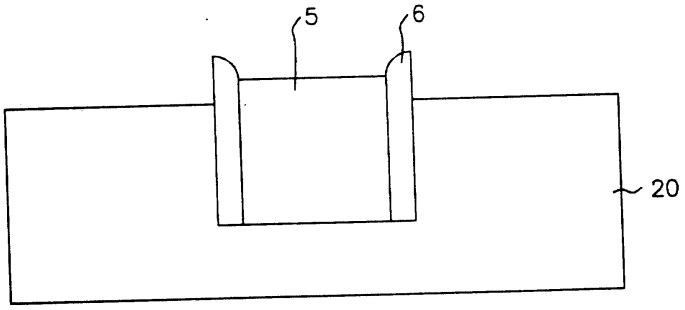
심사관 : 김용정

# (54) 반도체 장치의 소자분리막 형성방법

## 요약

본 발명은 실리콘기판의 트렌치 측면에 다결정실리콘막을 스페이서막으로 사용하여 후속공정에서 소자분리절연막의 측면 식각을 억제하므로 필드영역이 활성영역보다 높이 위치하게 되어 소자의 비이상적 전기적특성인 험프가 발생하지 않는 소자분리막 형성 방법에 관한 것이다.

## 대표도




## 명세서

[발명의 명칭]

반도체 장치의 소자분리막 형성방법

[도면의 간단한 설명]

제1a 및 제1b도는 종래 트렌치 방식의 소자분리절연막 제조과정 및 그 문제점을 나타낸 단면도.

제2a도 내지 제2d도는 본 발명의 일실시예에 따른 반도체 장치제조 공정도,

제3a도 내지 제3d도는 본 발명의 다른 실시예에 따른 반도체 장치 제조 공정도.

* 도면의 주요부분에 대한 부호설명

1 : 패드산화막 2 : 실리콘질화막

3 : 포토레지스트 패턴 4 : 보호산화막

5 : 소자분리절연막 6 : 다결정실리콘 스페이서막

7 : 희생산화막 8 :게이트산화막

9 : 게이트전도막

[발명의 상세한 설명]

본 발명은 고집적 반도체 장치의 소자분리막 형성 방법에 관한 것으로, 특히 트렌치 방식의 소자분리기술을 이용한 소자분리막 형성 방법에 관한 것이다.

일반적으로 다이나믹 램(Dynamic Random Access Memory: DRAM)을 비롯한 반도체 장치의 집적도가 증가함에 따라, 활성영역의 면적뿐만 아니라 소자분리막을 형성할 수 있는 필드 영역도 감소한다. 기존의 소자분리기술인 LOCOS(local oxidation of silicon)방식은 선택산화라는 뛰어난 특성에 의해 반도체 장치의

소자분리기술로서 사용하고 있으나, 그 근본적인 성질은 버즈비크(Bird's beak)에 의한 활성영역의 감소와 작은 필드영역에서 산화막이 작게 성장하는 필드씨닝효과(Field Thinning Effect)는 반도체 장치가 고집적화 될수록 영향이 더욱 커져가며 이를 개선하기 위한 PBL(Poly Buffered LOCOS)방식이나 리세스(Recessed) LOCOS 등의 방법 역시 소자 분리 크기가 매우 줄어든 1기가 (Giga) 다이나믹 램급에서는 그 공정의 복잡성뿐만 아니라 충분한 활성영역 및 소자분리막 두께를 확보하는데 한계를 보이고 있어 트렌치(Trench)방식의 소자분리기술 등이 크게 연구되고 있다.

즉, 실리콘기판을 일정 깊이 식각하여 트렌치를 형성한 다음, 트렌지 내부를 절연막으로 채워서 소자분리막을 형성하는 트렌치 방식의 소자분리기술이 버즈비크에 의한 활성영역의 감소가 없고 작은 소자분리크기에서 필드씨닝효과가 없을 뿐만 아니라 CMP(Chemically Mechanically Polishing)방법의 도입 등으로 활성영역과 필드영역의 평탄화까지 이룰 수 있어 차세대 반도체 장치의 소자분리기술로서 매우 크게 연구되고 있다.

이하, 트레치 방식 소자분리기술의 종래의 문제점을 첨부된 도면을 참조하여 상세히 설명한다.

제1a도 및 제1b도는 종래의 트렌치 방식에 의한 소자분리막 형성 방법 및 그 문제점을 나타낸 단면도로서, 제1a도는 실리콘기판(20)상부에 패드산화막(1)과 실리콘질화막(2)을 증착한 후, 소자분리 마스크인 포토레지스트 패턴(3)을 형성한 다음, 이를 식각장벽으로 실리콘질화막(2)과 패드산화막(1) 및 실리콘기판(20)의 일정깊이를 식각한 상태를 나타낸 단면도이다.

제1b도는 상기 제1a도의 구조하에서 포토레지스트 패턴(3)을 제거하고 식각된 실리콘기판(20) 표면의 결함 제거 및 절연막의 증착조건을 양호하게 하기 위하여 보호산화막(4)을 소정두께로 성장시킨후 소자분리절연막(5)을 일정두께 이상 증착하고 CMP 방법 등의 식각방법으로 실리콘질화막(2)이 드러날 때까지 식각한 다음 실리콘질화막(2)과 패드산화막(1)을 순차적으로 제거한 상태를 나타낸 단면도이다.

이때, 소자분리절연막의 가장자리가 패드산화막(1)의 제거와 함께 일부 식각되면서 오목하게 들어가 활성영역의 표면보다 낮아지게 되며 이것은 소자의 비정상적 전기적 특성인 험프(Hump)의 원인이 된다.

즉, 종래의 트렌치 소자분리기술은 소자분리막의 형성후 후속공정에서 여러 가지 용도의 산화막 제거시 소자분리막의 측면이 식각되면서 가장자리에 오목한 부분이 만들어져 활성영역의 표면보다 낮은 필드영역이 존재하게 되고, 이는 필드영역과 활성영역의 경계부위에서 단차를 유발하므로 소자의 비정상적 전기적 특성인 험프가 발생되게 되는 원인이 되며, 게이트 형성시에도 오목한 부분에 존재하는 게이트막을 제거하기가 어렵게 되는 등 후속 공정의 난이 함을 가져오는 문제점이 있다.

따라서, 본 발명은 필드영역과 활성영역의 경계부위에서 단차가 유발 되는 것을 방지하여 반도체 장치의 특성 및 후속 공정 마진을 향상시키는 반도체 장치의 소자분리막 형성 방법을 제공함을 그 목적으로 한다.

상기 목적을 달성하기 위하여 본 발명은 반도체 기판 상에 상기 반도체 기판의 소정 부위가 노출되는 마스크 패턴을 형성하는 단계; 상기 상기 노출된 반도체 기판의 소정두께를 선택식각하는 단계; 상기 마스크 패턴 및 상기 반도체 기판의 식각으로 발생된 홈의 측벽에 폴리실리콘 스레이서막을 형성하는 단계; 전체구조 상부에 소자분리용 절연막을 형성하는 단계; 상기 마스크 패턴 상부 표면이 드러나도록 상기 소자분리용 절연막을 에치백하여 평탄화하는 단계; 상기 마스크 패턴을 제거하는 단계; 산화 공정에 의해 상기 폴리실리콘 스페이서막의 상부 및 노출된 상기 반도체 기판상에 산화막을 형성하는 단계; 및 상기 산화막을 제거하는 단계를 포함하여 이루어진다.

이하, 첨부된 도면 제2a도 내지 제2d도와 제3a도 내지 제3d도를 참조하여 본 발명의 실시예를 상세히 설명한다.

제2a도 내지 제2d도는 본 발명의 일실시예에 따른 반도체 장치제조 공정도이다.

먼저, 제2a도는 제1a도의 구조하에서 포토레지스트 패턴(3)을 제거하고 다결정실리콘막(6)을 증착한 후 다시 비등방성 전면식각하여 실리콘질화막(2)과 패드산화막(1) 및 실리콘기판(20)의 식각부위 측벽에 다결정실리콘 스페이서막(6)을 형성한 다음, 소자분리절연막(5)을 소자분리지역이 될 홈 부분이 다 채워지도록 일정이상 두께로 증착하고 실리콘질화막(2)이 드러날 때까지 CMP 방법 등의 식각방식으로 전면 에치백한 상태를 나타낸 단면도이다.

이어서, 제2b도는 실리콘질화막(2)과 패드산화막(1)을 순차적으로 제거한 상태를 나타낸 단면도로서, 다결정실리콘 스페이서막(6)이 소자분리절연막(5)을 감싸고 있어 실리콘질화막(2) 및 패드산화막(1)의 식각에서도 소자분리절연막(5)의 측면이 식각되지 않고 보호되고 있다.

이어서, 제2c도와 같이 활성영역과 필드영역의 평탄화를 위해서 다결정실리콘 스페이서막의 상부 귀모양이 제거되도록 희생산화막(7)을 형성한다.

그리고, 제2d도와 같이 희생산화막(7)을 제거하여 활성영역과 필드영역의 평탄화를 이루어, 소자분리막을 완성한 다음, 전체구조 상부에 게이트산화막(8)을 성장시키고, 게이트 전도막(9)을 형성하는 등의 후속 제조 공정을 진행한다.

제3a도 내지 제3d도는 본 발명의 다른 실시예에 따른 반도체 장치 제조 공정도이다.

먼저, 제3a도는 상기 제1도의 구조하에서 포토레지스트 패턴(3)을 제거하고, 드러난 실리콘기판(20)의 표면에 보호산화막(4)을 성장시킨후 다결정실리콘막(6)을 전면증착 및 비등방성 전면식각하여 다결정실리콘 스페이서막(6)을 형성하고 소자분리절연막(5)을 소자분리지역이 될 홈 부분이 다 채워지도록 일정이상 두께로 증착하고 실리콘질화막(2)이 드러날 때까지. CMP 방법 등의 식각방식으로 식각한 상태를 나타낸 단면도이다.

이어서, 제3b도는 실리콘질화막(2)과 패드산화막(1)을 순차적으로 제거한 상태를 나타낸 단면도로서, 다결정실리콘 스페이서막(6)이 소자분리절연막(4)을 감싸고 있어 실리콘질화막(2) 및 패드산화막(1)의 식각

에서도 소자분리절연막의 측면이 식각되지 않고 보호되고 있다.

이어서, 제3c도는 활성영역과 필드영역의 평탄화를 위해서 다결정실리콘 스페이서막의 상부 귀모양이 제거되도록 희생산화막(7)을 형성한 상태를 나타낸 단면도이다.

이어서, 제3d도는 희생산화막(7)을 제거하여 활성영역과 필드영역의 평탄화를 이루고 게이트산화막(8)을 성장시킨 다음 게이트 전도막(9)을 형성한 상태를 나타낸 단면도이다.

상기와 같이 본 발명의 다른 실시예에서는 본 발명의 일실시예와는 달리 식각된 실리콘기판(20)의 표면에 보호산화막(4)을 형성하므로써 실리콘기판(20)과 다결정실리콘 스페이서막(6)과의 계면 결함을 줄일 수 있는 장점이 있다.

그리고, 본 발명의 일실시예 및 다른 실시예에서 패드산화막 및 질화막은 반도체 장치 제조의 일련 과정에서 이온주입 마스크로 사용되는 물질로서, 질화막 대신에 폴리실리콘막을 사용할 수 있으며, 그 밖의 다른 물질도 가능하다.

이상, 상술한 바와 같은 본 발명에 따른 반도체 장치의 소자분리막 형성 방법은 기존의 트렌치 방식으로 실리콘기판을 식각한 다음 다결정실리콘막을 스페이서막으로 사용하므로써 소자분리절연막을 다결정실리콘 스페이서막이 감싸는 구조가 되어 패드산화막이나 질화막 그리고 자연산화막등 여러 가지 산화막의 제거시 소자분리절연막의 측면이 식각되지 않아 필드영역이 활성영역보다 높은 구조로 형성할 수 있게 되므로 소자의 비정상적 전기적 특성인 험프(Hump)특성이 없는 반도체 장치의 소자분리막을 제조할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

## *(57) 청구의 범위*

### 청구항 1

반도체 장치의 제조 방법에 있어서, 반도체 기판 상에 상기 반도체 기판의 소정 부위가 노출되는 마스크 패턴을 형성하는 단계; 상기 노출된 반도체 기판의 소정두께를 선택식각하는 단계: 상기 마스크 패턴 및 상기 반도체 기판의 식각으로 발생된 홈의 측벽에 폴리실리콘 스페이서막을 형성하는 단계; 전체구조 상부에 소자분리용 절연막을 형성하는 단계; 상기 마스크 패턴 상부 표면이 드러나도록 상기 소자분리용 절연막을 에치백하여 평탄화하는 단계; 상기 마스크 패턴을 제거하는 단계; 산화 공정에 의해 상기 폴리실리콘 스페이서막의 상부 및 노출된 상기 반도체 기판 상에 산화막을 형성하는 단계; 및 상기 산화막을 제거하는 단계를 포함하여 이루어진 반도체 장치의 소자분리막 형성 방법.

### 청구항 2

제1항에 있어서, 상기 폴리실리콘 스페이서막을 형성하는 단계 이전에 상기 노출된 반도체 기판 표면의 결함 제거 및 절연막의 증착조건을 양호하게 하기 위하여 산화막을 성장시키는 단계를 더 포함하여 이루어진 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

### 청구항 3

제1항 또는 제2항에 있어서, 상기 마스크 패턴은 반도체 기판 상에 적층된 패드산화막 및 질화막인 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

### 청구항 4

제1항 또는 제2항에 있어서, 상기 마스크 패턴은 반도체 기판 상에 적층된 패드산화막 및 폴리실리콘막인 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

### 청구항 5

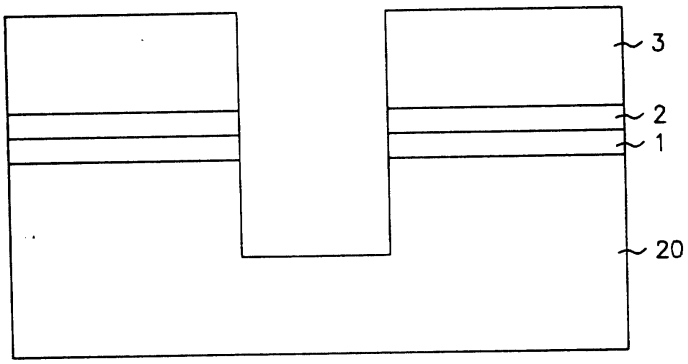
제1항 또는 제2항에 있어서, 상기 폴리실리콘 스페이서막을 형성하는 단계는 전체구조 상부에 폴리실리콘막을 형성하는 단계; 및 상기 폴리실리콘막을 비등방성 전면 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 소자분리막 형성 방법.

### 청구항 6

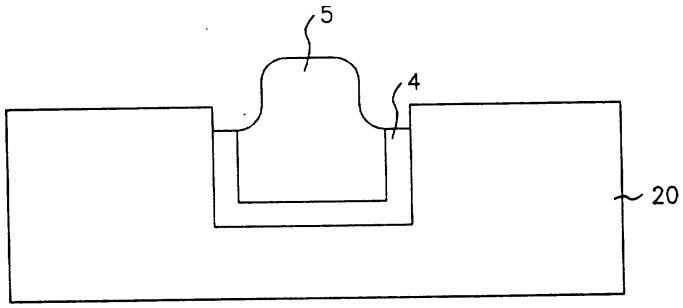
제1항에 또는 제2항에 있어서, 상기 에치백은 화학적/기계적 폴리싱으로 이루어지는 것을 특징으로하는 반도체 장치의 소자분리막 형성 방법.

## *도면*

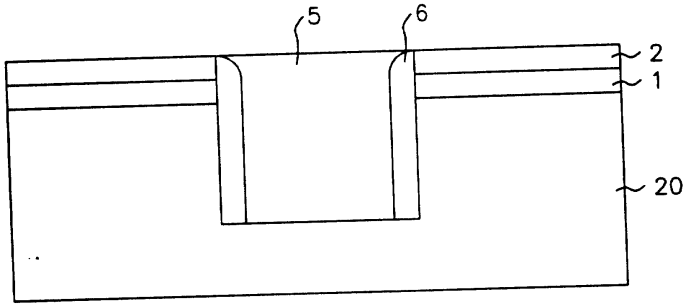
도면1a



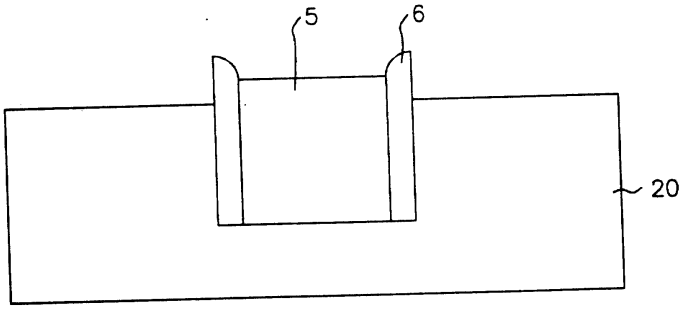

도면1b



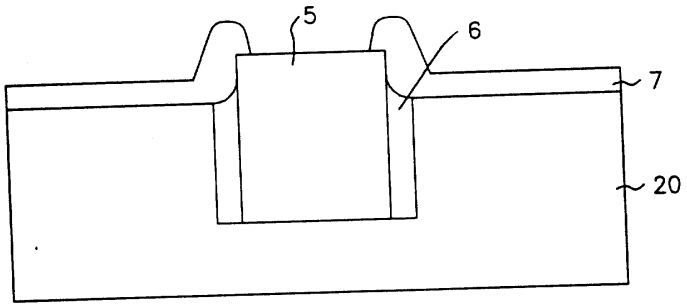

도면2a



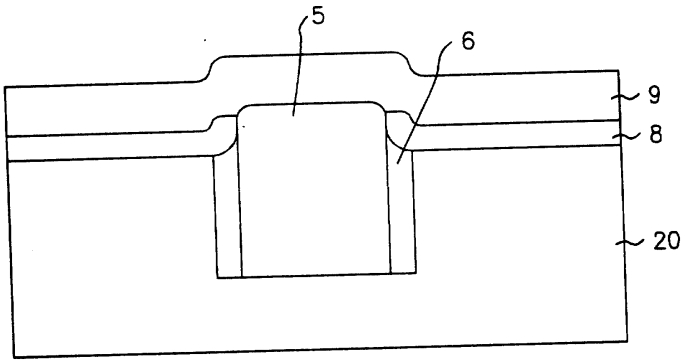

도면2b



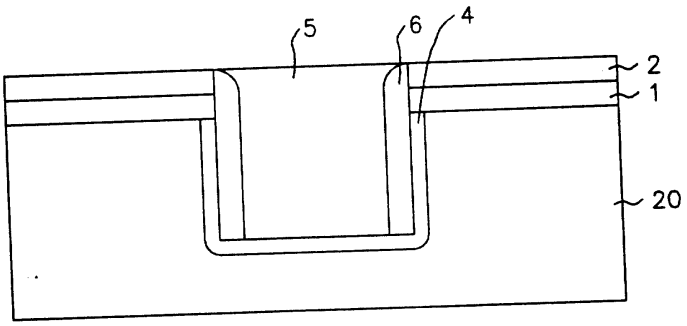
도면2c



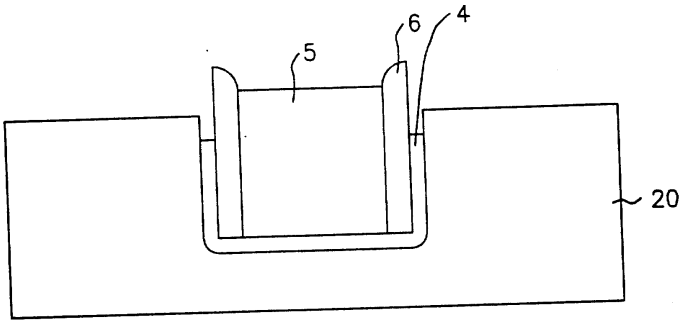

도면2d



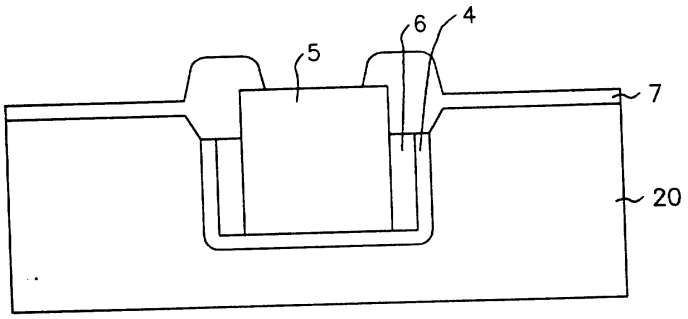

도면3a




도면3b



도면3c




도면3d

