



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I631663 B

(45) 公告日：中華民國 107 (2018) 年 08 月 01 日

(21) 申請案號：106125252 (22) 申請日：中華民國 106 (2017) 年 07 月 27 日

(51) Int. Cl. : *H01L21/762 (2006.01)* *H01L21/84 (2006.01)*
H01L23/66 (2006.01) *H01L27/12 (2006.01)*

(30) 優先權：2016/08/26 美國 15/249,112

(71) 申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)
 美國

(72) 發明人：哥克特沛里 西南 GOKTEPELI, SINAN (US)；法奈里 史蒂芬 艾倫 FANELLI,
 STEPHEN ALAN (US)

(74) 代理人：陳長文

(56) 參考文獻：

TW	200300279	TW	200839935
TW	201608694A	US	2015/0348945A1
US	2016/0211184A1		

審查人員：王安邦

申請專利範圍項數：25 項 圖式數：19 共 56 頁

(54) 名稱

形成具有在埋入式介電層之兩側上之半導體器件的器件之方法

METHODS OF FORMING A DEVICE HAVING SEMICONDUCTOR DEVICES ON TWO SIDES OF A BURIED DIELECTRIC LAYER

(57) 摘要

本發明描述一種方法，該方法包括自一埋入式介電層之一第二側執行一蝕刻製程以暴露一蝕刻終止層，其中該埋入式介電層之該第二側與該埋入式介電層之一第一側相對，且其中一第一半導體器件係定位於該埋入式介電層之該第一側上。該方法進一步包括在該埋入式介電層之該第二側上形成一第二半導體器件。

A method includes performing an etching process from a second side of a buried dielectric layer to expose an etch stop layer, where the second side of the buried dielectric layer is opposite a first side of the buried dielectric layer, and where a first semiconductor device is positioned on the first side of the buried dielectric layer. The method further includes forming a second semiconductor device on the second side of the buried dielectric layer.

指定代表圖：

符號簡單說明：

102 . . . 埋入式介電層

104 . . . 第一側

112 . . . 第一半導體
器件

122 . . . 第一介電層

130 . . . 第二介電層

204 . . . 第二 SOI
基板層

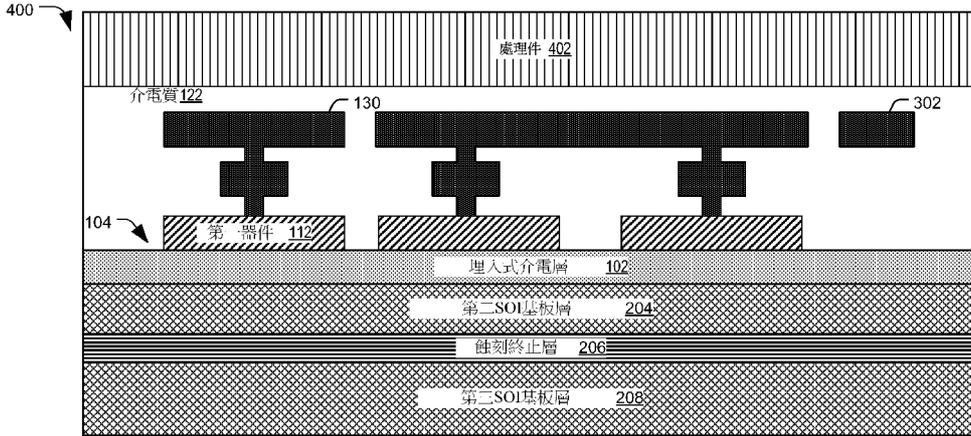
206 . . . 蝕刻終止層

208 . . . 第三 SOI
基板層

302 . . . 第三金屬結
構之第一部分

400 . . . 階段

402 . . . 處理件



【圖4】

【發明說明書】

【中文發明名稱】

形成具有在埋入式介電層之兩側上之半導體器件的器件之方法

【英文發明名稱】

METHODS OF FORMING A DEVICE HAVING SEMICONDUCTOR DEVICES ON TWO SIDES OF A BURIED DIELECTRIC LAYER

【技術領域】

本發明大體上係關於形成具有在埋入式氧化物層之兩側上之半導體器件的器件之方法。

【先前技術】

互補金屬氧化物半導體(CMOS)製程可用於在埋入式氧化物(BOX)層上形成電子器件，諸如電晶體。然而，一些CMOS製程可使得能夠僅在埋入式金屬氧化物之一側上形成器件。為減少由器件佔用之面積，一些CMOS製程可使得能夠在BOX層之兩側上形成器件。舉例而言，在半導體器件形成於BOX層之一側上之後，可自BOX層之彼側植入氬，可「翻轉」BOX層，且可在於該BOX層之另一側上形成半導體器件之前分裂氬層(該氬層歸因於氬植入而形成)。然而，氬植入可增加製造複雜性及/或成本。

【發明內容】

一種第一方法包括自埋入式介電層(例如埋入式氧化物(BOX)層)之第二側執行蝕刻製程以暴露蝕刻終止層，其中埋入式介電層之第二側與埋入式介電層之第一側相對，且其中第一半導體器件係定位於埋入式介電層之第一側上。第一方法進一步包括在埋入式介電層之第二側上形成第二半導

體器件。

一種第二方法包括自埋入式介電層(例如BOX層)之第二側執行薄化製程以暴露蝕刻增強層，其中埋入式介電層之第二側與埋入式介電層之第一側相對，且其中第一半導體器件係定位於埋入式介電層之第一側上。第二方法進一步包括執行蝕刻製程以移除蝕刻增強層。第二方法進一步包括在埋入式介電層之第二側上形成第二半導體器件。

一種裝置包括埋入式介電層(例如BOX層)，該埋入式介電層包括第一側及與第一側相對之第二側。該裝置進一步包括定位於第一側上之第一半導體器件及定位於第二側上之第二半導體器件。第二半導體器件係在使用蝕刻製程自埋入式介電層之第二側暴露蝕刻終止層之後形成。

一種裝置包括埋入式介電層(例如BOX層)，該埋入式介電層包括第一側及與第一側相對之第二側。該裝置進一步包括定位於第一側上之第一半導體器件及定位於第二側上之第二半導體器件。第二半導體器件係在使用蝕刻製程自埋入式介電層之第二側移除蝕刻增強層之後形成。

【圖式簡單說明】

圖1為具有在埋入式介電層之兩側上之半導體器件的器件之圖式；

圖2、圖3、圖4、圖5、圖6、圖7及圖8為說明製造具有在埋入式介電層之兩側上之半導體器件的器件之第一方法之階段的圖式；

圖9、圖10、圖11、圖12、圖13、圖14及圖15為說明製造具有在埋入式介電層之兩側上之半導體器件的器件之第二方法之階段的圖式；

圖16為說明製造具有在埋入式介電層之兩側上之半導體器件的器件之第一方法的流程圖；

圖17為說明製造具有在埋入式介電層之兩側上之半導體器件的器件

之第二方法的流程圖；

圖18為說明包括具有在埋入式介電層之兩側上之半導體器件的器件之器件的方塊圖；及

圖19為製造包括具有在埋入式介電層之兩側上之半導體器件的器件之電子器件的製造製程之說明性實例之資料流程圖。

【實施方式】

下文參考附圖描述本發明之特定態樣。在描述中，藉由附圖中之共同參考編號指示共同部件。如本文中所使用，僅僅出於描述特定實施之目的而使用各種術語，且該術語並不意欲為限制性的。舉例而言，除非上下文以其他方式明確地指示，否則單數形式「一(a/an)」及「該」意欲同樣包括複數形式。可進一步理解，術語「包含(comprises/comprising)」可與「包括(includes/including)」互換地使用。另外，應理解，術語「其中(wherein)」可與「其中(wher)」互換地使用。如本文中所使用，「例示性」可指示實例、實施或態樣，且不應被視作限制或視作指示偏好或較佳實施。如本文中所使用，用於修改元件(諸如結構、組件、操作等)之序數術語(例如，「第一」、「第二」、「第三」等)本身不指示元件關於另一元件之任何優先權或次序，而是僅將元件與具有相同名稱之另一元件(除非使用序數術語)區別開。如本文中所使用，術語「集合」係指一或多個元件之群組，且術語「複數個」係指多個元件。

本發明提供在不依賴於氫植入之情況下在埋入式介電層之多個側上形成器件之方法。在一些實施中，埋入式介電層為埋入式氧化物(BOX)層。根據第一方法，器件可形成於埋入式介電層之第一側上，其中埋入式介電層係定位於蝕刻終止層上方。介電層(例如，絕緣體)可沈積於器件上

且圍繞該器件，且處理件(handle)可附接至介電層(例如，處理件可用於在製造期間操控包括埋入式介電層之晶圓，以便翻轉晶圓)。接著，可執行蝕刻製程以暴露蝕刻終止層，其中自埋入式介電層之與第一側相對的第二側執行蝕刻製程。如本文中所使用，蝕刻製程可指代濕式蝕刻製程或乾式蝕刻製程。可執行平坦化製程(例如，化學機械平坦化(CMP))以移除蝕刻終止層，之後器件可形成於埋入式介電層之第二側上。

根據第二方法，器件可形成於埋入式介電層之第一側上，介電層可沈積於器件上且圍繞該器件，且處理件可附接至介電層。與上文所描述之第一方法相反，第二方法可不涉及蝕刻終止層。實情為，埋入式介電層可定位於蝕刻增強層上方，其中蝕刻增強層係定位於基板上方。在翻轉晶圓之後，可對基板執行晶圓薄化製程(例如平坦化製程(諸如CMP)、研磨製程、蝕刻製程(諸如濕式蝕刻)或其組合)以移除基板且暴露蝕刻增強層。可接著使用蝕刻移除蝕刻增強層，之後器件可形成於埋入式介電層之與第一側相對的第二側上。

參看圖1，說明具有在埋入式介電層之兩側上之半導體器件的器件100。器件100包括埋入式介電層102，且該埋入式介電層102包括第一側104及第二側106。在一些實例中，埋入式介電層102對應於BOX層。具有在埋入式介電層之兩側上之半導體器件的器件可進一步包括一或多個介電層。舉例而言，器件100包括第一介電層122及第二介電層124。

器件100包括位於埋入式介電層102之第一側104上之第一半導體器件112。器件100進一步包括位於埋入式介電層102之第二側106上之第二半導體器件114及第三半導體器件116。第一半導體器件112、第二半導體器件114及第三半導體器件116可各自包括電晶體、電容器、二極體、電阻

器、電感器、閘流體、另一半導體器件或其組合，作為說明性、非限制性實例。第一半導體器件112、第二半導體器件114及第三半導體器件116可各自包括矽、矽-鍺、碳化矽、砷化鎵、砷化銻鎵、磷化砷鎵銻、氮化鎵、另一導電材料或其任何組合。可在不執行氬植入之情況下移除蝕刻終止層或蝕刻增強層之後形成於埋入式介電層102之第二側106上之半導體器件，如進一步參考圖2至圖17所描述。替代地，可在不執行氬植入之情況下移除蝕刻終止層或蝕刻增強層之後在埋入式介電層102之第一側104上形成半導體器件，如進一步參考圖2至圖17所描述。

器件100之半導體器件可耦接至可使得其他器件能夠耦接至半導體器件之導電金屬結構(例如，觸點、襯墊、通孔、互連件等)。舉例而言，第一半導體器件112耦接至第一金屬結構130，且第二半導體器件114耦接至第二金屬結構132。在特定實例中，金屬結構可橫穿器件100之埋入式介電層102，使得自埋入式介電層102之任一側至半導體器件能夠進行電連接。舉例而言，第三半導體器件116耦接至第三金屬結構134。第三金屬結構134橫穿埋入式介電層102。因此，第三金屬結構134可使得自埋入式介電層102之第一側104或第二側106至第三半導體器件116能夠進行電連接。

具有在埋入式介電層102之兩側(104、106)上之器件可增強器件100之效能(例如，藉由減少器件之間的發信路徑之長度)。此外，器件100可具有經減小之晶粒面積(例如，由於相比於在晶圓之一側上，更多器件可裝配於晶圓之兩側上)。因此，在一些實例中，器件100可適用於具有較小形狀因數之電子器件(例如，嵌入型器件、行動通信器件、可穿戴式器件等)。

圖2至圖8說明可用於製造具有在埋入式介電層之兩側上之半導體器件的器件(諸如器件100)的第一製造製程之階段之實例。第一製造製程之階段經展示為器件100之形成的橫截面圖。

參看圖2，第一製造製程之第一階段經描繪且通常指定為200。圖2說明第一絕緣體上矽(SOI)基板層201、圖1之埋入式介電層102、第二SOI基板層204、蝕刻終止層206及第三SOI基板層208。蝕刻終止層206係定位於第二SOI基板層204與第三SOI基板層208之間，且埋入式介電層102係定位於第二SOI基板層204與第一SOI基板層201之間。第一SOI基板層201、圖1之埋入式介電層102、第二SOI基板層204、蝕刻終止層206及第三SOI基板層208可包括於可在其上執行半導體製造之晶圓、晶粒、或另一晶片或器件中。在特定實施例中，蝕刻終止層206可使用離子植入製程、磊晶成長製程或沈積製程形成於晶圓中。

參看圖3，第一製造製程之第二階段經描繪且通常指定為300。第二階段300可在第一階段200之後。圖3說明在埋入式介電層102之第一側104上之第一半導體器件112。第一半導體器件112可(例如)由一或多個半導體製造製程形成。舉例而言，可將一或多個蝕刻製程、摻雜製程、平坦化製程、沈積製程、磊晶成長製程等應用於第一SOI基板層201(及形成於第一SOI基板層201上之任何額外層)以形成第一半導體器件112且移除第一SOI基板層201。圖3進一步說明第一介電層122、第一金屬結構130及第三金屬結構134之第一部分302。舉例而言，可使用沈積製程(例如，物理氣相沈積製程)形成第一介電層122。在說明性實例中，一或多個空腔可(例如，使用蝕刻製程)形成於第一介電層122中且第一金屬結構130及第三金屬結構134之第一部分302可(例如，使用一或多個沈積製程)形成於一或多

個空腔中。

參看圖4，第一製造製程之第三階段經描繪且通常指定為400。第三階段400可在第二階段300之後。圖4說明(例如，實體地及/或化學地)附接接合至第一介電層122之處理件402。在一特定實例中，處理件402可對應於另一晶圓且可包括一或多個半導體器件、一或多個被動器件、一或多個微機電系統(MEMS)器件、一或多個電磁器件、另一類型之器件或其組合，作為說明性、非限制性實例。在一些實施中，處理件402包括矽、玻璃、砷化鎵、藍寶石或其組合。在一說明性實例中，處理件402可使用轉移製程接合至第一介電層122。

參看圖5，第一製造製程之第四階段經描繪且通常指定為500。第四階段500可在第三階段400之後。在第四階段500與第三階段400之間，可翻轉器件(包括層208、206、204、102、122)，且可移除第三SOI基板層208。舉例而言，自動臂可抓緊處理件402且旋轉器件。在一些實例中，可不翻轉器件。在特定實例中，可在不使用處理件402之情況下翻轉器件。因此，在替代實例中，器件可不包括處理件。可使用經執行以暴露蝕刻終止層206之蝕刻製程移除第三SOI基板層208。

參看圖6，第一製造製程之第五階段經描繪且通常指定為600。第五階段600可在第四階段500之後。在第五階段600與第四階段500之間，可移除蝕刻終止層206。舉例而言，可使用薄化製程移除蝕刻終止層206。薄化製程可包括化學機械平坦化(CMP)製程、濕式蝕刻製程、氫氧化四甲基銨蝕刻製程、氫氧化鉀蝕刻製程、機械材料移除製程、另一拋光製程或其組合。

參看圖7，第一製造製程之第六階段經描繪且通常指定為700。第六

階段700可在第五階段600之後。在第六階段700與第五階段600之間，額外器件(諸如第二半導體器件114及第三半導體器件116)可形成於埋入式介電層102之第二側106上。在一些實例中，第二半導體器件114及第三半導體器件116可由一或多個半導體製造製程形成。舉例而言，可將一或多個蝕刻製程、摻雜製程、平坦化製程、沈積製程(例如，物理氣相沈積、化學氣相沈積、原子層沈積等)、磊晶成長製程、退火製程、矽化製程、應力引入製程等應用於第二SOI基板層204 (及形成於第二SOI基板層204上之任何額外層)以形成第二半導體器件114及第三半導體器件116且移除第二SOI基板層204。在替代實施例中，可在形成第二半導體器件114及第三半導體器件116之前移除第二SOI基板層204之至少一部分。

參看圖8，第一製造製程之第七階段經描繪且通常指定為800。第七階段800可在第六階段700之後。在第七階段800與第六階段700之間，可形成第二金屬結構132及第二介電層124且可完成第三金屬結構134。可使用一或多個沈積製程形成第二介電層124。一或多個沈積製程可包括物理氣相沈積製程、電漿增強型化學氣相沈積製程、低壓化學氣相沈積製程、原子層沈積製程或其組合，作為說明性、非限制性實例。在說明性實例中，一或多個空腔可(例如，使用蝕刻製程)形成於第二介電層124中且第二金屬結構132及第三金屬結構134之剩餘部分可(例如，使用一或多個沈積製程，諸如化學氣相沈積製程、原子層沈積製程或其一組合)形成於一或多個空腔中。在一特定實例中，完成第三金屬結構134包括穿過埋入式介電層102及第一介電層122蝕刻至第三金屬結構134之第一部分302。

圖8可說明呈翻轉定向之圖1之器件100。因此，圖2至圖8中所說明之第一製程可用於製造具有在埋入式介電層之兩側上之半導體器件的器件，

諸如圖1之器件100。應注意，第一製程可不包括氫植入製程，且可比製造器件的包括氫植入製程之製程更便宜。與製造器件之其他製程相比，第一製程可涉及減少數目之遮罩。

圖9至圖15說明可用於製造具有在埋入式介電層之兩側上之半導體器件的器件(諸如器件100)之第二製造製程之階段的實例。第二製造製程之階段經展示為器件100之形成之橫截面圖。

參看圖9，第二製造製程之第一階段經描繪且通常指定為900。第一階段900可對應於參考圖2說明及描述之第一階段200，除圖9描繪蝕刻增強層906來代替圖2之蝕刻終止層206以外。蝕刻增強層906可由與其他材料相比可藉由蝕刻製程相對快速地移除之材料組成。

參看圖10，第二製造製程之第二階段經描繪且通常指定為1000。第二階段1000可在第一階段900之後。第二階段1000可對應於參考圖3說明及描述之第二階段300，除圖10描繪蝕刻增強層906來代替圖3之蝕刻終止層206以外。

參看圖11，第二製造製程之第三階段經描繪且通常指定為1100。第三階段1100可在第二階段1000之後。第三階段1100可對應於參考圖4說明及描述之第三階段400，除圖11描繪蝕刻增強層906來代替圖4之蝕刻終止層206以外。

參看圖12，第二製造製程之第四階段經描繪且通常指定為1200。第四階段1200可在第三階段1100之後。在第四階段1200與第三階段1100之間，可翻轉器件(包括層208、906、204、102、122)，且可移除第三SOI基板層208。舉例而言，自動臂可抓緊處理件402且旋轉器件。在一些實例中，可不翻轉器件。在特定實例中，可在不使用處理件402之情況下翻

轉器件。因此，在替代實例中，器件可不包括處理件。可使用經執行以暴露蝕刻增強層906之薄化製程移除第三SOI基板層208。薄化製程可包括蝕刻製程、研磨製程、化學機械平坦化(CMP)製程、另一拋光製程或其組合。

參看圖13，第二製造製程之第五階段經描繪且通常指定為1300。第五階段1300可在第四階段1200之後。在第五階段1300與第四階段1200之間，可移除蝕刻增強層906。舉例而言，可使用蝕刻製程移除蝕刻增強層906。

參看圖14，第二製造製程之第六階段經描繪且通常指定為1400。第六階段1400可在第五階段1300之後。第六階段1400可對應於參考圖7說明及描述之第六階段700。

參看圖15，第二製造製程之第七階段經描繪且通常指定為1500。第七階段1500可在第六階段1400之後。第七階段1500可對應於參考圖8說明及描述之第七階段800。

因此，圖9至圖15中所說明之第二製程可用於製造具有在埋入式介電層之兩側上之半導體器件的器件，諸如圖1之器件100。應注意，第二製程可不包括氬植入製程，且可比製造器件的包括氬植入製程之製程更便宜。此外，與其他器件製造製程相比，第二製程可利用更少遮罩。如參考圖5及圖6所說明及描述，第一製程可包括蝕刻製程，接著為平坦化製程。第二製程可包括平坦化製程，接著為蝕刻製程，如參考圖12及圖13所說明及描述。

參看圖16，展示說明方法1600之流程圖。方法1600可對應於參考圖2至圖8所說明及描述之第一製程。可(例如)藉由自動製造機器(例如，如

參考圖19描述之系統或一或多個其他製造裝置)來執行方法1600。自動製造機器可對應於一或多個器件。

方法1600包括在1602處自埋入式介電層之第二側執行蝕刻製程以暴露蝕刻終止層。埋入式介電層之第二側與埋入式介電層之第一側相對，且第一半導體器件係定位於埋入式介電層之第一側上。舉例而言，可自埋入式介電層102之第二側106執行蝕刻製程以移除第三SOI基板層208且暴露蝕刻終止層206，如圖5中所說明。埋入式介電層102之第二側106與埋入式介電層102之第一側104相對，且第一半導體器件112係定位於第一側104上。

方法1600進一步包括在1604處在埋入式介電層之第二側上形成第二半導體器件。舉例而言，第二半導體器件114可形成於埋入式介電層102之第二側106上，如圖7中所說明。因此，方法1600可用於形成具有在埋入式介電層之兩側上之半導體器件的器件，諸如圖1之器件100。

在一特定實施中，方法1600進一步包括執行薄化製程以在形成第二半導體器件之前移除蝕刻終止層。舉例而言，可執行薄化製程以移除蝕刻終止層206，如圖6中所說明。在一些實例中，薄化製程可包括化學機械平坦化(CMP)製程、濕式蝕刻製程、氫氧化四甲基銨蝕刻製程、氫氧化鉀蝕刻製程、機械材料移除製程或其組合。

在方法1600之一特定實施中，第一半導體器件係在執行蝕刻製程之前形成於埋入式介電層之第一側上。舉例而言，第一半導體器件112可形成於埋入式介電層102之第一側104上，如圖3中所說明。

在一特定實施中，方法1600進一步包括將介電層沈積於埋入式介電層之第一側上。舉例而言，第一介電層122可(例如，使用物理氣相沈積製

程)形成於埋入式介電層102之第一側104上，如圖3中所說明。

在一特定實施中，方法1600進一步包括將處理件附接至定位於第一半導體器件上方之介電層。處理件可包括晶圓。在一特定實例中，晶圓包括矽、玻璃、砷化鎵、藍寶石或其組合。可使用機械臂翻轉埋入式介電層以操控處理件。舉例而言，處理件402可附接至第一介電層122，如圖4中所說明。可(例如)藉由使用機械臂翻轉埋入式介電層102以操控處理件402，如圖5中所說明。

在一特定實施中，方法1600進一步包括將介電層沈積於埋入式介電層之第二側上。舉例而言，第二介電層124可(例如，使用物理氣相沈積製程)形成於埋入式介電層102之第二側106上，如圖8中所說明。

在方法1600之一特定實施中，第一半導體器件為在埋入式介電層之第一側上之複數個半導體器件中之一者。舉例而言，如圖3中所說明，多於一個半導體器件可形成於埋入式介電層102之第一側104上。

在方法1600之特定實施中，第一半導體器件包括電晶體、電容器、二極體、電感器、電阻器、閘流體或另一類型之半導體器件。

在方法1600之一特定實施中，使用磊晶成長製程形成蝕刻終止層。在方法1600之另一特定實施中，使用多孔矽形成製程形成蝕刻終止層。在方法1600之另一特定實施中，使用離子植入製程形成蝕刻終止層。

在方法1600之一特定實施中，在執行蝕刻製程之前，蝕刻終止層定位於SOI基板層與埋入式介電層之間，且蝕刻製程移除SOI基板層。舉例而言，如圖4中所說明，蝕刻終止層206可定位於埋入式介電層102與第三SOI基板層208之間。如圖5中所說明，蝕刻製程可移除第三SOI基板層208。

在方法1600之一特定實施中，藉由將除氫以外之材料植入於埋入式介電層之第二側上來形成蝕刻終止層。舉例而言，可藉由將除氫以外之材料植入於埋入式介電層102之第二側106上來形成蝕刻終止層206。

在方法1600之一特定實施中，蝕刻製程包括濕式蝕刻製程。舉例而言，圖5中所說明之蝕刻製程可為濕式蝕刻製程。

參看圖17，展示說明方法1700之流程圖。方法1700可對應於參考圖9至圖15所說明及描述之第二製程。可(例如)藉由自動製造機器(例如，如參考圖19描述之系統或一或多個其他製造裝置)來執行方法1700。自動製造機器可對應於一或多個器件。

方法1700包括在1702處自埋入式介電層之第二側執行薄化製程以暴露蝕刻增強層。埋入式介電層之第二側與埋入式介電層之第一側相對，且第一半導體器件係定位於埋入式介電層之第一側上。舉例而言，可自埋入式介電層102之第二側106執行薄化製程以移除第三SOI基板層208且暴露蝕刻增強層906，如圖12中所說明。埋入式介電層102之第二側106與埋入式介電層102之第一側104相對，且第一半導體器件112係定位於埋入式介電層102之第一側104上。

方法1700進一步包括在1706處執行蝕刻製程以移除蝕刻增強層。舉例而言，可使用蝕刻製程移除蝕刻增強層906，如圖13中所展示。

方法1700進一步包括在1708處在埋入式介電層之第二側上形成第二半導體器件。舉例而言，第二半導體器件114可形成於埋入式介電層102之第二側106上，如圖14中所說明。因此，方法1700可用於形成具有在埋入式介電層之兩側上之半導體器件的器件，諸如圖1之器件100。

在一特定實施中，薄化製程包括蝕刻製程、研磨製程、CMP製程或

其組合。舉例而言，圖12中所說明之薄化製程可對應於蝕刻製程、研磨製程、CMP製程或其組合。

在方法1700之一特定實施中，第一半導體器件係在執行平坦化製程之前形成於埋入式介電層之第一側上。舉例而言，第一半導體器件112可形成於埋入式介電層102之第一側104上，如圖10中所說明。

在一特定實施中，方法1700進一步包括將處理件附接至介電層，該介電層定位於第一半導體器件上方。方法1700可進一步包括使用機械臂翻轉埋入式介電層以操控處理件。舉例而言，處理件402可附接至第一介電層122，如圖11中所說明。可(例如)藉由使用機械臂翻轉埋入式介電層102以操控處理件402，如圖12中所說明。

在一特定實施中，方法1700進一步包括將介電層沈積於埋入式介電層之第二側上。舉例而言，第二介電層124可(例如，使用物理氣相沈積製程)形成於埋入式介電層102之第二側106上，如圖15中所說明。

在方法1700之一特定實施中，第一半導體器件為在埋入式介電層之第一側上之複數個半導體器件中之一者。舉例而言，如圖10中所說明，多於一個半導體器件可形成於埋入式介電層102之第一側104上。

在方法1700之特定實施中，第一半導體器件包括電晶體、電容器、二極體或另一類型之半導體器件。

在方法1700之一特定實施中，藉由將除氫以外之材料植入於埋入式介電層之第二側上來形成蝕刻增強層。舉例而言，可藉由將除氫以外之材料植入於埋入式介電層102之第二側106上來形成蝕刻增強層。作為另一實例，可藉由產生多孔層且接著在埋入式介電層之第二側上生長半導體材料(例如，矽)來形成蝕刻增強層。多孔層在一些實例中可為1微米至30微

米厚。

參看圖18，器件(例如，無線通信器件)之特定說明性實施的方塊圖經描繪且通常指定為1800。在各種實施中，與圖18中所說明之組件相比，器件1800可具有更多或更少組件。

在一特定實施中，器件1800包括耦接至記憶體1832之處理器1810，諸如中央處理單元(CPU)或數位信號處理器(DSP)。處理器1810可包括具有在埋入式介電層之兩側上之半導體器件的器件1864，諸如器件100。

記憶體1832包括指令1868 (例如，可執行指令)，諸如電腦可讀指令或處理器可讀指令。指令1868可包括可由諸如處理器1810之電腦執行的一或多個指令。

圖18亦說明耦接至處理器1810且耦接至顯示器1828之顯示控制器1826。寫碼器/解碼器(編解碼器) 1834亦可耦接至處理器1810。揚聲器1836及麥克風1838可耦接至編解碼器1834。

圖18亦說明無線介面1840 (諸如無線控制器)及收發器1846可耦接至處理器1810且耦接至天線1842，使得可將使用天線1842、收發器1846及無線介面1840接收之無線資料提供至處理器1810。在一些實施中，處理器1810、顯示控制器1826、記憶體1832、編解碼器1834、無線介面1840及收發器1846包括於系統級封裝或系統單晶片器件1822中。在一些實施中，輸入器件1830及電源供應器1844耦接至系統單晶片器件1822。此外，在一特定實施中，如圖18中所說明，顯示器1828、輸入器件1830、揚聲器1836、麥克風1838、天線1842及電源供應器1844在系統單晶片器件1822外部。在一特定實施中，顯示器1828、輸入器件1830、揚聲器1836、麥克風1838、天線1842及電源供應器1844中之每一者可耦接至系

統單晶片器件1822，諸如介面或控制器。

器件1800可包括通信器件、固定位置資料單元、行動位置資料單元、行動電話、蜂巢式電話、衛星電話、電腦、平板電腦、攜帶型電腦、顯示器件、媒體播放器或桌上型電腦。替代地或另外，器件1800可包括機上盒、娛樂單元、導航器件、個人數位助理(PDA)、監視器、電腦監視器、電視、無線電、衛星無線電、音樂播放器、數位音樂播放器、攜帶型音樂播放器、視訊播放器、數位視訊播放器、數位視訊光碟(DVD)播放器、攜帶型數位視訊播放器、車輛、整合於車輛內之組件、包括處理器或者儲存或擷取資料或電腦指令之任何其他器件，或其組合。作為另一說明性、非限制性實例，系統或裝置可包括諸如手持型個人通信系統(PCS)單元之遠端單元、諸如全球定位系統(GPS)啟用器件的攜帶型資料單元、儀錶讀取設備、或包括處理器或者儲存或擷取資料或電腦指令的任何其他器件，或其任何組合。

儘管圖18將處理器1810說明為包括器件1864，但器件(諸如器件1800)的任何組件可包括具有在埋入式介電層之兩側上之半導體器件的器件。舉例而言，無線介面1840、記憶體1832、輸入器件1830、顯示器1828、顯示控制器1826或任何其他電子器件可包括具有在埋入式介電層之兩側上之半導體器件的器件。

儘管圖18說明包括具有在埋入式介電層之兩側上之半導體器件的器件的無線通信器件，但具有在埋入式介電層之兩側上之半導體器件的器件可包括於各種其他電子器件中。舉例而言，如參考圖1至圖17所描述，具有在埋入式介電層之兩側上之半導體器件的器件可包括於基地台之一或多個組件中。

基地台可為無線通信系統之部分。無線通信系統可包括多個基地台及多個無線器件。無線通信系統可為長期演進(LTE)系統、分碼多重存取(CDMA)系統、全球行動通信系統(GSM)系統、無線區域網路(WLAN)系統或一些其他無線系統。CDMA系統可實施寬頻CDMA (WCDMA)、CDMA 1X、演進資料最佳化(EVDO)、分時同步CDMA (TD-SCDMA)，或某一其他版本之CDMA。

可藉由基地台之一或多個組件執行各種功能，諸如發送及接收消息及資料(例如，音訊資料)。基地台之一或多個組件可包括處理器(例如，CPU)、轉碼器、記憶體、網路連接、媒體閘道器、解調器、傳輸資料處理器、接收器資料處理器、傳輸多輸入多輸出(MIMO)處理器、傳輸器及接收器(例如，收發器)、天線陣列，或其組合。基地台之組件中之一或多者可包括具有在埋入式介電層之兩側上之半導體器件的器件，如上文參考圖1至圖18所描述。

在基地台之操作期間，基地台之一或多個天線可接收來自無線器件之資料串流。收發器可接收來自一或多個天線之資料串流且可將該資料串流提供至解變器。解變器可解調資料串流之經調變信號且將經解調資料提供至接收器資料處理器。接收器資料處理器可自經解調資料提取音訊資料且將所提取之音訊資料提供至處理器。

處理器可將音訊資料提供至轉碼器以供轉碼。轉碼器之解碼器可將音訊資料自第一格式解碼成經解碼音訊資料，且編碼器可將經解碼音訊資料編碼成第二格式。在一些實施中，編碼器可使用比自無線器件接收之資料速率更高的資料速率(例如，升頻轉換)或更低的資料速率(例如，降頻轉換)對音訊資料進行編碼。在其他實施中，音訊資料可未經轉碼。轉碼

操作(例如，解碼及編碼)可藉由基地台之多個組件執行。舉例而言，解碼可由接收器資料處理器執行，且編碼可由傳輸資料處理器執行。在其他實施中，處理器可將音訊資料提供至媒體閘道器以供轉換成另一傳輸協定、寫碼方案或兩者。媒體閘道器可使用網路連接將經轉換資料提供至另一基地台或核心網路。

前文所揭示之器件及功能性可經設計及經組態至儲存於電腦可讀媒體上之電腦檔案(例如，RTL、GDSII、GERBER等)中。一些或所有此等檔案可提供至基於此等檔案製造器件之製造處置器。所得產品包括接著被切割成半導體晶粒且封裝至半導體晶片中的半導體晶圓。接著在上文所描述之器件中採用晶片。圖19描繪電子器件製造製程1900之特定說明性態樣。

在製造製程1900處(諸如在研究電腦1906處)接收實體器件資訊1902。實體器件資訊1902可包括表示器件100，根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其組合之至少一個物理性質的設計資訊。舉例而言，實體器件資訊1902可包括物理參數、材料特性及使用耦接至研究電腦1906之使用者介面1904輸入的結構資訊。舉例而言，實體器件資訊1902可描述具有在埋入式介電層之兩側上之半導體器件的器件。為進行說明，實體器件資訊1902可描述器件100。研究電腦1906包括耦接至諸如記憶體1910之電腦可讀媒體(例如，非暫時性電腦可讀媒體)的處理器1908(諸如一或多個處理核心)。記憶體1910可儲存可執行以使得處理器1908變換實體器件資訊1902以符合檔案格式並產生程式庫檔案1912的電腦可讀指令。

在一些實施中，程式庫檔案1912包括至少一個資料檔案，該資料檔案包括經變換設計資訊。舉例而言，程式庫檔案1912可包括經提供與電子設計自動化(EDA)工具1920一起使用之器件的庫，該等器件包括：包括器件100之器件、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件，或其組合。舉例而言，程式庫檔案1912可包括描述根據參考圖2至圖8描述之第一製程或根據參考圖9至圖15描述之第二製程的器件100之製造的資訊。

程式庫檔案1912可在包括耦接至記憶體1918之處理器1916 (諸如一或多個處理核心)之設計電腦1914處與EDA工具1920結合使用。EDA工具1920可在記憶體1918處儲存為處理器可執行指令，以使得設計電腦1914之使用者能夠設計器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件，或其組合。舉例而言，設計電腦1914之使用者可使用耦接至設計電腦1914之使用者介面1924來輸入電路設計資訊1922。

電路設計資訊1922可包括表示器件100之組件、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其組合之至少一個物理性質的設計資訊。為進行說明，電路設計性質可包括：電路設計中特定電路之識別及與其他元件之關係、定位資訊、特徵大小資訊、互連資訊或表示器件100之組件、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法

1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其組合之物理性質的其他資訊。

設計電腦1914可經組態以變換包括電路設計資訊1922之設計資訊以符合檔案格式。為進行說明，檔案格式可包括表示平坦面幾何形狀、文字標籤及呈階層格式(諸如圖形資料系統(GDSII)檔案格式)之關於電路佈局的其他資訊的資料庫二進位檔案格式。設計電腦1914可經組態以產生包括經變換設計資訊之資料檔案(諸如GDSII檔案1926)，除了其他電路或資訊以外，該資料檔案還包括描述器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其組合之資訊。為進行說明，資料檔案可包括對應於系統單晶片(SOC)之資訊，該系統單晶片包括器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其組合，且亦包括SOC內之額外電子電路及組件。

可在製造製程1928處接收GDSII檔案1926以根據GDSII檔案1926中之經變換資訊來製造器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其組合。舉例而言，器件製造製程可包括將GDSII檔案1926提供至遮罩製造商1930以產生一或多個遮罩，諸如待與光微影術處理一起使用的遮罩，經說明為代表性遮罩1932。遮罩1932可在製造製程1928期間使用以產生一或多個晶圓1933，該一或多個晶圓可經測試且分離成晶粒，諸如代表性晶粒1936。晶粒

1936包括電路，該電路包括器件，該器件包括器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其組合。

舉例而言，製造製程1928可包括處理器1934及記憶體1935以起始及/或控制製造製程1928。記憶體1935可包括可執行指令，諸如電腦可讀指令或處理器可讀指令。可執行指令可包括可由諸如處理器1934之電腦執行的一或多個指令。

製造製程1928可由完全自動化或部分自動化的製造系統實施。舉例而言，製造製程1928可根據排程而自動化。製造系統可包括用以執行一或多個操作以形成器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其組合的製造設備(例如，處理工具)。舉例而言，製造設備可經組態以沈積一或多種材料，蝕刻一或多種材料，蝕刻一或多種介電材料，執行化學機械平坦化製程，執行熱退火，沈積導電材料，執行化學氣相沈積(CVD)製程等或其組合，作為說明性、非限制性實例。

製造系統(例如，執行製造製程1928之自動化系統)可具有分佈式架構(例如，階層)。舉例而言，製造系統可包括一或多個處理器(諸如處理器1934)、一或多個記憶體(諸如記憶體1935)及/或根據分佈式架構分佈之控制器。分佈式架構可包括控制或引發一或多個低層級系統之操作的高層級處理器。舉例而言，製造製程1928之高層級部分可包括一或多個處理器(諸如處理器1934)，且低層級系統可各自包括一或多個對應控制器或可

由該一或多個對應控制器控制。特定低層級系統之特定控制器可自特定高層級系統接收一或多個指令(例如，命令)，可向從屬模組或處理工具發佈子命令，且可將狀態資料傳達回至特定高層級。一或多個低層級系統中之每一者可與製造設備之一或多個對應件(例如，處理工具)相關聯。在一些實施中，製造系統可包括分佈於製造系統中之多個處理器。舉例而言，低層級系統組件之控制器可包括處理器，諸如處理器1934。

替代地，處理器1934可為高層級系統之一部分、子系統或製造系統之組件。在另一實施中，處理器1934包括在製造系統之各個層級及組件處的分佈式處理。

因此，處理器1934可包括處理器可執行指令，該等指令在由處理器1934執行時，使得處理器1934引發或控制具有在埋入式介電層之兩側上之半導體器件的器件之形成，諸如器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其一組合。在一些實施中，記憶體1935為儲存電腦可執行指令之非暫時性電腦可讀媒體，該等指令可由處理器1934執行以使得處理器1934根據圖16之方法1600或圖17之方法1700之至少一部分引發半導體器件的形成。舉例而言，電腦可執行指令可為可執行的以使得處理器1934引發或控制以下各者之形成：器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其一組合。

晶粒1936可經提供至將晶粒1936併入至代表性封裝1940中之封裝製程1938。舉例而言，封裝1940可包括單一晶粒1936或多個晶粒，諸如系

統級封裝(SiP)配置。舉例而言，封裝1940可包括或對應於系統級封裝或圖18之系統單晶片器件1822。封裝1940可經組態以符合一或多個標準或規格，諸如聯合電子器件工程委員會(JEDEC)標準。

可諸如藉由使用儲存於電腦1946處之組件庫將關於封裝1940之資訊分佈至不同產品設計者。電腦1946可包括耦接至記憶體1950之處理器1948，諸如一或多個處理核心。印刷電路板(PCB)工具可在記憶體1950處儲存為處理器可執行指令以處理利用使用者介面1944自電腦1946之使用者接收的PCB設計資訊1942。PCB設計資訊1942可包括電路板上之經封裝半導體器件之實體定位資訊，經封裝半導體器件包括器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其一組合。

電腦1946可經組態以變換PCB設計資訊1942以產生資料檔案，諸如具有包括電路板上之經封裝半導體器件之實體定位資訊之資料以及諸如跡線(例如，金屬線)及通孔(例如，通孔結構)之電連接之佈局的GERBER檔案1952，其中經封裝半導體器件對應於封裝1940，該封裝包括器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其一組合。在其他實施中，由經變換PCB設計資訊1942產生之資料檔案可具有除GERBER格式以外之格式。

GERBER檔案1952可在板總成製程1954處經接收且用於產生根據儲存於GERBER檔案1952內之設計資訊製造的PCB，諸如代表性PCB1956。舉例而言，GERBER檔案1952可經上載至一或多個機器以執行

PCB生產製程之各個步驟。PCB 1956可被填入有包括封裝1940之電子組件以形成代表性印刷電路總成(PCA) 1958。

可在產品製造製程1960處接收PCA 1958且將其整合至一或多個電子器件中，諸如第一代表性電子器件1962及第二代表性電子器件1964。舉例而言，第一代表性電子器件1962、第二代表性電子器件1964或兩者可包括圖18之器件1800。作為說明性、非限制性實例，第一代表性電子器件1962、第二代表性電子器件1964或兩者可包括其中整合有器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其一組合的通信器件、固定位置資料單元、行動位置資料單元、行動電話、蜂巢式電話、衛星電話、電腦、平板電腦、攜帶型電腦或桌上型電腦。

替代地或另外，第一代表性電子器件1962、第二代表性電子器件1964或兩者可包括其中整合有器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其一組合的基地台、機上盒、娛樂單元、導航器件、個人數位助理(PDA)、監視器、電腦監視器、電視、調諧器、無線電、衛星無線電、音樂播放器、數位音樂播放器、攜帶型音樂播放器、視訊播放器、數位視訊播放器、數位視訊光碟(DVD)播放器、攜帶型數位視訊播放器、包括處理器或儲存或擷取資料或電腦指令之任何其他器件或其一組合。作為另一說明性、非限制性實例，電子器件1962及1964中之一或多者可包括諸如行動電話之遠端單元、手持式個人通信系統(PCS)單元、諸如個人資料助理之攜帶型資料單元、全

球定位系統(GPS)啟用器件、導航器件、諸如儀錶讀取設備之固定位置資料單元、包括處理器或儲存或擷取資料或電腦指令之任何其他器件或其任何組合。儘管圖19說明根據本發明之教示內容的遠端單元，但本發明不限於此等所說明單元。本發明之態樣可適於用於包括主動積體電路(包括記憶體及晶片上電路系統)之任何器件中。

包括器件100、根據圖16之方法1600製造之具有在埋入式介電層的兩側上之半導體器件的器件、根據圖17之方法1700製造之具有在埋入式介電層的兩側上之半導體器件的器件或其一組合的器件可經製造、處理且併入至電子器件中，如說明性製程1900中所描述。關於圖1至圖18揭示之一或多個態樣，諸如引發特定製造步驟之特定器件結構或指令，可包括在程式庫檔案1912、GDSII檔案1926(例如，具有GDSII格式之檔案)及GERBER檔案1952(例如，具有GERBER格式之檔案)內，且儲存在研究電腦1906之記憶體1910、設計電腦1914之記憶體1918、電腦1946之記憶體1950、在各個階段處使用之一或多個其他電腦或處理器(未展示)之記憶體處，諸如在板總成製程1954處，且亦併入至諸如遮罩1932、晶粒1936、封裝1940、PCA 1958、其他產品(諸如原型電路或器件(未展示))或其任何組合之一或多個其他實體態樣中。儘管描繪自實體器件設計至最終產品之生產的各個代表性階段，但在其他實施中可使用較少階段或可包括額外階段。類似地，製程1900可藉由單一實體或藉由執行製程1900之各個階段之一或多個實體執行。

儘管圖1至圖19中之一或多者可說明根據本發明之教示的系統、裝置及/或方法，但本發明並不限於此等所說明系統、裝置及/或方法。如本文中所說明或所描述的圖1至圖19中之任一者之一或多個功能或組件可與圖

1至圖19之一或多個其他部分組合。因此，本文中所描述的單一實施皆不應視為限制性且本發明之實施可在不背離本發明之教示的情況下經合適地組合。

熟習此項技術者將進一步瞭解，結合本文中所揭示之實施描述之各種說明性邏輯區塊、組態、模組、電路及演算法可實施為電子硬體、由處理器執行之電腦軟體或兩者之組合。上文大體在功能性方面描述各種說明性組件、區塊、組態、模組、電路及步驟。此功能性被實施為硬體抑或處理器可執行指令取決於特定應用及強加於整個系統的設計約束。熟習此項技術者可針對各特定應用以變化之方式實施所描述之功能性，但不應將此等實施決策解譯為致使脫離本發明之範疇。

結合本文中之揭示內容描述之方法或演算法之步驟可直接以硬體、由處理器執行之軟體模組或兩者之組合來實施。軟體模組可駐存於隨機存取記憶體(RAM)、快閃記憶體、唯讀記憶體(ROM)、可程式化唯讀記憶體(PROM)、可抹除可程式化唯讀記憶體(EPROM)、電子可抹除可程式化唯讀記憶體(EEPROM)、暫存器、硬碟、抽取式磁碟、緊密光碟唯讀記憶體(CD-ROM)或此項技術中已知的任何其他形式的非暫時性儲存媒體中。例示性儲存媒體耦接至處理器，使得處理器可自儲存媒體讀取資訊並將資訊寫入至儲存媒體。在替代例中，儲存媒體可整合至處理器。處理器及儲存媒體可駐存於特殊應用積體電路(ASIC)中。ASIC可駐存於計算器件或使用者終端機中。在替代例中，處理器及儲存媒體可作為離散組件駐存於計算器件或使用者終端機中。

提供先前描述以使得熟習此項技術者能夠進行或使用所揭示之實施。對此等實施之各種修改對於熟習此項技術者而言將容易地顯而易見，

且在不背離本發明之範疇的情況下，本文中所定義之原理可應用於其他實施。因此，本發明並非意欲限於本文中所展示之實施，而應符合可能與如下申請專利範圍所定義之原理及新穎特徵相一致的最廣泛範疇。

【符號說明】

100	器件
102	埋入式介電層
104	第一側
106	第二側
112	第一半導體器件
114	第二半導體器件
116	第三半導體器件
122	第一介電層
124	第二介電層
130	第一金屬結構
132	第二金屬結構
134	第三金屬結構
200	第一階段
201	第一絕緣體上矽(SOI)基板層
204	第二SOI基板層
206	蝕刻終止層
208	第三SOI基板層
300	第二階段
302	第三金屬結構之第一部分

400	第三階段
402	處理件
500	第四階段
600	第五階段
700	第六階段
800	第七階段
900	第一階段
906	蝕刻增強層
1000	第二階段
1100	第三階段
1200	第四階段
1300	第五階段
1400	第六階段
1500	第七階段
1600	方法
1602	步驟
1604	步驟
1700	方法
1702	步驟
1706	步驟
1800	器件
1810	處理器
1822	系統單晶片器件

1826	顯示控制器
1828	顯示器
1830	輸入器件
1832	記憶體
1834	編解碼器
1836	揚聲器
1838	麥克風
1840	無線介面
1842	天線
1844	電源供應器
1846	收發器
1864	器件
1900	電子器件製造製程
1902	實體器件資訊
1904	使用者介面
1906	研究電腦
1908	處理器
1910	記憶體
1912	程式庫檔案
1914	設計電腦
1916	處理器
1918	記憶體
1920	EDA工具

1922	電路設計資訊
1924	使用者介面
1926	GDSII檔案
1928	製造製程
1930	遮罩製造商
1932	遮罩
1933	晶圓
1934	處理器
1935	記憶體
1936	晶粒
1938	封裝製程
1940	封裝
1942	PCB設計資訊
1944	使用者介面
1946	電腦
1948	處理器
1950	記憶體
1952	GERBER檔案
1954	板總成製程
1956	PCB
1958	PCA
1960	產品製造製程
1962	電子器件
1964	電子器件



I631663

【發明摘要】

公告本

【中文發明名稱】

形成具有在埋入式介電層之兩側上之半導體器件的器件之方法

【英文發明名稱】

METHODS OF FORMING A DEVICE HAVING SEMICONDUCTOR DEVICES ON TWO SIDES OF A BURIED DIELECTRIC LAYER

【中文】

本發明描述一種方法，該方法包括自一埋入式介電層之一第二側執行一蝕刻製程以暴露一蝕刻終止層，其中該埋入式介電層之該第二側與該埋入式介電層之一第一側相對，且其中一第一半導體器件係定位於該埋入式介電層之該第一側上。該方法進一步包括在該埋入式介電層之該第二側上形成一第二半導體器件。

【英文】

A method includes performing an etching process from a second side of a buried dielectric layer to expose an etch stop layer, where the second side of the buried dielectric layer is opposite a first side of the buried dielectric layer, and where a first semiconductor device is positioned on the first side of the buried dielectric layer. The method further includes forming a second semiconductor device on the second side of the buried dielectric layer.

【指定代表圖】

圖4

【代表圖之符號簡單說明】

102 埋入式介電層

【發明申請專利範圍】

【第1項】

一種用於形成一器件之方法，其包含：

自一埋入式介電層之一第二側執行一蝕刻製程以暴露一蝕刻終止層，其中在執行該蝕刻製程前，一絕緣體上矽(SOI)基板層係定位於該蝕刻終止層及該埋入式介電層之間，其中該埋入式介電層之該第二側與該埋入式介電層之一第一側相對，且其中一第一半導體器件係定位於該埋入式介電層之該第一側上；及

在該埋入式介電層之該第二側上形成一第二半導體器件。

【第2項】

如請求項1之方法，其進一步包含執行一薄化製程以在形成該第二半導體器件之前移除該蝕刻終止層，其中該薄化製程移除該蝕刻終止層而暴露出該SOI基板層。

【第3項】

如請求項2之方法，其中該薄化製程包含一化學機械平坦化(CMP)製程、一濕式蝕刻製程、一氫氧化四甲基銨蝕刻製程、一氫氧化鉀蝕刻製程、一機械材料移除製程或其一組合。

【第4項】

如請求項1之方法，其中該埋入式介電層之該第一側對應於該埋入式介電層之一第一表面，其中該埋入式介電層之該第二側對應於該埋入式介電層之一第二表面，及其中該第一半導體器件係在執行該蝕刻製程之前形成而接觸該埋入式介電層之該第一側。

【第5項】

如請求項1之方法，其中在執行該蝕刻製程前，該SOI基板層接觸該蝕刻終止層、該埋入式介電層或二者，及其中形成該第二半導體器件包括移除該SOI基板層之至少一部分。

【第6項】

如請求項1之方法，其進一步包含將一處理件附接至定位於該第一半導體器件上方的一介電層，其中該處理件包含一晶圓，該晶圓包括矽、玻璃、砷化鎵、藍寶石或其一組合。

【第7項】

如請求項1之方法，其進一步包含：

將一處理件附接至定位於該第一半導體器件上方的一介電層；及
使用一機械臂翻轉該埋入式介電層以操控該處理件。

【第8項】

如請求項1之方法，其進一步包含將一介電層沈積於該埋入式介電層之該第二側上。

【第9項】

如請求項1之方法，其中該第一半導體器件為該埋入式介電層之該第一側上之複數個器件中之一者，及其中該第一半導體器件包括一電晶體、一電容器、一二極體、一電感器、一電阻器或一閘流體。

【第10項】

如請求項1之方法，其進一步包含形成該蝕刻終止層。

【第11項】

如請求項1之方法，其中使用一離子植入製程形成該蝕刻終止層。

【第12項】

如請求項1之方法，其中使用一磊晶成長製程形成該蝕刻終止層。

【第13項】

如請求項1之方法，其中使用一多孔矽形成製程形成該蝕刻終止層。

【第14項】

如請求項1之方法，其中在執行該蝕刻製程之前，該蝕刻終止層係定位於一第二SOI基板層與該埋入式介電層之間，且其中該蝕刻製程移除該第二SOI基板層。

【第15項】

如請求項1之方法，其中藉由將除氫以外之一材料植入於該埋入式介電層之該第二側上來形成該蝕刻終止層。

【第16項】

如請求項1之方法，其中該埋入式介電層對應於一埋入式氧化物(BOX)層。

【第17項】

一種用於形成一器件之方法，其包含：

自一埋入式介電層之一第二側執行一薄化製程以暴露一蝕刻增強層，其中一絕緣體上矽(SOI)基板層係定位於該蝕刻增強層及該埋入式介電層之間，其中該埋入式介電層之該第二側與該埋入式介電層之一第一側相對，且其中一第一半導體器件係定位於該埋入式介電層之該第一側上；

執行一蝕刻製程以移除該蝕刻增強層；及

在該埋入式介電層之該第二側上形成一第二半導體器件。

【第18項】

如請求項17之方法，其中該薄化製程包含一蝕刻製程、一研磨製

程、化學機械平坦化(CMP)製程或其一組合，及其中該蝕刻增強層之移除暴露該SOI基板層。

【第19項】

如請求項17之方法，其中該第一半導體器件係在執行該薄化製程之前形成於該埋入式介電層之該第一側上。

【第20項】

如請求項17之方法，其進一步包含將一處理件附接至一介電層，該介電層定位於該第一半導體器件上方。

【第21項】

如請求項20之方法，其進一步包含使用一機械臂翻轉該埋入式介電層以操控該處理件。

【第22項】

如請求項17之方法，其進一步包含將一介電層沈積於該埋入式介電層之該第二側上。

【第23項】

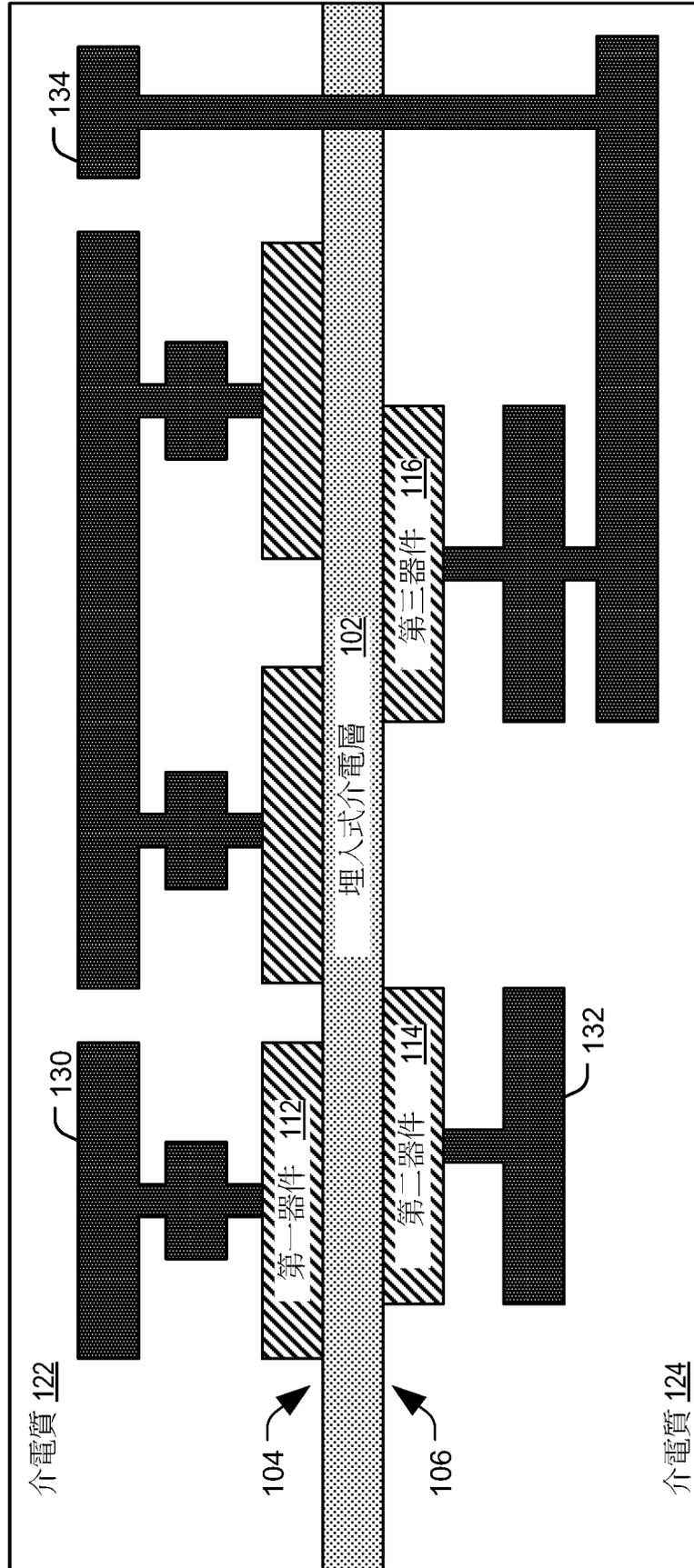
如請求項17之方法，其中該第一半導體器件為該埋入式介電層之該第一側上之複數個半導體器件中之一者。

【第24項】

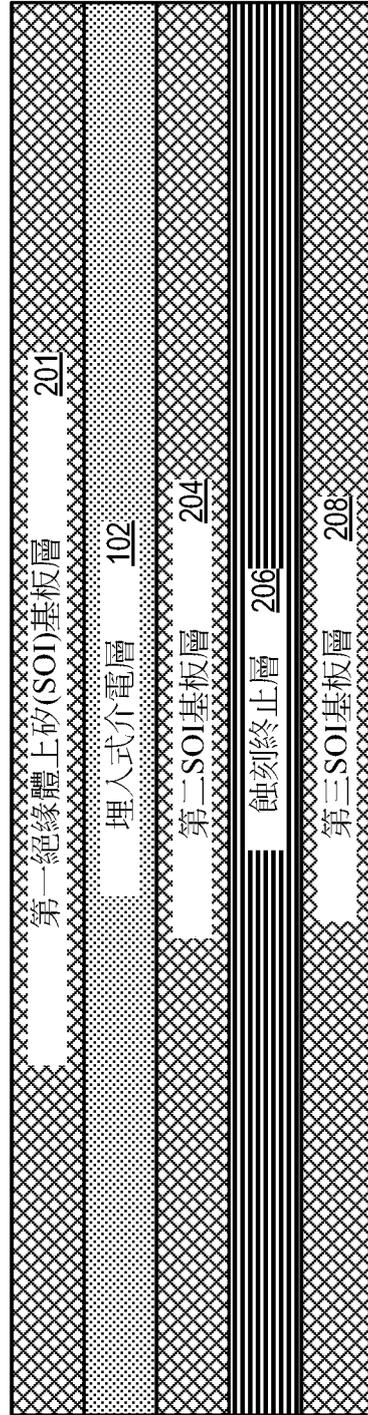
如請求項17之方法，其中該第一半導體器件包括一電晶體、一電容器或一二極體。

【第25項】

如請求項17之方法，其中藉由將除氫以外之一材料植入於該埋入式介電層之該第二側上來形成該蝕刻增強層。



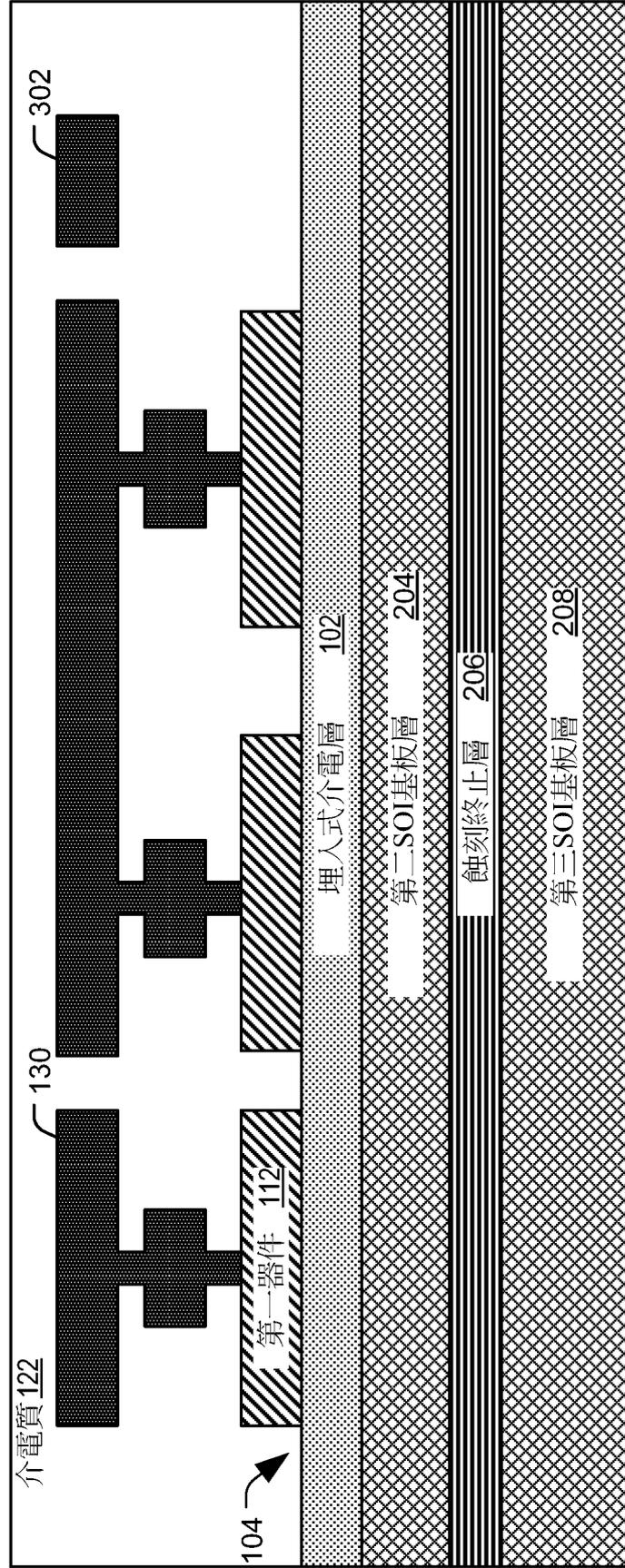
【圖1】



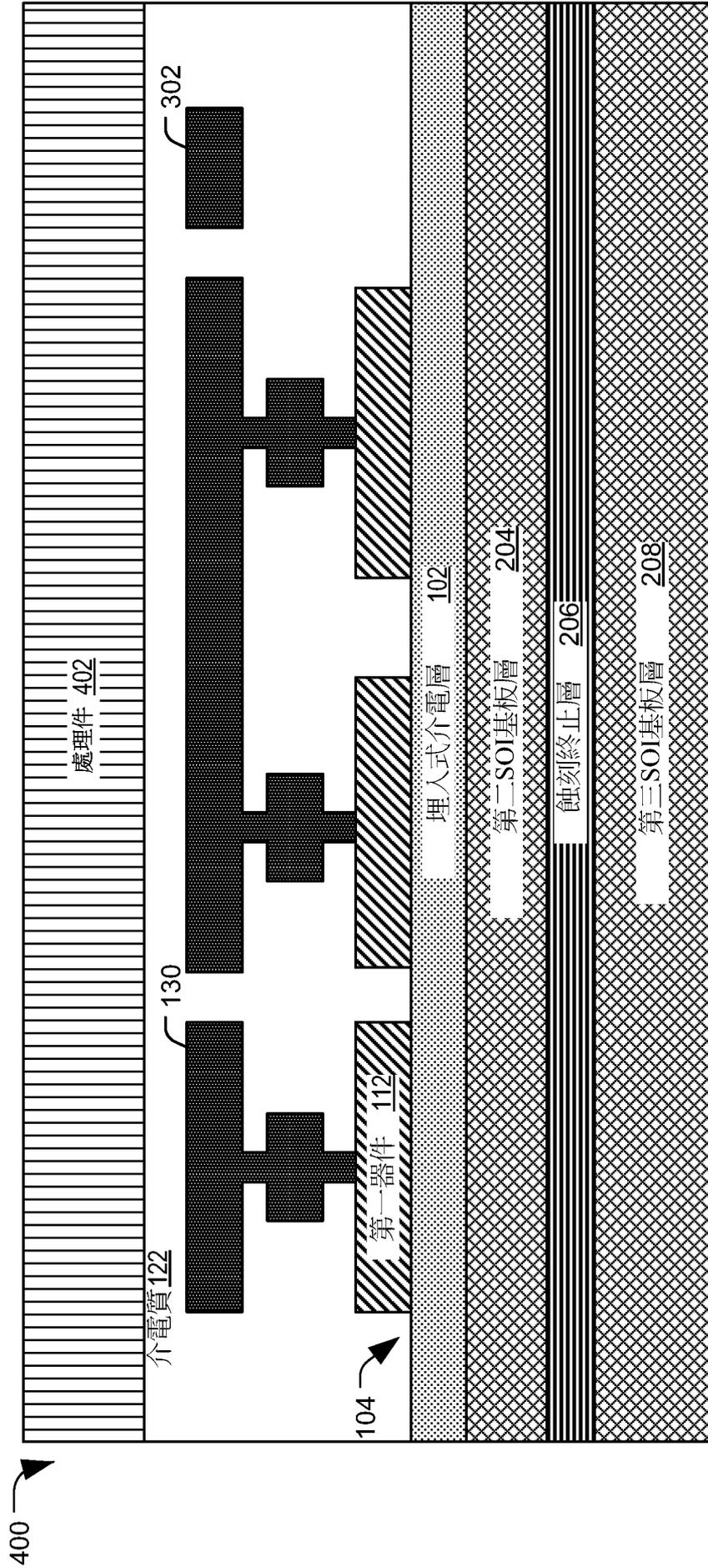
【圖2】

200 →

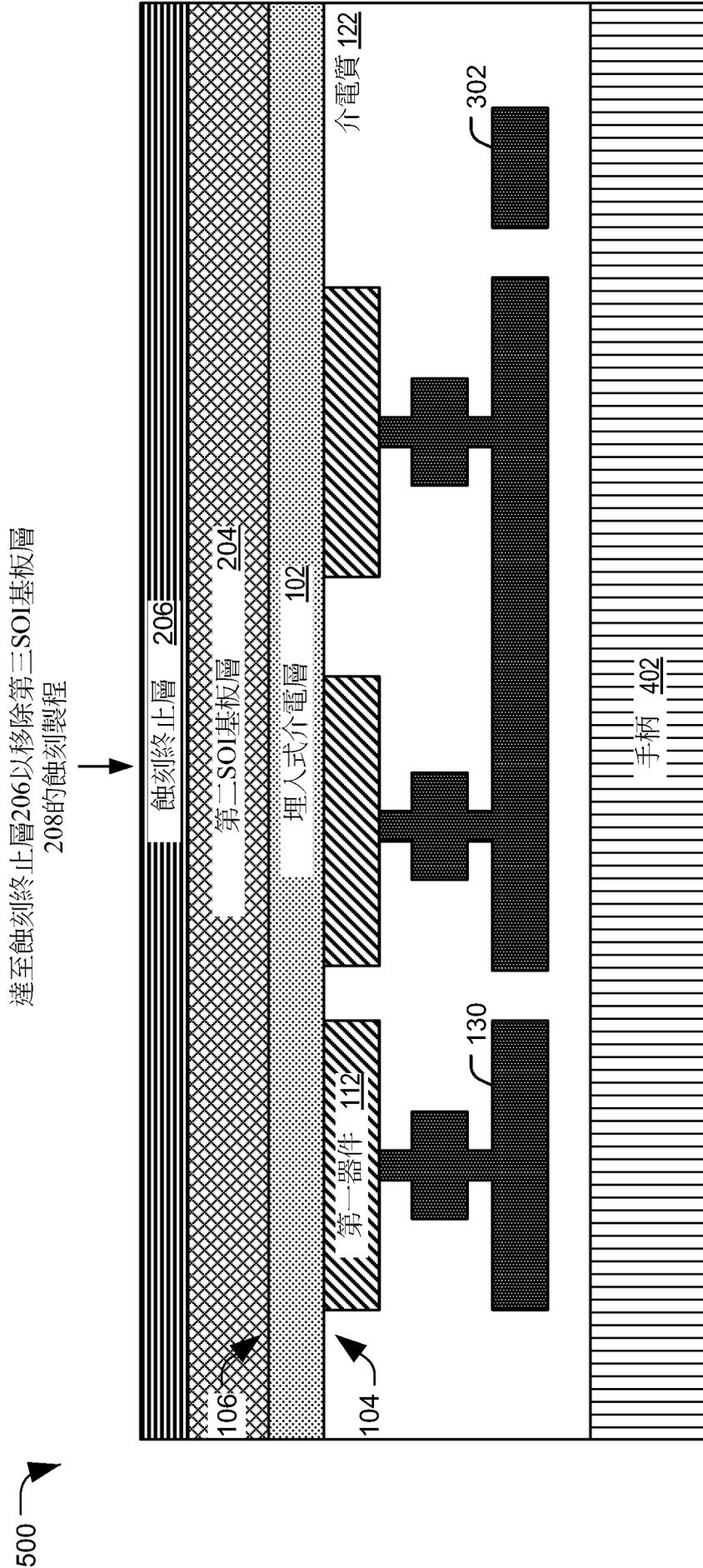
300 →



【圖3】



【圖4】

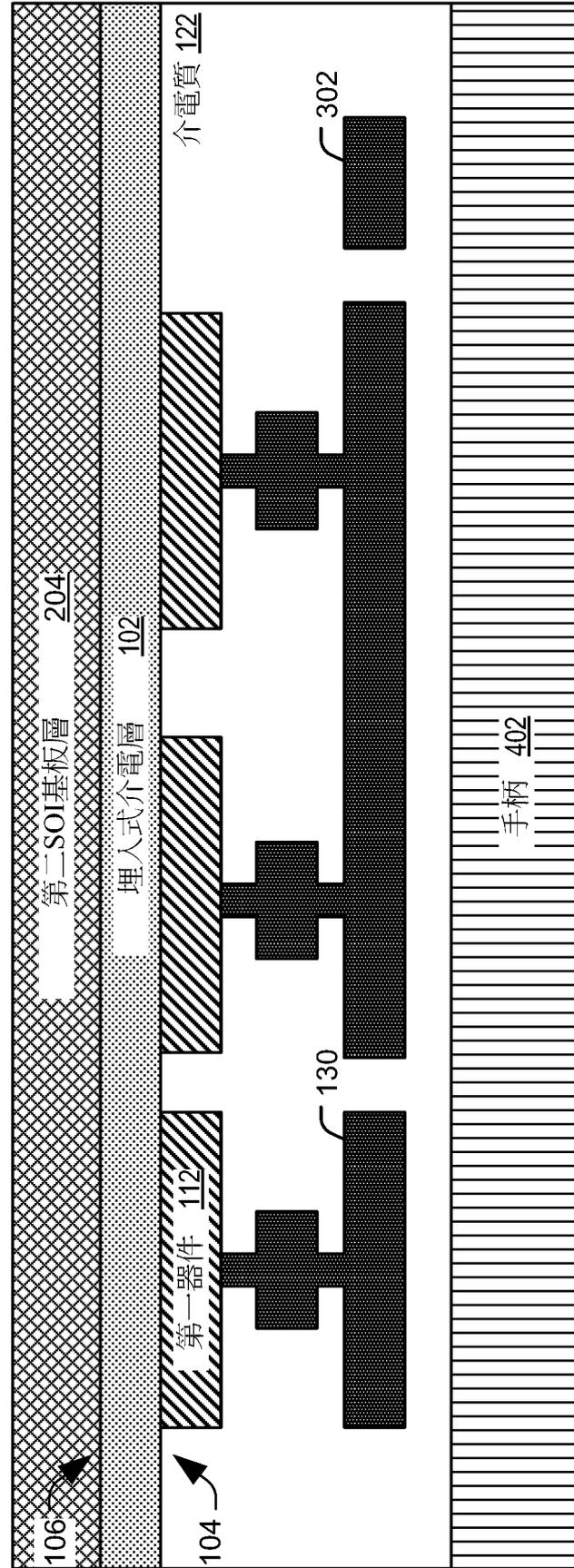


【圖5】

移除蝕刻終層206的平坦化製程

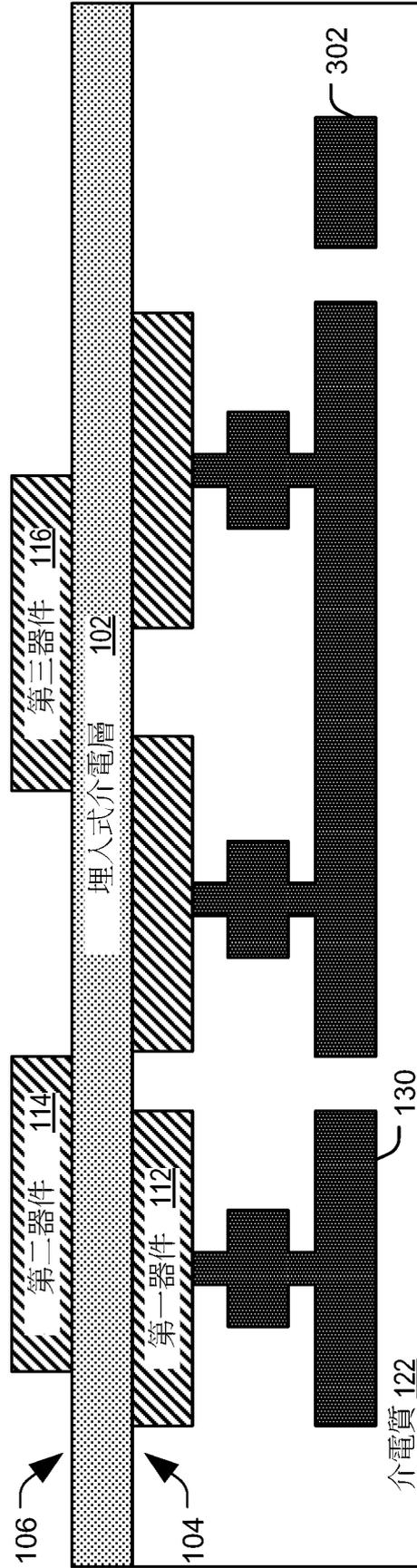


600

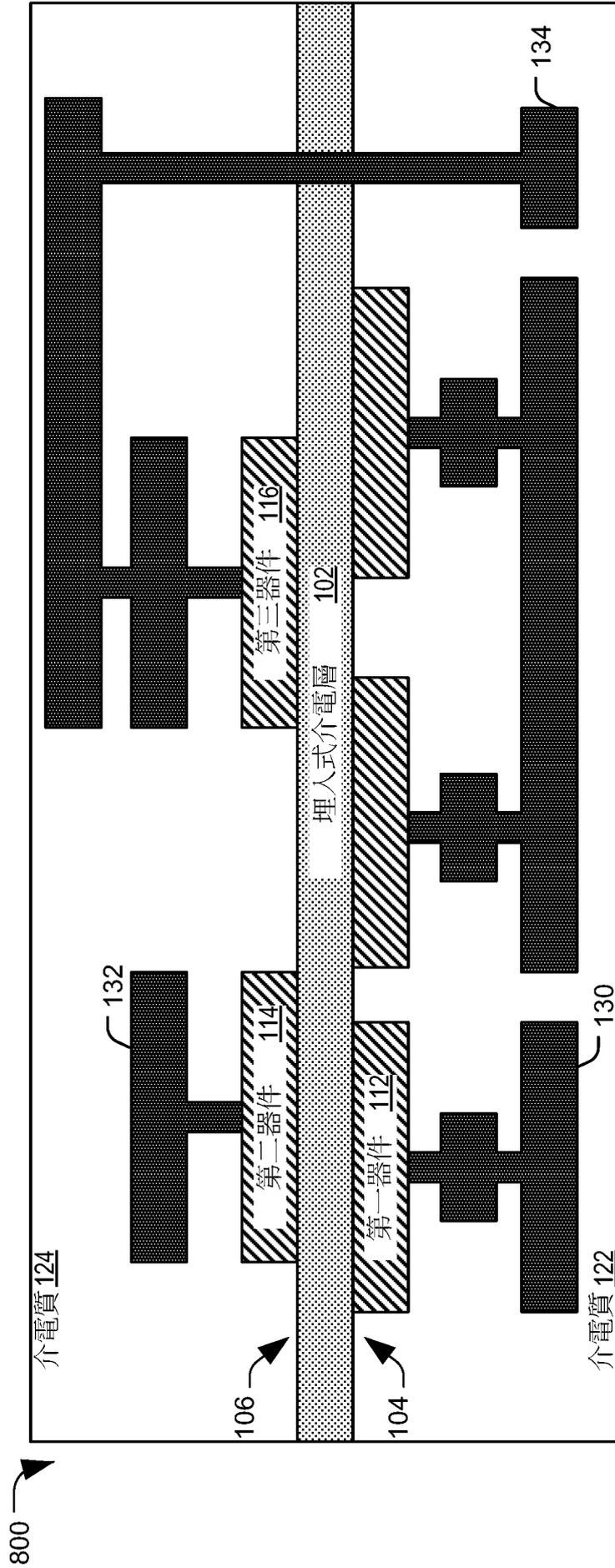


【圖6】

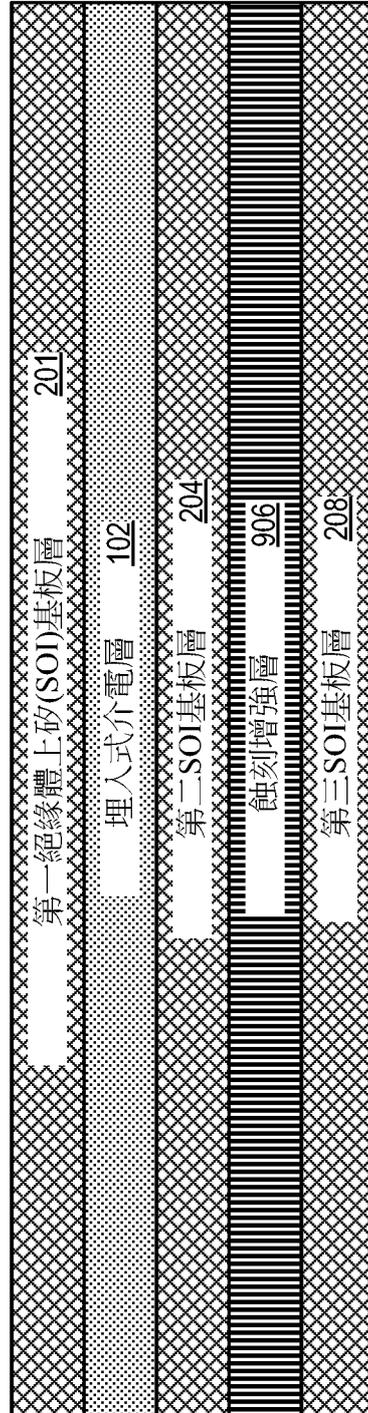
700 →



【圖7】



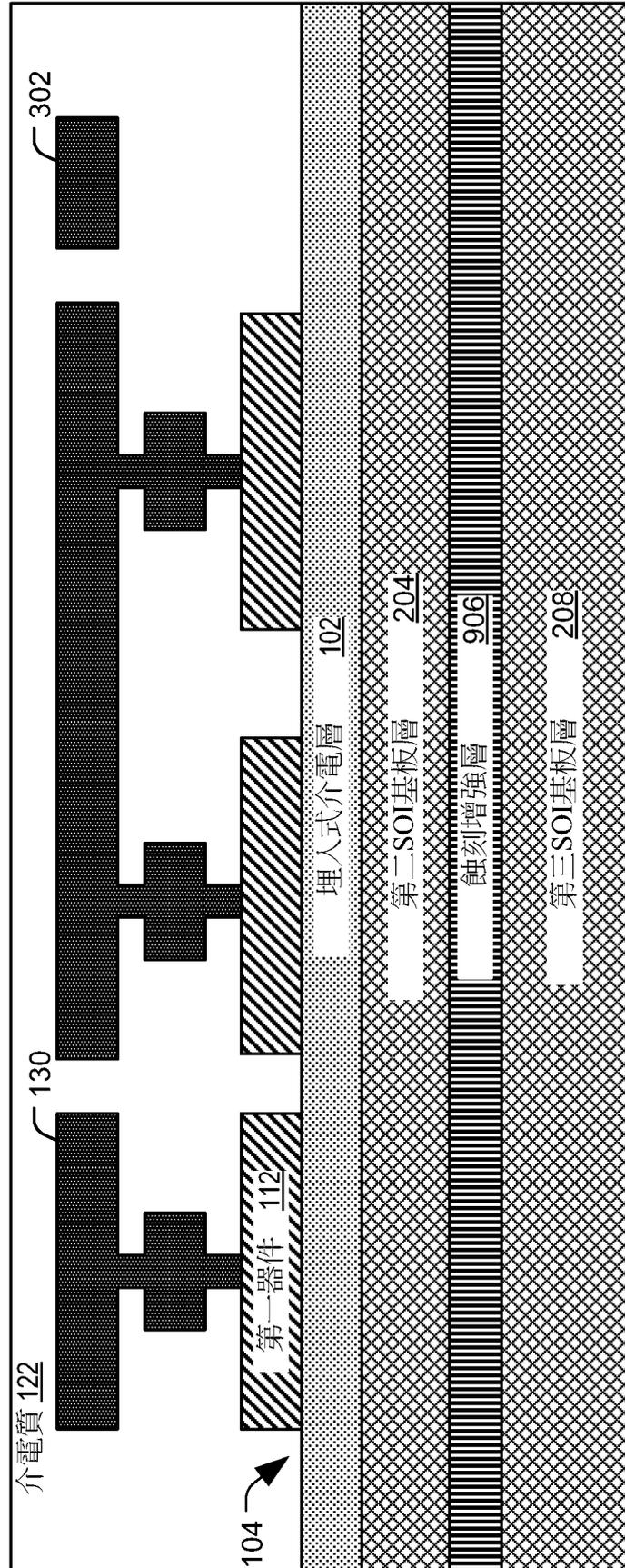
【圖8】



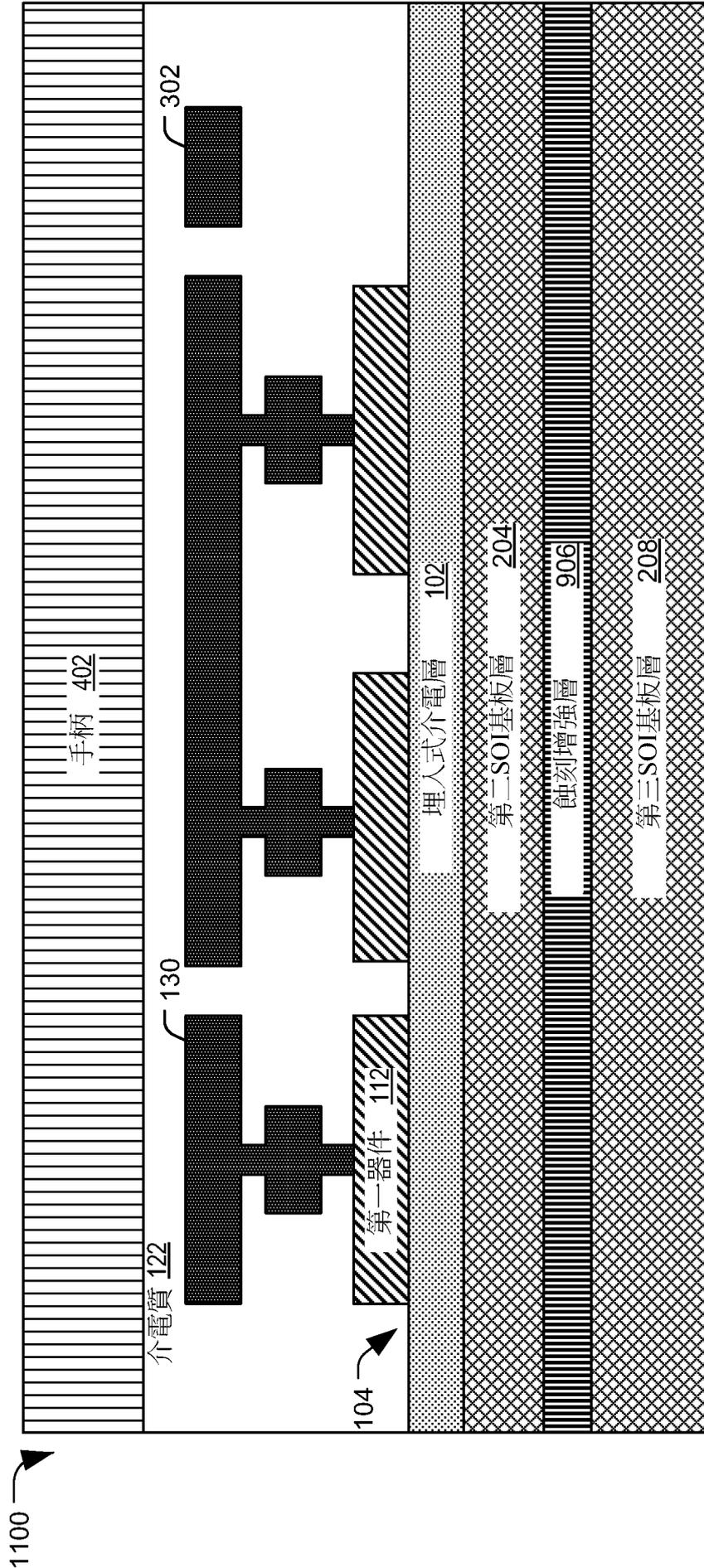
【圖9】

900 — 

1000 →



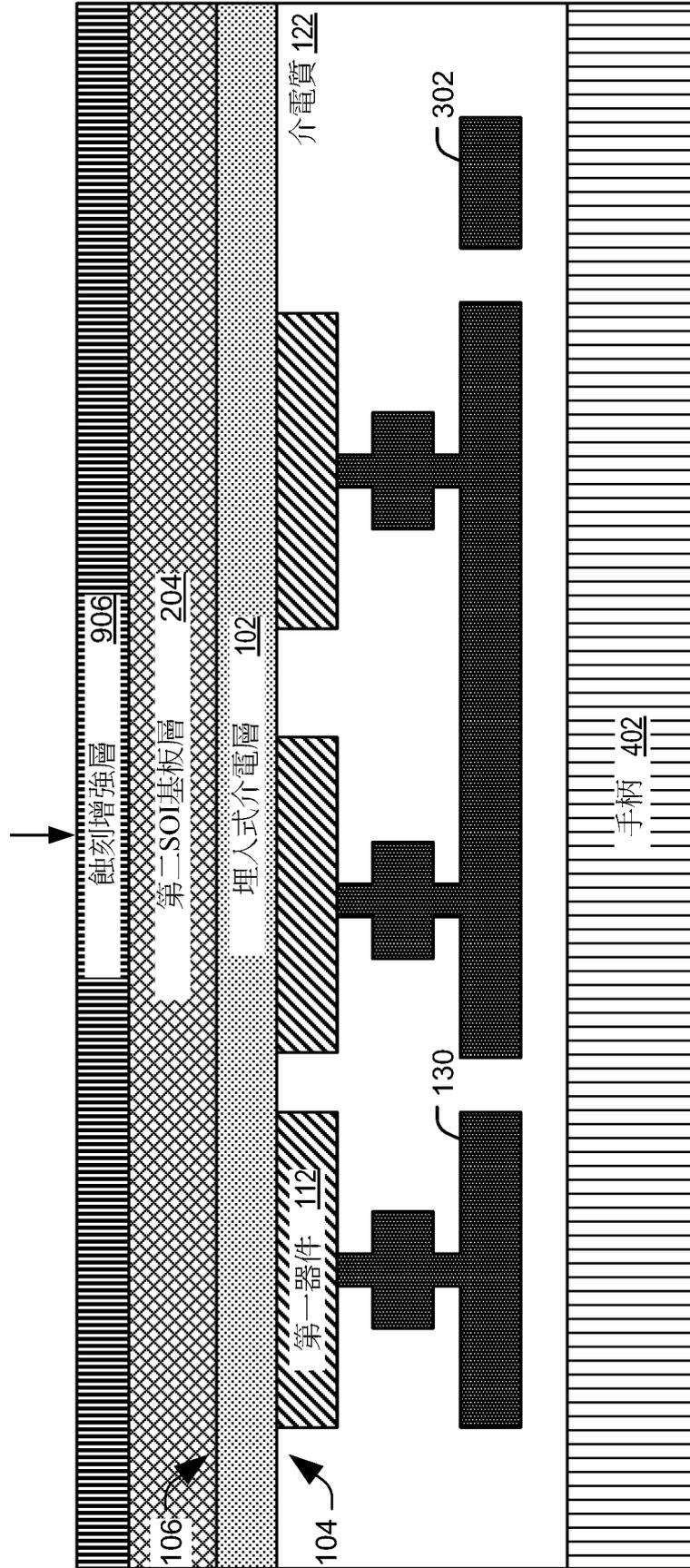
【圖10】



【圖11】

移除第三SOI基板層208且暴露蝕刻增強層906的平坦化製程

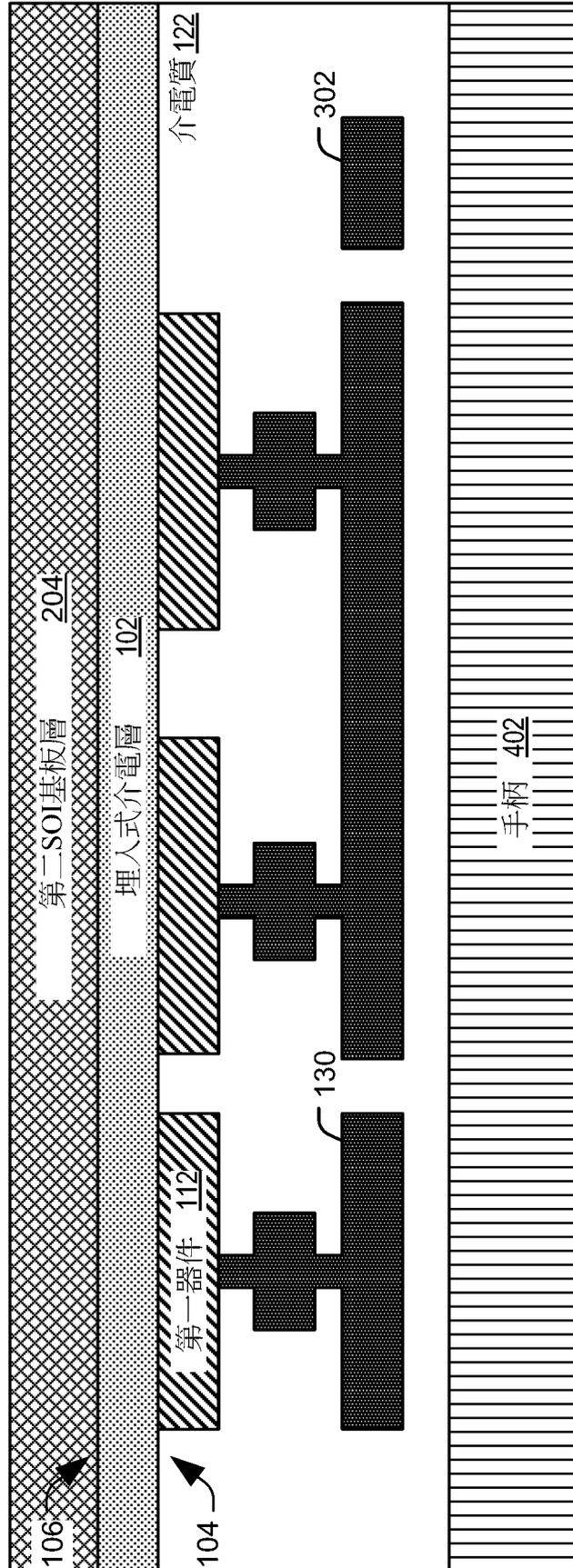
1200



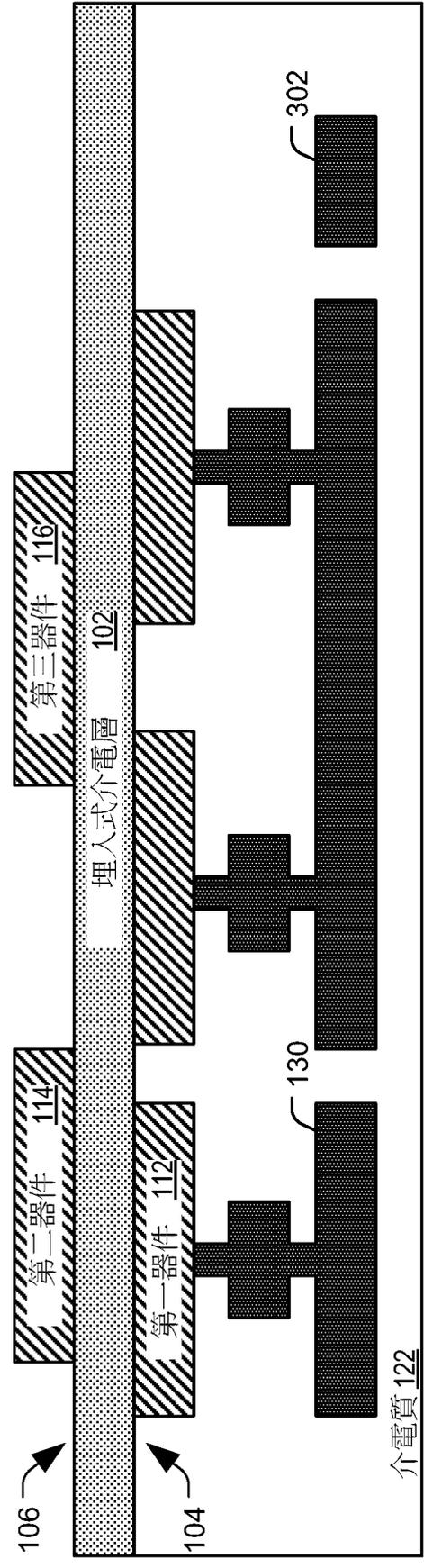
【圖12】

1300 →

移除增強層906的蝕刻製程

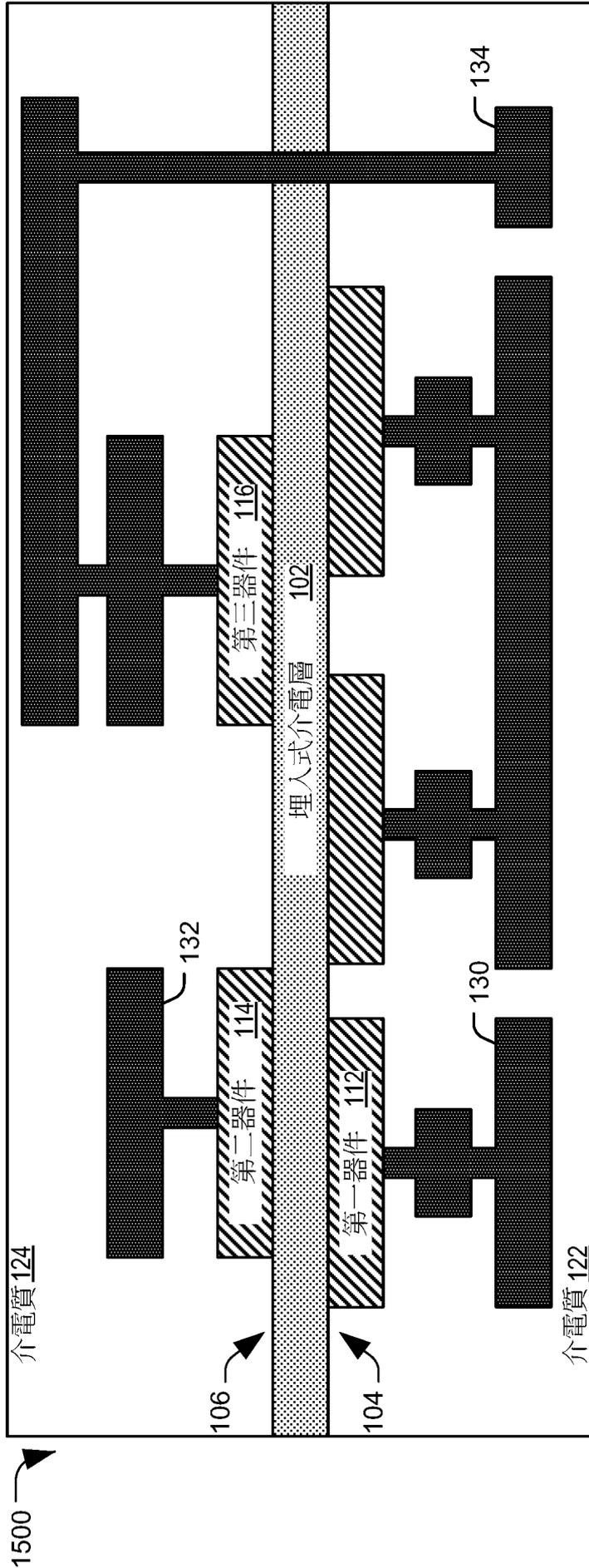


【圖13】



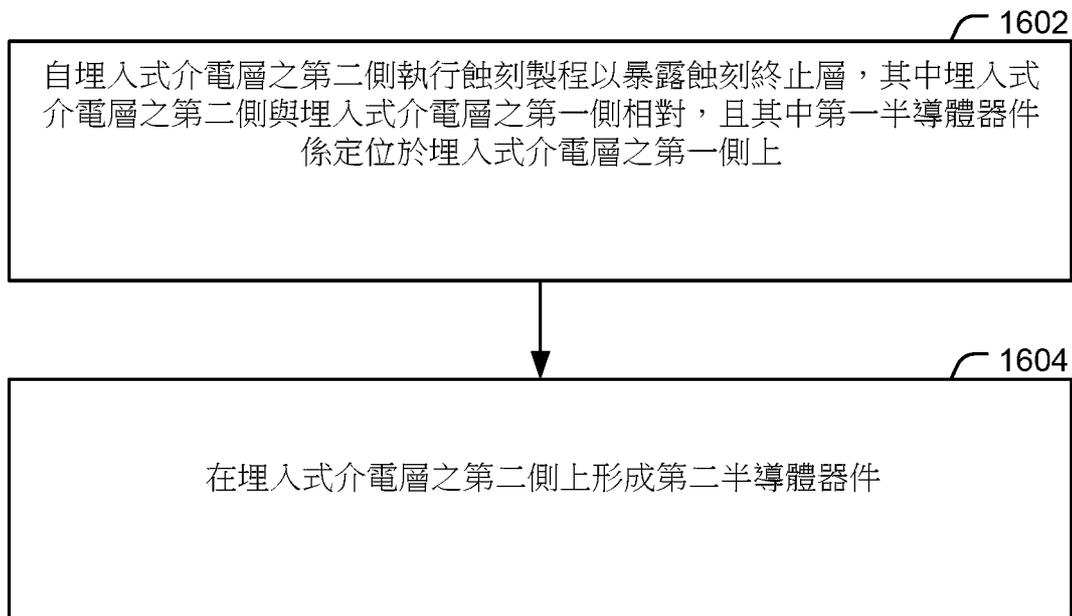
【圖14】

1400 →

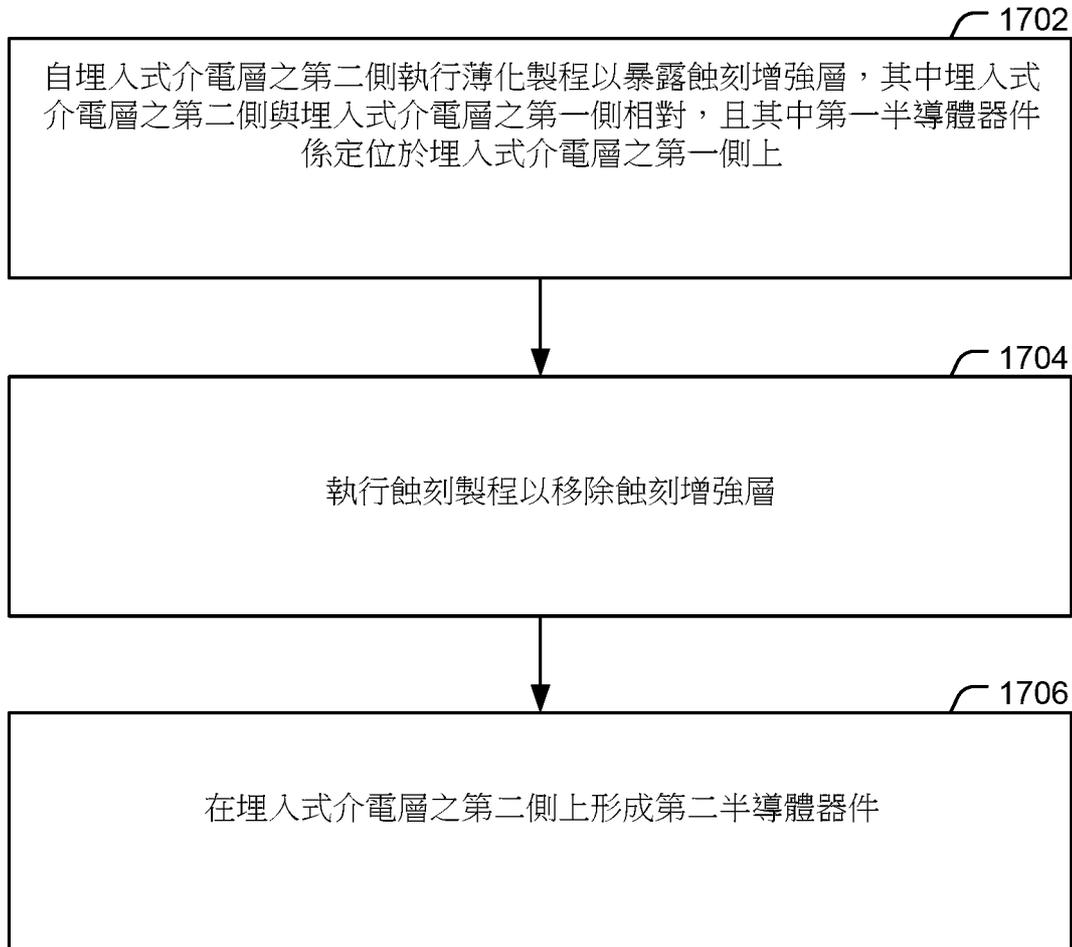


【圖15】

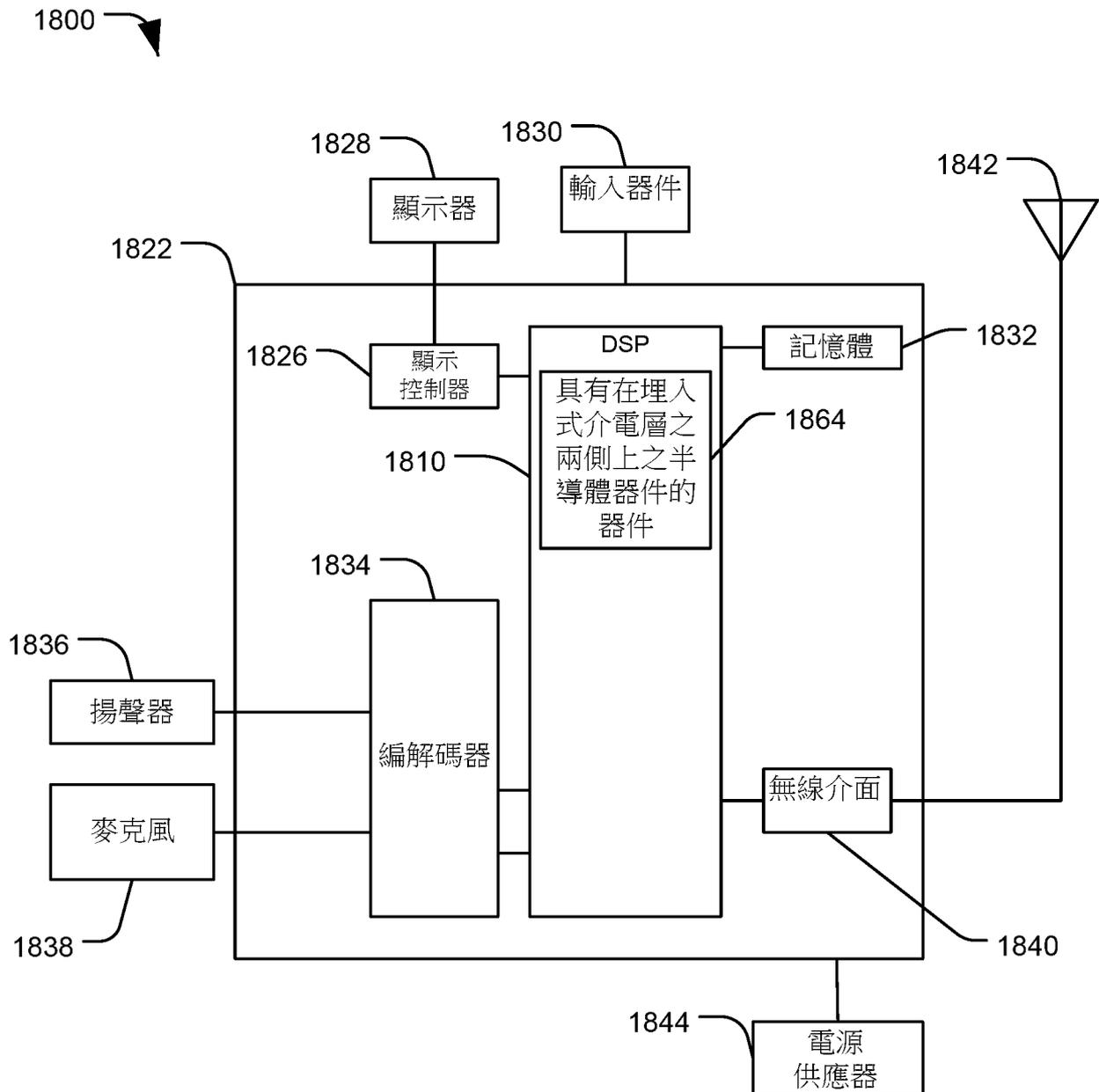
1600



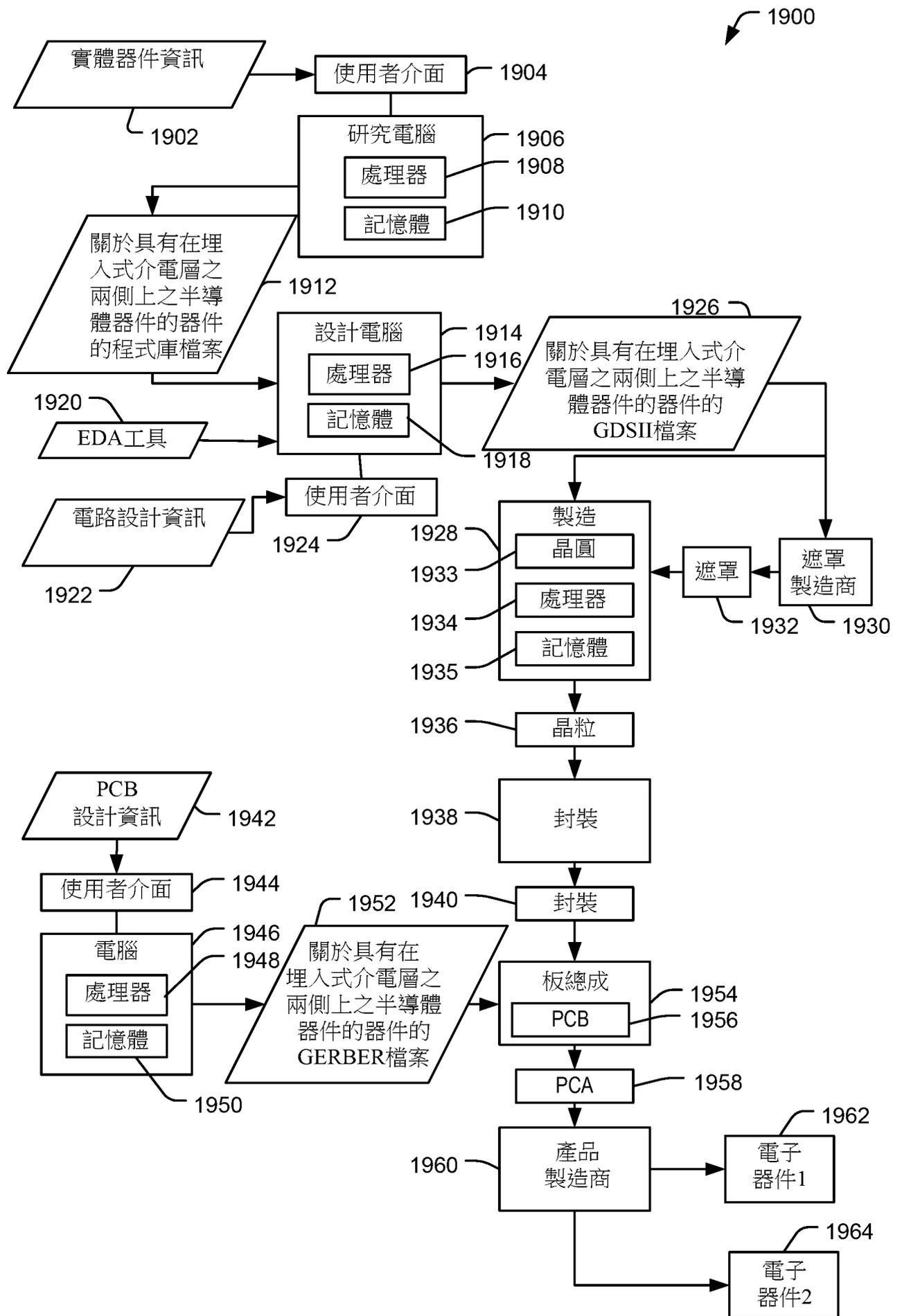
【圖16】

1700 

【圖17】



【圖18】



【圖19】



【發明摘要】

【中文發明名稱】

形成具有在埋入式介電層之兩側上之半導體器件的器件之方法

【英文發明名稱】

METHODS OF FORMING A DEVICE HAVING SEMICONDUCTOR DEVICES ON TWO SIDES OF A BURIED DIELECTRIC LAYER

【中文】

本發明描述一種方法，該方法包括自一埋入式介電層之一第二側執行一蝕刻製程以暴露一蝕刻終止層，其中該埋入式介電層之該第二側與該埋入式介電層之一第一側相對，且其中一第一半導體器件係定位於該埋入式介電層之該第一側上。該方法進一步包括在該埋入式介電層之該第二側上形成一第二半導體器件。

【英文】

A method includes performing an etching process from a second side of a buried dielectric layer to expose an etch stop layer, where the second side of the buried dielectric layer is opposite a first side of the buried dielectric layer, and where a first semiconductor device is positioned on the first side of the buried dielectric layer. The method further includes forming a second semiconductor device on the second side of the buried dielectric layer.

【指定代表圖】

圖4

【代表圖之符號簡單說明】

102 埋入式介電層

104	第一側
112	第一半導體器件
122	第一介電層
130	第二介電層
204	第二SOI基板層
206	蝕刻終止層
208	第三SOI基板層
302	第三金屬結構之第一部分
400	階段
402	處理件