

公告本

申請日期	90 年 12 月 27 日
案 號	90132574
類 別	G06F13/10

A4
C4

594484

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	資料處理系統及資料處理器
	英 文	
二、發明 創作人	姓 名	(1) 西本順一 (2) 中澤拓一郎 (3) 山田孔司
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的財產權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的財產權本部內 (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的財產權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 庄山悅彦

裝

訂

線

申請日期	90 年 12 月 27 日
案 號	90132574
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 新 型		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 服部俊洋
	國 籍	(4) 日本
	住、居所	(4) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所（股）知的財産權本部内
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

經濟部智慧財產局員工消費合作社印製

裝
訂
線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2001 年 1 月 31 日 2001-022587 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

〔技術領域〕

本發明是屬於一種在由複數個資料處理器與複數個系統匯流排所構成的系統中，連接資料處理器間的匯流排之資料傳送方式及資料傳送系統的技術領域。例如，有關適用於一資料處理器可共享其他資料處理器的內藏電路之技術，一資料處理器可對其他資料處理器的外部匯流排進行存取之技術。又，本發明是有關初期將資料處理器的動作程式儲存於記憶體之啟動控制之技術。

〔技術背景〕

隨著系統的複雜化，搭載於該系統上的資料處理器及零件的數量有日益增加的趨勢。例如，就行動電話的系統而言，以往供以控制通訊的基頻（Base band）資料處理器是在於進行軟體（應用，鍵控制等）及硬體（R F 電路，L C D，記憶體等的零件）之控制。但，隨者機能的多樣化，所有的處理將難以完全由基頻資料處理器來進行。在以往的 P C 系的系統中，雖能以提高資料處理器的動作頻率來解決此問題，但就最近的電池驅動型的攜帶型終端機而言，由於必須延長其電池壽命，因此將無法單純地藉由頻率的高速化來提升性能。

雖亦有使頻率可變動的手法，但實際在運用於系統上時極為複雜，因此難以實用化。並且，可進行高速動作的資料處理器，晶片面積會有變大的傾向，不易降低待機時的電流值。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(2)

爲了解決此問題，可採用藉由子處理器或其他處理器來處理以往資料處理器中無法完全處理的應用程式之手段。藉此，當需要特別的處理時，只要合適於該處理的資料處理器動作即可，因此系統構築會變得容易，連帶的也會使系統全體形成低消耗電力化。

在 1 個系統上搭載有資料處理器及子處理器等之類的複數個資料處理器時，其資料處理器彼此的連接，大多會使用共有匯流排。但，對於無法共有匯流排的資料處理器，或者在共有匯流排時，因記憶體存取性能不足，而導致無法發揮性能時，必須在一側的資料處理器內藏其他的介面，將此介面連接到另一側的資料處理器的匯流排，而來進行資料的傳送。就此介面而言，例如有 T I 的 D S P (TMS320C54x) 所支援的主埠介面等，實際上是利用內藏於資料處理器的 R A M 及中斷機能來進行資料處理器間的資料傳送。但，爲了使用該傳送後的資料，必須執行軟體。

不只系統，連資料處理器本身也要高機能化。因應於此，在系統上搭載複數個資料處理器時，藉由有效使用搭載於彼此資料處理器的機能，不必由複數個資料處理器來支援重複同樣的機能。例如有針對 S D R A M (同步 D R A M) 等之記憶體介面或 U S B (萬用串列匯流排)，記憶卡，串列介面等。在以不靠上述匯流排的介面來彼此連接資料處理器時，當在使用各個資料處理器所支援的機能時，必須利用軟體來處理被傳送的資料。例如，某資料處理器想要利用其他資料處理器的記憶體介面來對該記

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

憶體進行存取時，必須在將資料（藉上述介面來進行存取）予以傳送至上述其他資料處理器後一度中斷，啓動該其他資料處理器的程式執行，而使執行該程式的上述資料處理器可對記憶體進行存取，存取後再度由上述其他資料處理器來對上述一方的資料處理器產生中斷，經由上述介面來把資料傳送給該一方的資料處理器。

除了系統複雜化的問題以外，另外還有安裝面積縮減的問題。特別是在攜帶型資訊終端機中基於消耗電力及成本的考量，爲了縮減安裝面積，而必須減少系統的零件數量。但，隨著系統的多機能化，因應而生的零件數量也會跟著增加。尤其是上述內藏複數個資料處理器時，此問題更嚴重。

如之前以往的技術所述，在系統上搭載複數個資料處理器，而該資料處理器無法彼此以共有匯流排來連接時，必須內藏彼此連接資料處理器的介面。例如，T I 的 D S P 之類的主埠介面是利用內藏於資料處理器的 R A M 及中斷機能來進行訊息交換（handshake），而實現資料傳送。就此方法而言，由於在資料傳送時必須執行中斷處理程式，因此執行中的程式會被中斷，而導致性能會有劣化之虞。特別是只想要使用該資料處理器所支援的外部介面時會有問題。

因應於此，本發明者將針對初期使資料處理器的動作程式儲存於記憶體中的技術進行檢討。例如，在晶片上安裝有儲存 C P U 的動作程式之可電氣性複寫的快閃記憶體

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(4)

的微處理器中，初期對上述快閃記憶體的程序寫入，一般是在其製造階段中利用利用 E P R O M 之類的寫入裝置來進行。但，如此的寫入動作有時須伴隨查證處理及再寫入，因而造成處理複雜化，且須花費更多時間，進而使得資料處理器的製造成本提高。

本發明之目的是在複雜・多機能化的資料處理系統中，實現一種有別於記憶體介面之供以資料處理器進行資料傳送的資料傳送介面。又，本發明是以能夠由連接於該介面的其他資料處理器或裝置來有效利用該資料處理器的內部機能或該資料處理器的外接電路為目的。藉此來謀求系統性能的提升及低成本化，實現低消耗電力化。

本發明之另一目的是在於提供一種容易將資料處理器所應執行的程序予以初期寫入非揮發性記憶體之資料處理系統及資料處理器。

本發明之上述及其他的目的與新穎的特徵可明確由以下所述內容及圖面得知。

[發明之揭示]

本案中所揭示之代表性發明的概要簡單說明如下。

[1] 本發明之第 1 觀點是容許其他的資料處理器進行資料處理器的內部匯流排存取。

此觀點的發明是在一資料處理器 (1 0 1) 設置一供以能夠和其他資料處理器 (1 0 0) 連接的介面機構 (1 1 9)，且於該介面機構中設置可將其他的資料處理器

五、發明說明(5)

當作匯流排主控器來連接於一資料處理器內的內部匯流排(108)之機能，而使能夠從外部經上述介面機構來由該其他的資料處理器直接操作記憶於內部匯流排的周邊機能。藉此，資料處理器可在不中斷執行中的程式下使用其他資料處理器的周邊機能。換言之，一資料處理器可共享其他資料處理器的周邊資源。例如，當第1資料處理器使用第2資料處理器的記憶體介面來對特定的記憶體進行存取時，第1資料處理器可經由第2資料處理器的介面機構來對該第2資料處理器的周邊記憶體及其他的周邊電路進行存取，然後加以利用。亦即，一資料處理器可共享其他資料處理器的周邊資源。換言之，第1資料處理器可直接使用內藏於第2資料處理器的其他介面機能，進而能夠謀求系統的高性能化。

以下，針對以上觀點的發明加以詳細說明。

上述第1觀點的資料處理系統，是屬於一種包含第1資料處理器(100)及第2資料處理器(101)之資料處理系統。

上述第2處理器內藏一介面機構(119)，該介面機構可使上述第1資料處理器獲得上述第2資料處理器的內部匯流排的匯流排權；

上述介面機構可藉由獲得上述內部匯流排的匯流排權之第1資料處理器來存取連接於上述內部匯流排的輸出入電路。

上述輸出入電路是例如由：可連接於SDRAM的

五、發明說明(6)

S D R A M 介面電路，可連接於液晶顯示器的 L C D 介面電路，可連接於記憶卡的記憶卡介面電路，串列介面電路，揮發性記憶體，及可電氣性複寫的非揮發性記憶體，以及泛用輸出入埠電路中所選出之單數或複數個的電路。

上述介面機構包含一緩衝 R A M (1 0 7)，該緩衝 R A M 可排他性回應來自第 2 資料處理器內部的存取及來自上述第 1 資料處理器的存取，而進行動作。

[2] 本發明之第 2 觀點是容許其他的資料處理器經由一資料處理器來對該資料處理器固有的外部匯流排進行存取者。

此觀點的本發明，爲了達成第 2 資料處理器的低消耗電力化，而設置一於第 2 資料處理器 (1 0 1) 的待機時 (電源 O F F 或待機狀態)，使和第 1 資料處理器 (1 0 0) 的介面能夠在第 2 資料處理器內部與該第 2 資料處理器的外接裝置 (1 0 4) 間形成介面之機構 (1 1 4)。藉此，在該第 2 資料處理器的待機中，第 1 資料處理器可不假借外接電路來控制連接於第 2 資料處理器的裝置。換言之，即使第 2 資料處理器爲待機狀態，第 1 資料處理器照樣可使該第 2 資料處理器內部形成旁路來控制連接於該第 2 資料處理器的外接電路。藉此，將可減少構成資料處理系統的零件數量，進而能夠達成低成本化。

以下，針對以上觀點的發明加以詳細說明。

上述第 2 觀點的資料處理系統，是屬於一種包含：第 1 資料處理器 (1 0 0)，連接於上述第 1 資料處理器的

五、發明說明(7)

第 1 匯流排 (1 0 3) , 連接於上述第 1 匯流排的第 2 資料處理器 (1 0 1) , 及連接於上述第 2 資料處理器的第 2 匯流排 (1 0 5) 之資料處理系統。

上述第 2 處理器包含：

一第 1 外部介面電路 (1 1 9) ; 該第 1 外部介面電路是一方連接於上述第 1 匯流排, 他方連接於內部匯流排; 及

一第 2 外部介面電路 (1 1 3) ; 該第 2 外部介面電路是一方連接於上述第 2 匯流排, 他方連接於內部匯流排; 及

一切換電路 (1 1 4) ; 該切換電路是在第 2 資料處理器的待機狀態中, 由上述第 1 外部介面電路的一方取代上述第 2 外部介面電路的一方來連接於上述第 2 匯流排。

上述第 2 資料處理器的待機狀態為: 停止供應時脈訊號給上述第 2 資料處理器中所含的時脈同步電路之狀態。

又, 其中更包含一電源控制電路 (1 1 6 b) , 該電源控制電路是在上述第 2 資料處理器中可分離上述切換電路的動作電源及其他電路的動作電源, 回應上述第 2 資料處理器的待機狀態, 來使動作電源停止供應給上述其他電路的全部或一部份。藉此, 上述第 2 資料處理器在待機狀態中電力消耗會被低減。

上述第 2 外部介面電路例如包含一 L C D 介面電路, 該 L C D 介面電路可連接於液晶顯示器控制器。此刻, 液晶顯示器控制器會被連接於上述第 2 匯流排。藉此, 上述

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

第 1 資料處理器可經由上述切換電路來控制上述液晶顯示器控制器。

[3] 本發明之第 3 觀點是可經由一處理器來進行供以將復位動作解除後該資料處理器所應執行的動作程式予以初期寫入晶片上的非揮發性記憶體或局部匯流排上的非揮發性記憶體中之動作控制者。

此觀點的本發明之資料處理系統，是屬於一種包含第 1 資料處理器 (1 0 0) 及第 2 資料處理器 (1 0 1) 之資料處理系統。

上述第 2 處理器包含：

一揮發性記憶體 (1 0 7) ；該揮發性記憶體可在復位動作解除後的第 1 動作模式中，藉由上述第 1 資料處理器來進行寫入；及

一 C P U (1 0 9) ；該 C P U 是以根據上述第 1 動作模式的寫入後之指令取出的對象作為上述揮發性記憶體；及

一可電氣性複寫的非揮發性記憶體 (5 0 2) ；該非揮發性記憶體是在復位動作解除後的第 2 動作模式中形成 C P U 的指令取出對象。

又，上述第 1 資料處理器是在第 2 資料處理器指定第 1 動作模式，在上述揮發性記憶體中儲存針對上述非揮發性記憶體的寫入控制用程式，而許可上述 C P U 指令取出。

如此一來，第 2 資料處理器可執行寫入揮發性記憶體

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (9)

的寫入控制程式，藉此而能夠初期地將第 1 資料處理器的動作程式予以寫入上述晶片上的非揮發性記憶體中。在執行此動作程式時，只要在復位動作解除後指定第 2 模式即可。

可電氣性寫入的非揮發性記憶體並未只限於第 1 資料處理器晶片上的記憶體。亦可為連接於第 1 資料處理器之可電氣性複寫的非揮發性記憶體 (5 0 1) 。

若利用第 3 觀點的發明，則可經由一處理器來進行供以將復位動作解除後該資料處理器所應執行的動作程式予以初期寫入晶片上的非揮發性記憶體或局部匯流排上的非揮發性記憶體中之動作控制。換言之，可不必在資料處理器的製造過程中進行將程式寫入晶片上的程式記憶體等之處理。

[4] 本發明之第 4 觀點是著眼於上述第 1 ~ 3 觀點之資料處理系統的資料處理器。

該資料處理器是包含：

C P U (1 0 9) ；及

連接於上述 C P U 的內部匯流排；及

連接於上述內部匯流排的周邊電路 (1 1 6) ；及

一方連接於第 1 外部端子，另一方連接於上述內部匯流排的第 1 外部介面電路 (1 1 9) ；及

一方連接於第 2 外部端子，另一方連接於上述內部匯流排的第 2 外部介面電路 (1 1 3) 。

又，上述第 1 外部介面電路會回應來自外部的存取要

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

求，而獲得內部匯流排的匯流排權，使連接於內部匯流排的上列周邊電路的存取可能。

藉此，資料處理器可使連接於內部匯流排的晶片上的周邊電路等利用於其他的資料處理器。

其中可更包含一切換電路 (1 1 4)，該切換電路是在 C P U 的待機狀態中取代上述第 2 外部介面電路的一方，將上述第 1 外部端子連接於上述第 2 外部端子。

亦即，為容許其他資料處理器經由一資料處理器來對該資料處理器固有的匯流排進行存取者。例如，在資料處理器的局部匯流排連接有 L C D 控制器時，在該資料處理器的待機狀態中可經由系統匯流排來使其他的資料處理器經由局部匯流排上的 L C D 控制器來對 L C D 實現時間顯示控制機能。

如上述第 3 觀點，在所謂初期性寫入資料處理器的啟動程式的觀點中，更包含：在復位動作解除後的第 1 動作模式中可經由上述第 1 外部介面電路來從外部寫入之揮發性記憶體，及程式記憶體（例如可電氣性複寫的非揮發性記憶體）。

又，上述 C P U 可在上述第 1 動作模式的寫入後從上述非揮發性記憶體取出指令而執行，又，C P U 可在復位動作解除後的第 2 動作模式中從上述程式記憶體取出指令而執行。只要以上述第 2 模式來將針對上述程式記憶體的寫入控制程式予以寫入非揮發性記憶體，亦即只要以第 2 模式來執行寫入控制程式，便能夠在非揮發性記憶體中初

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (11)

期寫入資料處理器的啟動程式。

又，可將上述 C P U，上述內部匯流排，上述第 1 外部介面電路，上述第 2 外部介面電路，上述切換電路，上述揮發性記憶體，及上述程式記憶體形成於 1 個的半導體基板上，而以單晶片來構成資料處理器。又，亦可將上述 C P U，上述內部匯流排，上述第 1 外部介面電路，上述第 2 外部介面電路，上述切換電路，及上述揮發性記憶體形成於第 1 半導體基板上，將上述程式記憶體 (5 0 1) 形成於第 2 半導體基板上，以及將上述第 1 半導體基板與第 2 半導體基板封入 1 個封裝中，而構成多晶片模組。

[5] 本發明之第 5 觀點是更由其他的觀點來掌握適用於上述第 1 觀點之資料處理系統的資料處理器。

該資料處理器是包含：

連接於第 1 匯流排的第 1 端子；及

連接於第 2 匯流排的第 2 端子；及

選擇性取第 1 狀態或第 2 狀態的第 1 內部電路；及

第 2 內部電路；及

從上述第 1 端子開始經由上述第 1 內部電路與上述第 2 內部電路來連接於上述第 2 端子的第 1 訊號路徑；及

從上述第 1 端子開始經由上述第 2 內部電路來連接於上述第 2 端子的第 2 訊號路徑。

上述第 2 內部電路是按照上述第 1 內部電路的狀態來選擇上述第 1 訊號路徑與上述第 2 訊號路徑的其中之一訊號路徑。

五、發明說明 (12)

上述第 1 狀態為上述第 1 內部電路可執行指令的動作狀態，上述第 2 狀態為被抑止指令的執行之待機狀態，上述第 2 內部電路是在動作狀態中選擇上述第 1 路徑，在待機狀態中選擇第 2 路徑。

其中具有一電源控制電路，該電源控制電路是用以控制對上述第 1 內部電路供給第 1 電源，及對上述第 2 內部電路供給第 2 電源。此刻，上述電源控制電路在上述第 2 內部電路中選擇上述第 2 訊號路徑時，會停止供應第 1 電源給第 1 內部電路的全部或一部份。亦即，在待機狀態中，在進行動作時的不必要電路中，不會浪費供給動作電源。

上述第 1 內部電路，第 2 內部電路，及電源控制電路可形成於 1 個半導體基板上。又，亦可將上述第 1 內部電路及上述電源控制電路形成於第 1 半導體基板上，將上述第 2 內部電路形成於第 2 半導體基板上，以及將上述第 1 半導體基板與第 2 半導體基板封入 1 個封裝中，而使資料處理器構成多晶片模組。

當具有一用以供應同步動作用的時脈訊號給上述第 1 內部電路的時脈控制電路 (1 1 6 a) 時，上述時脈控制電路在上述第 2 內部電路中選擇上述第 2 訊號路徑時，最好是停止供應時脈訊號給上述第 1 內部電路。其原因乃為了在待機狀態中，在進行動作時的不必要電路中不會浪費電力消耗。

此外，用以控制對上述第 1 內部電路供給第 1 電源，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (13)

及對上述第 2 內部電路供給第 2 電源之電源控制電路，在停止供應時脈訊號給上述第 1 內部電路時，最好是停止供應電源給第 1 內部電路的全部或一部份。

上述第 1 內部電路，第 2 內部電路，時脈控制電路，及電源控制電路可形成於 1 個半導體基板上。又，亦可將上述第 1 內部電路，時脈控制電路及電源控制電路形成於第 1 半導體基板上，將上述第 2 內部電路形成於第 2 半導體基板上，以及將上述第 1 半導體基板與第 2 半導體基板封入 1 個封裝中，而使資料處理器構成多晶片模組。

[6] 本發明之第 6 觀點是更由其他的觀點來掌握上述第 1 觀點的資訊處理系統。

該資訊處理系統是具有：第 1 匯流排，及第 2 匯流排，及連接於上述第 1 匯流排及第 2 匯流排的資料處理器。

上述資料處理器具有第 1 動作態樣與第 2 動作態樣，在上述第 1 動作態樣中，上述資料處理器會處理由上述第 1 匯流排所供給的資訊，可將預定的資訊供應給上述第 2 匯流排。在上述第 2 動作態樣中，上述資料處理器會原封不動地將由上述第 1 匯流排所供給的資訊予以供應給上述第 2 匯流排。

又，就其他觀點的資訊處理系統而言，例如，行動電話系統是具有：第 1 ~ 第 3 半導體積體電路，及連接上述第 1 半導體積體電路與第 2 半導體積體電路的第 1 匯流排，及連接上述第 2 半導體積體電路與第 3 半導體積體電路的第 2 匯流排。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (14)

上述第 2 半導體積體電路具有第 1 動作態樣與第 2 動作態樣。

上述第 1 動作態樣為：上述第 2 半導體積體電路會根據由上述第 1 半導體積體電路所供給的資訊來進行預定的處理，並將處理結果供應給上述第 3 半導體積體電路之動作態樣。

上述第 2 動作態樣為：上述第 2 半導體積體電路會原封不動地將由上述第 1 半導體積體電路所供給的資訊予以供應給上述第 3 半導體積體電路之動作態樣。

在上述行動電話系統中，上述第 1 半導體積體電路可供給一控制訊號，該控制訊號是用以控制上述第 2 半導體積體電路應該是遷移至上述第 1 動作狀態還是第 2 動作狀態。如此的控制訊號可當作指令來賦予。

在上述行動電話系統中，上述第 1 半導體積體電路為基礎頻帶處理用，上述第 3 半導體積體電路為顯示控制用。上述預定的處理是供以至少處理畫像之訊號處理。

在上述第 2 匯流排可連接記憶裝置。在上述記憶裝置中可儲存一用以規定在上述第 2 半導體積體電路進行的處理之處理程式。

〔實施發明之最佳形態〕

第 1 圖是表示本發明之資料處理系統的一例。

本系統是由連接於第 1 外部匯流排 103 的第 1 資料處理器 100，及連接於第 2 外部匯流排 105 的第 2 資

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (15)

料處理器 1 0 1 所構成。並且，在第 1 外部匯流排 1 0 3 連接有 R A M，R O M，快閃記憶體 (F L A S H) 等之複數個的外部裝置 1 0 2。而且，在第 2 外部匯流排 1 0 5 連接有 R A M，R O M，F L A S H，液晶顯示器 (L C D) 控制器等之外部裝置 1 0 4。又，第 2 資料處理器 1 0 1 是經由作為第 1 外部匯流排 1 0 3 上的裝置之一的第 1 外部介面電路 1 1 9 來連接於第 1 外部匯流排 1 0 3。

第 2 資料處理器 1 0 1 具有內部高速匯流排 1 0 8 與內部低速匯流排 1 1 5。並且，在上述內部高速匯流排 1 0 8 連接有 C P U 1 0 9，快閃記憶體 1 1 0，數位訊號處理器 (D S P) 1 1 1，作為內部高速匯流排 1 0 8 與內部低速匯流排 1 1 5 之間的匯流排橋接電路之橋接電路 1 1 2，第 1 外部介面電路 1 1 9，第 2 外部介面電路 1 1 3，及 R A M 1 0 7。而且，在上述內部低速匯流排 1 1 5 連接有串列介面電路 (S C I)，U S B (萬用串列匯流排)，計時器，記憶卡介面電路 (M C I F)，I O 埠之類的泛用輸出入埠 (I O P)，時鐘脈衝發生器 (C P G)，快閃記憶體等之周邊電路 1 1 6。在第 1 圖中，時鐘脈衝發生器 (C P G) 的圖號為 1 1 6 a，泛用輸出入埠 (I O P) 的圖號為 1 1 6 b。

資料處理系統並無特別加以限定，例如可為動電話系統。此刻，第 1 資料處理器 1 0 0 是在於進行基本頻帶處理。第 2 資料處理器 1 0 1 是針對液晶顯示控制器之類的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (16)

外部裝置 1 0 4 進行畫像顯示控制用的控制及壓縮展開等之訊號處理。經由液晶顯示控制器來進行時刻顯示等的控制並無特別加以限制，可由第 1 資料處理器 1 0 0 經第 2 資料處理器 1 0 1 來進行。

上述第 1 外部介面電路 1 1 9 可使上述第 1 資料處理器 1 0 0 獲得第 2 資料處理器 1 0 1 的內部匯流排權，例如內部高速匯流排 1 0 8 的匯流排權，進而能夠藉由獲得內部高速匯流排 1 0 8 的匯流排權之第 1 資料處理器 1 0 0 來對連接於上述內部高速匯流排 1 0 8 的輸出入電路進行存取。所謂輸出入電路是指 DSP 1 1 1 的暫存器等。總而言之，第 1 資料處理器 1 0 0 可作為內部高速匯流排 1 0 8 的匯流排主控器來執行動作。如此作為匯流排主控器的動作控制是由內部匯流排控制器 1 0 6 來進行。

又，上述第 1 外部介面電路 1 1 9 是以上述 RAM 作為上述 CPU 1 0 9 與第 1 資料處理器 1 0 0 的共有記憶體或共有緩衝器來進行動作控制。亦即，排他性地回應由 CPU 1 0 9 對 RAM 1 0 7 的存取要求及由第 1 資料處理器 1 0 0 對 RAM 1 0 7 的存取要求，而來使 RAM 1 0 7 動作。藉由對此 RAM 1 0 7 的共有緩衝機能，將可實現第 1 資料處理器 1 0 0 與第 2 資料處理器 1 0 1 之間的資料傳送。在此資料的傳送中，例如亦可採用使用中斷訊號 1 1 7 之訊息交換 (handshake) 控制。具體而言，若由第 1 資料處理器 1 0 0 來將資料儲存於 RAM 1 0 7，則會被賦予 CPU 1 0 9 的中斷訊號

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (17)

1 1 7，在對應於此中斷的中斷處理中，C P U 1 0 9 會取入 R A M 1 0 7 的資料。相反的情況時，外部介面電路 1 1 9 會對第 1 資料處理器 1 0 0 發行中斷要求。

上述第 2 外部介面電路 1 1 3 具有供以實現與連接於外部匯流排 1 0 5 的外部裝置間的介面之介面規格。例如，假設外部裝置 1 0 4 為連接有 F L A S H，液晶顯示器 (L C D) 控制器時，第 2 外部介面電路 1 1 3 為具有作為快閃記憶體介面電路及 L C D 介面電路的介面機能者。

在第 1 圖的構成中，上述領域 1 1 8 中設有切換電路 1 1 4，該切換電路 1 1 4 是在第 2 資料處理器 1 0 1 的待機狀態中，取代與上述第 2 外部介面電路 1 1 3 的外部匯流排 1 0 5 連接的連接端，而將與上述第 1 外部介面電路的外部匯流排 1 0 3 連接的連接端予以連接於上述外部匯流排 1 0 5。亦即，上述切換電路 1 1 4 是在第 2 資料處理器 1 0 1 的待機時，取代第 2 外部介面電路 1 1 3，而將第 1 外部匯流排 1 0 3 連接於第 2 外部匯流排 1 0 5。藉此，第 1 資料處理器 1 0 0 可經由切換電路 1 1 4 來對第 2 外部匯流排 1 0 5 上的裝置進行存取。例如，第 1 資料處理器 1 0 0 可經由切換電路 1 1 4 來控制外部匯流排 1 0 5 上的外部裝置 1 0 4 之液晶顯示控制器。在此，第 1 圖中的領域 1 1 8 的電路，即使是在第 2 資料處理器 1 0 1 的待機時也會動作。

上述第 2 資料處理器 1 0 1 的待機狀態為：停止對該第 2 資料處理器 1 0 1 中所含的 C P U 1 0 9，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (18)

D S P 1 1 1 , 串列介面電路 , 計時器等時脈同步電路供給時脈訊號之狀態。例如 , C P U 1 0 9 會在時鐘脈衝發生器 1 1 6 a 的待機狀態暫存器中設定待機狀態允許位元 , 藉此時鐘脈衝發生器 1 1 6 a 會停止時脈訊號 C L K 的輸出動作或振盪動作 , 而來抑止時脈訊號的供給。

在第 1 圖中 , 1 2 0 所示的電路為電源電路。在上述第 2 資料處理器 1 0 1 中 , 上述切換電路 1 1 4 的動作電源 v d d 1 可與其他電路的動作電源 v d d 2 分離。例如 , 動作電源 v d d 1 的外部電源端子及電源配線與動作電源 v d d 2 的外部電源端子及電源配線會被物理性分離。電源電路 1 2 0 會將動作電源 v d d 1 , v d d 2 供應給所對應的電源端子。上述泛用輸出入埠 1 1 6 b 是作為電源電路 1 2 0 之電源控制電路用。泛用輸出入埠 1 1 6 b 在往上述第 2 資料處理器 1 0 1 的待機狀態之遷移過程中 , 會使動作電源 v d d 2 停止供應給上述其他的電路全體或一部份。在第 2 資料處理器 1 0 1 動作可能時 , 上述切換電路 1 1 4 會經常被供給 v d d 1 。為了脫離待機狀態而執行中斷時 , 在中斷控制電路中會被供應動作電源。電源控制電路 1 1 6 b 會在往待機狀態的遷移過程中 , 將電源電路 1 2 0 的電源控制暫存器設定於電源供給停止指示狀態。藉此 , 動作電源 v d d 2 的供給會被停止。對電源控制暫存器之電源供給指示狀態的復位動作 , 只要在從待機狀態往動作狀態的復原處理過程中進行即可。

第 2 圖是表示第 1 圖之第 2 資料處理器 1 0 1 的領域

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (19)

1 1 8 的詳細圖。在此例中，第 1 外部介面電路 1 1 9 會作為內部低速匯流排 1 1 5 的匯流排主控器來連接於訊號線 2 0 0。如第 2 圖的訊號線 2 0 0 所示，第 1 外部介面電路 1 1 9 為形成匯流排主控器的內部匯流排並非被限定於高速匯流排 1 0 8，亦可為低速匯流排。

在資料處理器 1 中，將構成於領域 1 1 8 的電路稱為第 2 電路，以及將構成於其他領域的 CPU 1 0 9 等的電路稱為第 1 電路。在領域 1 1 8 中具有：第 1 外部端子 2 1 0，連接第 1 外部端子與第 1 電路之第 1 匯流排 2 1 1，連接第 1 電路與第 2 電路之第 2 匯流排 2 1 2，連接第 1 外部端子與第 2 內部電路之第 3 匯流排 2 1 3，第 2 外部端子 2 1 5，連接第 2 外部端子與第 2 電路之第 4 匯流排 2 1 6，選擇連接上述第 2 匯流排 2 1 2 或第 3 匯流排 2 1 3 於第 4 匯流排之選擇器 2 1 7，匯流排驅動器 2 1 8，及第 5 匯流排 2 1 9。選擇器 2 1 7 是在往待機狀態的遷移過程中選擇將第 1 匯流排 2 1 1 連接於第 4 匯流排 2 1 6 之連接形態。若著眼於 CPU 1 0 9 的狀態，則待機狀態為第 1 電路被抑止指令執行的狀態（第 1 狀態），動作狀態為第 1 電路可執行指令的狀態（第 2 狀態）。第 2 資料處理器 1 0 1 可在待機狀態中直接將第 1 外部匯流排 1 0 3 連接於第 2 外部匯流排 1 0 5。就此例而言，其構成雖是在第 2 資料處理器 1 0 1 的待機狀態中無條件將第 1 外部匯流排 1 0 3 的資料傳達給第 2 外部匯流排 1 0 5，但亦可經由輸出入緩衝器（未圖示）來連接第

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (20)

1 外部匯流排 1 0 3 與第 2 外部匯流排 1 0 5 。如此一來，將可控制由第 1 外部匯流排 1 0 3 至第 2 外部匯流排 1 0 5 的輸出入。

在第 1 及第 2 圖中，第 2 資料處理器 1 0 1 為構成於半導體基板上之所謂單晶片的資料處理器。

第 3 圖是表示以多晶片模組來構成第 2 資料處理器 3 0 0 時的例子。第 2 資料處理器 3 0 0 是由：內藏第 1 外部介面電路 1 1 9 及切換電路 1 1 4 的機能之晶片 3 0 1，及內藏除此以外的機能之晶片 3 0 2 所構成。晶片 3 0 2 是以往內部高速匯流排 1 0 8 的連接部 3 0 3 作為與第 1 外部介面電路 1 1 9 間的介面部，連接於此連接部 3 0 3 的晶片 3 0 1 可形成內部高速匯流排 1 0 8 的匯流排主控器。在第 2 資料處理器 3 0 0 的待機狀態中，只要使晶片 3 0 1 動作，便可將第 1 外部匯流排 1 0 3 連接至第 2 外部匯流排 1 0 5。

第 4 圖是表示具備第 2 資料處理器 1 0 1 之第 1 外部介面電路 1 1 9 的具體例。第 1 外部介面電路 1 1 9 是由外部匯流排存取控制部 4 0 1，匯流排變換調停部 4 0 2，內部匯流排存取控制部 4 0 3，R A M 存取控制部 4 0 4，及復位／中斷控制部 4 0 5 所構成。

來自第 1 外部匯流排 1 0 3 的存取資訊會被輸入外部匯流排存取控制部 4 0 1，輸入資訊會被同步化，然後傳送至匯流排變換調停部 4 0 2。匯流排變換調停部 4 0 2 會判定到底是對 R A M 1 0 7 進行存取，還是對內部高速

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (21)

匯流排 1 0 8 進行存取，若為對內部高速匯流排 1 0 8 進行存取，則會對內部匯流排存取控制部 4 0 3 提出存取要求，根據內部匯流排 1 0 8 的匯流排存取規格來啟動匯流排存取動作。總而言之，會根據內部匯流排 1 0 8 的匯流排存取規格來將位址訊號，匯流排存取控制訊號，及資料供應給匯流排 1 0 8，且由匯流排 1 0 8 來接受資料。若為對 R A M 1 0 7 進行存取，則會對 R A M 存取控制部 4 0 4 提出存取要求，然後根據 R A M 1 0 7 的存取規格來啟動存取動作。總而言之，會根據記憶體存取規格來將位址訊號，記憶體控制訊號，及資料供應給 R A M 1 0 7，且由 R A M 1 0 7 來接受資料。

對 C P U 1 0 9 進行的中斷／復位，及來自 C P U 1 0 9 的中斷，是在復位／中斷控制部 4 0 5 中被處理，外部匯流排存取控制部 4 0 1 會對第 1 外部匯流排 1 0 3 上的裝置發行所對應之要求。並且，來自第 1 外部匯流排 1 0 3 上的裝置之要求，或來自 R A M 存取控制部 4 0 4 的動作要求會作為外部匯流排存取控制部 4 0 1 所對應的中斷要求來賦予復位／中斷控制部 4 0 5。

第 5 圖是表示具備第 2 資料處理器 1 0 1 之第 1 外部介面電路 1 1 9 的其他具體例。該圖是表示供以實現與匯流排 1 0 3 間的介面，與匯流排 1 1 5 間的介面，及與 R A M 1 0 7 間的介面之具體例。第 1 外部介面電路 1 1 9 具有：控制電路 4 1 0，變址暫存器 I D X，位址旗標 F G。控制電路 4 1 0 具有：位址暫存器 A D R，資

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (22)

料暫存器 D A T , 指令暫存器 C M D , 存取控制暫存器 A C S , 狀態暫存器 S T S 等之控制電路內藏暫存器。若位址旗標 F G 的邏輯值被設定為 “ 1 ” , 則會指定選擇變址暫存器 I D X , 若邏輯值被設定為 “ 0 ” , 則會指定選擇控制電路內藏暫存器。當邏輯值被設定為 “ 0 ” 時 , 到底是要選擇控制電路內藏暫存器內的哪個暫存器 , 是以變址暫存器 I D X 的值來決定。變址暫存器 I D X 及位址旗標 F G 是經由第 1 外部匯流排 1 0 3 來進行存取。匯流排 1 0 3 是由資料匯流排 1 0 3 D , 位址匯流排 1 0 3 A 及控制匯流排 1 0 3 C 所形成。根據變址暫存器 I D X 的值來選擇控制電路內藏暫存器 , 位址資訊 , 資料資訊 , 匯流排存取控制資訊 , 及指令資訊會經由資料匯流排 1 0 3 D 來下載於所對應的暫存器 , 對 R A M 1 0 7 的存取 , 及對匯流排 1 1 5 的存取會根據所被下載的指令資訊而啟動。在此刻的存取中 , 上述暫存器的設定值會被使用 , 存取時間點是由存取控制資訊來決定。經由外部匯流排 1 0 3 來寫入 R A M 1 0 7 的資料可由 C P U 1 0 9 經內部匯流排 1 0 8 來進行存取。匯流排 1 0 8 是由 : 資料匯流排 1 0 8 D , 位址匯流排 1 0 8 A 及控制匯流排 1 0 8 C 所形成。匯流排 1 1 5 是由 : 資料匯流排 1 1 5 D , 位址匯流排 1 1 5 A 及控制匯流排 1 1 5 C 所形成。

第 6 圖是有關本發明之資料處理系統的資料器的啟動程式的初期寫入例。在第 6 圖的例子中 , 在 C P U 1 0 9 的內部匯流排 1 1 5 中配置有記憶體 5 0 2 , 且在第 2 外

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (23)

部匯流排 1 0 5 中配置有記憶體 5 0 1 。在此例中，雖無特別加以限制，但上述記憶體 5 0 1 ， 5 0 2 是作為使用者程式儲存領域來加以利用。此情況，在第 2 資料處理器 1 0 1 復位後馬上執行的啟動程式通常會被儲存於上述記憶體 5 0 1 或 5 0 2 。在第 6 圖中，雖是將內部記憶體 5 0 2 連接於內部低速匯流排 1 1 5 ，但亦可連接於內部高速匯流排 1 0 8 。第 2 資料處理器的內部記憶體 5 0 2 為快閃記憶體等之類可電氣性複寫的非揮發性記憶體，與 C P U 1 0 9 等同樣的，亦可形成於半導體基板上，或者分別形成於不同的半導體基板上，且封入 1 個封裝內。當形成於不同的半導體基板上，而封入 1 個封裝內時，並非是連接於第 2 資料處理器 1 0 1 的內部匯流排 1 0 8 ， 1 1 5 ，而是在封裝內部連接於第 2 外部匯流排 1 0 5 。在此，是將可電氣性複寫的非揮發性記憶體 5 0 1 ， 5 0 2 作為程式記憶體來加以利用。

對上述可電氣性複寫的非揮發性記憶體 5 0 1 ， 5 0 2 之程式的初期性寫入是在資料處理器 1 0 1 等之半導體積體電路的製造過程中利用 E P R O M 之類的寫入裝置來進行。在第 6 圖例中是假設資料處理器 1 0 1 在被安裝於資料處理系統上的初期階段中，啟動程式未被初期寫入非揮發性記憶體 5 0 1 ， 5 0 2 的狀態。第 6 圖的資料處理系統是可由此狀態來初期寫入啟動程式。總而言之，是使能夠由 R A M 1 0 7 來進行第 2 資料處理器 1 0 1 的啟動之構成內藏於第 2 資料處理器 1 0 1 中。亦即，從第

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (24)

1 資料處理器 1 0 0 經由第 1 外部匯流排 1 0 3 來將第 2 資料處理器 1 0 1 的啟動程式寫入 R A M 1 0 7 , 且在寫入後使 R A M 1 0 7 的程式執行於第 2 資料處理器 1 0 1 。因應於此, 必須切換成藉由 R A M 1 0 7 的程式執行或者藉由記憶體 5 0 1 或 5 0 2 的程式執行來啟動第 2 資料處理器 1 0 1 。此切換是在復位訊號 (R E S) 5 0 4 之復位動作的指示時, 利用啟動模式訊號 (B T) 5 0 3 的位準來進行。例如, 在復位訊號 5 0 4 為低位準的期間, 當啟動模式訊號 5 0 3 為高位準時, 會由 R A M 1 0 7 的程式執行來啟動, 當啟動模式訊號 5 0 3 為低位準時, 會從記憶體 5 0 1 , 5 0 2 的程式執行來啟動。

其次, 詳述啟動程式之初期性寫入的構成。在上述第 2 資料處理器 1 0 1 中, 上述 R A M 1 0 7 可在復位訊號 5 0 4 之復位動作解除後的第 1 動作模式中藉由上述第 1 資料處理器 1 0 0 來寫入。上述第 1 動作模式是例如在復位訊號 5 0 4 形成低位準的復位期間, 啟動模式訊號 5 0 3 會被形成高位準, 復位訊號 5 0 4 不會被形成高位準, 復位動作會被解除之動作狀態。此刻, C P U 1 0 9 會被抑止指令取入。換言之, 對 C P U 1 0 9 之開始媒介的供給會被抑止。此刻對 R A M 之存取, 如上述, 只要第 1 資料處理器 1 0 0 對第 1 外部介面電路 1 0 6 進行即可。若藉由第 1 資料處理器 1 0 0 來對 R A M 1 0 7 進行的寫入動作終了, 則會根據由第 1 資料處理器 1 0 0 賦予第 1 外部介面電路 1 1 9 的指令, 或者回應啟動模式訊號

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (25)

5 0 3 之由高位準至低位準的變化來供應用以指定 R A M 1 0 7 的開頭位址的開始媒介。藉此，C P U 1 0 9 會執行儲存於 R A M 1 0 7 的程式。在此，由於是著眼於所謂使用者程式之初期寫入的操作，因此被儲存於 R A M 1 0 7 的上述程式，至少為使用者程式的寫入控制程式。並且，使用者程式本身只要事先與上述程式一起傳送至 R A M 1 0 7 即可。或者是藉由執行傳送至 R A M 1 0 7 的寫入控制程式來從串列介面電路 1 1 6 等取入使用者程式，而於初期寫入記憶體 5 0 2。

在復位動作解除後的第 2 動作模式中，C P U 1 0 9 之指令取出的對象為記憶體 5 0 1 或 5 0 2。上述第 2 動作模式是在例如復位訊號 5 0 4 被形成低位準的復位期間，啟動模式訊號 5 0 3 會被形成低位準，復位訊號 5 0 4 不會被形成高位準，而來解除復位動作之動作狀態。藉此，C P U 1 0 9 會執行經由上述第 1 動作模式來初期儲存於上述記憶體 5 0 1 或 5 0 2 的使用者程式。

其次，說明由上述第 1 資料處理器 1 0 0 來將啟動程式（上述寫入控制用程式）儲存至 R A M 1 0 7 的動作。

首先，在啟動第 2 資料處理器 1 0 1 之前，第 1 資料處理器 1 0 0 會將從連接於第 1 資料處理器 1 0 0 的記憶體 5 0 5 或記憶卡 5 0 6 等的外部記憶體或者圖示省略的串列介面等所輸入的啟動程式予以寫入第 2 資料處理器 1 0 1 的 R A M 1 0 7。

傳送至 R A M 1 0 7 的啟動程式雖可為包含應用程式

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (26)

者，但只要包含以下所述的處理，便可形成較短的啟動程式。例如，在 R A M 1 0 7 上的程式中儲存有由第 1 資料處理器 1 0 0 經第 1 外部介面電路 1 1 9 來進行程式的傳送，而寫入記憶體 5 0 1 或 5 0 2 之程式。或者儲存有利用第 2 資料處理器的周邊裝置 1 1 6 的串列埠，U R B，或記憶卡等來將程式傳送寫入記憶體 5 0 1，5 0 2 之程式。

當第 2 資料處理器 1 0 1 的記憶體 5 0 1，5 0 2 為快閃記憶體時，在系統組裝的後過程中，原本必須要有使快閃記憶體初期化的組織，但因為能以由 R A M 1 0 7 啟動的模式來進行快閃記憶體的初期化，所以可降低資料處理器 1 0 1 的量產成本。

第 7 圖是表示第 6 圖之資料處理系統的啟動動作的時間圖。

第 1 資料處理器 1 0 0 會供給啟動模式訊號 5 0 3 及復位訊號 5 0 4，控制第 2 資料處理器 1 0 1 的啟動。

第 1 資料處理器會使啟動模式訊號 5 0 3 形成高位準來解除復位（將復位訊號由低位準遷移至高位準），藉此以由 R A M 1 0 7 啟動的模式來啟動第 2 資料處理器，經由第 1 外部匯流排 1 0 3 來將啟動程式傳送至 R A M 1 0 7。第 2 資料處理器的 C P U 1 0 9 會檢測出啟動模式訊號為高位準，經由第 1 外部介面電路 1 1 9 來從 R A M 1 0 7 取出啟動程式。由於 C P U 1 0 9 在啟動程式的傳送中會被抑止指令取入，因此啟動程式的供給不

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (27)

會被進行，形成待機狀態。配合啓動程式的傳送終了，第 1 資料處理器 1 0 0 會將傳送終了指令傳送至第 1 外部介面電路 1 1 9，第 1 外部介面電路 1 1 9 會指示 C P U 1 0 9 取出啓動程式，藉此第 2 資料處理器 1 0 1 會以 R A M 1 0 7 的程式來啓動。C P U 1 0 9 會執行 R A M 1 0 7 內的啓動程式，經由內部高速匯流排 1 0 8 來將啓動程式予以寫入記憶體 5 0 1，5 0 2。在往記憶體 5 0 1，5 0 2 之啓動程式的寫入終了後的階段，再度使第 2 資料處理器 1 0 1 復位（使復位訊號（R E S）5 0 4 由高位準遷移至低位準），其次在使啓動模式訊號（B T）5 0 3 形成低位準的狀態下解除復位，啓動第 2 資料處理器 1 0 1。藉此，C P U 1 0 9 會由記憶體 5 0 1，5 0 2 來取入啓動程式，且予以執行，藉此第 2 資料處理器的資料處理動作會被啓動。

第 7 圖的例子是表示經由第 1 外部匯流排 1 0 3 來從連接於第 1 資料處理器 1 0 0 的記憶體 5 0 5 或記憶卡 5 0 6 供應啓動程式給記憶體 5 0 1，5 0 2 之動作時間圖。

第 8 圖是表示第 6 圖之資料處理系統的啓動動作的其他時間圖。該圖所示的時間點是假設經由第 2 資料處理器 1 0 1 的串列埠或 U S B 1 1 6 等來供應儲存於記憶體 5 0 1，5 0 2 的啓動程式時。其他處則與第 7 圖相同。

第 9 圖是表示在記憶體 5 0 1 或 5 0 2 中儲存有啓動程式的狀態中，追加／更新一被執行於啓動程式的更新或

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (28)

被執行於第 2 資料處理器 1 0 1 的應用程式時的時間圖。

第 1 資料處理器 1 0 0 會使啟動模式訊號 5 0 3 形成低位準，然後解除復位，藉此第 2 資料處理器 1 0 1 會由記憶體 5 0 1，5 0 2 來取出啟動程式，開始啟動。在記憶體 5 0 1，5 0 2 中事先儲存有供以追加／更新一被執行於啟動程式的更新或被執行於處理器 2 的應用程式之傳送程式，啟動傳送程式會根據來自第 1 資料處理器 1 0 0 的啟動指示等而被啟動。例如，在經由連接於第 1 資料處理器 1 0 0 的天線來藉無線通訊接收追加的應用程式時，第 1 資料處理器 1 0 0 會經由外部匯流排 1 0 3 來將所接受的追加應用程式傳送至 R A M 1 0 7。第 2 資料處理器 1 0 1 會經由第 1 外部介面電路 1 1 9 來將儲存於 R A M 1 0 7 的追加應用程式予以取入內部匯流排 1 0 8，傳送至記憶體 5 0 1 或 5 0 2，而來執行寫入。

第 1 0 圖是表示構成第 3 圖之資料處理器 3 0 0 的多晶片模組的剖面圖。在高密度安裝基板高密度安裝基板 5 1 0 的一面多數配列有以玻璃環氧樹脂基板所成的印刷配線基板的安裝面之凸塊電極 5 1 1，在另一面多數配列有連接於上述凸塊電極 5 1 1 的微凸塊電極 5 1 2 及墊片電極 5 1 3。並且，在微凸塊電極 5 1 2 的一部份，上述半導體晶片 3 0 2 的接合墊會以面朝下 (face down) 接合方式來安裝。而且，在上述半導體晶片 3 0 2 的上面層疊有其他的半導體晶片 3 0 1，此半導體晶片 3 0 1 的接合墊是以接合線 5 1 5 來連接於所對應之上述墊片電極

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (29)

5 1 3 。接合線 5 1 5 及半導體晶片 3 0 1 , 3 0 2 的全體是以樹脂 5 1 6 來形成模組化。

以上雖具體說明本發明者所研發出來的發明，但本發明並非只限於此，只要不脫離其主旨範圍，亦可實施其他種種的變更。

例如，內藏有資料處理器的周邊電路及其他的電路模組並非只限於根據第 1 圖等所述的電路，亦可適宜地予以變更。又，資料處理器的內部匯流排亦可不分為高速與低速匯流排。又，針對第 1 電路部與第 2 電路部的動作電源系統，即使不從外部電源端子分開，還是可以藉開關電路來控制電源供給的停止。又，當資料處理器為多晶片模組的構成時，所搭載之半導體積體電路的種類並非只限於上述例，亦可為合計搭載 3 片：快閃記憶體 5 0 2 之類的半導體晶片，及其他 C P U 1 0 9 等之處理器晶片，以及半導體晶片 3 0 1 之類的介面晶片等。又，快閃記憶體亦可複數片搭載於多晶片模組。

〔產業上的利用可能性〕

本發明可廣泛適用於行動電話系統，甚至顯示控制系統，印表系統，及其他攜帶型資訊終端機等時，利用複數個的資料處理器來企圖分散處理負擔之資料處理系統，及利用於如此的資料處理系統之資料處理器。

〔圖面之簡單說明〕

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (30)

第 1 圖是表示本發明之資料處理系統的一例方塊圖。

第 2 圖是表示第 1 圖的第 2 資料處理器之旁通用的領域詳細方塊圖。

第 3 圖是表示以多晶片模組來構成資料處理器的情況時之例的方塊圖。

第 4 圖是表示具備第 2 資料處理器之第 1 外部介面電路的具體例方塊圖。

第 5 圖是表示具備第 2 資料處理器之第 1 外部介面電路的其他具體例方塊圖。

第 6 圖是有關本發明之資料處理系統的資料器的啟動程式的初期寫入說明圖。

第 7 圖是表示第 6 圖之資料處理系統的啟動動作的时间圖。

第 8 圖是表示第 6 圖之資料處理系統的啟動動作的其他時間圖。

第 9 圖是表示在程式記憶體中儲存有啟動程式的狀態中，追加／更新一被執行於啟動程式的更新或被執行於第 2 資料處理器的應用程式時的時間圖。

第 10 圖是表示構成第 3 圖之資料處理器的多晶片模組的剖面圖。

〔符號之說明〕

100：第 1 資料處理器

101：第 2 資料處理器

五、發明說明 (31)

- 1 0 2 : 外部裝置
- 1 0 3 : 第 1 外部匯流排
- 1 0 3 A : 位址匯流排
- 1 0 3 C : 控制匯流排
- 1 0 3 D : 資料匯流排
- 1 0 4 : 外部裝置
- 1 0 5 : 第 2 外部匯流排
- 1 0 7 : R A M
- 1 0 8 : 內部高速匯流排
- 1 0 8 A : 位址匯流排
- 1 0 8 C : 控制匯流排
- 1 0 8 D : 資料匯流排
- 1 0 9 : C P U
- 1 1 0 : 快閃記憶體
- 1 1 1 : 數位訊號處理器 (D S P)
- 1 1 2 : 橋接電路
- 1 1 3 : 第 2 外部介面電路
- 1 1 4 : 切換電路
- 1 1 5 : 內部低速匯流排
- 1 1 5 A : 位址匯流排
- 1 1 5 C : 控制匯流排
- 1 1 5 D : 資料匯流排
- 1 1 6 : 周邊電路
- 1 1 6 a : 時鐘脈衝發生器 (C G P)

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (32)

- 1 1 6 b : 泛用輸出入埠 (I O P)
- 1 1 8 : 領域
- 1 1 9 : 第 1 外部介面電路
- 1 2 0 : 電源電路
- 2 1 0 : 第 1 外部端子
- 2 1 1 : 第 1 匯流排
- 2 1 2 : 第 2 匯流排
- 2 1 3 : 第 3 匯流排
- 2 1 5 : 第 2 外部端子
- 2 1 6 : 第 4 匯流排
- 2 1 7 : 選擇器
- 2 1 8 : 匯流排驅動器
- 2 1 9 : 第 5 匯流排
- 3 0 0 : 第 2 資料處理器
- 3 1 0 , 3 0 2 : 晶片
- 3 0 3 : 連接部
- 4 0 1 : 外部匯流排存取控制部
- 4 0 2 : 匯流排變換調停部
- 4 0 3 : 內部匯流排存取控制部
- 4 0 4 : R A M 存取控制部
- 4 0 5 : 復位 / 中斷控制部
- 4 1 0 : 控制電路
- 5 0 1 , 5 0 2 : 記憶體
- 5 0 3 : 啓動模式訊號 (B T)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (33)

5 0 4 : 復位訊號 (R E S)

5 0 5 : 記憶體

5 0 6 : 記憶卡

5 1 0 : 高密度安裝基板

5 1 1 : 凸塊電極

5 1 2 : 微凸塊電極

C L K : 時脈訊號

v d d 1 , v d d 2 : 動作電源

I D X : 變址暫存器

F G : 位址旗標

A D R : 位址暫存器

D A T : 資料暫存器

C M D : 指令暫存器

A C S : 存取控制暫存器

S T S : 狀態暫存器

M C I F : 記憶卡介面電路

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：

)

資料處理系統及資料處理器

本發明是在一資料處理器(101)設置一供以能夠和其他資料處理器(100)連接的介面機構(119)，且於該介面機構中設置可將其他的資料處理器當作匯流排主控器來連接於一資料處理器內的內部匯流排(108)之機能，而使能夠從外部經上述介面機構來由該其他的資料處理器直接操作記憶於內部匯流排的周邊機能。藉此，資料處理器可在不中斷執行中的程式下使用其他資料處理器的周邊機能。亦即，一資料處理器可共享其他資料處理器的周邊資源。

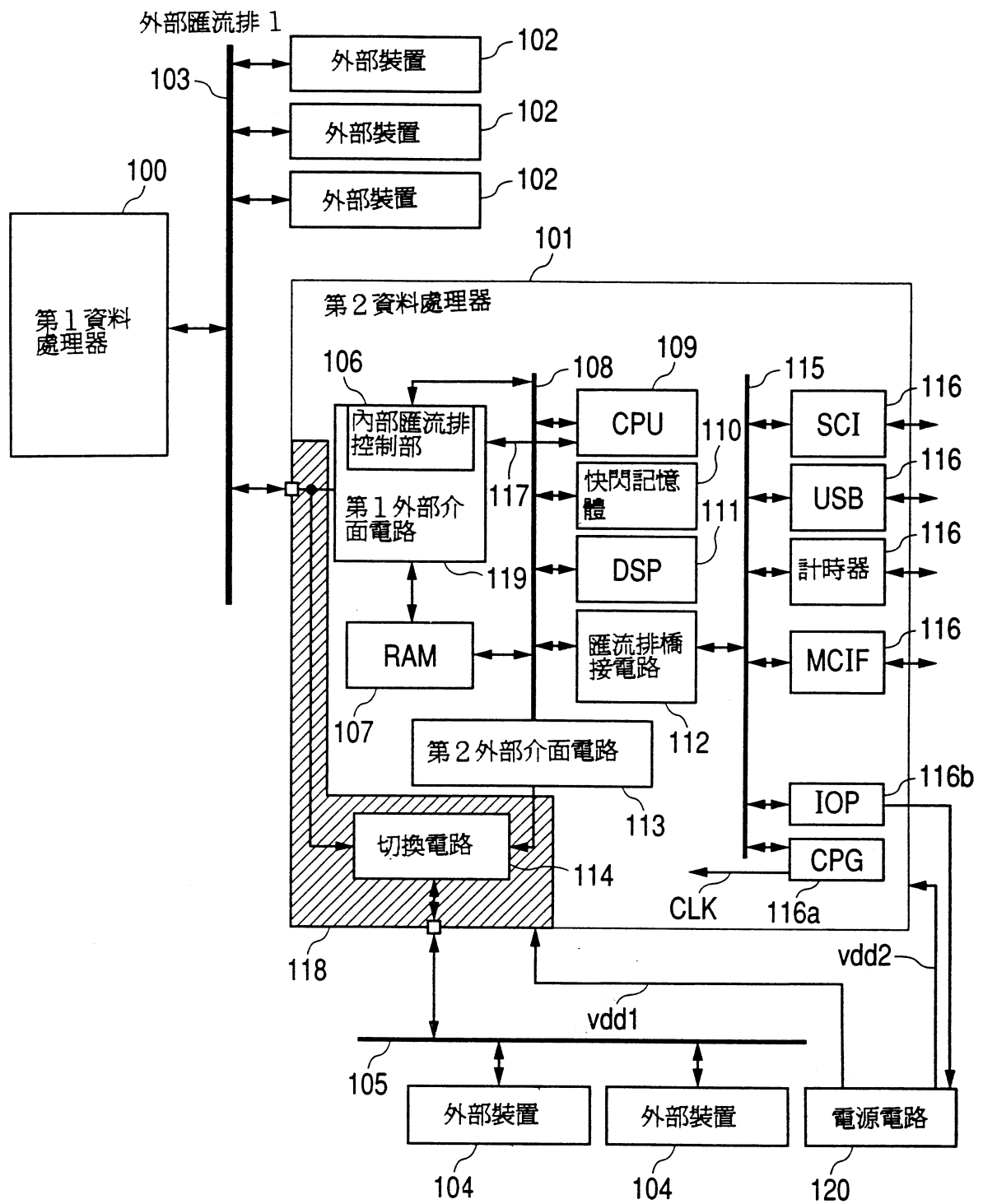
英文發明摘要(發明之名稱：

)

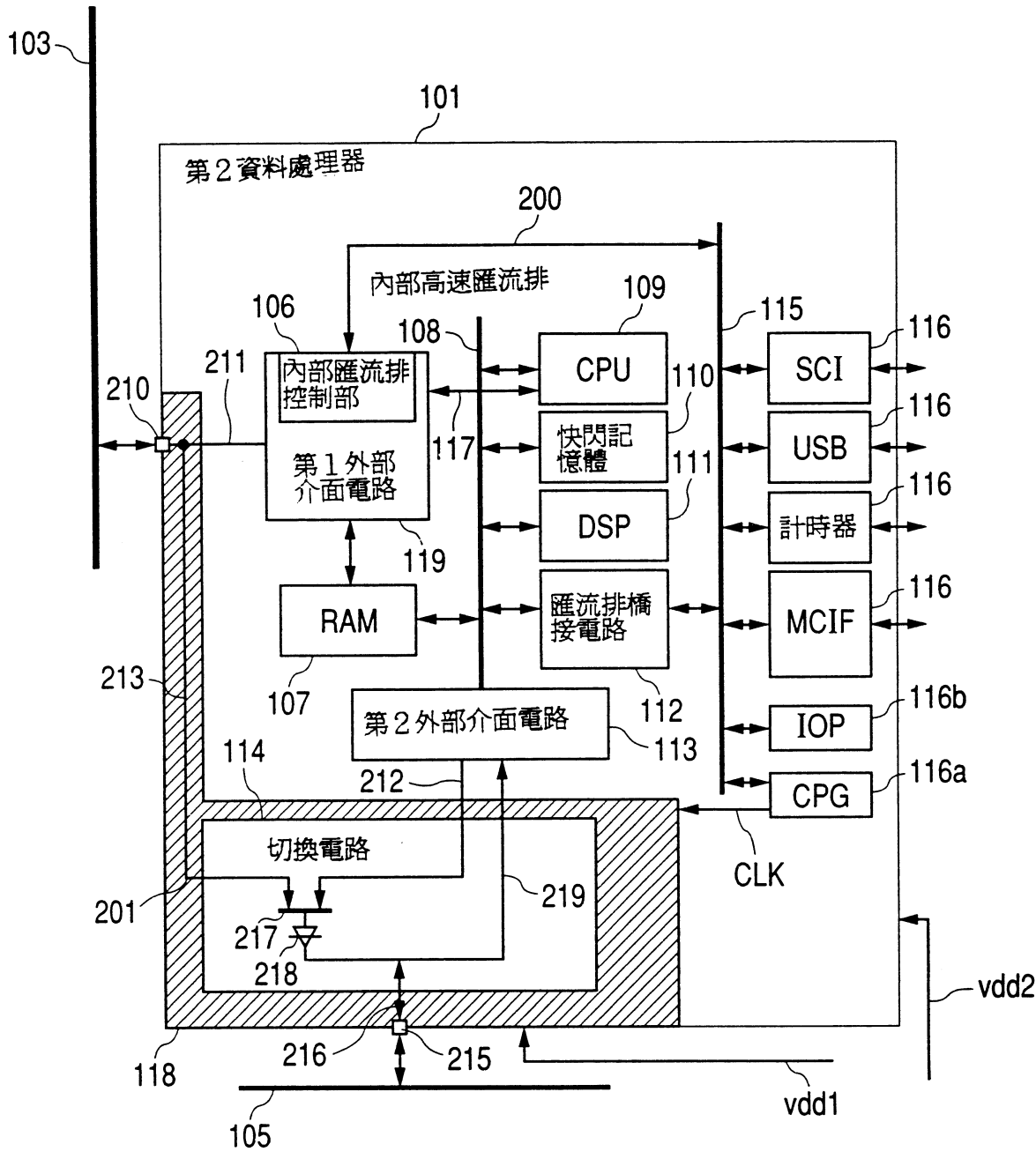
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

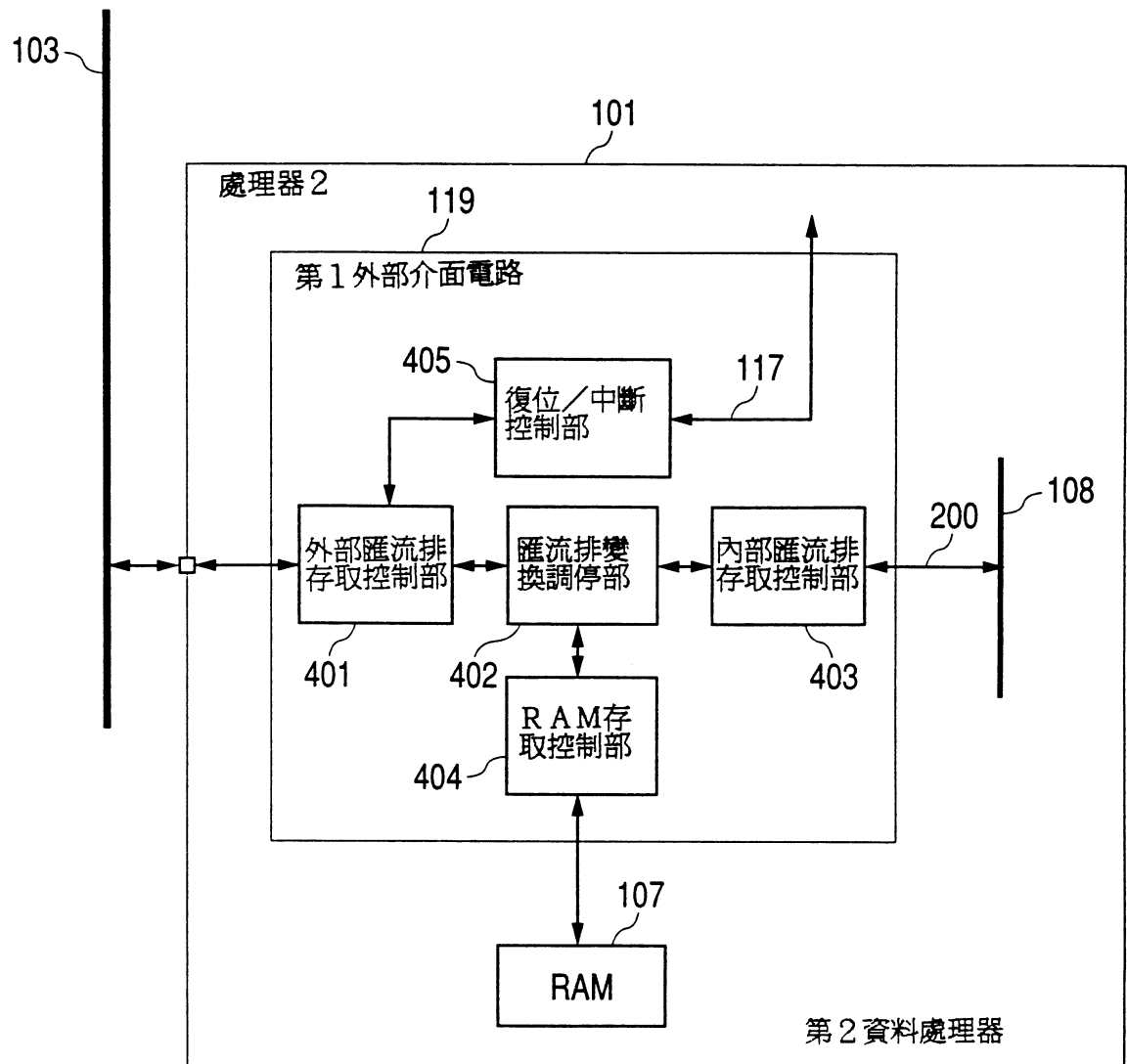
訂



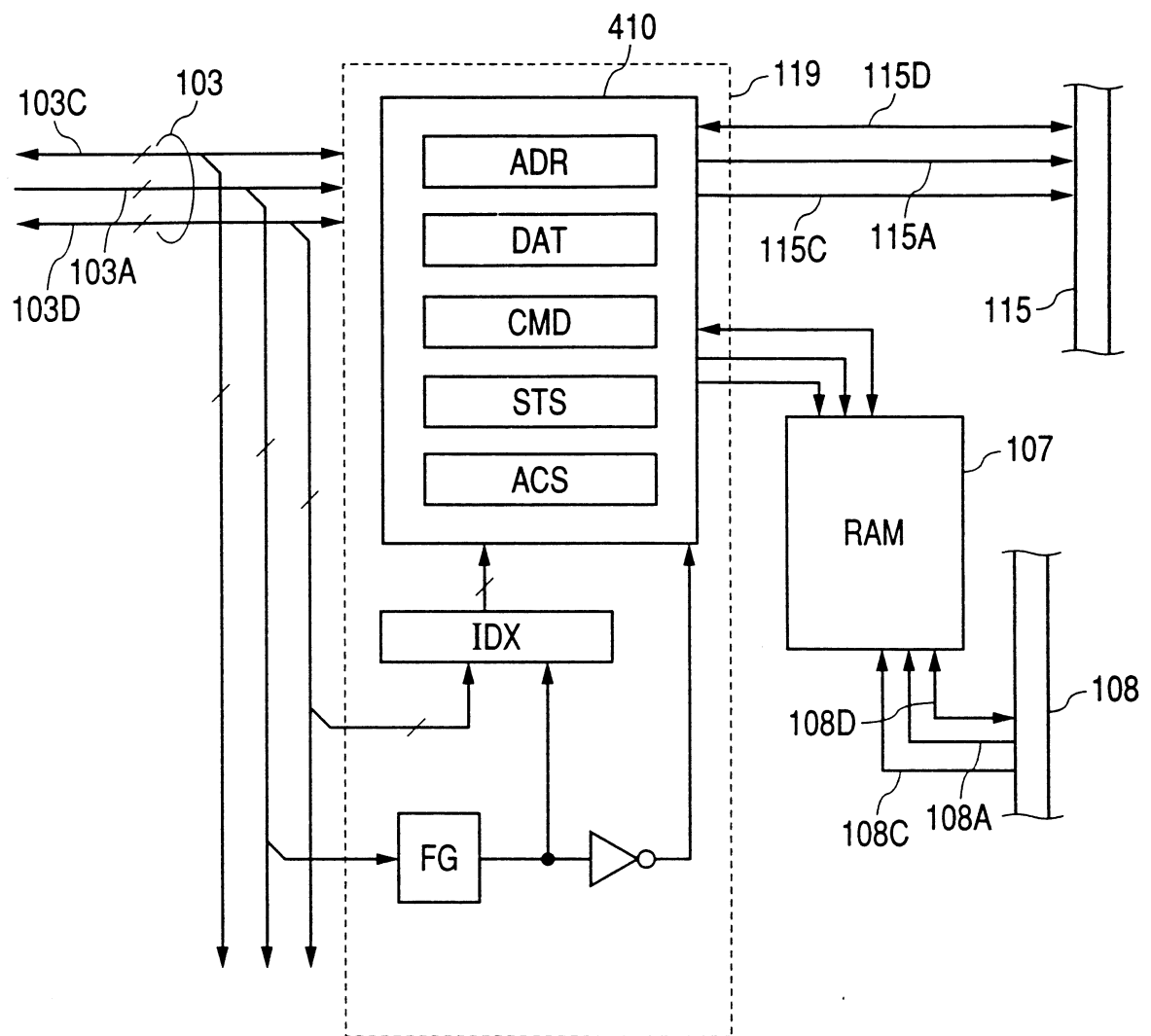
第 1 圖



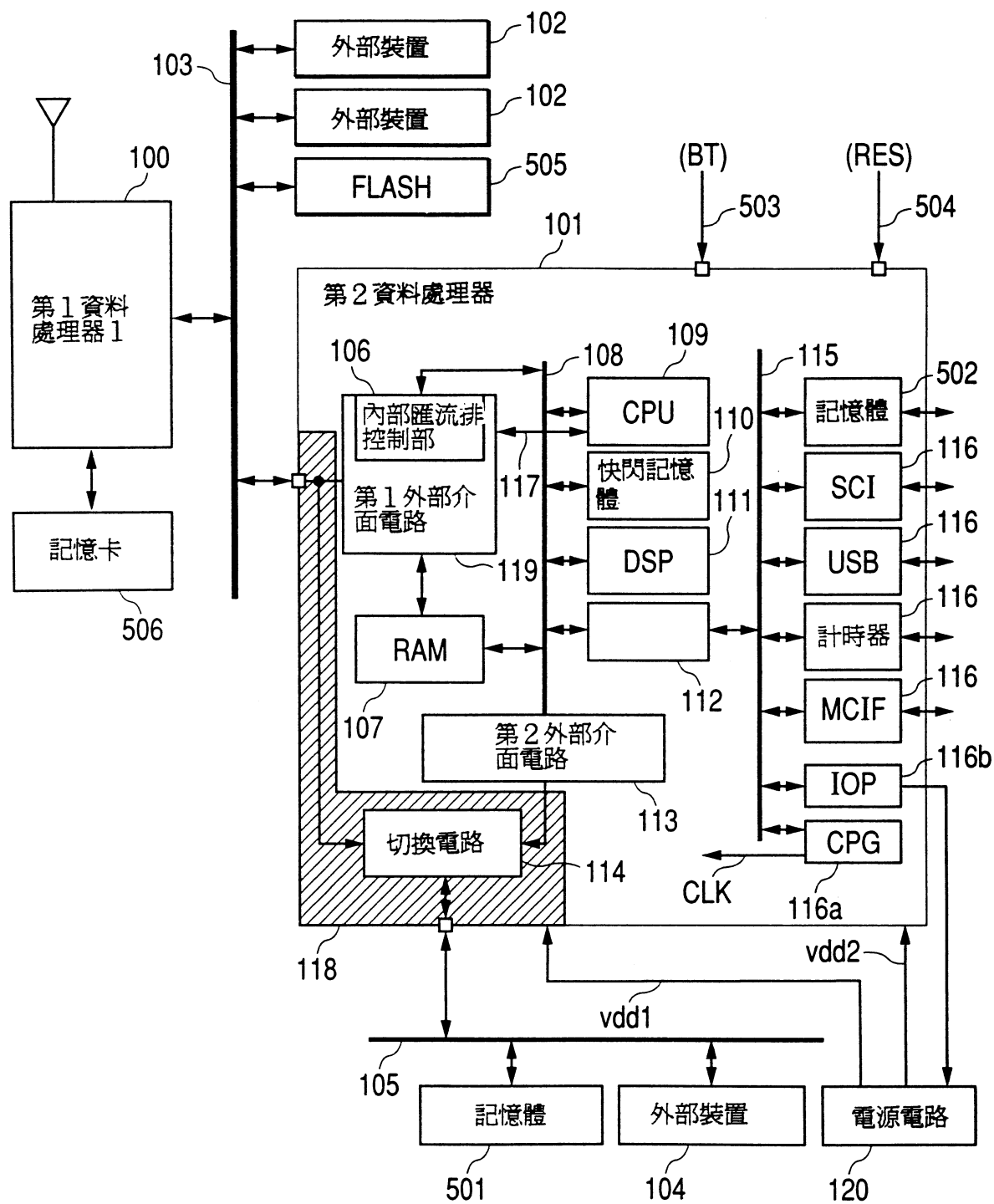
第 2 圖



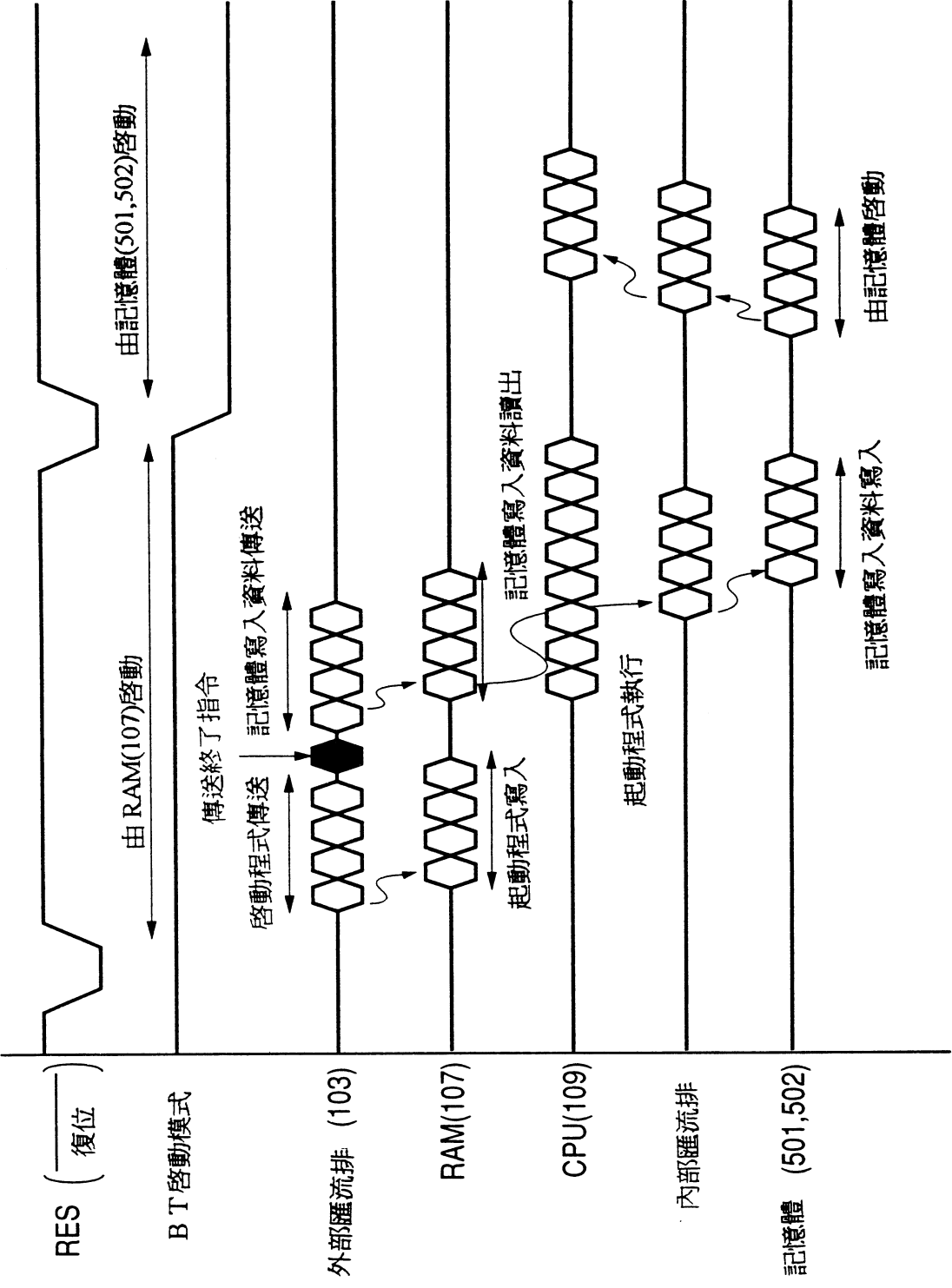
第4圖



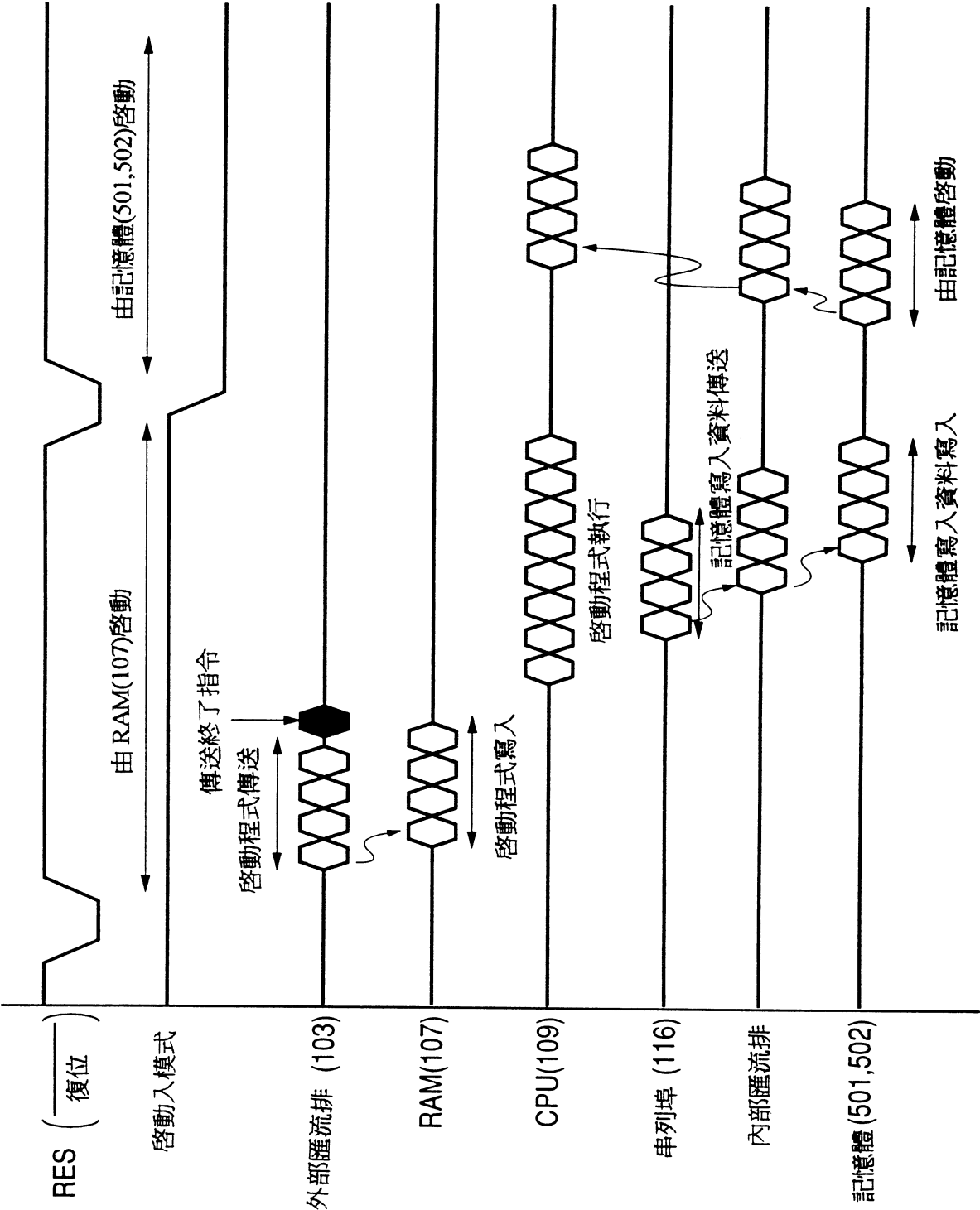
第 5 圖



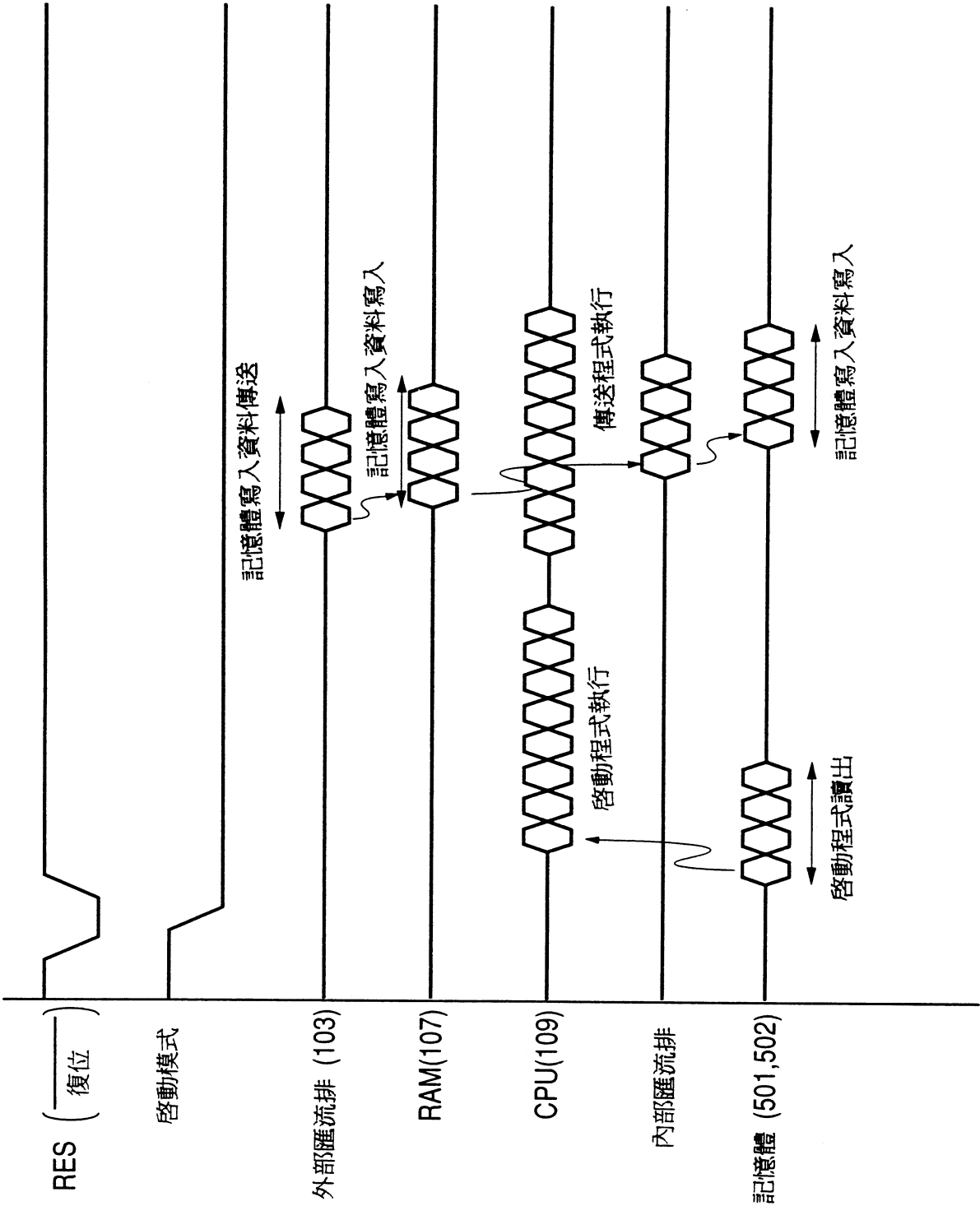
第 6 圖



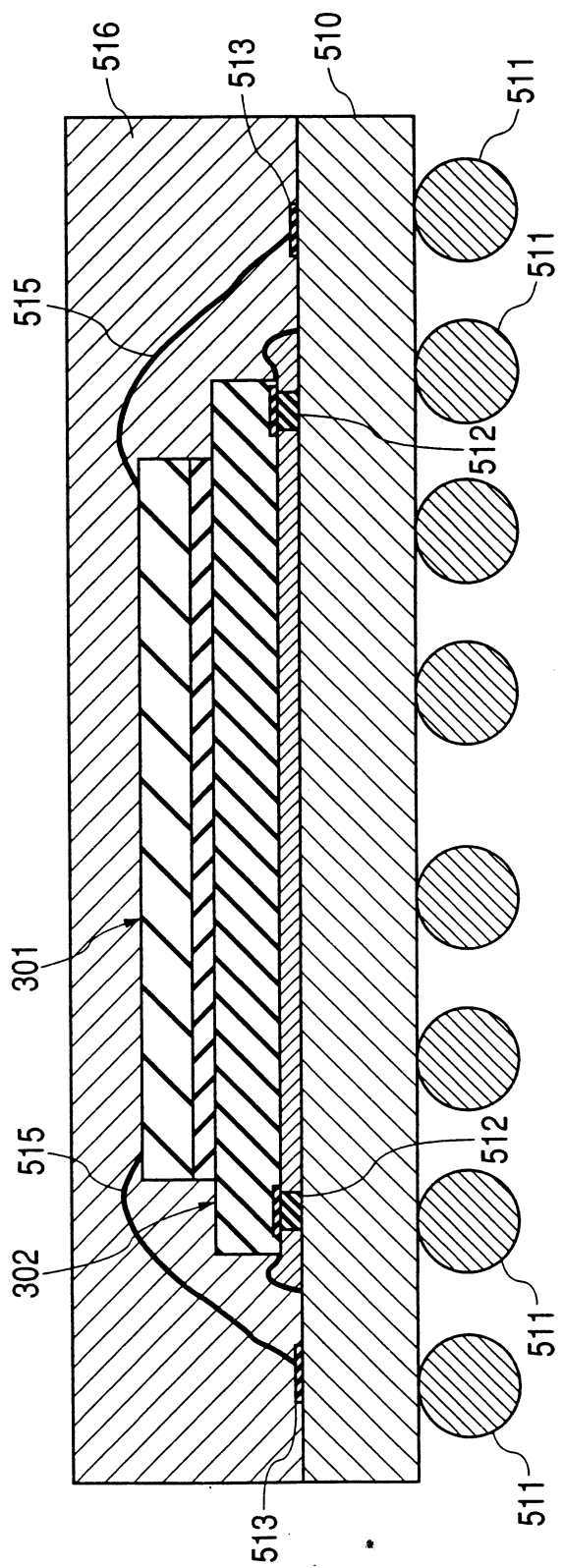
第 7 圖



第 8 圖



第 9 圖



第 10 圖

六、申請專利範圍 1

第 90132574 號專利申請案

中文申請專利範圍修正本

民國 92 年 10 月 24 日修正

1、一種資料處理系統，是屬於一種包含第 1 資料處理器及第 2 資料處理器之資料處理系統，其特徵為：

上述第 2 處理器內藏一介面機構，該介面機構可使上述第 1 資料處理器獲得上述第 2 資料處理器的內部匯流排的匯流排權；

上述介面機構可藉由獲得上述內部匯流排的匯流排權之第 1 資料處理器來存取連接於上述內部匯流排的輸出入電路。

2、如申請專利範圍第 1 項之資料處理系統，其中上述輸出入電路是由：可連接於 S D R A M 的 S D R A M 介面電路，可連接於液晶顯示器的 L C D 介面電路，可連接於記憶卡的記憶卡介面電路，串列介面電路，揮發性記憶體，及可電氣性複寫的非揮發性記憶體，以及泛用輸出入埠電路中所選出之單數或複數個的電路。

3、如申請專利範圍第 2 項之資料處理系統，其中上述介面機構包含一緩衝 R A M，該緩衝 R A M 可排他性回應來自第 2 資料處理器內部的存取及來自上述第 1 資料處理器的存取，而進行動作。

4、一種資料處理系統，是屬於一種包含：第 1 資料處理器，連接於上述第 1 資料處理器的第 1 匯流排，連接於上述第 1 匯流排的第 2 資料處理器，及連接於上述第 2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 2

資料處理器的第 2 匯流排之資料處理系統，其特徵為：

上述第 2 處理器包含：

一第 1 外部介面電路；該第 1 外部介面電路是一方連接於上述第 1 匯流排，他方連接於內部匯流排；及

一第 2 外部介面電路；該第 2 外部介面電路是一方連接於上述第 2 匯流排，他方連接於內部匯流排；及

一切換電路；該切換電路是在第 2 資料處理器的待機狀態中，由上述第 1 外部介面電路的一方取代上述第 2 外部介面電路的一方來連接於上述第 2 匯流排。

5、如申請專利範圍第 4 項之資料處理系統，其中上述第 2 資料處理器的待機狀態為：停止供應時脈訊號給上述第 2 資料處理器中所含的時脈同步電路之狀態。

6、如申請專利範圍第 5 項之資料處理系統，其中更包含一電源控制電路，該電源控制電路是在上述第 2 資料處理器中可分離上述切換電路的動作電源及其他電路的動作電源，回應上述第 2 資料處理器的待機狀態，來使動作電源停止供應給上述其他電路的全部或一部份。

7、如申請專利範圍第 6 項之資料處理系統，其中上述第 2 外部介面電路包含一 L C D 介面電路，該 L C D 介面電路可連接於液晶顯示器控制器；

液晶顯示器控制器會被連接於上述第 2 匯流排；

上述第 1 資料處理器可經由上述切換電路來控制上述液晶顯示器控制器。

8、一種資料處理系統，是屬於一種包含第 1 資料處

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

3

理器及第 2 資料處理器之資料處理系統，其特徵為：

上述第 2 處理器包含：

一揮發性記憶體；該揮發性記憶體可在復位動作解除後的第 1 動作模式中，藉由上述第 1 資料處理器來進行寫入；及

一 C P U；該 C P U 是以根據上述第 1 動作模式的寫入後之指令取出的對象作為上述揮發性記憶體；及

一可電氣性複寫的非揮發性記憶體；該非揮發性記憶體是在復位動作解除後的第 2 動作模式中形成 C P U 的指令取出對象；

又，上述第 1 資料處理器是在第 2 資料處理器指定第 1 動作模式，在上述揮發性記憶體中儲存針對上述非揮發性記憶體的寫入控制用程式，而許可上述 C P U 指令取出。

9、一種資料處理系統，是屬於一種包含第 1 資料處理器，第 2 資料處理器及可電氣性複寫的非揮發性記憶體之資料處理系統，其特徵為：

上述第 2 處理器包含：

一揮發性記憶體；該揮發性記憶體可在復位動作解除後的第 1 動作模式中，藉由上述第 1 資料處理器來進行寫入；及

一 C P U；該 C P U 是以根據上述第 1 動作模式的寫入後之指令取出的對象作為上述揮發性記憶體；

又，上述非揮發性記憶體是在復位動作解除後的第 2

六、申請專利範圍

4

動作模式中形成上述 C P U 的指令取出對象；

又，上述第 1 資料處理器是在第 2 資料處理器指定第 1 動作模式，在上述揮發性記憶體中儲存針對上述非揮發性記憶體的寫入控制用程式，而許可上述 C P U 指令取出。

10、一種資料處理器，其特徵是包含：

C P U；及

連接於上述 C P U 的內部匯流排；及

連接於上述內部匯流排的周邊電路；及

一方連接於第 1 外部端子，另一方連接於上述內部匯流排的第 1 外部介面電路；及

一方連接於第 2 外部端子，另一方連接於上述內部匯流排的第 2 外部介面電路；

又，上述第 1 外部介面電路會回應來自外部的存取要求，而獲得內部匯流排的匯流排權，使連接於內部匯流排的上述周邊電路的存取可能。

11、如申請專利範圍第 10 項之資料處理器，其中更包含一切換電路，該切換電路是在 C P U 的待機狀態中取代上述第 2 外部介面電路的一方，將上述第 1 外部端子連接於上述第 2 外部端子。

12、如申請專利範圍第 11 項之資料處理器，其中更包含：在復位動作解除後的第 1 動作模式中可經由上述第 1 外部介面電路來從外部寫入之揮發性記憶體，及程式記憶體；

六、申請專利範圍

5

又，上述 C P U 可在上述第 1 動作模式的寫入後從上述非揮發性記憶體取出指令而執行，又，C P U 可在復位動作解除後的第 2 動作模式中從上述程式記憶體取出指令而執行。

1 3、如申請專利範圍第 1 2 項之資料處理器，其中上述程式記憶體為可電氣性複寫的非揮發性記憶體。

1 4、如申請專利範圍第 1 3 項之資料處理器，其中上述 C P U，上述內部匯流排，上述第 1 外部介面電路，上述第 2 外部介面電路，上述切換電路，上述揮發性記憶體，及上述程式記憶體為形成於 1 個的半導體基板上。

1 5、如申請專利範圍第 1 3 項之資料處理器，其中上述 C P U，上述內部匯流排，上述第 1 外部介面電路，上述第 2 外部介面電路，上述切換電路，及上述揮發性記憶體是形成於第 1 半導體基板上，上述程式記憶體是形成於第 2 半導體基板上，上述第 1 半導體基板與第 2 半導體基板是被封入 1 個封裝中而形成者。

1 6、一種資料處理器，其特徵是包含：

連接於第 1 匯流排的第 1 端子；及

連接於第 2 匯流排的第 2 端子；及

選擇性取第 1 狀態或第 2 狀態的第 1 內部電路；及

第 2 內部電路；及

從上述第 1 端子開始經由上述第 1 內部電路與上述第 2 內部電路來連接於上述第 2 端子的第 1 訊號路徑；及

從上述第 1 端子開始經由上述第 2 內部電路來連接於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

6

上述第 2 端子的第 2 訊號路徑；

又，上述第 2 內部電路是按照上述第 1 內部電路的狀態來選擇上述第 1 訊號路徑與上述第 2 訊號路徑的其中之一訊號路徑。

17、如申請專利範圍第 16 項之資料處理器，其中上述第 1 狀態為上述第 1 內部電路可執行指令的動作狀態，上述第 2 狀態為被抑止指令的執行之待機狀態，上述第 2 內部電路是在動作狀態中選擇上述第 1 路徑，在待機狀態中選擇第 2 路徑。

18、如申請專利範圍第 16 項之資料處理器，其中具有一電源控制電路，該電源控制電路是用以控制對上述第 1 內部電路供給第 1 電源，及對上述第 2 內部電路供給第 2 電源；

又，上述電源控制電路在上述第 2 內部電路中選擇上述第 2 訊號路徑時，會停止供應第 1 電源給第 1 內部電路的全部或一部份。

19、如申請專利範圍第 18 項之資料處理器，其中上述第 1 內部電路，第 2 內部電路，及電源控制電路是形成於 1 個半導體基板上。

20、如申請專利範圍第 18 項之資料處理器，其中上述第 1 內部電路及上述電源控制電路是形成於第 1 半導體基板上，上述第 2 內部電路是形成於第 2 半導體基板上，上述第 1 半導體基板與第 2 半導體基板是被封入 1 個封裝中而形成者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

7

2 1、如申請專利範圍第 1 6 項之資料處理器，其中具有一時脈控制電路，該時脈控制電路是用以供應同步動作用的時脈訊號給上述第 1 內部電路；

上述時脈控制電路在上述第 2 內部電路中選擇上述第 2 訊號路徑時，會停止供應時脈訊號給上述第 1 內部電路。

2 2、如申請專利範圍第 2 1 項之資料處理器，其中具有一電源控制電路，該電源控制電路是用以控制對上述第 1 內部電路供給第 1 電源，及對上述第 2 內部電路供給第 2 電源；

又，上述電源控制電路在停止供應時脈訊號給上述第 1 內部電路時，會停止供應電源給第 1 內部電路的全部或一部份。

2 3、如申請專利範圍第 2 2 項之資料處理器，其中上述第 1 內部電路，第 2 內部電路，時脈控制電路，及電源控制電路是形成於 1 個半導體基板上。

2 4、如申請專利範圍第 2 2 項之資料處理器，其中上述第 1 內部電路，時脈控制電路及電源控制電路是形成於第 1 半導體基板上，上述第 2 內部電路是形成於第 2 半導體基板上，上述第 1 半導體基板與第 2 半導體基板是被封入 1 個封裝中而形成者。

2 5、一種資料處理器，其特徵是具有：

連接於第 1 匯流排的第 1 端子；及

連接於第 2 匯流排的第 2 端子；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍⁸

第 1 內部電路；及

第 2 內部電路；及

連接上述第 1 端子與上述第 1 內部電路的第 1 訊號配線；及

連接上述第 1 內部電路與上述第 2 內部電路的第 2 訊號配線；及

連接上述第 1 端子與上述第 2 內部電路的第 3 訊號配線；及

連接上述第 2 內部電路與上述第 2 端子的第 4 訊號配線；及

又，上述第 2 內部電路具有一選擇機構，該選擇機構是用以選擇上述第 2 訊號配線與第 3 訊號配線的其中之一訊號配線來連接於第 4 訊號配線。

26、一種資訊處理系統，其特徵是具有：第 1 匯流排，及第 2 匯流排，及連接於上述第 1 匯流排及第 2 匯流排的資料處理器；

上述資料處理器具有第 1 動作態樣與第 2 動作態樣；

在上述第 1 動作態樣中，上述資料處理器會處理由上述第 1 匯流排所供給的資訊，可將預定的資訊供應給上述第 2 匯流排；

在上述第 2 動作態樣中，上述資料處理器會原封不動地將由上述第 1 匯流排所供給的資訊予以供應給上述第 2 匯流排。

27、一種行動電話系統，其特徵是具有：第 1 ~ 第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

9

3 半導體積體電路，及連接上述第 1 半導體積體電路與第 2 半導體積體電路的第 1 匯流排，及連接上述第 2 半導體積體電路與第 3 半導體積體電路的第 2 匯流排；

上述第 2 半導體積體電路具有第 1 動作態樣與第 2 動作態樣；

上述第 1 動作態樣為：上述第 2 半導體積體電路會根據由上述第 1 半導體積體電路所供給的資訊來進行預定的處理，並將處理結果供應給上述第 3 半導體積體電路之動作態樣；

上述第 2 動作態樣為：上述第 2 半導體積體電路會原封不動地將由上述第 1 半導體積體電路所供給的資訊予以供應給上述第 3 半導體積體電路之動作態樣。

28、如申請專利範圍第 27 項之行動電話系統，其中上述第 1 半導體積體電路會供給一控制訊號，該控制訊號是用以控制上述第 2 半導體積體電路應該是遷移至上述第 1 動作狀態還是第 2 動作狀態。

29、如申請專利範圍第 28 項之行動電話系統，其中上述第 1 半導體積體電路為基礎頻帶處理用，上述第 3 半導體積體電路為顯示控制用。

30、如申請專利範圍第 29 項之行動電話系統，其中上述預定的處理是供以至少處理畫像之訊號處理。

31、如申請專利範圍第 30 項之行動電話系統，其中在上述第 2 匯流排連接有記憶裝置，上述記憶裝置是供以儲存處理程式，該處理程式是用以規定在上述第 2 半導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

10

體積體電路進行的處理。

3 2、一種半導體積體電路，其特徵為：在半導體基板上具有第 1 端子，第 2 端子及邏輯電路；

在第 1 動作模式中，第 1 端子是在於輸出由邏輯電路所輸出的訊號；

在第 2 動作模式中，第 1 端子是在於輸出由第 2 端子所輸出的訊號。

3 3、一種半導體積體電路，其特徵為：在半導體基板上具有第 1 端子，第 2 端子及緩衝電路；

在第 1 動作模式中，由第 2 端子所輸入的資訊會經由緩衝電路而供應至邏輯電路；

在第 2 動作模式中，由第 2 端子所輸入的資訊會經由第 1 端子而輸出。

3 4、如申請專利範圍第 3 2 項之半導體積體電路，其中在上述第 1 動作模式中，邏輯電路的輸出訊號會經由第 1 端子而輸出。

3 5、如申請專利範圍第 3 4 項之半導體積體電路，其中更具有切換電路；

上述切換電路會進行連接控制，亦即在第 1 動作模式中會連接上述邏輯電路與上述第 1 端子，在上述第 2 動作模式中會連接上述第 2 端子與上述第 1 端子。

3 6、如申請專利範圍第 3 5 項之半導體積體電路，其中上述邏輯電路在第 1 動作模式中會停止時脈供給。

3 7、如申請專利範圍第 3 6 項之半導體積體電路，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

11

其中上述邏輯電路在第 1 動作模式中會停止電源供給。

38、如申請專利範圍第 37 項之半導體積體電路，其中由上述第 1 端子所輸出的訊號為顯示於連接在外部的顯示裝置之資訊。

39、如申請專利範圍第 33 項之半導體積體電路，其中在上述第 1 動作模式中，邏輯電路的輸出訊號會經由第 1 端子而輸出。

40、如申請專利範圍第 39 項之半導體積體電路，其中更具有切換電路；

上述切換電路會進行連接控制，亦即在第 1 動作模式中會連接上述邏輯電路與上述第 1 端子，在上述第 2 動作模式中會連接上述第 2 端子與上述第 1 端子。

41、如申請專利範圍第 40 項之半導體積體電路，其中上述邏輯電路在第 1 動作模式中會停止時脈供給。

42、如申請專利範圍第 41 項之半導體積體電路，其中上述邏輯電路在第 1 動作模式中會停止電源供給。

43、如申請專利範圍第 42 項之半導體積體電路，其中由上述第 1 端子所輸出的訊號為顯示於連接在外部的顯示裝置之資訊。

44、一種行動電話系統，其特徵是具有：第 1 處理部，第 2 處理部及顯示裝置；

上述第 1 處理部是在第 1 動作模式中對上述顯示裝置進行資訊的顯示控制；

上述第 2 處理部是在第 2 動作模式中對上述顯示裝置

六、申請專利範圍

12

進行資訊的顯示控制；且

具有：根據上述第 1 動作模式與上述第 2 動作模式的其中之一來對上述顯示裝置進行切換之切換部。

4 5、如申請專利範圍第 4 4 項之行動電話系統，其中上述第 1 處理部會進行基礎頻帶處理，上述第 2 處理部會進行應用處理。

4 6、如申請專利範圍第 4 5 項之行動電話系統，其中上述行動電話系統可連接非揮發性記憶卡；

上述第 2 處理部會對上述非揮發性記憶卡進行存取控制。

4 7、如申請專利範圍第 4 6 項之行動電話系統，其中上述第 2 處理部會在上述第 1 動作模式中停止動作。

4 8、如申請專利範圍第 4 7 項之行動電話系統，其中上述第 2 處理部會在上述第 1 動作模式中停止電源供給。

4 9、如申請專利範圍第 4 7 項之行動電話系統，其中上述第 2 處理部會在上述第 1 動作模式中停止時脈供給。

5 0、如申請專利範圍第 4 4 項之行動電話系統，其中上述第 1 處理部與上述第 2 處理部是構成於不同的半導體基板上。

5 1、如申請專利範圍第 5 0 項之行動電話系統，其中具有控制上述顯示裝置的顯示控制部；

上述顯示控制部是構成於上述第 1 處理部與上述第 2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 13

處理部的各個不同的半導體基板上。

5 2、一種行動電話系統，其特徵是具有：第 1 處理部，第 2 處理部，顯示控制部及揮發性記憶體；

可連接非揮發性記憶體；

在第 1 動作模式中，上述第 1 處理部會控制上述顯示控制部；

在第 2 動作模式中，上述第 2 處理部會控制上述顯示控制部；

上述第 1 處理部會被連接至上述揮發性記憶體，進行存取控制；

上述第 2 處理部可對上述非揮發性記憶體進行存取控制。

5 3、如申請專利範圍第 5 2 項之行動電話系統，其中上述第 2 處理部具有對上述非揮發性記憶體的介面部。

5 4、如申請專利範圍第 5 3 項之行動電話系統，其中上述第 1 處理部與上述第 2 處理部是構成於不同的半導體基板上。

5 5、如申請專利範圍第 5 4 項之行動電話系統，其中上述第 1 處理部會進行基礎頻帶處理，上述第 2 處理部會進行應用處理。

5 6、如申請專利範圍第 5 5 項之行動電話系統，其中上述第 2 處理部的應用處理為儲存於上述非揮發性記憶體的程式之處理。

5 7、如申請專利範圍第 5 6 項之行動電話系統，其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 14

中在上述第 1 動作模式中，上述第 2 處理部可停止電源供給。

58、如申請專利範圍第 53 項之行動電話系統，其中上述第 1 處理部可經由上述第 2 處理部之上述非揮發性記憶體的介面部來對上述非揮發性記憶體進行存取。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線