



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월04일
 (11) 등록번호 10-1368413
 (24) 등록일자 2014년02월21일

(51) 국제특허분류(Int. Cl.)
G11C 7/12 (2006.01) **G11C 7/20** (2006.01)
G11C 7/10 (2006.01)
 (21) 출원번호 10-2007-0109939
 (22) 출원일자 2007년10월31일
 심사청구일자 2012년10월31일
 (65) 공개번호 10-2009-0044055
 (43) 공개일자 2009년05월07일
 (56) 선행기술조사문헌
 W02009005941 A2
 US20060233291 A1
 US20030137324 A1
 US7233616 B1

(73) 특허권자
삼성전자 주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
김경현
 경기도 수원시 권선구 동수원로224번길 28, 오피스텔216호 (권선동, 에스띠보보 1차)
문용삼
 서울특별시 서초구 방배선행길 1, 우성아파트 107동 401호 (방배동)
 (74) 대리인
특허법인가산

전체 청구항 수 : 총 10 항

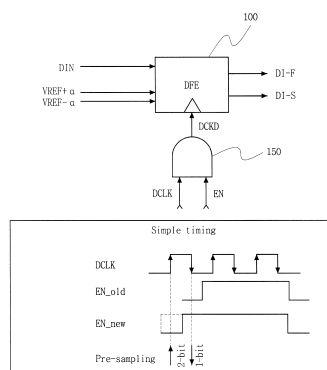
심사관 : 손윤식

(54) 발명의 명칭 **반도체 메모리 장치에서의 DFE회로 및 그의 초기화방법**

(57) 요약

본 발명은 반도체 메모리 장치에서의 DFE회로 및 그의 초기화방법에 관한 것으로, 본 발명에 따른 불연속적으로 데이터의 전송이 이루어지는 반도체 메모리 장치에 이용되며, 이전데이터의 레벨에 대응하여 샘플링 레퍼런스 레벨을 변경시켜 전송데이터를 샘플링하는 DFE(Decision Feedback Equalizer)의 초기화방법은, 상기 전송데이터가 전송되는 데이터 채널을 미리 정해진 특정 터미네이션 레벨로 터미네이션시키는 단계와; 상기 전송데이터의 전송시점보다 일정시간 앞서는 시점으로 상기 전송 데이터의 샘플링 시작 시점을 조절하고, 상기 전송 데이터의 샘플링 시작 시점에서의 상기 데이터 채널의 프리 샘플링을 통해 얻어진 초기화 데이터를 토대로 하여 상기 이전데이터의 초기화를 수행하는 단계를 구비한다. 본 발명에 따르면, DFE회로의 초기화가 가능하며, 피드백 딜레이를 보상할 수 있게 된다.

대표도 - 도2



특허청구의 범위

청구항 1

불연속적으로 데이터의 전송이 이루어지는 반도체 메모리 장치에 이용되며, 이전데이터의 레벨에 대응하여 샘플링 레퍼런스 레벨을 변경시켜 전송데이터를 샘플링하는 DFE(Decision Feedback Equalizer)의 초기화방법에 있어서:

상기 전송데이터가 전송되는 데이터 채널을 미리 정해진 특정 터미네이션 레벨로 터미네이션시키는 단계와;

상기 전송데이터의 전송시점보다 일정시간 앞서는 시점으로 상기 전송 데이터의 샘플링 시작 시점을 조절하고, 상기 전송 데이터의 샘플링 시작 시점에서의 상기 데이터 채널의 프리 샘플링을 통해 얻어진 초기화 데이터를 토대로 하여 상기 이전데이터의 초기화를 수행하는 단계를 구비함을 특징으로 하는 DFE의 초기화방법.

청구항 2

청구항 1에 있어서,

상기 초기화를 수행하는 단계이후에, 이전 데이터에 대응하여 변경되는 샘플링 레퍼런스 레벨을 통해 상기 전송 데이터의 샘플링을 수행하는 단계를 더 구비함을 특징으로 하는 DFE의 초기화방법.

청구항 3

청구항 1에 있어서,

상기 전송 데이터의 샘플링 시작 시점은 상기 전송데이터의 전송시점보다 적어도 1비트 샘플링 타임(0.5클럭 사이클 타임)을 앞서는 시점임을 특징으로 하는 DFE의 초기화방법.

청구항 4

청구항 3에 있어서,

상기 전송 데이터의 샘플링 시작 시점은, 외부에서 입력되는 MRS(Mode Register Set) 신호, 어드레스신호, 및 커맨드 신호 중에서 선택된 적어도 하나의 신호에 의해 조절 가능함을 특징으로 하는 DFE의 초기화 방법.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

불연속적으로 데이터의 전송이 이루어지는 반도체 메모리 장치에 이용되며, 이전데이터의 레벨에 대응하여 샘플링 레퍼런스 레벨을 변경시켜 전송데이터를 샘플링하는 DFE(Decision Feedback Equalizer)의 초기화방법에 있어서:

상기 전송데이터의 전송되는 데이터 채널을 미리 정해진 특정 터미네이션 레벨로 터미네이션시키는 단계와;

상기 이전데이터의 초기화 데이터 레벨을 상기 터미네이션 레벨로 가정한 상태에서, 상기 초기화 데이터에 대응하여 샘플링 레퍼런스 레벨을 변경시켜 상기 전송데이터의 샘플링을 수행하는 단계를 구비함을 특징으로 하는 DFE의 초기화방법.

청구항 11

삭제

청구항 12

데이터의 전송이 이루어지는 데이터 채널이 특정 터미네이션 레벨로 터미네이션되며, 불연속적으로 데이터의 전송이 이루어지는 반도체 메모리 장치에서의 DFE(Decision Feedback Equalizer)회로에 있어서:

이전 데이터의 레벨에 대응하여 변경된 샘플링 레퍼런스 레벨을 통해 전송데이터를 샘플링하는 DFE유닛과;

상기 DFE 유닛의 전송데이터 샘플링 시작시점을 상기 전송데이터의 전송시점보다 일정시간 앞서는 시점으로 조절하여, 상기 전송데이터의 샘플링이전에 상기 터미네이션 레벨을 샘플링함에 의해 이전데이터의 초기화를 수행하는 샘플링 시점 조절부를 구비함을 특징으로 하는 DFE회로.

청구항 13

청구항 12에 있어서,

상기 전송 데이터의 샘플링 시작 시점은 상기 전송데이터의 전송시점보다 적어도 1비트 샘플링 타임(0.5클럭 사이클 타임)을 앞서는 시점임을 특징으로 하는 DFE회로.

청구항 14

청구항 13에 있어서,

상기 샘플링 시점 조절부는, 외부에서 입력되는 MRS(Mode Register Set) 신호, 어드레스신호, 및 커맨드 신호 중에서 선택된 적어도 하나의 신호에 응답하여, 상기 전송 데이터의 샘플링 시작 시점을 조절함을 특징으로 하는 DFE회로

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

청구항 12에 있어서, 상기 DFE유닛은,

적어도 하나의 샘플링 클럭에 응답하여 서로 다른 레벨의 복수의 샘플링 레퍼런스 레벨 중 상기 이전데이터에 대응하는 샘플링 레퍼런스 레벨을 선택하여 상기 전송데이터의 샘플링을 수행하는 샘플링부와;

상기 샘플링부의 복수의 출력들 중 적어도 하나를 선택하여 출력하는 선택부를 구비함을 특징으로 하는 DFE회로.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

데이터의 전송이 이루어지는 데이터 채널이 특정 터미네이션 레벨로 터미네이션되며, 불연속적으로 데이터의 전송이 이루어지는 반도체 메모리 장치에서의 DFE(Decision Feedback Equalizer)회로에 있어서:

샘플링클럭에 응답하여, 이전데이터의 레벨에 대응하여 선택되는 서로 다른 샘플링 레퍼런스 레벨을 기준으로 전송데이터의 샘플링을 수행하는 적어도 두 개 이상의 샘플러들과;

상기 DFE회로의 외부 출력신호를 피드백 받아 컨트롤되어, 상기 적어도 두 개 이상의 샘플러들의 출력신호 중 어느 하나를 선택하여 출력하는 적어도 하나의 믹스와;

상기 샘플링 클럭을 일정 딜레이 만큼 딜레이 시킨 딜레이 샘플링 클럭에 응답하여, 상기 적어도 하나의 믹스의 출력신호의 외부출력시점을 조절하고, 이를 상기 외부출력신호로 하여 출력하는 적어도 하나의 플립플롭과;

상기 샘플링 클럭의 딜레이신호의 딜레이 정도를 외부 입력에 의해 조절하는 딜레이부를 구비함을 특징으로 하는 DFE회로.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 메모리 장치에서의 DFE회로 및 그의 초기화방법에 관한 것으로, 더욱 구체적으로는, 불연속적으로 데이터의 전송이 이루어지는 반도체 메모리 장치에의 DFE회로의 초기화가 가능하며, 피드백 딜레이를 보상할 수 있는 반도체 메모리 장치에서의 DFE회로 및 그의 초기화방법에 관한 것이다.

배경 기술

- [0002] 최근, 반도체 기술의 발달에 따라 클럭주파수가 증가하고, 데이터 전송률이 증가하고 있는 추세에 있다. 특히 메모리와 메모리 컨트롤러간의 데이터 레이트(data rate)가 증가하면서 데이터 채널을 통해 전송된 데이터의 파형에 왜곡이 발생된다. 이러한 원인중 하나는 ISI(Inter-Symbol Interference)가 있다. ISI는 데이터 채널의 밴드폭(bandwidth)의 한계로 인해 이전데이터가 현재 전송되는 전송데이터에 영향을 주는 현상을 말한다.
- [0003] 이러한 ISI효과를 감소시키기 위해 널리 사용되는 방법 중의 하나가 도 1과 같은 결정 궤환 등화기 또는 결정 피드백 이퀄라이저라 불리는 회로(이하 'DFE(Decision Feedback Equalizer)회로'라 함)이다.
- [0004] 도 1에 도시된 바와 같이, 일반적인 DFE 회로는 이전 데이터(1-tap DFE일 경우, $D[n-1]$)의 값으로부터 예상된 ISI의 영향을 고려하여 적당한 계수들(예를 들면, 'a')을 곱한 후 현재 수신데이터($X[n]$)에서 제외해주어 원래의 전송데이터($D[n]$) 값을 구하는 구조를 가진다.
- [0005] 상기 DFE회로가 올바르게 동작하기 위해서는 이전 데이터를 항상 정확히 알고 있어야 한다. 따라서, DFE회로의 동작 혹은 ISI 등에 의한 영향으로 이전데이터가 잘못 수신되었다면, 현재 전송데이터를 수신할 때 잘못된 연산을 수행하게 되어현재 전송데이터의 수신에도 오류가 발생할 수 있다. 최악의 경우 이런 오류들이 전송되는 모든 데이터 비트에 영향을 미쳐 수신된 모든 데이터에 오류가 발생될 수도 있다.
- [0006] 또한, 만약 데이터의 전송이 중단되었다가 다시 전송되는 경우에는 재전송된 데이터의 첫 비트에 해당하는 이전 데이터 값이 정해져 있지 않기 때문에, DFE회로의 특성상 전송데이터의 첫 비트 수신시부터 에러가 발생할 수 있다.
- [0007] 이러한 전송데이터 수신시의 오류를 방지 또는 최소화하기 위해 데이터 전송시 전송데이터의 첫비트에 대응되는 이전데이터를 알아야한다.
- [0008] 일반적인 고속 직렬링크(high speed serial link)통신에서는 초기화시 약속된 프로토콜(protocol)이 사용되며, 초기화후에는 데이터 채널상에 데이터가 패킷(packet)의 형태로 끊임없이 소통한다. 따라서, 고속직렬링크와 같은 통신에서는 이전 데이터를 항상 알 수 있기 때문에 DFE회로의 사용이 용이하다.
- [0009] 그러나, 반도체 메모리 장치에서의 데이터 통신은, 패킷형태의 데이터 전송이 아니고, 커맨드 입력에 의해 데이터의 전송과 중단을 반복하는 불연속적인 통신 방식이 이용된다. 따라서, 데이터 전송의 시작시점에서 첫 비트에 해당되는 적절한 이전데이터를 정의하기 위한 초기화가 필요하다. 즉, 현재 반도체 메모리 장치에서는 리드/라이트 커맨드(READ/WRITE)가 인가되었을 때 일정 레이턴시(latency) 후 데이터가 전송된다. 따라서 데이터 채널이 끊임없이 동작하는 것이 아니라, 경우에 따라서 일정한 시간차(time gap)를 지니며 불연속적으로 데이터가 전송되는 구조를 가진다. 따라서 연속적인 전송데이터의 첫 비트데이터에 대한 이퀄라이징에 필요한 적합한 이전데이터 값을 지정해줄 필요가 있다. 다시 말하면, 올바른 데이터 수신을 위해서 상기 DFE회로의 이전데이터의 초기화가 필요하게 된다.
- [0010] 한편, DFE 회로는 피드백 딜레이로 인해 사용에 많은 제약이 따른다. 따라서 이를 보상해줄 필요성이 있다.

발명의 내용

해결 하고자하는 과제

- [0011] 따라서, 본 발명의 목적은 상기한 종래의 문제점을 극복할 수 있는 반도체 메모리 장치에서의 DFE회로 및 그의 초기화방법을 제공하는 데 있다.
- [0012] 본 발명의 다른 목적은 DFE회로가 반도체메모리 장치에 적용되는 경우, 올바른 동작을 수행할 수 있도록 하는 반도체 메모리 장치에서의 DFE회로 및 그의 초기화방법을 제공하는 데 있다.
- [0013] 본 발명의 또 다른 목적은 DFE회로의 초기화를 통해 데이터 수신에 오류를 방지 또는 최소화할 수 있는 반도체 메모리 장치에서의 DFE회로 및 그의 초기화방법을 제공하는 데 있다.
- [0014] 본 발명의 또 다른 목적은 DFE 회로는 피드백 딜레이로 인한 사용상의 한계를 극복할 수 있는 반도체 메모리 장치에서의 DFE회로 및 그의 초기화방법을 제공하는 데 있다.

[0015] 본 발명의 또 다른 목적은 DFE 회로에서의 ISI의 영향을 방지 또는 최소화할 수 있는 반도체 메모리 장치에서의 DFE회로 및 그의 초기화방법을 제공하는 데 있다.

[0016] 본 발명의 또 다른 목적은 동작주파수에 따른 제약을 최소화할 수 있는 반도체 메모리 장치에서의 DFE회로 및 그의 초기화방법을 제공하는 데 있다.

과제 해결수단

[0017] 상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 구체화에 따라, 본 발명에 따른 불연속적으로 데이터의 전송이 이루어지는 반도체 메모리 장치에 이용되며, 이전데이터의 레벨에 대응하여 샘플링 레퍼런스 레벨을 변경시켜 전송데이터를 샘플링하는 DFE(Decision Feedback Equalizer)의 초기화방법은, 상기 전송데이터가 전송되는 데이터 채널을 미리 정해진 특정 터미네이션 레벨로 터미네이션시키는 단계와; 상기 전송데이터의 전송시점보다 일정시간 앞서는 시점으로 상기 전송 데이터의 샘플링 시작 시점을 조절하고, 상기 전송 데이터의 샘플링 시작 시점에서의 상기 데이터 채널의 프리 샘플링을 통해 얻어진 초기화 데이터를 토대로 하여 상기 이전데이터의 초기화를 수행하는 단계를 구비한다.

[0018] 상기 초기화를 수행하는 단계이후에, 이전 데이터에 대응하여 변경되는 샘플링레퍼런스 레벨을 통해 상기 전송데이터의 샘플링을 수행하는 단계를 더 구비할 수 있다.

[0019] 상기 전송 데이터의 샘플링 시작 시점은 상기 전송데이터의 전송시점보다 적어도 1비트 샘플링 타임(0.5클럭 사이클 타임)을 앞서는 시점일 수 있다.

[0020] 상기 전송 데이터의 샘플링 시작 시점은, 외부에서 입력되는 MRS(Mode Register Set)신호, 어드레스신호, 및 커맨드 신호 중에서 선택된 적어도 하나의 신호에 의해 조절 가능하다.

[0021] 상기 터미네이션 레벨은 전원전압레벨(VDDQ) 또는 접지(VSSQ)레벨일 수 있다. 상기 초기화 데이터는 상기 터미네이션 레벨과 동일하거나 근접한 레벨을 가질 수 있다.

[0022] 상기 터미네이션 레벨은 전원전압레벨(VDDQ)과 접지(VSSQ)레벨 사이에 존재하는 특정레벨일 수 있으며, 상기 터미네이션 레벨은 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균값과 동일하거나 근접한 레벨일 수 있다.

[0023] 상기 전송데이터의 전송에 앞서, 미리 알려진 특정레벨의 초기화 데이터를 상기 데이터 채널을 통해 전송하여 상기 이전데이터의 초기화를 수행하는 단계를 더 구비할 수 있다.

[0024] 상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 다른 구체화에 따라, 본 발명에 따른 불연속적으로 데이터의 전송이 이루어지는 반도체 메모리 장치에 이용되며, 이전데이터의 레벨에 대응하여 샘플링레퍼런스 레벨을 변경시켜 전송데이터를 샘플링하는 DFE(Decision Feedback Equalizer)의 초기화방법은, 상기 전송데이터의 전송되는 데이터 채널을 미리 정해진 특정 터미네이션 레벨로 터미네이션시키는 단계와; 상기 이전데이터의 초기화 데이터 레벨을 상기 터미네이션 레벨로 가정한 상태에서, 상기 초기화 데이터에 대응하여 샘플링레퍼런스 레벨을 변경시켜 상기 전송데이터의 샘플링을 수행하는 단계를 구비한다.

[0025] 상기 터미네이션 레벨은 전원전압레벨(VDDQ) 또는 접지(VSSQ)레벨일 수 있다.

[0026] 상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 또 다른 구체화에 따라, 본 발명에 따른 데이터의 전송이 이루어지는 데이터 채널이 특정 터미네이션 레벨로 터미네이션되며, 불연속적으로 데이터의 전송이 이루어지는 반도체 메모리 장치에서의 DFE(Decision Feedback Equalizer)회로는, 이전 데이터의 레벨에 대응하여 변경된 샘플링레퍼런스 레벨을 통해 전송데이터를 샘플링하는 DFE유닛과; 상기 DFE 유닛의 전송데이터 샘플링 시작 시점을 상기 전송데이터의 전송시점보다 일정시간 앞서는 시점으로 조절하여, 상기 전송데이터의 샘플링이전에 상기 터미네이션 레벨을 샘플링함에 의해 이전데이터의 초기화를 수행하는 샘플링 시점 조절부를 구비한다.

[0027] 상기 전송 데이터의 샘플링 시작 시점은 상기 전송데이터의 전송시점보다 적어도 1비트 샘플링 타임(0.5클럭 사이클 타임)을 앞서는 시점일 수 있다.

[0028] 상기 샘플링 시점 조절부는, 외부에서 입력되는 MRS 신호, 어드레스신호, 및 커맨드 신호 중에서 선택된 적어도 하나의 신호에 응답하여, 상기 전송 데이터의 샘플링 시작 시점을 조절할 수 있다.

[0029] 상기 터미네이션 레벨은 전원전압레벨(VDDQ) 또는 접지(VSSQ)레벨일 수 있으며, 상기 이전데이터의 초기화 레벨

은 상기 터미네이션 레벨과 동일하거나 근접한 레벨을 가질 수 있다.

- [0030] 상기 터미네이션 레벨은 전원전압레벨(VDDQ)과 접지(VSSQ)레벨 사이에 존재하는 특정레벨일 수 있으며, 상기 터미네이션 레벨은 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균값과 동일하거나 근접한 레벨일 수 있다.
- [0031] 상기 반도체 메모리 장치 또는 상기 DFE회로는, 미리 정해진 특정레벨의 초기화 데이터를, 상기 전송데이터의 전송에 앞서서 상기 데이터 채널을 통해 미리 전송함에 의해 상기 이전데이터의 초기화를 수행할 수 있다.
- [0032] 상기 DFE유닛은, 적어도 하나의 샘플링 클럭에 응답하여 서로 다른 레벨의 복수의 샘플링 레퍼런스 레벨 중 상기 이전데이터에 대응하는 샘플링레퍼런스 레벨을 선택하여 상기 전송데이터의 샘플링을 수행하는 샘플링부와; 상기 샘플링부의 복수의 출력들 중 적어도 하나를 선택하여 출력하는 선택부를 구비할 수 있다.
- [0033] 상기 샘플링부는, 제1샘플링 클럭에 응답하여 제1샘플링레퍼런스 레벨을 기준으로 상기 전송데이터의 샘플링을 수행하는 제1샘플러와; 상기 제1샘플링 클럭에 응답하여 상기 제1샘플링레퍼런스 레벨보다 일정레벨 낮은 레벨을 가지는 제2샘플링레퍼런스 레벨을 기준으로 상기 전송데이터의 샘플링을 수행하는 제2샘플러와; 상기 제1샘플링 클럭과는 일정위상차를 가지는 제2샘플링 클럭에 응답하여 상기 제1샘플링레퍼런스 레벨을 기준으로 상기 전송데이터의 샘플링을 수행하는 제3샘플러와; 상기 제2샘플링 클럭에 응답하여 상기 제2샘플링레퍼런스 레벨을 기준으로 상기 전송데이터의 샘플링을 수행하는 제4샘플러 중에서 선택된 적어도 두 개의 샘플러를 구비할 수 있다.
- [0034] 상기 선택부는, 제1턱스 및 제2턱스를 적어도 구비하며, 상기 제1턱스는, 상기 제2턱스의 출력신호에 응답하여, 상기 제1샘플러의 출력신호와 상기 제2샘플러의 출력신호 중 어느 하나의 출력신호를 선택하여 출력하며, 상기 제2턱스는, 상기 제1턱스의 출력신호에 응답하여, 상기 제3샘플러의 출력신호와 상기 제4샘플러의 출력신호 중 선택된 어느 하나의 출력신호를 선택하여 출력할 수 있다.
- [0035] 상기 선택부는, 제1턱스, 제2턱스, 제1플립플롭, 및 제2플립플롭을 구비하며, 상기 제1턱스는, 상기 제2플립플롭의 출력신호에 응답하여, 상기 제1샘플러의 출력신호와 상기 제2샘플러의 출력신호 중 어느 하나의 출력신호를 선택하여 출력하며, 상기 제1플립플롭은 상기 제1샘플링클럭에 응답하여 상기 제1턱스의 출력신호의 외부출력시점을 조절하며, 상기 제2턱스는, 상기 제1플립플롭의 출력신호에 응답하여, 상기 제3샘플러의 출력신호와 상기 제4샘플러의 출력신호 중 선택된 어느 하나의 출력신호를 선택하여 출력하며, 상기 제2플립플롭은 상기 제2샘플링 클럭에 응답하여 상기 제2턱스의 출력신호의 외부출력시점을 조절할 수 있다.
- [0036] 상기 DFE유닛은, 상기 제1플립플롭 및 상기 제2플립플롭에 입력되는 상기 제1샘플링클럭 및 상기 제2샘플링 클럭을 일정딜레이만큼 딜레이시키기 위한 딜레이부를 더 구비할 수 있다.
- [0037] 상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 또 다른 구체화에 따라, 본 발명에 따른 데이터의 전송이 이루어지는 데이터 채널이 특정 터미네이션 레벨로 터미네이션되며, 불연속적으로 데이터의 전송이 이루어지는 반도체 메모리 장치에서의 DFE(Decision Feedback Equalizer)회로는, 샘플링클럭에 응답하여, 이전데이터의 레벨에 대응하여 선택되는 서로 다른 샘플링레퍼런스 레벨을 기준으로 전송데이터의 샘플링을 수행하는 적어도 두 개 이상의 샘플러들과; 상기 DFE회로의 외부 출력신호를 피드백 받아 컨트롤되어, 상기 적어도 두 개 이상의 샘플러들의 출력신호 중 어느 하나를 선택하여 출력하는 적어도 하나의 턱스와; 상기 샘플링 클럭을 일정 딜레이 만큼 딜레이 시킨 딜레이 샘플링 클럭에 응답하여, 상기 적어도 하나의 턱스의 출력신호의 외부출력시점을 조절하고, 이를 상기 외부출력신호로 하여 출력하는 적어도 하나의 플립플롭과; 상기 샘플링 클럭의 딜레이 신호의 딜레이 정도를 외부 입력에 의해 조절하는 딜레이부를 구비할 수 있다.

[0038]

효과

[0039] 본 발명에 따르면, 불연속적으로 데이터 전송이 이루어지는 반도체 메모리 장치에서의 DFE회로의 초기화를 통해, 데이터 수신에 오류를 방지 또는 최소화할 수 있다. 그리고, 피드백 딜레이로 인한 구조적인 사용상의 한계를 극복할 수 있는 장점이 있다. 또한 동작주파수의 제한을 최소화할 수 있다.

발명의 실시를 위한 구체적인 내용

[0040] 이하에서는 본 발명의 바람직한 실시예가, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 철저한 이해를 제공할 의도 외에는 다른 의도 없이, 첨부한 도면들을 참조로 하여 상세히 설명될 것이다.

- [0041] 도 2는 본 발명의 일 실시예에 따른 반도체 메모리 장치에서의 DFE회로의 블록도이다.
- [0042] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 반도체 메모리 장치에서의 DFE회로는, DFE유닛(100), 및 샘플링시점 조절부(150)를 구비한다.
- [0043] 현재 반도체 메모리 장치에서는 리드/라이트 커맨드(READ/WRITE)가 인가되었을 때 일정 레이턴시(latency) 후 데이터가 전송된다. 따라서 데이터 채널이 끊임없이 동작하는 것이 아니라, 경우에 따라서 일정한 시간차(time gap)를 지니며 불연속적으로 데이터가 전송되는 구조를 가진다. 여기서 상기 데이터가 전송되는 데이터 채널은 특정 터미네이션 레벨로 터미네이션 될 수 있다.
- [0044] DDR3의 경우에, 연속된 데이터 전송 간의 타임 갭(time gap)이 제일 작은 경우는 3~4UI(Unit Interval)정도이다. 여기서 UI는 데이터 단위이다. 특히 메모리시스템중에서 보편적으로 사용되는 디램(DRAM)의 경우 데이터 채널의 터미네이션을 디램 다이(die) 내부에서 하고 있다. 따라서 3~4UI 시간 안에 데이터 채널은 충분히 터미네이션 레벨에 도달할 수 있게 되는 것이다.
- [0045] 상기 데이터 채널의 터미네이션 레벨은 전원전압레벨(VDDQ) 또는 접지(VSSQ)레벨일 수 있다. 다른 예에 따르면, 상기 터미네이션 레벨은 전원전압레벨(VDDQ)과 접지(VSSQ)레벨 사이에 존재하는 특정레벨, 예를 들면, 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨값(전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 중간레벨값)(VREF)과 동일하거나 근접한 레벨일 수 있다.
- [0046] 상기 DFE유닛(100)은 이전에 입력되었던 이전 데이터의 레벨에 대응하여 변경된 샘플링 레퍼런스 레벨을 통해 전송데이터를 샘플링하여 출력한다.
- [0047] 예를 들면, 샘플링 레퍼런스 레벨의 초기값이 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨(VREF)이라고 가정된 상태에서, 상기 DFE유닛(100)으로 바로 직전 입력되었던 이전데이터가 하이레벨이었고, 다음으로 전송데이터 입력된다고 가정하자.
- [0048] 이 경우 상기 전송데이터의 샘플링을 위한 샘플링 레퍼런스 레벨은 상기 이전데이터의 레벨에 대응하여 변경되며, 이때의 샘플링 레퍼런스 레벨은 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨(VREF)보다 높아진 레벨($VREF + \alpha$)을 가져야 한다. 이는 상기 전송데이터가 하이레벨인 경우에는 별 영향이 없으나, 로우 레벨인 경우에는 상기 전송데이터가 상기 이전데이터의 레벨에 영향을 받기 때문에, 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨(VREF)을 기준으로 샘플링을 할 경우 오류가 발생할 여지가 많기 때문에 이를 보상하기 위함이다.
- [0049] 반대로 이전데이터가 로우레벨일 경우에도 같은 원리로, 상기 전송데이터 샘플링을 위한 상기 샘플링 레퍼런스 레벨은 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨(VREF)보다 낮아진 레벨($VREF - \alpha$)을 가져야 한다. 이는 상기 전송데이터가 로우레벨인 경우에는 별 영향이 없으나, 하이 레벨인 경우에는 상기 전송데이터가 상기 이전데이터의 레벨에 영향을 받기 때문에, 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨(VREF)을 기준으로 샘플링을 할 경우 오류가 발생할 여지가 많기 때문에 이를 보상하기 위함이다.
- [0050] 여기서 변경의 대상이 되는 샘플링 레퍼런스 레벨(VREF)은 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨로 하는 것이 일반적이나, 경우에 따라 다른 레벨을 가질 수 있다. 예를 들어 상기 전원전압레벨(VDDQ)이 3V이고 접지(VSSQ)레벨이 0V 일 경우에, 1.5V가 기준 레퍼런스 레벨일 수 있으나, 경우에 따라 1V 또는 2V를 기준으로 하여 적당한 계수들(예를 들면, 'a')을 가감하여 샘플링 레퍼런스 레벨($VREF + \alpha$ 또는 $VREF - \alpha$)을 정할 수 있다.
- [0051] 이하에서는 샘플링 레퍼런스 레벨($VREF + \alpha$ 또는 $VREF - \alpha$)의 기준이 되는 레퍼런스 레벨(VREF)을 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨로 가정하고 설명한다.
- [0052] 상기 DFE유닛(100)은 이전데이터의 레벨에 따라 변경되는 샘플링 레퍼런스 레벨($VREF + \alpha$, $VREF - \alpha$)을 통하여 전송데이터(DIN)의 샘플링을 수행하여 출력신호(DI-F, DI-S)를 출력한다. 따라서, 상기 DFE 유닛(100)에서 이전데이터의 레벨은 상기 전송데이터의 샘플링에 있어 중요한 존재의의를 가진다.
- [0053] 상기 샘플링 시점 조절부(150)는 상기 DFE 유닛(100)의 전송데이터 샘플링 시작시점을 상기 전송데이터의 전송시점보다 일정시간 앞서서 시점으로 조절하여 상기 이전데이터의 초기화를 수행한다.
- [0054] 상기 샘플링 시점 조절부(150)는 클럭신호(DCLK) 및 인에이블 신호(EN)을 입력으로 하는 앤드회로를 구비하여 샘플링클럭(DCKD)을 발생할 수 있다. 이때 인에이블 신호(EN)이 특정 시점에서 하이 또는 로우레벨을 가지는지 여부에 따라 상기 전송 데이터의 샘플링 시작 시점이 조절되게 된다.
- [0055] 상기 전송 데이터의 샘플링 시작 시점은 상기 전송데이터의 전송시점과 비교하여 적절하게 정해질 수 있다. 상

기 DFE 유닛(100)이 상기 전송데이터를 알기 위해 필요한 이전데이터 값에 대응하여 상기 전송 데이터의 샘플링 시작 시점이 정해질 수 있다.

- [0056] 하나의 예로, 도 2의 하단부에 도시된 샘플링 타이밍도에 도시된 바와 같이, 상기 DFE 유닛(100)에서 1비트의 이전데이터만 필요한 경우(예를 들면 1-tap DFE의 경우)에는, 상기 인에이블 신호(EN)이 종래의 인에이블 신호(EN_{old})보다 앞서는 시점에서 하이레벨을 가지도록 조절된 새로운 인에이블 신호(EN_{new})에 의해 샘플링 시점이 조절된다. 따라서, 종래의 샘플링 시점보다 1비트 샘플링 타임(0.5클럭 사이클 타임)을 앞서는 시점으로 상기 전송데이터 샘플링 시작시점이 정해질 수 있다. 추가적으로 2비트의 이전데이터가 필요한 경우에는 종래의 상기 전송 데이터의 샘플링 시작시점 보다 2비트 샘플링 타임(1클럭 사이클 타임)을 앞서는 시점으로 상기 전송 데이터 샘플링 시작시점이 정해질 수 있다. 이 경우에는 새로운 인에이블 신호(EN_{new})가 하이레벨을 갖는 시점이 1비트의 경우보다 앞당겨질 수 있다.(점선레벨참조)
- [0057] 요약하면, 상기 샘플링 시점 조절부(150)는 실제 전송되는 전송데이터를 샘플링하기 위한 전송데이터 샘플링 시점보다, 데이터 샘플링 시작시점을 앞당겨서 데이터 채널의 터미네이션 레벨을 샘플링함에 의해 이전데이터의 초기화를 수행하는 것이다. 여기서는 이전데이터의 초기화를 위한 샘플링을 프리샘플링이라 칭하여 본래의 전송데이터의 샘플링과 구별하기로 한다.
- [0058] 상기 전송데이터 샘플링 시작시점은, 외부에서 입력되는 MRS(Mode Register Set)신호, 어드레스신호, 및 커맨드 신호 중에서 선택된 적어도 하나의 신호를 통하여 제어하거나, 이들 신호들 중 적어도 두 개의 신호를 조합한 신호에 의하여 제어할 수 있다. 기타 반도체 메모리 장치에서 사용되는 다양한 신호들 중 하나 또는 그 이상을 선택하거나 조합하여 상기 전송데이터샘플링 시작시점을 제어할 수 있다.
- [0059] 도 3은 도 2의 DFE유닛(100)의 구현예를 나타낸 것이다.
- [0060] 도 3에 도시된 바와 같이, 상기 DFE유닛(100)은 샘플링부(110)와 선택부(120)를 구비한다.
- [0061] 상기 샘플링부(110)는 적어도 하나의 샘플링 클럭(DCKD)에 응답하여 서로 다른 레벨의 복수의 샘플링 레퍼런스 레벨(VREF+ α , VREF- α)중 상기 이전데이터에 대응하는 샘플링 레퍼런스 레벨을 선택하여 상기 전송데이터(DIN)의 샘플링을 수행한다. 이를 위해 상기 샘플링부(110)는 제1 내지 제4샘플러(112,114,116,118)를 구비할 수 있다.
- [0062] 상기 제1 내지 제4샘플러(112,114,116,118)는 상기 전송데이터(DIN)를 공통입력으로 하나 샘플링을 위한 샘플링 레퍼런스 레벨이나 클럭은 서로 다를 수 있다. 상기 제1 내지 제4샘플러(112,114,116,118)는 샘플링 레퍼런스 레벨을 기준으로 입력되는 데이터(DIN)의 레벨을 판단하여 데이터를 샘플링한다. 상기 제1 내지 제4샘플러(112,114,116,118)는 일반적으로 반도체 메모리 장치에 사용되는 센스앰프와 그 동작이나 구성이 유사할 수 있다.
- [0063] 예를 들면, 상기 제1샘플러(112) 및 제2샘플러(114)는 제1샘플링 클럭(DCKD)에 응답하여 샘플링을 수행하고, 상기 제3샘플러(116) 및 상기 제4샘플러(118)는 상기 제1샘플링 클럭(DCKD)과는 일정위상차를 가지는 제2샘플링 클럭(예를 들면, 상기 제1샘플링 클럭의 의 반전 클럭)에 응답하여 샘플링을 수행할 수 있다.
- [0064] 상기 제1샘플링 클럭 및 상기 제2샘플링 클럭은 라이징 에지와 폴링에지 시점을 가지는 하나의 샘플링 클럭(DCKD)일 수 있다. 다시말하면, 하나의 샘플링 클럭(DCKD)에서 라이징 에지시점에서는 상기 제1샘플러(112) 및 제2샘플러(114)가 동작하고, 폴링에지시점에서는 상기 제3샘플러(116) 및 상기 제4샘플러(118)가 동작하는 구조를 가질 수 있다. 여기서는 하나의 샘플링 클럭(DCKD)를 이용하는 경우를 설명한다.
- [0065] 또한, 상기 제1샘플러(112) 및 상기 제3샘플러(116)는 제1샘플링 레퍼런스 레벨(VREF+ α)을 입력으로 하여 샘플링을 수행하며, 상기 제2샘플러(114) 및 상기 제4샘플러(118)는 제2샘플링 레퍼런스 레벨(VREF- α)을 입력으로 하여 샘플링을 수행할 수 있다. 여기서 상기 제1샘플링 레퍼런스 레벨(VREF+ α)은 제2샘플링 레퍼런스 레벨(VREF- α)보다 일정레벨 높은 레벨값을 가질 수 있다.
- [0066] 상기 선택부(120)는 상기 샘플링부(110)의 복수의 출력들 중 적어도 하나를 선택하여 출력한다.
- [0067] 상기 선택부(120)는, 제1턱스(122) 및 제2턱스(124)를 적어도 구비한다.
- [0068] 상기 제1턱스(122)는, 상기 제2턱스(124)의 출력신호에 응답하여, 상기 제1샘플러(112)의 출력신호와 상기 제2샘플러(114)의 출력신호 중 어느 하나의 출력신호(DI-F)를 선택하여 출력한다.
- [0069] 상기 제2턱스(124)는, 상기 제1턱스(122)의 출력신호에 응답하여, 상기 제3샘플러(116)의 출력신호와 상기 제4

샘플러(118)의 출력신호 중 선택된 어느 하나의 출력신호(DI-S)를 선택하여 출력한다.

- [0070] 상기 DFE유닛(100)의 동작을 간단하게 설명하면 다음과 같다. 우선 상기 전송데이터(DIN)가 하이레벨(데이터 1)과 로우레벨(데이터 0)로 입력된다고 가정한다. 이 경우 하이레벨인 데이터 1은 공통으로 제1 내지 제4샘플러(112, 114, 116, 118)에 입력된다, 상기 샘플링 클럭(DCKD)의 라이징 에지 시점에서 상기 제1샘플러(112) 및 제2샘플러(114)가 동작하여 상기 하이레벨의 데이터 1을 샘플링한다. 상기 제1샘플러(112) 및 제2샘플러(114)의 출력은 상기 제1턱스(122)로 입력된다. 이때 상기 하이레벨의 데이터 1은 바로 직전에 입력되었던 이전데이터인 상기 제2턱스(124)의 출력(DI-S)에 의해 상기 제1샘플러(112) 및 제2샘플러(114)의 출력 중 어느 하나를 선택하게 된다. 이 경우 상기 이전데이터(DI-S)가 하이레벨이었을 경우에는 상기 제2샘플러(114)의 출력을 선택하고, 상기 이전데이터(DI-S)가 로우 레벨이었을 경우에는 상기 제1샘플러(112)의 출력을 선택하게 된다. 이에 따라 상기 제1턱스(122)의 출력(DI-F)은 하이레벨이 된다.
- [0071] 이후 상기 로우레벨의 데이터0 이 입력된다. 상기 로우레벨의 데이터 0은 상기 샘플링 클럭(DCKD)의 폴링에지시점에 입력된다. 따라서 제3샘플러(116) 및 제4샘플러(118)의 동작에 의해 샘플링이 수행된다. 상기 제3샘플러(116)의 출력 및 상기 제4샘플러(118)의 출력은 상기 제2턱스(124)로 입력되고, 상기 제2턱스(124)에서는 상기 제1턱스(122)의 출력(DI-F)인 하이레벨의 데이터 신호에 응답하여 상기 제3샘플러(116)의 출력을 선택하여 출력신호(DI-S)로써 출력한다. 만약 상기 제1턱스(122)의 출력(DI-F)이 로우 레벨이었다면 상기 제4샘플러(118)의 출력을 선택하여 출력신호(DI-S)로 출력하였을 것이다. 결과적으로는 샘플링 레퍼런스 레벨이 일반적인 경우보다 높은 레퍼런스 레벨을 기준으로 샘플링한 데이터 값이 선택되는 것이다. 이는 이전데이터가 하이레벨이었던 경우 다음 데이터가 로우 레벨이면, ISI효과 등에 의해 로우레벨의 데이터의 샘플링 오류가 발생할 수 있기 때문이다.
- [0072] 상술한 바와 같이 상기 DFE 유닛(100)은 이전데이터의 값에 대응하여 다음으로 전송되는 전송데이터의 샘플링이 영향을 받으므로 이전데이터의 초기화는 매우 중요한 문제이다.
- [0073] 도 4는 도 2에서 데이터 채널을 전원전압레벨(VDDQ)로 터미네이션하는 경우, 즉 데이터 채널의 터미네이션 레벨을 전원전압 레벨(VDDQ)로 하는 경우 데이터 샘플링 동작 타이밍도이다.
- [0074] 도 4에 도시된 바와 같이, 우선 프리샘플링구간(Pre-sampling)에서 데이터의 초기화를 위해 상기 전원전압레벨(VDDQ)로 터미네이션 되어있는 상기 데이터 채널을 샘플링한다. 이에 따라 상기 이전데이터는 하이레벨(데이터 1상태)로 초기화된다. 이후 전송데이터가 '0,0,1,0'으로 순차적으로 입력된다. 각각의 데이터 전송구간(t1,t2,t3,t4)에서의 데이터 샘플링이 시작된다.
- [0075] 우선 이전데이터가 하이레벨로 초기화된 상태에서 전송구간(t1)에서의 데이터 0의 샘플링을 위해서는, 샘플링 레퍼런스 레벨을 제1샘플링 레퍼런스 레벨(VREF+ α)로 선택한다. 그리고 다음으로 전송구간(t2)에서의 데이터 0의 샘플링을 위해서는 전송구간(t1)의 경우보다 레퍼런스 레벨(VREF)이 상대적으로 낮은 제2샘플링 레퍼런스 레벨(VREF- α)이 선택된다. 이때는 전송구간(t2)에서의 데이터 0의 이전데이터가 데이터 0 이므로 이에 대응하여 샘플링 레퍼런스 레벨을 상대적으로 낮춰주는 것이다. 다음 전송구간(t3)에서 이전데이터는 데이터 0 이고 전송데이터는 데이터 1이 된다. 이 경우에는 상기 제2샘플링 레퍼런스 레벨(VREF- α)이 샘플링 레퍼런스 레벨이 된다.
- [0076] 다음으로 전송구간(t4)에서는 이전데이터는 데이터1이고 전송데이터는 데이터 0이 된다. 이 경우에는 전송구간(t1)에서와 마찬가지로 제1샘플링레퍼런스 레벨(VREF+ α)이 샘플링레퍼런스 레벨이 될 것이다.
- [0077] 도 5는 도 2에서 데이터 채널을 접지레벨(VSSQ)로 터미네이션하는 경우, 즉 데이터 채널의 터미네이션 레벨을 접지 레벨(VSSQ)로 하는 경우 데이터 샘플링 동작 타이밍도이다.
- [0078] 도 5에 도시된 바와 같이, 우선 프리샘플링구간(Pre-sampling)에서 데이터의 초기화를 위해 상기 접지레벨(VSSQ)로 터미네이션 되어있는 상기 데이터 채널을 샘플링한다. 이에 따라 상기 이전데이터는 로우레벨(데이터 0)로 초기화된다. 이후 전송데이터가 '0,0,1,0'으로 순차적으로 입력된다. 각각의 데이터 전송구간(t1,t2,t3,t4)에서의 데이터 샘플링이 시작된다.
- [0079] 우선 이전데이터가 로우레벨로 초기화된 상태에서 전송구간(t1)에서의 데이터 0의 샘플링을 위해서는, 샘플링 레퍼런스 레벨을 제2샘플링레퍼런스 레벨(VREF- α)로 선택한다. 그리고 다음으로 전송구간(t2)에서의 데이터 0의 샘플링을 위해서는 전송구간(t1)의 경우와 같은 제2샘플링레퍼런스 레벨(VREF- α)이 선택된다. 이다음 전송구간(t3)에서 이전데이터는 데이터 0 이고 전송데이터는 데이터 1이 된다. 이 경우에는 상기 제2샘플링레퍼런스 레벨(VREF- α)이 샘플링레퍼런스 레벨이 된다. 이때는 전송구간(t3)에서의 데이터 1의 이전데이터가 데이터

0 이므로 이에 대응하여 샘플링레퍼런스 레벨을 상기 제2샘플링레퍼런스 레벨(VREF- α)로 유지한다.

- [0080] 다음으로 전송구간(t4)에서는 이전데이터는 데이터1 이고 전송데이터는 데이터 0이 된다. 이 경우에는 다른 전송구간(t1,t2,t3)에서와 달리 제1샘플링레퍼런스 레벨(VREF+ α)이 샘플링레퍼런스 레벨이 될 것이다.
- [0081] 도 4에서의 제1샘플링레퍼런스 레벨(VREF+ α) 및 제2샘플링레퍼런스 레벨(VREF- α)과 도 5에서의 제1샘플링레퍼런스 레벨(VREF+ α) 및 제2샘플링레퍼런스 레벨(VREF- α)은 동일한 부호를 사용하고 있으나, 이는 이해의 편의를 위한 것일 뿐 서로 다른 레벨을 의미할 수 있다. 또한 상황에 따라 ' α ' 값은 변할 수 있다.
- [0082] 도시되지는 않았지만, 상기 데이터 채널의 터미네이션 레벨은 전원전압레벨(VDDQ)과 접지(VSSQ)레벨 사이에 존재하는 특정레벨일 수 있다. 예를 들면, 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨값(전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 중간레벨값)(VREF)과 동일하거나 근접한 레벨로 상기 데이터 채널의 터미네이션을 수행할 수 있다.
- [0083] 이 경우에는 미리 정해진 특정레벨의 초기화 데이터를, 상기 전송데이터의 전송에 앞서서 상기 데이터 채널을 통해 미리 전송하는 방법으로 상기 이전데이터의 초기화를 수행할 수 있다. 즉 프리샘플링 구간에 상기 초기화 데이터를 전송함에 의해 이전데이터의 초기화를 수행할 수 있다.
- [0084] 도 6은 본 발명의 다른 실시예에 관한 것으로, 도 2와 같은 샘플링 시점의 조절 없이 상기 이전데이터를 초기화하기 위한 DFE 회로의 블록도를 나타낸 것이다.
- [0085] 도 6에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 반도체 메모리 장치에서의 DFE회로는, DFE유닛(200), 및 샘플링 클럭발생부(250)를 구비한다.
- [0086] 이때 상기 데이터 채널은 전원전압레벨(VDDQ) 또는 접지(VSSQ)레벨로 터미네이션 되었다고 가정한다.
- [0087] 상기 DFE유닛(200)은 이전에 입력되었던 이전 데이터의 레벨에 대응하여 변경된 샘플링 레퍼런스 레벨을 통해 전송데이터를 샘플링하여 출력한다.
- [0088] 예를 들면, 레퍼런스 레벨의 초기값이 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨(VREF)이라고 가정한 상태에서, 상기 DFE유닛(200)으로 바로 직전 입력되었던 이전데이터가 하이레벨이었고, 다음으로 전송데이터 입력된다고 가정하자.
- [0089] 이 경우 상기 전송데이터의 샘플링을 위한 샘플링레퍼런스 레벨은 상기 이전데이터의 레벨에 대응하여 변경되며, 이때의 샘플링 레퍼런스 레벨은 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨(VREF)보다 높아진 레벨(VREF+ α)을 가져야 한다. 이는 상기 전송데이터가 하이레벨인 경우에는 별 영향이 없으나, 로우 레벨인 경우에는 상기 전송데이터가 상기 이전데이터의 레벨에 영향을 받기 때문에. 전원전압레벨(VDDQ)과 접지(VSSQ)레벨의 평균레벨(VREF)을 기준으로 샘플링을 할 경우 오류가 발생할 여지가 많기 때문에 이를 보상하기 위함이다.
- [0090] 상기 DFE유닛(200)은 이전데이터의 레벨에 따라 변경되는 샘플링레퍼런스 레벨(VREF+ α , VREF- α)을 통하여 전송데이터(DIN)의 샘플링을 수행하여 출력신호(DI-F,DI-S)를 출력한다. 따라서, 상기 DFE 유닛(200)에서 이전데이터의 레벨은 상기 전송데이터의 샘플링에 있어 중요한 존재의의를 가진다.
- [0091] 상기 DFE유닛(200)의 이전데이터 초기화 관련 자세한 구성은 도 7에서 설명한다.
- [0092] 상기 샘플링 클럭 발생부(250)는 도 6의 하부의 샘플링 타이밍도에 보여지는 바와 같이, 종래와 같은 시점의 샘플링클럭(DCKD)을 발생한다. 즉 도 2 내지 도 5에서 설명한 바와 같이 프리 샘플링 구간을 별도로 설정함이 없이 종래와 같이 노멀 샘플링이 수행되도록 한다.
- [0093] 상기 샘플링 클럭 발생부(250)는 클럭신호(DCLK) 및 인에이블 신호(EN)을 입력으로 하는 앤드회로를 구비하여 샘플링클럭(DCKD)을 발생할 수 있다. 이때 인에이블 신호(EN)이 특정 시점에서 하이 또는 로우레벨을 가지는지 여부에 따라 상기 전송 데이터의 샘플링시점이 조절되게 된다.
- [0094] 도 7은 도 6의 DFE유닛(200)의 구현예를 나타낸 것이다.
- [0095] 도 7에 도시된 바와 같이, 상기 DFE유닛(200)은 샘플링부(210)와 선택부(220), 및 초기값 설정부(230)를 구비한다. 도 7에 도시된 DFE유닛(200)은 상기 초기값 설정부(230)의 구성 및 동작을 제외하고는 그 밖의 노멀 동작은 서로 동일하다. 다시말하면, 상기 이전데이터의 초기화 과정을 달리할 뿐 나머지 동작은 동일하다.
- [0096] 상기 샘플링부(210)는 적어도 하나의 샘플링 클럭(DCKD)에 응답하여 서로 다른 레벨의 복수의 샘플링 레퍼런스

레벨(VREF+ α , VREF- α)중 상기 이전데이터에 대응하는 샘플링 레퍼런스 레벨을 선택하여 상기 전송데이터(DIN)의 샘플링을 수행한다. 이를 위해 상기 샘플링부(210)는 제1 내지 제4샘플러(212,214,216,218)를 구비할 수 있다.

- [0097] 상기 제1 내지 제4샘플러(212,214,216,218)는 상기 전송데이터(DIN)를 공통입력으로 하나 샘플링을 위한 샘플링 레퍼런스 레벨이나 클럭은 서로 다를 수 있다. 상기 제1 내지 제4샘플러(212,214,216,218)는 샘플링 레퍼런스 레벨을 기준으로 입력되는 데이터(DIN)의 레벨을 판단하여 데이터를 샘플링한다. 상기 제1 내지 제4샘플러(212,214,216,218)는 일반적으로 반도체 메모리 장치에 사용되는 센스앰프와 그 동작이나 구성이 유사할 수 있다.
- [0098] 예를 들면, 상기 제1샘플러(212) 및 제2샘플러(214)는 제1샘플링 클럭(DCKD)에 응답하여 샘플링을 수행하고, 상기 제3샘플러(216) 및 상기 제4샘플러(218)는 상기 제1샘플링 클럭(DCKD)과는 일정위상차를 가지는 제2샘플링 클럭(예를 들면, 상기 제1샘플링 클럭의 의 반전 클럭)에 응답하여 샘플링을 수행할 수 있다.
- [0099] 상기 제1샘플링 클럭 및 상기 제2샘플링 클럭은 라이징 에지와 폴링에지 시점을 가지는 하나의 샘플링 클럭(DCKD)일 수 있다. 다시말하면, 하나의 샘플링 클럭(DCKD)에서 라이징 에지시점에서는 상기 제1샘플러(212) 및 제2샘플러(214)가 동작하고, 폴링에지시점에서는 상기 제3샘플러(216) 및 상기 제4샘플러(218)가 동작하는 구조를 가질 수 있다. 여기서는 하나의 샘플링 클럭(DCKD)를 이용하는 경우를 설명한다.
- [0100] 또한, 상기 제1샘플러(212) 및 상기 제3샘플러(216)는 제1샘플링 레퍼런스 레벨(VREF+ α)을 입력으로 하여 샘플링을 수행하며, 상기 제2샘플러(214) 및 상기 제4샘플러(218)는 제2샘플링레퍼런스 레벨(VREF- α)을 입력으로 하여 샘플링을 수행할 수 있다. 여기서 상기 제1샘플링레퍼런스 레벨(VREF+ α)은 제2샘플링레퍼런스 레벨(VREF- α)보다 일정레벨 높은 레벨값을 가질 수 있다.
- [0101] 상기 선택부(220)는 상기 샘플링부(210)의 복수의 출력들 중 적어도 하나를 선택하여 출력한다.
- [0102] 상기 선택부(220)는, 제1믹스(222) 및 제2믹스(224)를 적어도 구비한다.
- [0103] 상기 제1믹스(222)는, 상기 제2믹스(224)의 출력신호에 응답하여, 상기 제1샘플러(212)의 출력신호와 상기 제2샘플러(114)의 출력신호 중 어느 하나의 출력신호(DI-F)를 선택하여 출력한다.
- [0104] 상기 제2믹스(224)는, 상기 제1믹스(222)의 출력신호에 응답하여, 상기 제3샘플러(216)의 출력신호와 상기 제4샘플러(218)의 출력신호 중 선택된 어느 하나의 출력신호(DI-S)를 선택하여 출력한다.
- [0105] 상기 초기값 설정부(230)는 상기 이전데이터의 초기화를 위해 구비된다.
- [0106] 여기서 상기 데이터 채널이 전원전압레벨(VDDQ)로 터미네이션 되었다면, 상기 이전데이터의 초기값은 하이레벨(데이터 1)로 가정된다. 이 경우 상기 제1믹스(222)의 조절을 위해 입력되는 제2믹스(224)의 출력신호 대신 상기 초기값 설정부(230)에서 출력되는 하이레벨의 신호가 입력된다. 즉 하이레벨로 이전데이터를 초기화 한다. 이후에 동작은 이미 설명한 바와 같다. 즉 상기 초기값 설정부(230)는 상기 전송데이터(DIN)의 첫비트가 입력되는 시점에만 이전데이터의 초기화를 위해 동작한다.
- [0107] 반대로 상기 데이터 채널이 접지레벨(VSSQ)로 터미네이션 되었다면, 상기 이전데이터의 초기값은 로우레벨(데이터 0)로 가정된다. 이 경우 상기 제1믹스(222)의 조절을 위해 입력되는 제2믹스(224)의 출력신호 대신 상기 초기값 설정부(230)에서 출력되는 로우레벨의 신호가 입력된다. 즉 로우레벨로 이전데이터를 초기화 한다. 이후에 동작은 이미 설명한 바와 같다. 이후의 동작은 도 3에서 설명한 바와 같다.
- [0108] 여기서 전송데이터가 입력되는 경우 필요한 이전데이터의 초기값이 제2믹스(224)의 컨트롤을 위해 필요하다면 상기 초기값 설정부(230)의 출력신호가 상기 제2믹스(224)로 입력될 수도 있다.
- [0109] 도 8 및 도 9는 도 2 및 도 6의 DFE유닛(100,200)의 다른 구현예를 나타낸 것이다. 도 8 및 도 9에서 도 7과 같은 초기값 설정부가 도시되지 않았으나, 상기 초기값 설정부가 구성될 수 있음은 당연한 것이다.
- [0110] 도 8에 도시된 바와 같이, 상기 DFE유닛(300)은 샘플링부(310)와 선택부(350)를 구비한다.
- [0111] 상기 샘플링부(310)는 적어도 하나의 샘플링 클럭(DCKD)에 응답하여 서로 다른 레벨의 복수의 샘플링 레퍼런스 레벨(VREF+ α , VREF- α)중 상기 이전데이터에 대응하는 샘플링 레퍼런스 레벨을 선택하여 상기 전송데이터(DIN)의 샘플링을 수행한다. 이를 위해 상기 샘플링부(310)는 제1 내지 제4샘플러(312,314,316,318)를 구비할 수 있다.

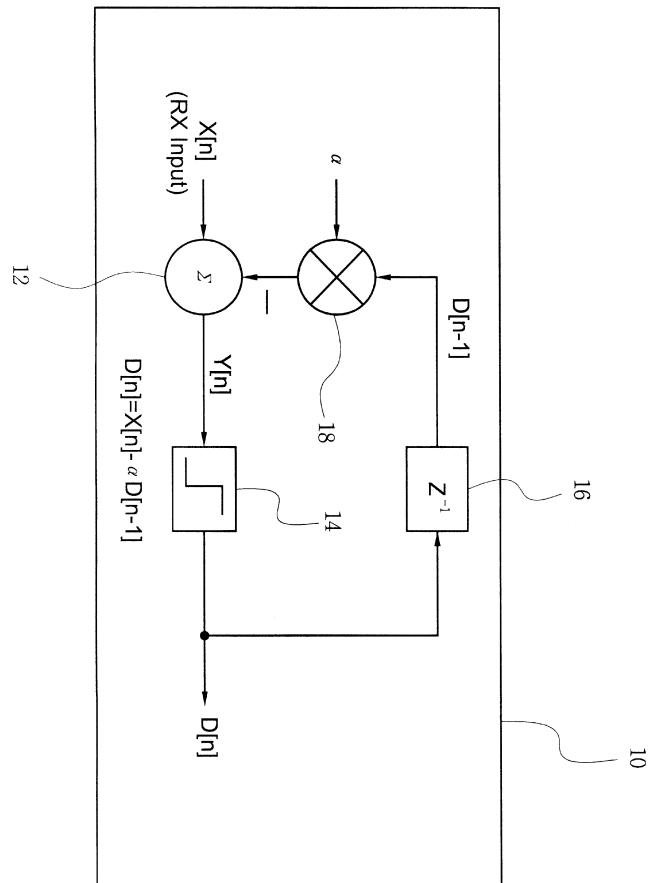
- [0112] 상기 제1 내지 제4샘플러(312,314,316,318)는 상기 전송데이터(DIN)를 공통입력으로 하나 샘플링을 위한 샘플링 레퍼런스 레벨이나 클럭은 서로 다를 수 있다. 상기 제1 내지 제4샘플러(312,314,316,318)는 샘플링레퍼런스 레벨을 기준으로 입력되는 데이터(DIN)의 레벨을 판단하여 데이터를 샘플링한다. 상기 제1 내지 제4샘플러(112,114,116,118)는 일반적으로 반도체 메모리 장치에 사용되는 센스앰프와 그 동작이나 구성이 유사할 수 있다.
- [0113] 도 8은 도 3에의 DFE유닛(100)의 선택부(120)에 플립플롭들(342,344)이 추가된 구성을 가지고 있다. 따라서 선택부(350)를 제외하고는 그 동작이나 구성이 서로 동일하므로, 더 이상의 상기 샘플링부(310)에 대한 설명은 생략하고 선택부(350)의 구성만을 설명하기로 한다.
- [0114] 상기 선택부(350)는 제1먹스(322), 제2먹스(324), 제1플립플롭(342), 및 제2플립플롭(344)을 구비한다.
- [0115] 상기 제1먹스(322)는, 상기 제2플립플롭(344)의 출력신호에 응답하여, 상기 제1샘플러(312)의 출력신호와 상기 제2샘플러(314)의 출력신호 중 어느 하나의 출력신호를 선택하여 출력한다.
- [0116] 상기 제1플립플롭(342)은 상기 샘플링 클럭(DCKD)에 응답하여 상기 제1먹스(322)의 출력신호를 외부출력신호(DI-F)로 출력한다. 즉 상기 제1먹스(322)의 출력신호의 외부 출력시점을 조절한다.
- [0117] 상기 제2먹스(324)는, 상기 제1플립플롭(342)의 출력신호에 응답하여, 상기 제3샘플러(316)의 출력신호와 상기 제4샘플러(318)의 출력신호 중 선택된 어느 하나의 출력신호를 선택하여 출력한다.
- [0118] 상기 제2플립플롭(344)은 상기 샘플링 클럭(DCKD)의 반전신호인 제2샘플링 클럭에 응답하여 상기 제2먹스(324)의 출력신호를 외부출력신호(DI-S)로 출력한다. 즉 상기 제2먹스(324)의 출력신호의 외부출력시점을 조절한다.
- [0119] 한편, DFE 회로는 피드백 딜레이로 인해 사용에 많은 제약이 따른다. 즉 이전데이터(D[n-1])를 처리하여 현재 전송데이터에 피드백하여야 하므로 이전데이터를 피드백 하는데 걸리는 시간은 1UI(Unit Interval)이하로 제한되어야 한다. 이러한 피드백 딜레이를 줄이기 위해 도 8과 같은 루프 언롤링(loop un-rolling)이란 방식이 개발되었다. 도 3과 비교할 경우에, 제1플립플롭(342) 및 제2플립플롭(344)을 더 구비함으로써 인하여 상기 DFE유닛(300)의 출력이 도 3에 비해 한 비트만큼 지연되어 출력되므로, 피드백 딜레이로 인한 제약을 줄일 수 있다.
- [0120] 하지만 일반적인 루프 언롤링 DFE의 경우에도 샘플러의 특성에 따라 피드백 딜레이가 제한이 되는 현상이 발생하게 된다.
- [0121] 특히 디램(DRAM)의 경우 동작 주파수(frequency)가 다양하기 때문에 모든 종류의 주파수를 고려하여야 한다.
- [0122] 도 8의 경우에 피드백 딜레이에 따른 제약을 계산해보면 $t_{CLK2Q_SA} + t_{MUX} + t_{SETUP_FF} + t_{CLKSKEW} < 1UI$ 가 될 수 있다.
- [0123] 여기서, t_{CLK2Q_SA} '는 샘플러(예를 들면 312)의 클럭 투 딜레이(clock-to-delay)이고, t_{MUX} '는 먹스 딜레이(mux delay)이고, t_{SETUP_FF} '은 플립플롭(예를들면 342)의 셋업타임(setup time)이고, $t_{CLKSKEW}$ '는 각 구성요소들에 인가되는 클럭간의 스큐(skew), 특히, 상기 샘플러(예를 들면 312) 및 플립플롭(예를 들면 342)에 인가되는 클럭간의 스큐를 의미한다.
- [0124] 여기서 1UI의 시간은 메모리의 동작주파수가 올라갈수록 더욱 작아질 것이다. 예를들어 메모리의 동작주파수가 3.2Gbps라고 가정해보면, 이때의 1UI는312.5ps로 매우 작은 값이 될 것이다. 개략적으로 $t_{MUX} < 100ps$, $t_{SETUP_FF} < 50ps$ 이고, $t_{CLKSKEW}$ 는 무시할 수 있다고 가정하면, 허용되는 샘플러(예를 들면 312)의 클럭 투 딜레이는 약 160ps정도이다. 이는 일반적인 조건에서 구현 불가능한 값은 아니지만, 여러 가지 공정조건과 디바이스의 미스매치(device mismatch)등을 고려하면 구현하기 매우 어려운 값이다. 만약 동작주파수가 5.0 Gbps 까지 올라가면 허용되는 샘플러(예를 들면 312)의 클럭 투 딜레이는 약 수십 ps정도이다. 따라서 도 8과 같은 타입의 루프 언롤링 DFE회로는 하이스피드의 메모리 장치에 사용하기에 제약이 따르게 된다.
- [0125] 도 8의 경우에, 전송데이터(DIN)가 샘플러(예를 들면 312)에 입력되는 시간으로부터 플립플롭(예를 들면, 342)로부터 유효 데이터가 출력될 때까지 걸리는 시간인 프로세싱 딜레이(DFE processing delay)는 $1UI + t_{CLK2Q_FF}$ 가 된다. 여기서 t_{CLK2Q_FF} '는 플립플롭(예를 들면 342)의 클럭 투 딜레이이다.
- [0126] 그리고, 반도체 메모리의 동작 주파수가 1.6Gbps에서 3.2Gbps로 변했다고 가정하면, 전체 프로세싱 딜레이는 $625ps + t_{CLK2Q_FF}$ 에서 $312.5ps + t_{CLK2Q_FF}$ 로 변하게 된다. 따라서 느린 동작주파수에서는 실제로 유효 데이터의 출력이

가능한 시간보다 출력이 가능한 시간보다 더 많은 시간을 소모하게 된다.

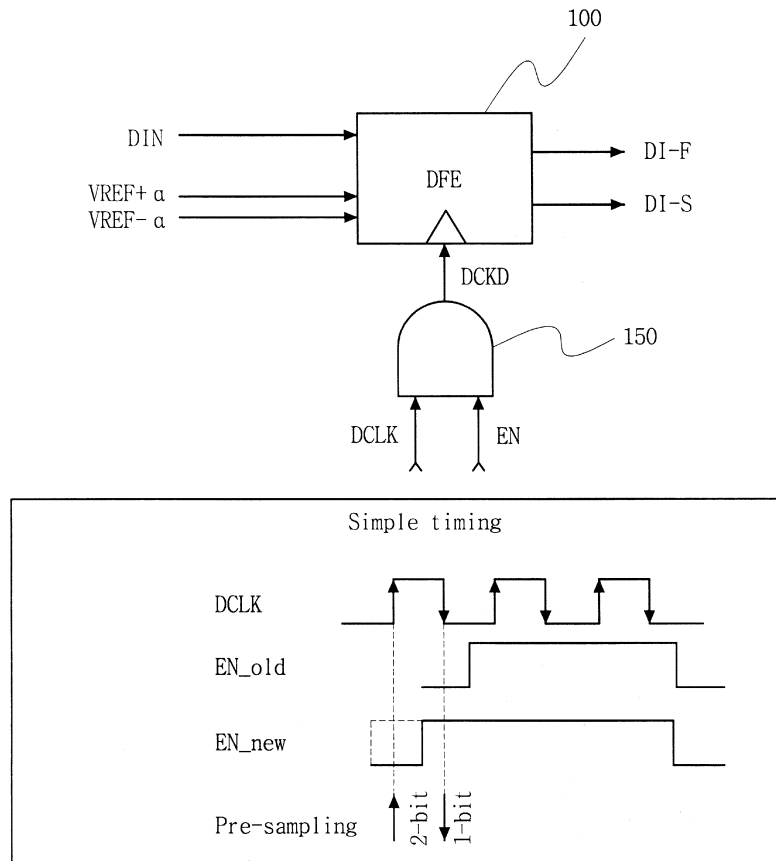
- [0127] 도 9는 도 8과 같은 DFE회로에서의 동작주파수에 따른 제약 및 피드백 딜레이에 따른 제약을 최소화하기 위해 제안된, DFE회로 또는 DFE유닛(400)의 구현 예이다.
- [0128] 도 9에 도시된 바와 같이, 상기 DFE 유닛(400)은 샘플링부(410), 선택부(450), 및 딜레이부(460)을 구비한다.
- [0129] 도 9의 DFE 유닛(400)은 도 8과 비교해볼 때 딜레이부(460)가 추가된 구성을 가지고 있다. 따라서, 상기 딜레이부(460)와 관련된 부분을 제외하고는 그 동작이나 구성이 서로 동일 또는 유사하다. 따라서 상기 DFE 유닛(400)의 샘플링부(410)는 도 8의 샘플링부(310)의 동작 및 구성이 동일하므로 생략하고 선택부(450) 및 딜레이부(460)의 구성만을 설명하기로 한다.
- [0130] 상기 선택부(450)는 제1턱스(422), 제2턱스(424), 제1플립플롭(442), 및 제2플립플롭(444)을 구비한다.
- [0131] 상기 제1턱스(422)는, 상기 제2플립플롭(444)의 출력신호에 응답하여, 상기 제1샘플러(412)의 출력신호와 상기 제2샘플러(414)의 출력신호 중 어느 하나의 출력신호를 선택하여 출력한다.
- [0132] 상기 제1플립플롭(442)은 상기 샘플링 클럭(DCKD)을 일정딜레이(Tc) 만큼 딜레이시킨 딜레이 샘플링 클럭(DCKD_Tc)에 응답하여 상기 제1턱스(422)의 출력신호를 외부출력신호(DI-F)로 출력한다. 즉 상기 제1턱스(422)의 출력신호의 외부 출력시점을 조절한다.
- [0133] 상기 제2턱스(424)는, 상기 제1플립플롭(442)의 출력신호에 응답하여, 상기 제3샘플러(416)의 출력신호와 상기 제4샘플러(418)의 출력신호 중 선택된 어느 하나의 출력신호를 선택하여 출력한다.
- [0134] 상기 제2플립플롭(444)은 상기 샘플링 클럭(DCKD)을 일정딜레이(Tc) 만큼 딜레이시킨 딜레이 샘플링 클럭(DCKD_Tc)의 반전신호에 응답하여 상기 제2턱스(424)의 출력신호를 외부출력신호(DI-S)로 출력한다. 즉 상기 제2턱스(424)의 출력신호의 외부출력시점을 조절한다.
- [0135] 상기 딜레이부(460)는 복수의 딜레이 셀을 이용하여 원하는 만큼의 딜레이를 고정하여 설정하거나, 외부 입력에 의해 딜레이 정도(Tc)를 조절가능한 구성을 가질 수 있다. 예를 들면, 외부에서 입력되는 MRS 신호, 어드레스 신호, 및 커맨드 신호 중에서 선택된 적어도 하나의 신호를 통하여 제어하거나, 이들 신호들 중 적어도 두 개의 신호를 조합한 신호에 의하여 딜레이 정도를 제어할 수 있다.
- [0136] 상기 샘플링 클럭(DCKD)의 딜레이 정도(Tc)는 샘플러(예를 들면 412)의 클럭 투 딜레이와 턱스(예를 들면 422)의 딜레이를 고려하여 적당한 딜레이 값(Tc)을 가지도록 할 수 있다.
- [0137] 상술한 바와 같은 딜레이 부(460)에 의해 도 8에서 피드백 딜레이 제약조건이었던 샘플러(예를 들면 412)의 클럭 투 딜레이를 제거할 수 있다.
- [0138] 이 경우 피드백 딜레이 제약은 " $t_{CLK2Q_FF} + t_{MUX} + t_{SETUP_FF} + t_{CLKSKEW} < 1UI$ " 가 될 수 있다.
- [0139] 여기서, ' t_{CLK2Q_FF} '는 플립플롭(예를 들면 442)의 클럭 투 딜레이(clock-to-delay)이고, ' t_{MUX} '는 턱스 딜레이(mux delay)이고, ' t_{SETUP_FF} '은 플립플롭(예를 들면 442)의 셋업타임(setup time)이고, ' $t_{CLKSKEW}$ '는 각 구성요소들에 인가되는 클럭간의 스큐(skew), 특히, 상기 샘플러(예를 들면 412) 및 플립플롭(예를 들면 442)에 인가되는 클럭 간의 스큐를 의미한다.
- [0140] 도 8과 비교해 볼때 DFE의 피드백 딜레이 조건에서 샘플러(예를 들면 412)의 클럭 투 딜레이를 대신하여 훨씬 적은 클럭 투 딜레이를 가지는 플립플롭의 클럭 투 딜레이를 이용하기 때문에 최대 동작 가능한 주파수의 범위가 늘어나게 된다. 샘플러(예를 들면 412)의 입력신호가 작은 스윙폭을 가지기 때문에 증폭하는 데 시간이 필요하게 되어 클럭 투 딜레이가 상기 플립플롭(예를 들면 442)보다 크다.
- [0141] 그리고, 도 9는 다양한 동작 주파수를 커버하는 범용 메모리 장치의 경우에도 이용될 수 있다. 도 8에서의 프로세싱 딜레이는 " $1UI + t_{CLK2Q_FF}$ "가 필요한 반면에 도 9에서의 프로세싱 딜레이는 주파수와 무관하게 " $T_c + t_{CLK2Q_FF}$ "로 정해질 수 있다. 따라서 상대적으로 느린 동작주파수를 가지는 반도체 메모리 장치에 적용되는 경우에도 타이밍 마진을 증가시킬 수 있다. 또한 일반적으로 공정조건 등의 변화인 PVT(process, voltage, temperature)변화에 따라, 변화되는 샘플러(예를 들면, 412)의 클럭 투 딜레이, 턱스 딜레이 등에 대응하여 딜레이 정도(Tc)을 적절하게 설정하면, 다양한 조건에 의해 변하는 샘플러(예를 들면, 412)의 클럭 투 딜레이나 턱스 딜레이의 변화에 덜 민감한 구조의 DFE 회로의 구현이 가능한 장점이 있다.

도면

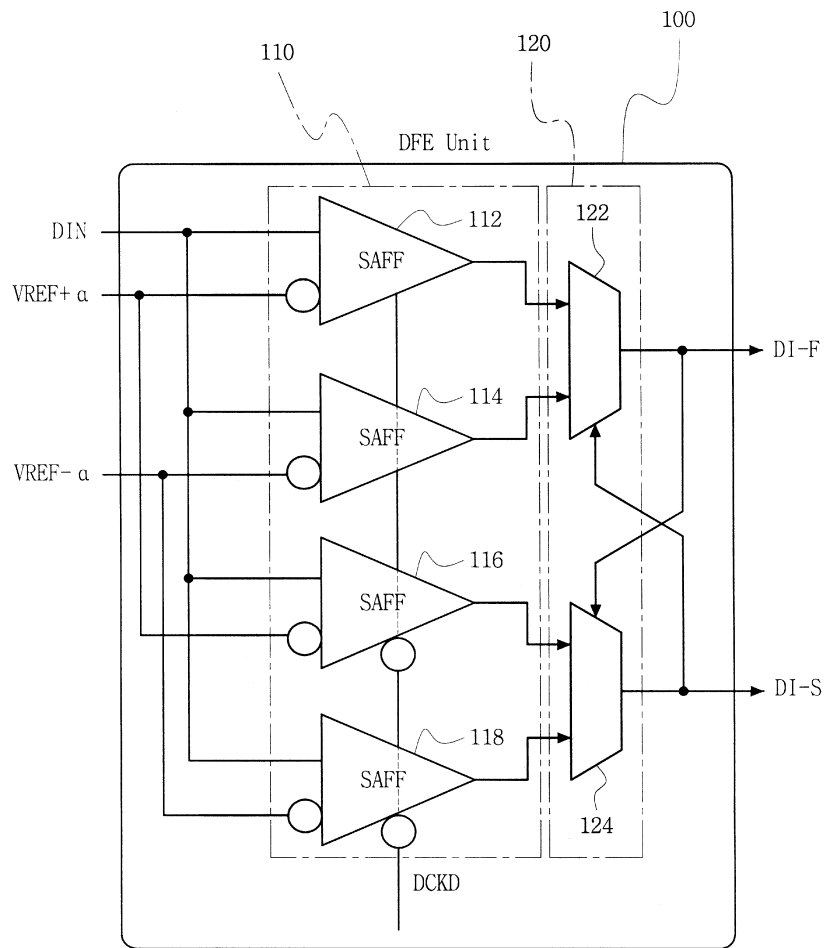
도면1



도면2

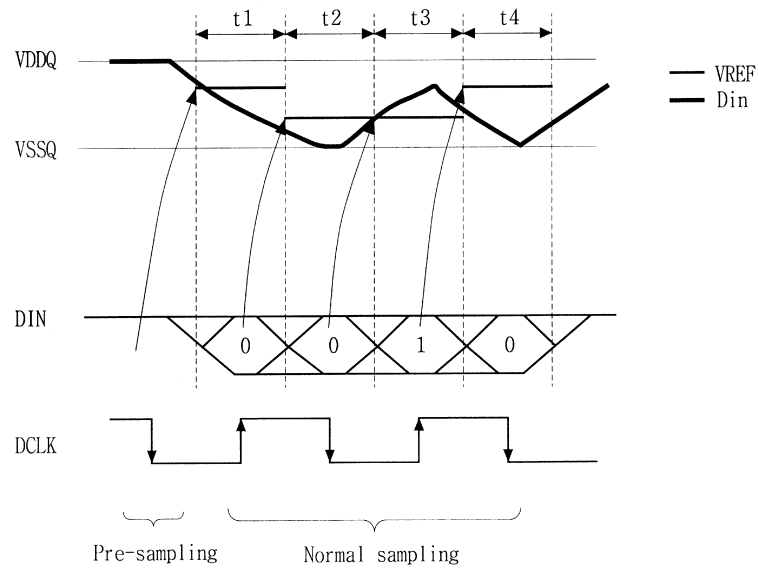


도면3



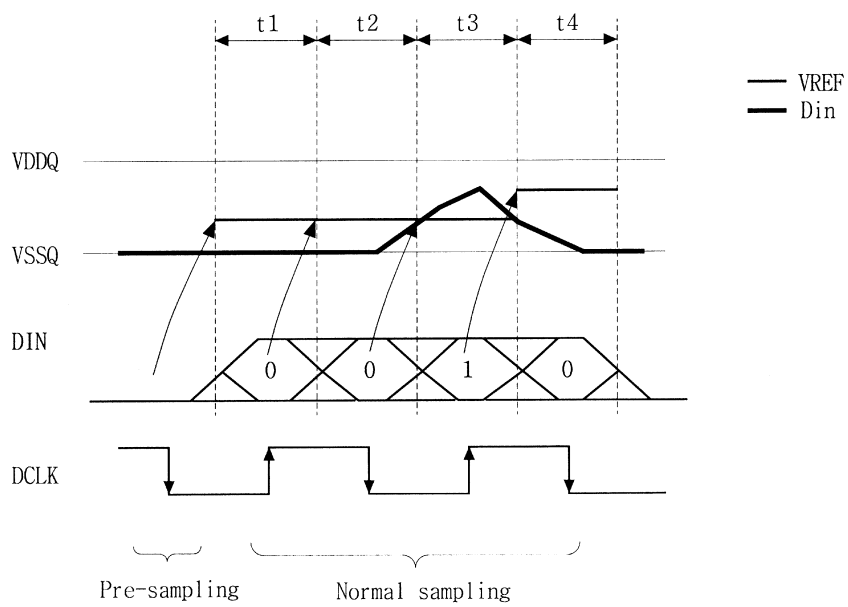
도면4

◆ VDDQ termination

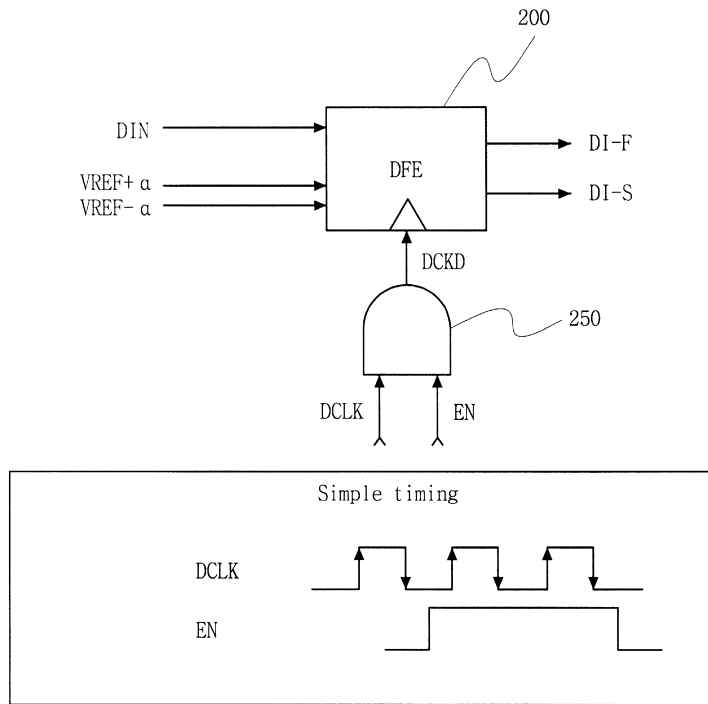


도면5

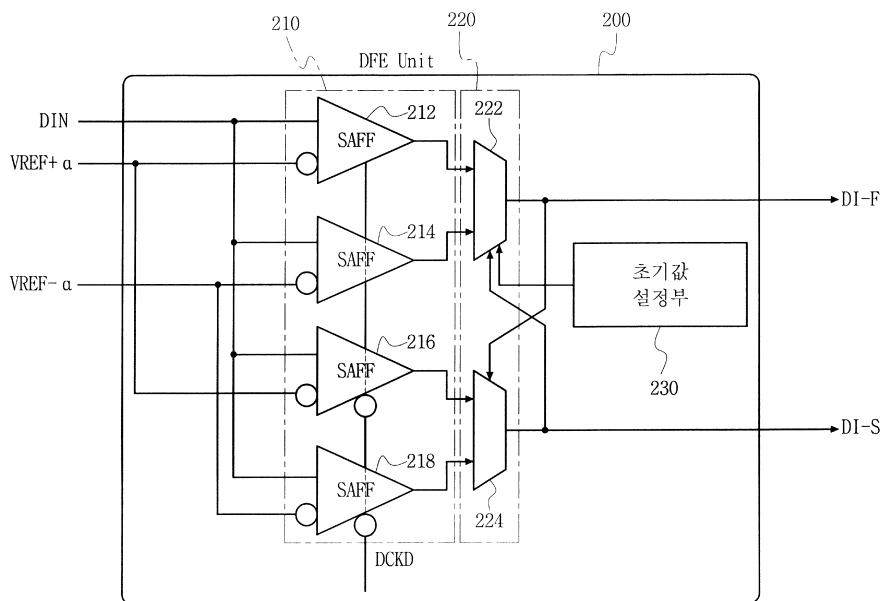
◆ VSSQ termination



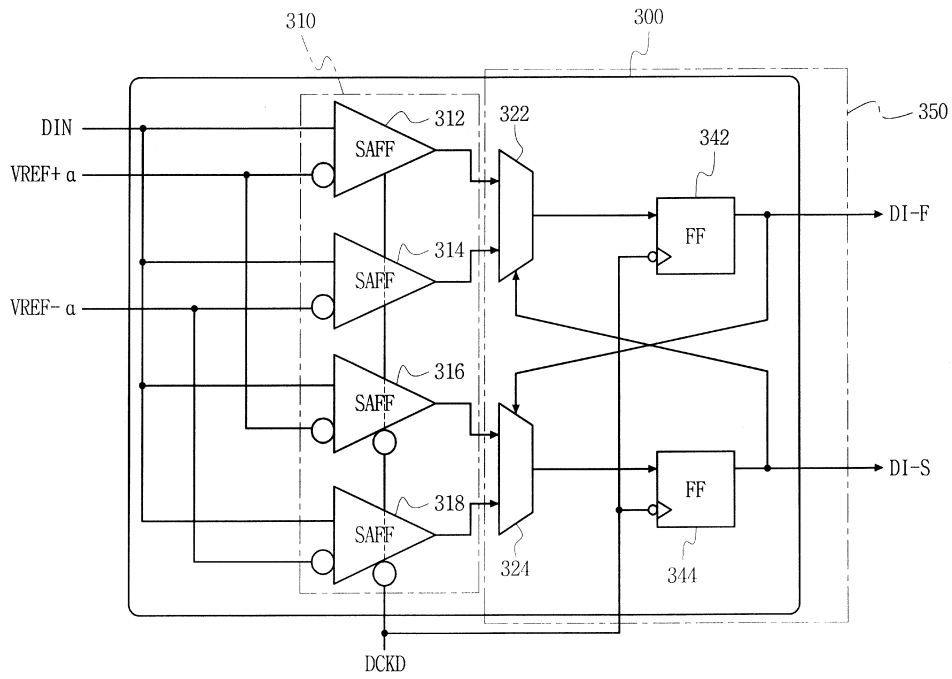
도면6



도면7



도면8



도면9

