(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 3 月 7 日 (07.03.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/045296 A1

(51) 国际专利分类号:
H01L 21/335 (2006.01)

(21) 国际申请号: PCT/CN2022/127029

(22) 国际申请日: 2022 年 10 月 24 日 (24.10.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211046045.3 2022年8月30日 (30.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 王同辉 (**WANG, Tonghui**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 上海盈盛知识产权代理事务所（普通合伙）(**SHANGHAI WINSUN INTELLECTUAL PROPERTY AGENCY**); 中国上海市静安区恒丰路218号东座1612室, Shanghai 200070 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,

(54) **Title:** SEMICONDUCTOR STRUCTURE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 半导体结构及其制备方法

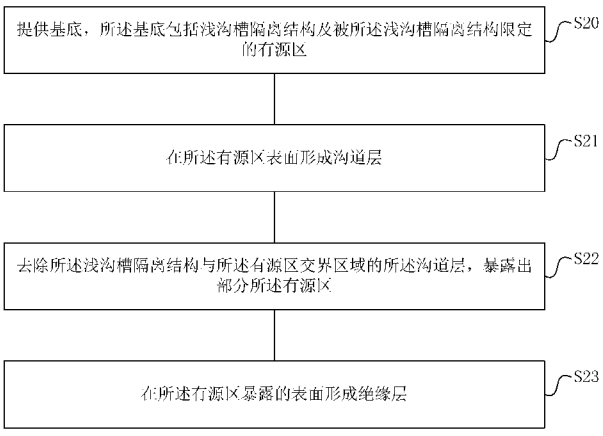


图 2

S20 Provide a substrate, wherein the substrate comprises a shallow trench isolation structure and an active region, which is defined by the shallow trench isolation structure
S21 Form a channel layer on the surface of the active region
S22 Remove the channel layer in a junction area of the shallow trench isolation structure and the active region, so as to expose part of the active region
S23 Form an insulating layer on the surface of the exposed active region

(57) **Abstract:** Provided in the present disclosure are a semiconductor structure and a preparation method therefor. The preparation method comprises: providing a substrate, wherein the substrate comprises a shallow trench isolation structure and an active region, which is defined by the shallow trench isolation structure; forming a channel layer on the surface of the active region; removing the channel layer in a junction area of the shallow trench isolation structure and the active region, so as to expose part of the active region; and forming an insulating layer on the surface of the exposed active region. By means of the preparation method for a semiconductor

WO 2024/045296 A1

[见续页]

SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:
— 关于发明人身份(细则4.17(i))
— 关于申请人有权申请并被授予专利(细则4.17(ii))
— 关于申请人有权要求在先申请的优先权(细则4.17(iii))

本国际公布:
— 包括国际检索报告(条约第21条(3))。

structure provided in the embodiments of the present disclosure, after a channel layer is formed, an edge part, which is relatively thin, of the channel layer is removed and then filled with an insulating layer, so as to form a high-quality channel layer with a uniform thickness, such that the performance of a semiconductor structure is greatly improved, and an application range of a semiconductor structure, in which a channel is made of a silicon germanium material, is expanded.

(57) 摘要: 本公开提供一种半导体结构及其制备方法，制备方法包括：提供基底，所述基底包括浅沟槽隔离结构及被所述浅沟槽隔离结构限定的有源区；在所述有源区表面形成沟道层；去除所述浅沟槽隔离结构与所述有源区交界区域的所述沟道层，暴露出部分所述有源区；在所述有源区暴露的表面形成绝缘层。本公开实施例提供的半导体结构的制备方法在形成沟道层后去除沟道层厚度较薄的边缘部分，并利用绝缘层进行填充，形成厚度均一高质量的沟道层，大大提高了半导体结构的性能，扩大了以硅锗材料为沟道的半导体结构的适用范围。

半导体结构及其制备方法

相关申请引用说明

本申请要求于2022年08月30日递交的中国专利申请号202211046045.3、申请名为“半导体结构及其制备方法”的优先权，其全部内容以引用的形式附录于此。

技术领域

本公开涉及集成电路领域，尤其涉及一种半导体结构及其制备方法。

背景技术

随着新兴技术的崛起，迫切的需要一种低耗能、体积小、高效率能满足电池供电的芯片技术，采用SiGe材料作为沟道（channel），可助力新兴技术力量崛起。

Si的晶格常数为0.543nm，Ge的晶格常数为0.567nm，二者相差4.17%，因此，纯Si中引入Ge元素会形成带有应力的SiGe材料。硅锗（SiGe）材料随Ge元素的密度变化，禁带宽度可以改变，易于形成异质结构；同时，硅锗（SiGe）材料的电子和空穴迁移率均比Si高，采用硅锗（SiGe）材料作为沟道有助于提高器件沟道的空穴迁移率。

但是，在一些半导体工艺中，采用硅锗（SiGe）材料形成的硅锗（SiGe）层存在结构缺陷，无法满足要求。

发明内容

本公开所要解决的技术问题是，提供一种半导体结构及其制备方法，其能够克服沟道层的结构缺陷，形成厚度均一的沟道层。

本公开实施例提供一种半导体结构的制备方法，包括：提供基底，所述基底包括浅沟槽隔离结构及被所述浅沟槽隔离结构限定的有源区；在所述有源区表面形成沟道层；去除所述浅沟槽隔离结构与所述有源区交界区域的所述沟道层，暴露出部分所述有源区；在所述有源区暴露的表面形成绝缘层。

在一实施例中，在所述有源区表面形成沟道层的方法包括：沉积硅锗材料，以在所述浅沟槽隔离结构表面及所述有源区表面形成硅锗材料层；刻蚀所述硅锗材料层，直至所述浅沟槽隔离结构表面被暴露。

在一实施例中，在沉积硅锗材料步骤中，在所述浅沟槽隔离结构表面沉积的硅锗材料层厚度小于在所述有源区表面沉积的硅锗材料层厚度。

在一实施例中，在刻蚀所述硅锗材料层的步骤中，所述有源区表面的硅锗材料层被减薄。

在一实施例中，循环沉积所述硅锗材料及刻蚀所述硅锗材料层的步骤，直至在所述有

源区表面形成具有设定厚度的所述硅锗材料层，在所述浅沟槽隔离结构的表面无所述硅锗材料层。

在一实施例中，去除所述浅沟槽隔离结构与所述有源区交界区域的所述沟道层的方法包括：在所述浅沟槽隔离结构及所述沟道层表面形成掩膜层；图案化所述掩膜层，形成第一窗口，所述第一窗口暴露出所述交界区域的所述沟道层；以所述掩膜层作为掩膜去除所述沟道层。

在一实施例中，在所述有源区暴露的表面形成绝缘层的步骤包括：以所述第一窗口作为工艺窗口，在所述有源区暴露的表面形成所述绝缘层；减薄所述掩膜层及所述绝缘层，至所述沟道层被暴露，所述浅沟槽隔离结构表面剩余的掩膜层被保留作为补充层。

在一实施例中，去除所述浅沟槽隔离结构与所述有源区交界区域的所述沟道层的步骤包括：过刻蚀所述有源区形成凹槽；在形成所述绝缘层的步骤中，所述绝缘层填充在所述凹槽内。

在一实施例中，所述绝缘层表面低于所述沟道层表面，所述方法还包括如下步骤：形成补充层，所述补充层覆盖所述浅沟槽隔离结构及所述绝缘层表面，并与所述沟道层表面平齐。

本公开实施例还提供一种半导体结构，其包括：基底，所述基底包括浅沟槽隔离结构及被所述浅沟槽隔离结构限定的有源区；沟道层，设置在所述有源区中部的表面；绝缘层，设置在所述浅沟槽隔离结构与所述沟道层之间，且覆盖所述有源区外围的表面。

在一实施例中，所述绝缘层的底表面低于所述有源区的顶表面，所述绝缘层的顶表面与所述浅沟槽隔离结构的顶表面平齐，所述绝缘层的顶表面低于所述沟道层的顶表面。

在一实施例中，还包括补充层，所述补充层覆盖所述浅沟槽隔离结构及所述绝缘层的顶表面。

在一实施例中，所述绝缘层的底表面低于所述有源区的顶表面，所述绝缘层的顶表面与所述沟道层的顶表面平齐。

在一实施例中，还包括补充层，所述补充层覆盖所述浅沟槽隔离结构的顶表面，所述补充层的顶表面与所述绝缘层的顶表面平齐。

在一实施例中，所述绝缘层的材料与所述浅沟槽隔离结构的材料相同，所述补充层的材料与所述绝缘层的材料不同。

本公开实施例提供的半导体结构的制备方法在形成沟道层后去除沟道层厚度较薄的边缘部分，并利用绝缘层进行填充，形成厚度均一高质量的沟道层，大大提高了半导体结构

的性能，扩大了以硅锗材料为沟道的半导体结构的适用范围。

附图说明

图 1 是本公开一实施例提供的半导体结构的结构示意图；

图 2 是本公开一实施例提供的半导体结构的制备方法的步骤示意图；

图 3A~图 3P 是本公开一实施例提供的制备方法的主要步骤形成的半导体结构示意图；

图 4A 及图 4B 是本公开另一实施例提供的制备方法的主要步骤形成的半导体结构示意图。

具体实施方式

下面结合附图对本公开提供的半导体结构及其制备方法的具体实施方式做详细说明。本具体实施方式中所述的半导体结构可以是但不限于 DRAM。

在一些半导体工艺中，采用硅锗材料形成的硅锗层作为沟道层存在结构缺陷。例如，请参阅图 1，在有源区(Active Area，AA)11 上形成硅锗层 10，所述硅锗层 10 作为沟道层，而位于有源区 11 与浅沟槽隔离结构(Shallow Trench Isolation，STI)12 交界处的硅锗层 10（如图中虚线框 E 圈示区域）厚度小于位于有源区 11 中心的硅锗层 10 的厚度，甚至在有源区 11 与浅沟槽隔离结构 12 交界处不存在硅锗层 10，对半导体结构的性能产生较大影响。

鉴于上述原因，本公开实施例提供一种半导体结构的制备方法，其能够改善沟道层的结构，获得高质量的沟道层，进而提高半导体结构的性能。

图 2 是本公开实施例提供的半导体结构的制备方法的步骤示意图，请参阅图 2，所述制备方法包括：步骤 S20，提供基底，所述基底包括浅沟槽隔离结构及被所述浅沟槽隔离结构限定的有源区；步骤 S21，在所述有源区表面形成沟道层；步骤 S22，去除所述浅沟槽隔离结构与所述有源区交界区域的所述沟道层，暴露出部分所述有源区；步骤 S23，在所述有源区暴露的表面形成绝缘层。

图 3A~图 3P 是本公开实施例提供的制备方法的主要步骤形成的半导体结构示意图。

请参阅步骤 S20、图 3A 及图 3B，其中，图 3A 为俯视图，图 3B 为沿图 3A 中 A-A 线截面图，提供基底 300，所述基底 300 包括浅沟槽隔离结构 301 及被所述浅沟槽隔离结构 301 限定的有源区 302。

所述基底 300 包括衬底 303，所述有源区 302 及所述浅沟槽隔离结构 301 形成在所述衬底 303 内。所述衬底 303 可以为半导体衬底；具体包括至少一个单质半导体材料(例如为硅(Si)衬底、锗(Ge)衬底等)、至少一个 III-V 化合物半导体材料(例如为氮化镓(GaN)衬底、砷化镓(GaAs)衬底、磷化铟(InP)衬底等)、至少一个 II-VI 化合物半导体材料、至少一个有

机半导体材料或者在本领域已知的其他半导体材料。本实施例以所述衬底 303 为硅衬底为例进行说明。

作为示例，本公开实施例提供一种形成所述基底的方法。所述方法包括：采用光刻及刻蚀工艺在所述衬底 303 内形成浅沟槽，所述浅沟槽朝向所述衬底 303 内部延伸设定距离，所述浅沟槽将所述衬底 303 隔离成阵列排布的多个有源区 302；在所述浅沟槽内填充介质，以形成所述浅沟槽隔离结构 301，所述浅沟槽隔离结构 301 将多个所述有源区 302 隔开。其中，在一些实施例中，可采用化学气相沉积（Chemical Vapor Deposition ，CVD）、原子层沉积(Atomic layer deposition，ALD)等工艺在浅沟槽内沉积氧化物层、氮化物层或者两者的复合层。例如，在本实施例中，采用化学气相沉积工艺向浅沟槽中沉积氧化硅，所述氮化硅填充所述浅沟槽形成浅沟槽隔离结构 301，以隔离所述有源区 302。在本实施例中，仅示意性绘示一个浅沟槽隔离区 301 及一个有源区 302。

请参阅步骤 S21、图 3E 及图 3F，其中，图 3E 为俯视图，图 3F 为沿图 3E 中 A-A 线的截面图，在所述有源区 302 表面形成沟道层 310。

在该步骤中，所述沟道层 310 覆盖所述有源区 302 的表面，并不覆盖所述浅沟槽隔离结构 301 的表面。

在一些实施例中，硅锗层作为所述沟道层 310。硅锗材料的电子和空穴迁移率均比硅高，采用硅锗层作为沟道层有助于提高半导体结构沟道的空穴迁移率，提供半导体结构的电学性能，扩大半导体结构的应用范围。

作为示例，本公开实施例提供一种在所述有源区 302 表面形成沟道层 310 的方法，所述方法包括如下步骤：

请参阅图 3C 及图 3D，其中，图 3C 为俯视图，图 3D 为沿图 3C 中 A-A 线的截面图，沉积硅锗材料，以在所述浅沟槽隔离结构 301 表面及所述有源区 302 表面形成硅锗材料层 390。

在该步骤中，可采用化学气相沉积、原子层沉积等工艺在所述浅沟槽隔离结构 301 及所述有源区 302 的表面沉积硅锗材料，形成所述硅锗材料层 390。在该步骤中，所述硅锗材料层 390 不仅覆盖所述有源区 302 的表面，还覆盖所述浅沟槽隔离结构 301 的表面。

在本实施例中，由于浅沟槽隔离结构 301 的材料组成与所述有源区 302 的材料组成不同，例如，所述浅沟槽隔离结构 301 的材料为氧化硅，所述有源区 302 的材料为硅，硅锗材料在所述浅沟槽隔离结构 301 表面的沉积速率小于在所述有源区 302 表面的沉积速率，使得在所述浅沟槽隔离结构 301 表面形成的硅锗材料层 390 的厚度小于在所述有源区 302

表面形成的硅锗材料层 390 的厚度，即在所述浅沟槽隔离结构 301 表面形成的所述硅锗材料层 390 与在所述有源区 302 表面形成的所述硅锗材料层 390 具有高度差。

请继续参阅图 3E 及图 3F，刻蚀所述硅锗材料层 390，直至所述浅沟槽隔离结构 301 表面被暴露。其中，可采用干法刻蚀工艺刻蚀所述硅锗材料层 390，所述刻蚀物质包括但不限于 HCL 刻蚀气体。

在该步骤中，所述浅沟槽隔离结构 301 表面的硅锗材料层 390 被完全去除，而由于所述浅沟槽隔离结构 301 表面的硅锗材料层 390 的厚度小于所述有源区 302 表面的硅锗材料层 390 的厚度，则所述有源区 302 表面的硅锗材料层 390 仅被部分去除。即所述有源区 302 表面的硅锗材料层 390 仅被减薄，而并未被完全去除，在所述有源区 301 表面还保留有部分所述硅锗材料层 390。

在一些实施例中，为了提高膜层质量，可循环沉积硅锗材料及刻蚀所述硅锗材料层的步骤，即循环沉积-刻蚀工艺直至在所述有源区 301 表面形成具有设定厚度的所述硅锗材料层 390，在所述浅沟槽隔离结构 301 的表面无所述硅锗材料层 390，其中，在所述有源区 301 表面形成的具有设定厚度的所述硅锗材料层 390 作为所述沟道层 310。

在一些实施例中，所述硅锗材料层 390 的形成是一个动态生长的过程，在所述硅锗材料层 390 生长过程中通入 HCL 刻蚀气体，使得在浅沟槽隔离结构 301 界面上形成的硅锗材料层 390 被动态去除，最终只在所述有源区 302 的硅界面上形成具有设定厚度的硅锗材料层 390。

具体地说，在本实施例中，刻蚀所述硅锗材料层 390，直至所述浅沟槽隔离结构 301 表面被暴露的步骤之后，在所述浅沟槽隔离结构 301 暴露的表面及减薄后的硅锗材料层 390 的表面继续沉积硅锗材料，形成新的硅锗材料层；再对新的硅锗材料层执行刻蚀工艺，直至所述浅沟槽隔离结构 301 表面被再次暴露；多次循环执行沉积-刻蚀工艺，直至在所述有源区 302 表面形成具有设定厚度的所述硅锗材料层 390。可以理解的是，所述硅锗材料层 390 由每次循环中对新的硅锗材料层执行刻蚀工艺后剩余的硅锗材料层堆叠构成，并且在每次沉积硅锗材料的工艺中，沉积在浅沟槽隔离结构 301 表面的新的硅锗材料层的厚度小于沉积在所述有源区 301 表面剩余的硅锗材料层表面的新的硅锗材料层的厚度，从而形成在所述有源区 301 表面形成具有设定厚度的所述硅锗材料层 390，在所述浅沟槽隔离结构 301 的表面无所述硅锗材料层 390 的半导体结构。

在执行沉积硅锗材料的步骤之后，所述浅沟槽隔离结构 301 表面的硅锗材料层 390 的厚度小于所述有源区 302 表面的硅锗材料层 390 的厚度，则在所述浅沟槽隔离结构 301 与

有源区 302 的交界处（如图 3D 中箭头 D 所指示区域），位于所述有源区 302 表面的硅锗材料层 390 的侧壁被部分暴露，请参阅图 3C 及图 3D。在执行刻蚀工艺时，在所述浅沟槽隔离结构 301 与有源区 302 的交界处，刻蚀气体不仅会向下刻蚀所述硅锗材料层 390，还会侧向刻蚀所述硅锗材料层 390 暴露的侧壁，而在所述有源区 302 的其他区域（例如中心区域），所述硅锗材料层 390 不存在暴露的侧壁，其仅会被向下刻蚀，这使得所述浅沟槽隔离结构 301 与有源区 302 的交界处的硅锗材料层 390 的刻蚀程度大于所述有源区 302 的其他区域的硅锗材料层 390 的刻蚀程度，导致最终形成的沟道层 310 的边缘厚度小于中心厚度（如图 3F 中虚线框 E 所圈示区域的沟道层 310 的厚度小于沟道层 310 其他区域的厚度），对半导体结构的性能会产生较大影响。并且，随着沉积-刻蚀工艺循环次数的增加，沟道层 310 的边缘与中心的厚度差距越来越明显，甚至在浅沟槽隔离结构 301 与有源区 302 交界处不存在沟道层 310，对半导体结构的性能产生较大影响。

在本公开其他实施例中，在执行刻蚀所述硅锗材料层 390 的步骤之前也可采用掩膜层遮挡所述有源区 302 表面的硅锗材料层 390，在执行刻蚀所述硅锗材料层 390 的步骤中，由于所述掩膜层的遮挡，仅所述浅沟槽隔离结构 301 表面的硅锗材料层 390 被去除，所述有源区 302 表面的硅锗材料层 390 未被减薄。该种情况下，所述有源区 302 表面的硅锗材料层 390 的侧壁依然暴露在刻蚀环境中，则依然存在刻蚀气体侧向刻蚀所述硅锗材料层 390 暴露的侧壁的情况，而在所述有源区 302 的其他区域（例如中心区域），受到掩膜层的保护，所述硅锗材料层 390 并未被刻蚀，这也导致最终形成的沟道层 310 的边缘厚度小于中心厚度。

请参阅步骤 S22、图 3K 及图 3L，其中，图 3K 为俯视图，图 3L 为沿图 3K 中 A-A 线的截面图，去除所述浅沟槽隔离结构 301 与所述有源区 302 交界区域的所述沟道层 310，暴露出部分所述有源区 302，所述浅沟槽隔离结构 301 与所述有源区 302 的交界处（如图 3D 中箭头 D 所指示位置）与所述沟道层 310 的边缘之间形成间隔 C。

在该步骤中，所述浅沟槽隔离结构 301 与所述有源区 302 交界区域为自所述浅沟槽隔离结构 301 与所述有源区 302 交界处向所述有源区 302 方向延伸设定距离而形成的区域，例如所述间隔 C 对应的区域。在本实施例中，所述浅沟槽隔离结构 301 与所述有源区 302 交界区域至少覆盖所述沟道层 310 的边缘区域，以能够完全去除所述沟道层 310 边缘厚度不同的区域，提高沟道层 310 厚度的均一性。所述边缘区域可以指所述沟道层 310 边缘厚度小于所述沟道层 310 中心厚度的区域。在一些实施例中，在执行步骤 S22 之后，剩余的所述沟道层 310 边缘厚度与中心厚度一致，提高了半导体结构的性能。

作为示例，本公开实施例提供了一种去除所述浅沟槽隔离结构 301 与所述有源区 302 交界区域的所述沟道层 310 方法。所述方法包括：

请参阅图 3G 及图 3H，其中，图 3G 为俯视图，图 3H 为沿图 3G 中 A-A 线的截面图，在所述浅沟槽隔离结构 301 及所述沟道层 310 表面形成掩膜层 380。即在该步骤中，所述掩膜层 380 覆盖所述浅沟槽隔离结构 301 及所述沟道层 310 表面。若是在所述浅沟槽隔离结构 301 与所述有源区 302 的交界处所述有源区 302 并未被所述沟道层 310 覆盖，则在该步骤中，所述掩膜层 380 也覆盖所述有源区 302 暴露的表面。所述掩膜层 380 可为由氮化物层构成的硬掩膜层，也可由氧化物与氮化物复合层构成的硬掩膜。

请参阅图 3I 及图 3J，其中，图 3I 为俯视图，图 3J 为沿图 3I 中 A-A 线的截面图，图案化所述掩膜层 380，形成第一窗口 381，所述第一窗口 381 暴露出所述浅沟槽隔离结构 301 与所述有源区 302 交界区域的所述沟道层 310。

在本实施例中，所述浅沟槽隔离结构 301 与所述有源区 302 交界区域与所述第一窗口 381 对应，即所述浅沟槽隔离结构 301 与所述有源区 302 交界区域与所述第一窗口 381 在所述基底 300 上的正投影重叠；在另一些实施例中，所述第一窗口 381 的宽度大于所述浅沟槽隔离结构 301 与所述有源区 302 交界区域的宽度，即所述第一窗口 381 在所述基底 300 上的正投影覆盖所述浅沟槽隔离结构 301 与所述有源区 302 交界区域在所述基底 300 上的正投影，且所述第一窗口 381 在所述基底 300 上的正投影面积大于所述浅沟槽隔离结构 301 与所述有源区 302 交界区域在所述基底 300 上的正投影面积，从而保证所述沟道层 310 厚度不均匀的区域能够被完全去除，提高沟道层 310 厚度的均一性。

在该步骤中，可在所述掩膜层 380 表面形成图案化的光刻胶层，利用所述光刻胶层定义出所述第一窗口 381 的位置；再以所述光刻胶层为掩膜，采用刻蚀工艺刻蚀所述掩膜层 380，形成所述第一窗口 381。在一些实施例中，还可在所述掩膜层 380 表面形成底部抗反射涂层(Bottom Anti-Reflection Coating, BARC)，在所述底部抗反射涂层表面形成所述光刻胶层，以减少光刻时的光反射。

请继续参阅图 3K 及图 3L，以所述掩膜层 380 作为掩膜去除所述沟道层 310。具体地说，在该步骤中，以所述掩膜层 380 作为掩膜，沿所述第一窗口 381，采用刻蚀工艺，例如干法刻蚀工艺，去除所述浅沟槽隔离结构 301 与所述有源区 302 交界区域的所述沟道层 310，暴露出被所述沟道层 310 覆盖的有源区 302。干法刻蚀工艺的刻蚀气体包括但不限于 HCL。

在本实施例中，在去除所述沟道层 310 时，过刻蚀所述有源区 302，形成凹槽 304，所述有源区 302 的顶表面（即所述凹槽 304 的底表面）低于所述浅沟槽隔离结构 301 的顶表

面。具体地说，在去除所述沟道层 310 后，所述浅沟槽隔离结构 301 与所述有源区 302 交界区域的所述有源区 302 也被部分去除，形成所述凹槽 304，从而能够保证所述沟道层 310 被完全去除，避免沟道层 310 残留。可以理解的是，在其他实施例中，也可不对所述有源区 302 进行过刻蚀，则所述有源区 302 的顶表面与所述浅沟槽隔离结构 301 的顶表面平齐，且低于所述沟道层 310 的顶表面。

请参阅步骤 S23、图 3O 及图 3P，其中，图 3O 为俯视图，图 3P 为沿图 3O 中 A-A 线的截面图，在所述有源区 302 暴露的表面形成绝缘层 320。

在该步骤中，以所述第一窗口 381 作为工艺窗口，在所述有源区 302 暴露的表面形成所述绝缘层 320。具体地说，请参阅图 3M 及图 3N，其中，图 3M 为俯视图，图 3N 为沿图 3M 中 A-A 线的截面图，沉积绝缘材料，所述绝缘材料填充所述凹槽 304 及所述第一窗口 381，并覆盖所述掩膜层 380 的表面，所述绝缘材料作为所述绝缘层 320。在一些实施例中，所述绝缘材料也可不覆盖所述掩膜层 380 的表面，而是仅填充所述凹槽 304 及所述第一窗口 381。

在一些实施例中，所述绝缘材料可与所述浅沟槽隔离结构 301 的介质材料相同，例如，所述绝缘材料与所述浅沟槽隔离结构 301 的介质材料均为氧化硅。在另一些实施例中，所述绝缘材料可与所述浅沟槽隔离结构 301 的介质材料可不同，例如所述浅沟槽隔离结构 301 的介质材料为氧化硅，所述绝缘材料为氮化硅。

请继续参阅图 3O 及图 3P，减薄所述掩膜层 380 及所述绝缘层 320，至所述沟道层 310 被暴露，所述浅沟槽隔离结构 301 表面剩余的掩膜层 380 被保留作为补充层 360。具体地说，在该步骤中，采用化学机械研磨工艺（Chemical Mechanical Polish，CMP）去除所述掩膜层 380 表面的所述绝缘层 320，并减薄所述掩膜层 380 及所述绝缘层 320。保留的所述掩膜层 380 覆盖所述浅沟槽隔离结构 301 表面，作为补充层 360，保留的所述绝缘层 320 覆盖所述有源区 302 的表面。在本实施例中，所述补充层 360 的材料与所述绝缘层 320 的材料不同，例如，所述补充层 360 的材料为硬掩膜材料，所述绝缘层 320 的材料为氧化硅。

在本公开实施例提供的制备方法中，所述沟道层 310 的顶表面高于所述浅沟槽隔离结构 301 的顶表面，则在该步骤中形成的所述绝缘层 320 的顶表面或与所述沟道层 310 的顶表面平齐，或低于所述沟道层 310 的顶表面。例如，在本实施例中，所述绝缘层 320 的顶表面或与所述沟道层 310 的顶表面平齐，即所述绝缘层 320 的顶表面高于所述浅沟槽隔离结构 301 的顶表面，且与所述沟道层 310 的顶表面平齐。所述补充层 360 用于填补所述浅沟槽隔离结构 301 的表面，所述补充层 360 的顶表面与所述沟道层 310 的顶表面平齐。即

所述补充层 360 的顶表面、所述绝缘层 320 的顶表面及所述沟道层 310 的顶表面平齐，使得形成的半导体结构具有平坦的表面。

在另一实施例中，在形成所述绝缘层 320 后，减薄所述绝缘层 320，例如回刻蚀所述绝缘层 320，使得所述绝缘层 320 的顶表面低于所述沟道层 310 的顶表面，再去除所述掩膜层 380，暴露出所述浅沟槽隔离结构 301 及所述沟道层 310。如图 4A 及图 4B 所示，其中，图 4A 为俯视图，图 4B 为沿图 4A 中 A-A 线的截面图，所述绝缘层 320 的顶表面与所述浅沟槽隔离结构 301 的顶表面平齐，并低于所述沟道层 310 的顶表面。

则在去除所述掩膜层 380 后，还包括形成补充层 360 的步骤。所述补充层 360 覆盖所述浅沟槽隔离结构 301 及所述绝缘层 320 的顶表面，并与所述沟道层 310 表面平齐，使得形成的半导体结构具有平坦的表面。所述补充层 360 还用于保护所述沟道层 310 的侧壁，避免其在后续工艺中受到损伤。在本实施例中，所述补充层 360 的材料可与所述绝缘层 320 的材料相同，例如两者的材料均为氧化硅。在一些实施例中，形成所述补充层 360 的步骤包括：先形成覆盖材料，所述覆盖材料覆盖所述浅沟槽隔离结构 301、所述绝缘层 320 及所述沟道层 310 的顶表面；减薄所述覆盖材料至所述沟道层 310 的顶表面被暴露，剩余的所述覆盖材料作为所述补充层 360。

同样地，在另一些实施例中，所述绝缘层 320 表面与所述浅沟槽隔离结构 301 的表面平齐，则也可利用补充层 360 填补所述浅沟槽隔离结构 301 及所述绝缘层 320 表面，所述补充层 360 顶表面与所述沟道层 310 的顶表面平齐。所述补充层 360 的形成方法可以上述方法相同，此处不再赘述。

本公开实施例提供的半导体结构的制备方法在形成沟道层后去除沟道层厚度较薄的边缘部分，并利用绝缘层进行填充，形成厚度均一高质量的沟道层，大大提高了半导体结构的性能，扩大了以硅锗材料为沟道的半导体结构的适用范围。

本公开实施例还提供一种采用上述制备方法形成的半导体结构。请参阅图 3A~图 3P，其为本公开实施例提供的半导体结构的结构示意图，所述半导体结构包括基底 300、沟道层 310、绝缘层 320。

所述基底 300 包括浅沟槽隔离结构 301 及被所述浅沟槽隔离结构 301 限定的有源区 302。在本实施例中，所述基底 300 包括衬底 303，所述有源区 302 及所述浅沟槽隔离结构 301 设置在所述衬底 303 内。所述浅沟槽隔离结构 301 朝向所述衬底 303 内部延伸设定距离，所述浅沟槽隔离结构 301 将所述衬底 303 隔离成阵列排布的多个有源区 302，在本实施例中，仅示意性绘示一个浅沟槽隔离区 301 及一个有源区 302。

所述沟道层 310 设置在所述有源区 302 中部的表面。也就是说，所述沟道层 310 并未铺满所述有源区 302，所述有源区 302 的外围并未被所述沟道层 310 覆盖，即所述浅沟槽隔离结构 301 与所述有源区 302 的交界处（如图 3D 中箭头 D 所指示位置）与所述沟道层 310 的边缘之间具有一间隔 C（请参阅图 3L），所述间隔 C 是所述沟道层 310 边缘被去除而形成。由于所述沟道层 310 在制备过程中被部分去除，使得所述半导体结构的所述沟道层 310 边缘区域的厚度与中心区域的厚度基本一致。

所述绝缘层 320 设置在所述浅沟槽隔离结构 301 与所述沟道层 310 之间，且覆盖所述有源区 302 外围的表面，即所述绝缘层 320 覆盖所述间隔 C 对应的所述有源区 302 的顶表面及所述沟道层 310 的侧壁，所述绝缘层 320 并不覆盖所述沟道层 310 的顶表面。也就是说，所述绝缘层 320 填充所述间隔 C，从而避免所述浅沟槽隔离结构 301 与所述沟道层 310 之间存在间隙。

在本实施例中，在所述间隔 C 对应的区域，所述有源区 302 具有一凹槽 304，所述凹槽 304 的底面低于所述浅沟槽隔离结构 301 的顶表面，所述绝缘层 320 填充在所述凹槽 304 内。也就是说，在本实施例中，所述绝缘层 320 的底表面低于所述有源区 302 的顶表面，所述绝缘层 320 的顶表面与所述沟道层 310 的顶表面平齐，所述浅沟槽隔离结构 301 的顶表面低于所述沟道层 310 的顶表面。

所述半导体结构还包括补充层 360，所述补充层 360 覆盖所述浅沟槽隔离结构 301 的表面，所述补充层 360 表面与所述沟道层 310 表面平齐，即所述补充层 360 的顶表面、所述绝缘层 320 的顶表面及所述沟道层 310 的顶表面平齐，使得所述半导体结构具有平坦的表面。

在本实施例中，所述绝缘层 320 的材料与所述浅沟槽隔离结构 301 的材料相同，例如，两者均为氧化硅；所述补充层 360 的材料与所述绝缘层 320 的材料不同，例如，所述补充层 360 的材料为硬掩膜材料，如氮化硅，所述绝缘层 320 的材料为氧化硅。可以理解的是，在其他实施例中，所述补充层 360 的材料也可与所述绝缘层 320 及所述浅沟槽隔离结构 301 的材料相同，例如三者均为氧化硅。

在本实施例中，由于所述绝缘层 320 的顶表面与所述沟道层 310 的顶表面平齐，则所述补充层 360 仅覆盖所述浅沟槽隔离结构 301 的表面。在本公开另一实施例提供的半导体结构中，请参阅图 4A 及图 4B，所述绝缘层 320 的底表面低于所述有源区 302 的顶表面，所述绝缘层 320 的顶表面低于所述沟道层 310 的表面，且与所述浅沟槽隔离结构 301 的顶表面平齐，则所述补充层 360 不仅覆盖所述浅沟槽隔离结构 301 的表面，还覆盖所述绝缘

层 320 的表面，且所述补充层 360 表面与所述沟道层 310 表面平齐，用于形成平坦的器件表面，也用于保护所述沟道层 310 的侧壁，避免其在后续工艺中受到损伤。

同样地，在另一些实施例中，所述绝缘层 320 的底表面低于所述有源区 302 的顶表面，所述绝缘层 320 的顶表面高于所述浅沟槽隔离结构 301 的顶表面，且低于所述沟道层 310 的顶表面，则所述补充层 360 覆盖所述浅沟槽隔离结构 301 及所述绝缘层 320 表面，且与所述沟道层 310 表面平齐，以于形成平坦的器件表面。

同样地，在另一些实施例中，所述绝缘层 320 的底表面与所述有源区 302 的顶表面平齐，且与所述浅沟槽隔离结构 301 的顶表面平齐，所述绝缘层 320 的顶表面与所述沟道层 310 的顶表面平齐，则所述补充层 360 覆盖所述浅沟槽隔离结构 301 顶表面，且与所述沟道层 310 表面平齐，以于形成平坦的器件表面。

同样地，在另一些实施例中，所述绝缘层 320 的底表面与所述有源区 302 的顶表面平齐，且与所述浅沟槽隔离结构 301 的顶表面平齐，所述绝缘层 320 的顶表面低于与所述沟道层 310 的顶表面，则所述补充层 360 覆盖所述浅沟槽隔离结构 301 及所述绝缘层 320 的顶表面，且与所述沟道层 310 表面平齐，以于形成平坦的器件表面。

本公开实施例提供的半导体结构中，由于所述沟道层 310 在制备过程中被部分去除，使得所述半导体结构的所述沟道层 310 边缘区域的厚度与中心区域的厚度基本一致，所述沟道层 310 被去除的区域采用绝缘层 320 填充，进一步避免沟道层 310 侧壁被暴露，能够形成厚度均一高质量的沟道层 310，大大提高了半导体结构的性能，扩大了以硅锗材料为沟道的半导体结构的适用范围。

以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

权 利 要 求 书

1. 一种半导体结构的制备方法，包括：

提供基底，所述基底包括浅沟槽隔离结构及被所述浅沟槽隔离结构限定的有源区；

在所述有源区表面形成沟道层；

去除所述浅沟槽隔离结构与所述有源区交界区域的所述沟道层，暴露出部分所述有源区；

在所述有源区暴露的表面形成绝缘层。

2. 根据权利要求 1 所述的半导体结构的制备方法，其中，在所述有源区表面形成沟道层的方法包括：

沉积硅锗材料，以在所述浅沟槽隔离结构表面及所述有源区表面形成硅锗材料层；

刻蚀所述硅锗材料层，直至所述浅沟槽隔离结构表面被暴露。

3. 根据权利要求 2 所述的半导体结构的制备方法，其中，在沉积硅锗材料步骤中，在所述浅沟槽隔离结构表面沉积的硅锗材料层厚度小于在所述有源区表面沉积的硅锗材料层厚度。

4. 根据权利要求 3 所述的半导体结构的制备方法，其中，在刻蚀所述硅锗材料层的步骤中，所述有源区表面的硅锗材料层被减薄。

5. 根据权利要求 4 所述的半导体结构的制备方法，其中，循环沉积所述硅锗材料及刻蚀所述硅锗材料层的步骤，直至在所述有源区表面形成具有设定厚度的所述硅锗材料层，在所述浅沟槽隔离结构的表面无所述硅锗材料层。

6. 根据权利要求 1 所述的半导体结构的制备方法，其中，去除所述浅沟槽隔离结构与所述有源区交界区域的所述沟道层的方法包括：

在所述浅沟槽隔离结构及所述沟道层表面形成掩膜层；

图案化所述掩膜层，形成第一窗口，所述第一窗口暴露出所述交界区域的所述沟道层；

以所述掩膜层作为掩膜去除所述沟道层。

7. 根据权利要求 6 所述的半导体结构的制备方法，其中，在所述有源区暴露的表面形成绝缘层的步骤包括：以所述第一窗口作为工艺窗口，在所述有源区暴露的表面形成所述绝缘层；

减薄所述掩膜层及所述绝缘层，至所述沟道层被暴露，所述浅沟槽隔离结构表面剩余的掩膜层被保留作为补充层。

8. 根据权利要求 1 所述的半导体结构的制备方法，其中，去除所述浅沟槽隔离结构与所述有源区交界区域的所述沟道层的步骤包括：过刻蚀所述有源区形成凹槽；在形成所述绝

缘层的步骤中，所述绝缘层填充在所述凹槽内。

9. 根据权利要求 8 所述的半导体结构的制备方法，其中，所述绝缘层表面低于所述沟道层表面，所述方法还包括如下步骤：

形成补充层，所述补充层覆盖所述浅沟槽隔离结构及所述绝缘层表面，并与所述沟道层顶表面平齐。

10. 一种半导体结构，包括：

基底，所述基底包括浅沟槽隔离结构及被所述浅沟槽隔离结构限定的有源区；

沟道层，设置在所述有源区中部的表面；

绝缘层，设置在所述浅沟槽隔离结构与所述沟道层之间，且覆盖所述有源区外围的表面。

11. 根据权利要求 10 所述的半导体结构，其中，所述绝缘层的底表面低于所述有源区的顶表面，所述绝缘层的顶表面与所述浅沟槽隔离结构的顶表面平齐，所述绝缘层的顶表面低于所述沟道层的顶表面。

12. 根据权利要求 11 所述的半导体结构，进一步还包括补充层，所述补充层覆盖所述浅沟槽隔离结构及所述绝缘层的顶表面。

13. 根据权利要求 10 所述的半导体结构，其中，所述绝缘层的底表面低于所述有源区的顶表面，所述绝缘层的顶表面与所述沟道层的顶表面平齐。

14. 根据权利要求 13 所述的半导体结构，进一步还包括补充层，所述补充层覆盖所述浅沟槽隔离结构的顶表面，所述补充层的顶表面与所述绝缘层的顶表面平齐。

15. 根据权利要求 12 所述的半导体结构，其中，所述绝缘层的材料与所述浅沟槽隔离结构的材料相同，所述补充层的材料与所述绝缘层的材料不同。

16. 根据权利要求 14 所述的半导体结构，其中，所述绝缘层的材料与所述浅沟槽隔离结构的材料相同，所述补充层的材料与所述绝缘层的材料不同。

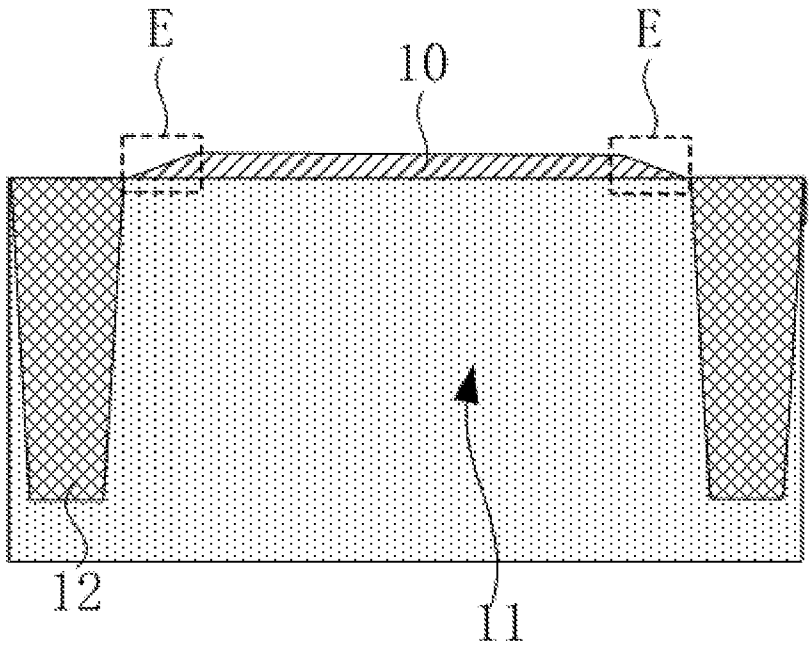

E
10
E
12
11

图 1

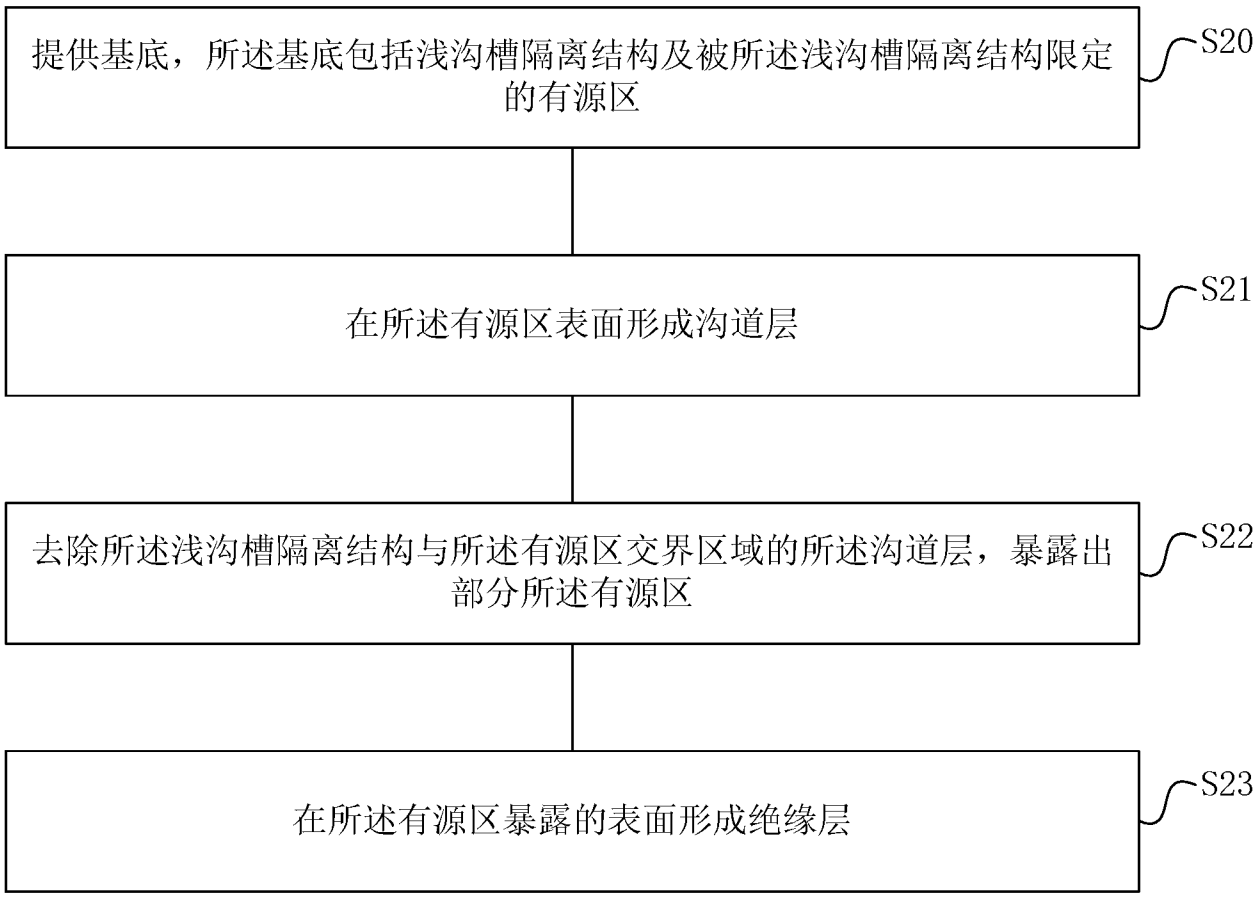

提供基底，所述基底包括浅沟槽隔离结构及被所述浅沟槽隔离结构限定的有源区
S20
在所述有源区表面形成沟道层
S21
去除所述浅沟槽隔离结构与所述有源区交界区域的所述沟道层，暴露出部分所述有源区
S22
在所述有源区暴露的表面形成绝缘层
S23

图 2

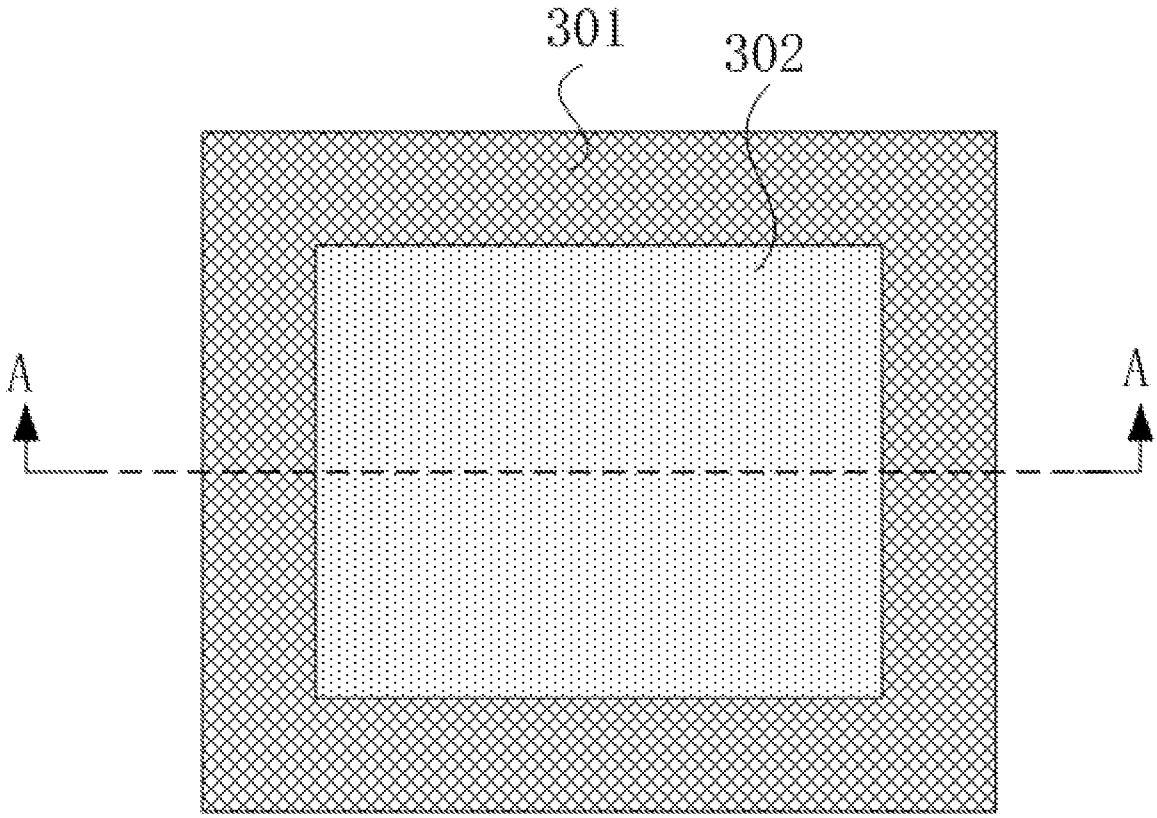


图 3A

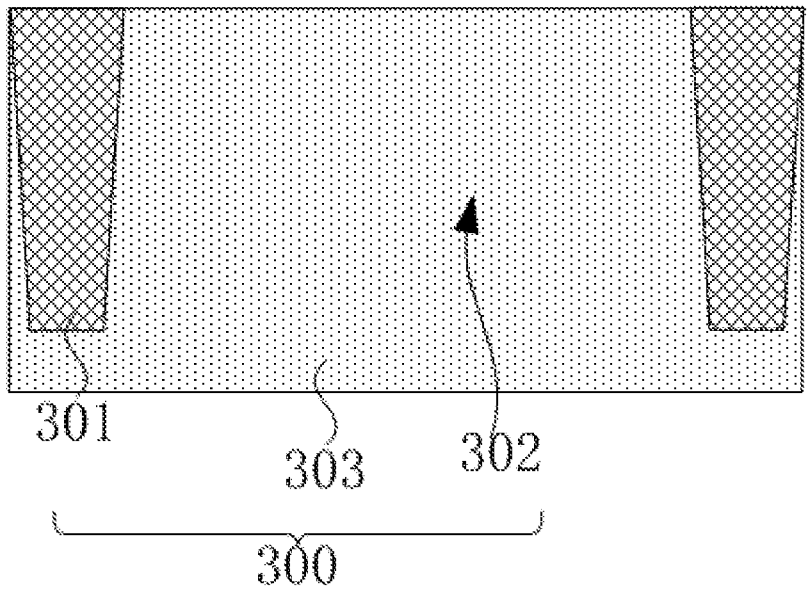


图 3B

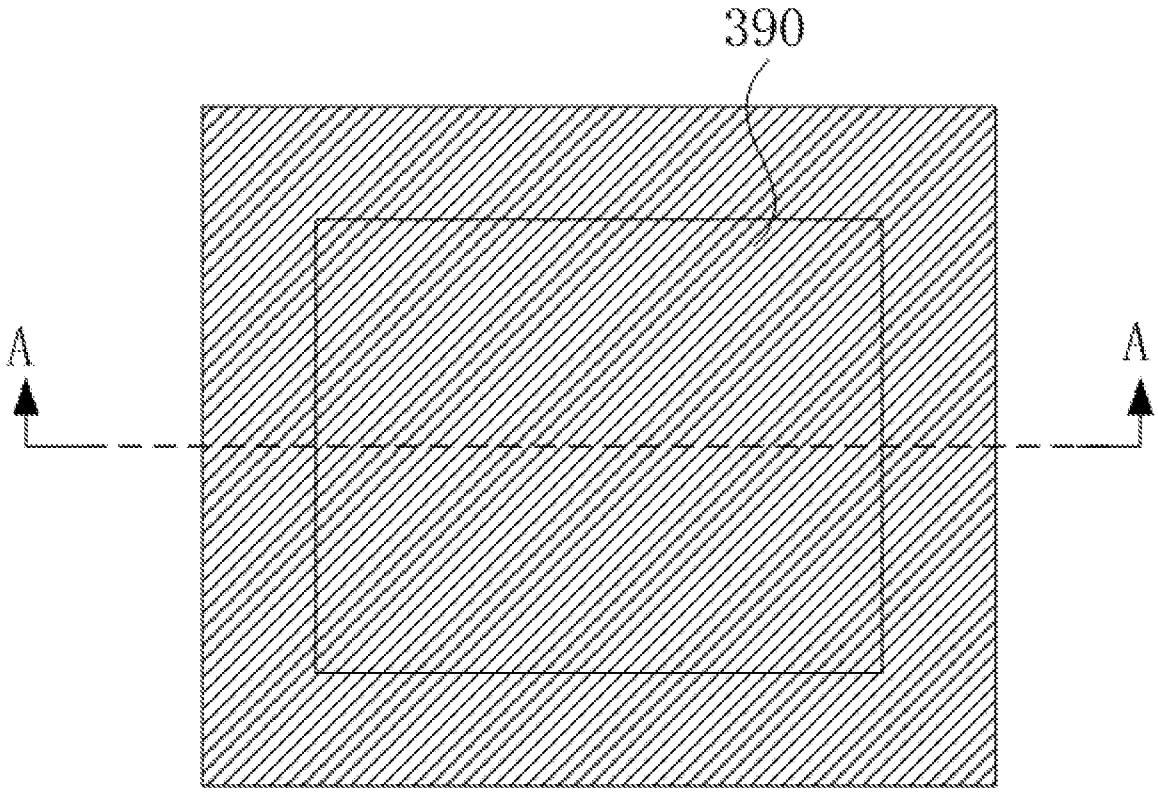


图 3C

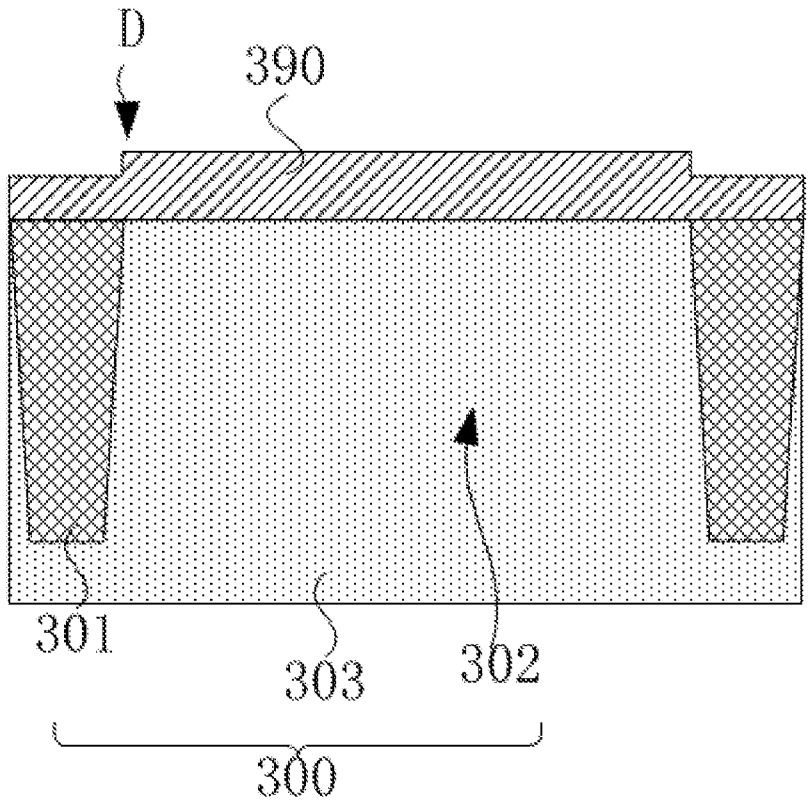


图 3D

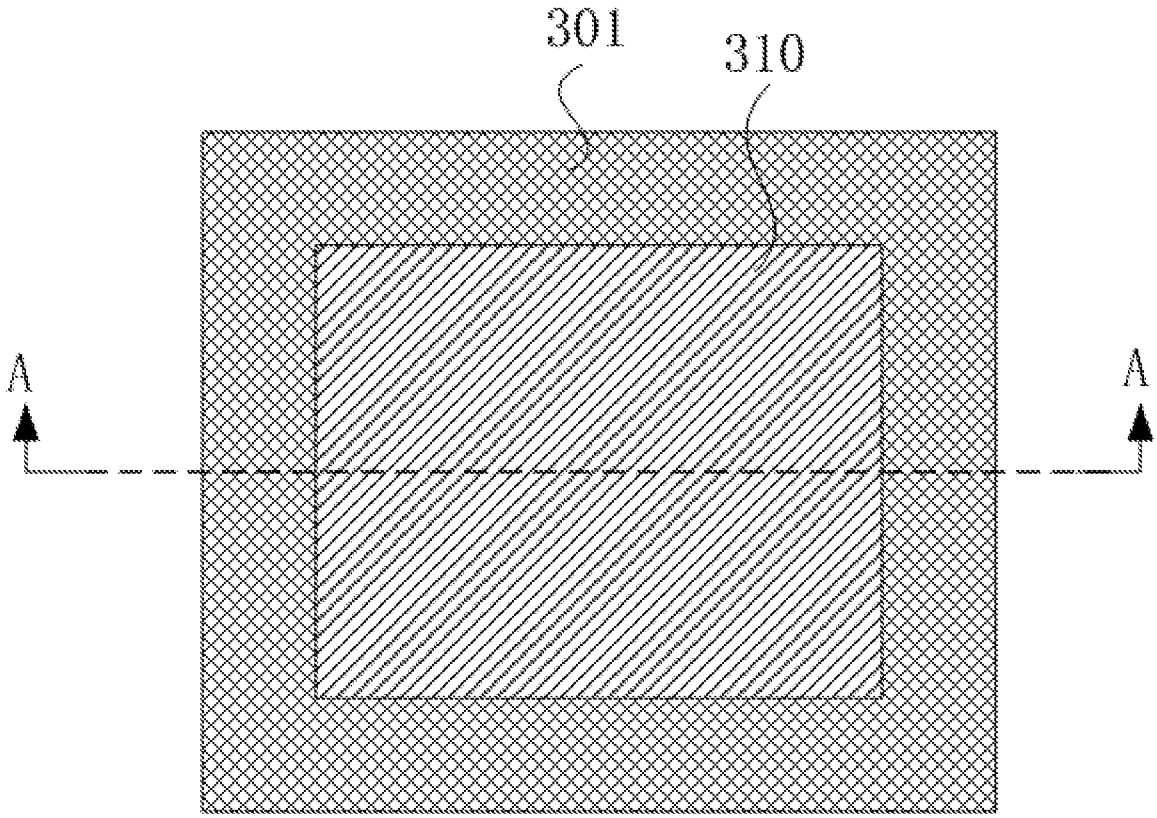


图 3E

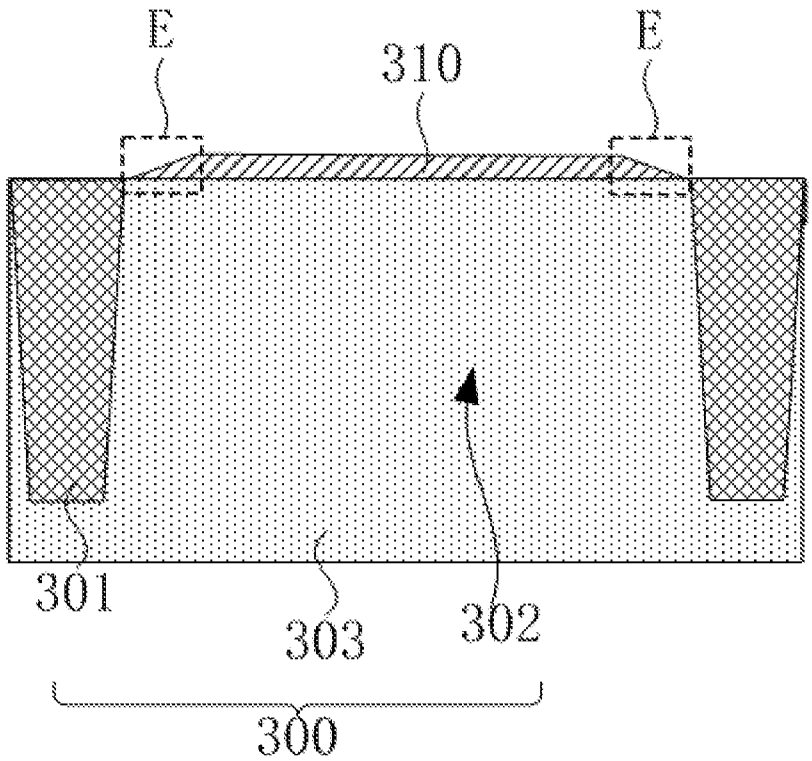


图 3F

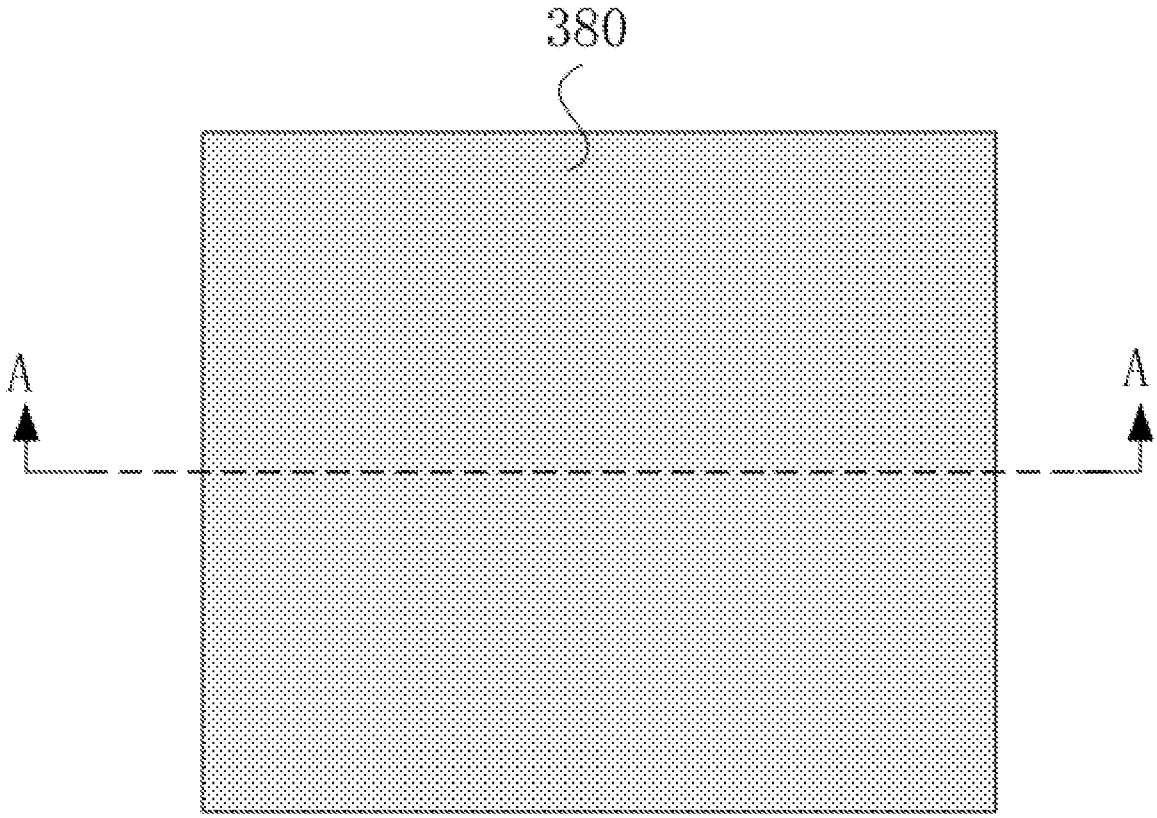


图 3G

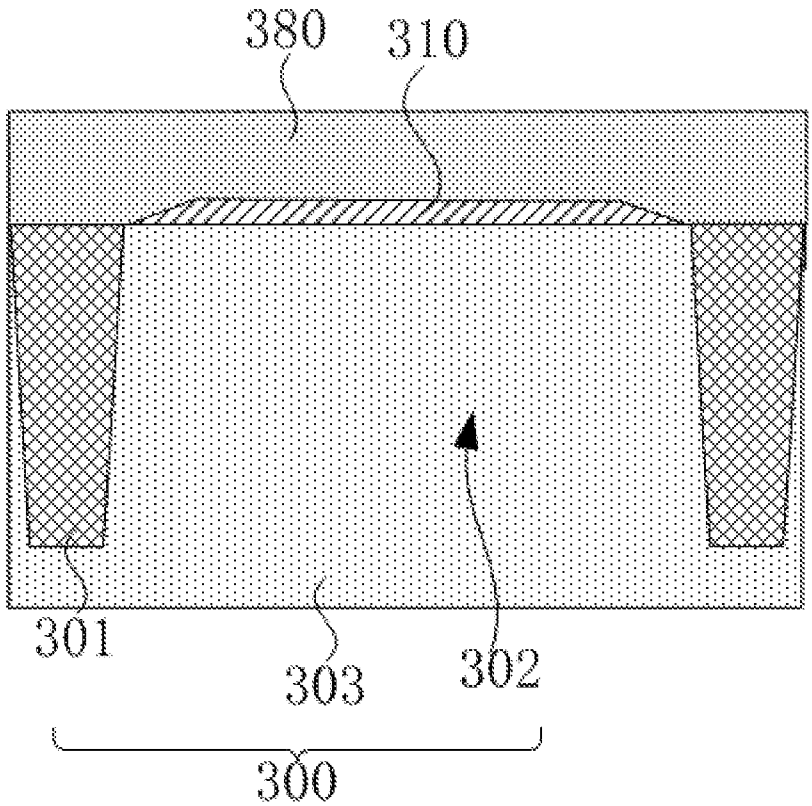


图 3H

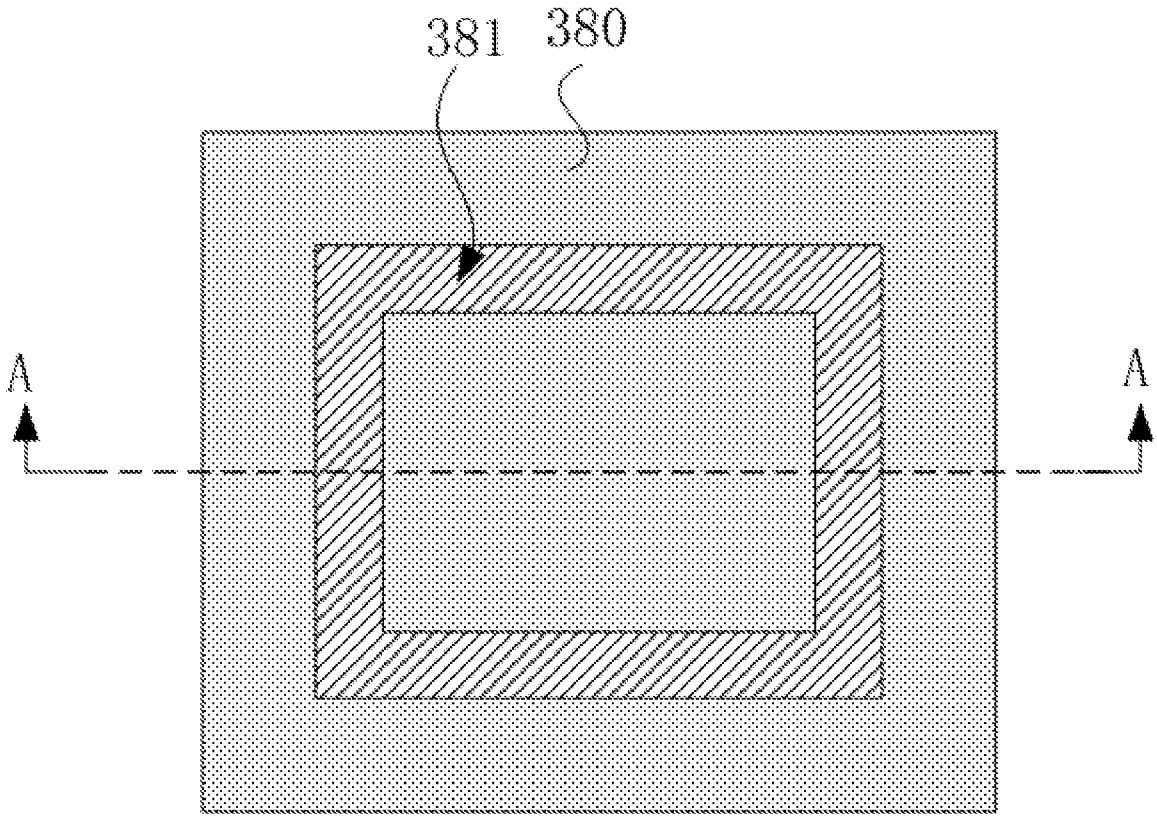


图 3I

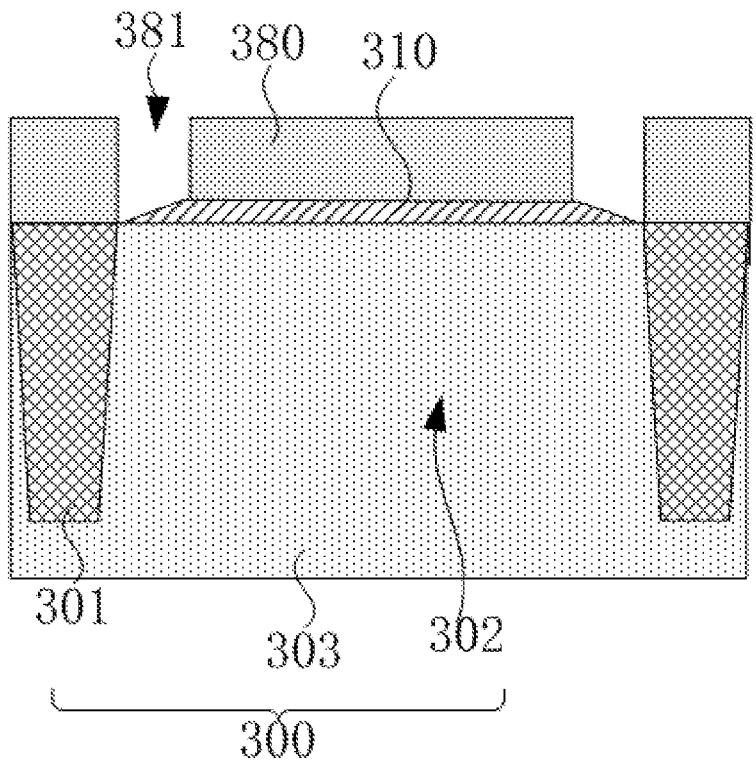


图 3J

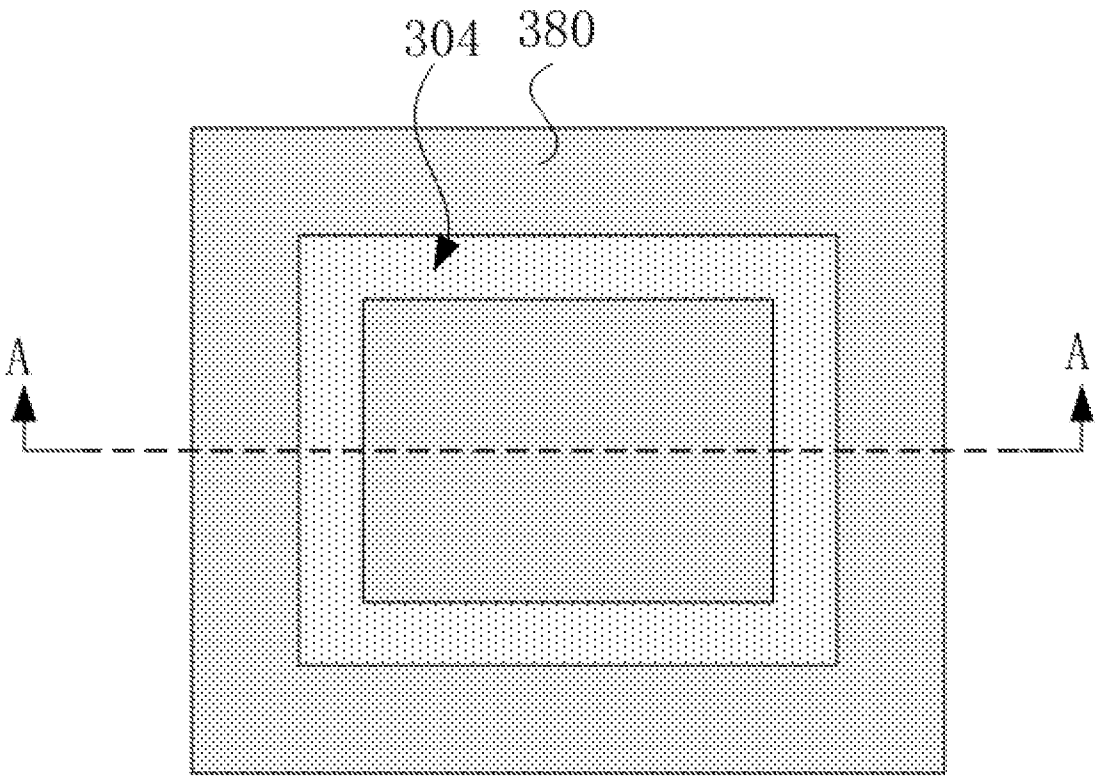


图 3K

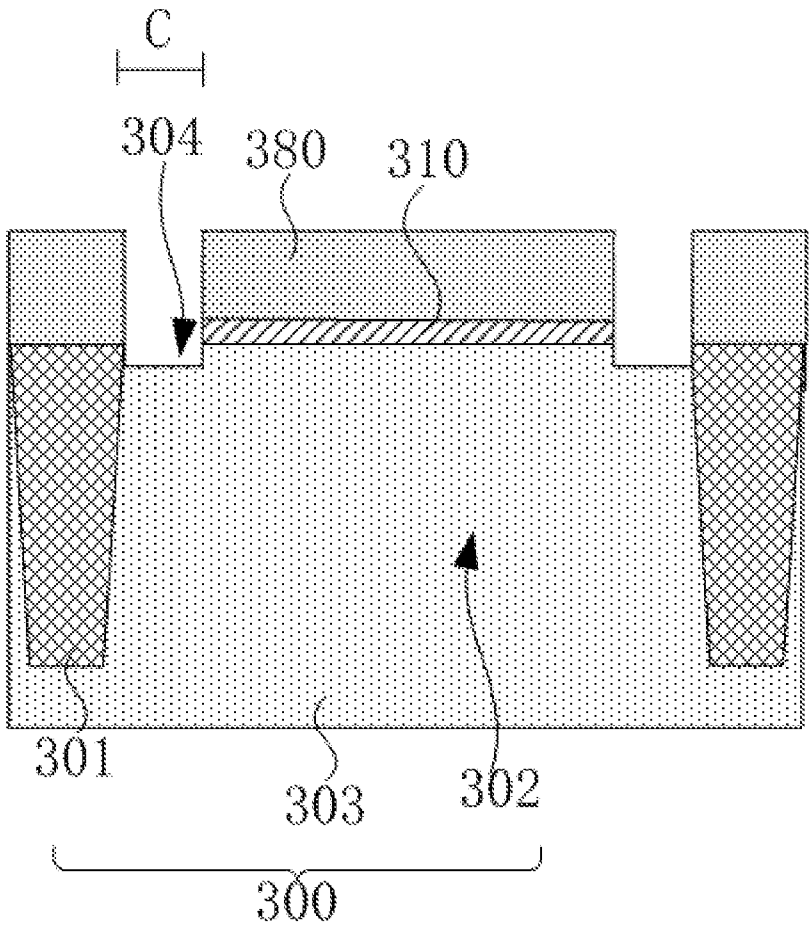


图 3L

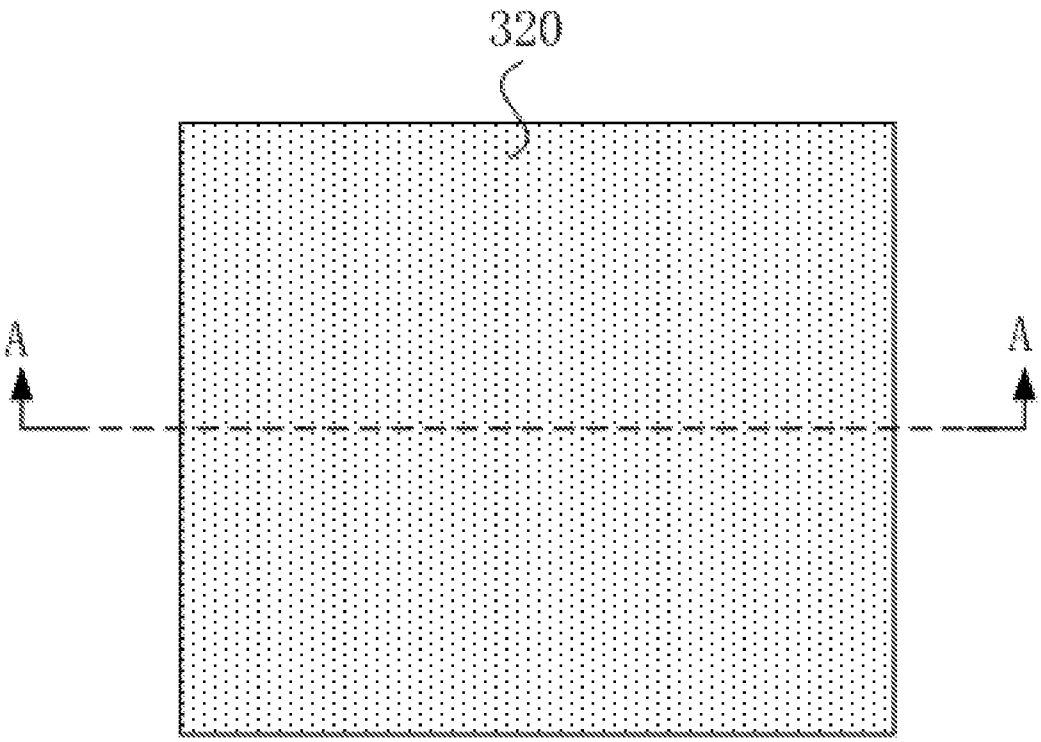


图 3M

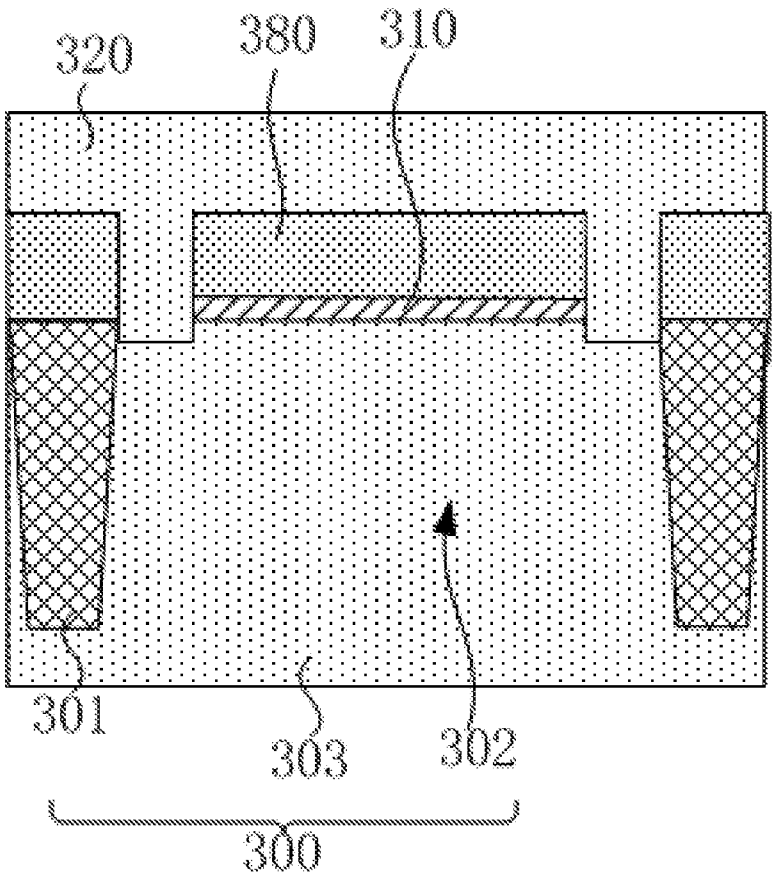


图 3N

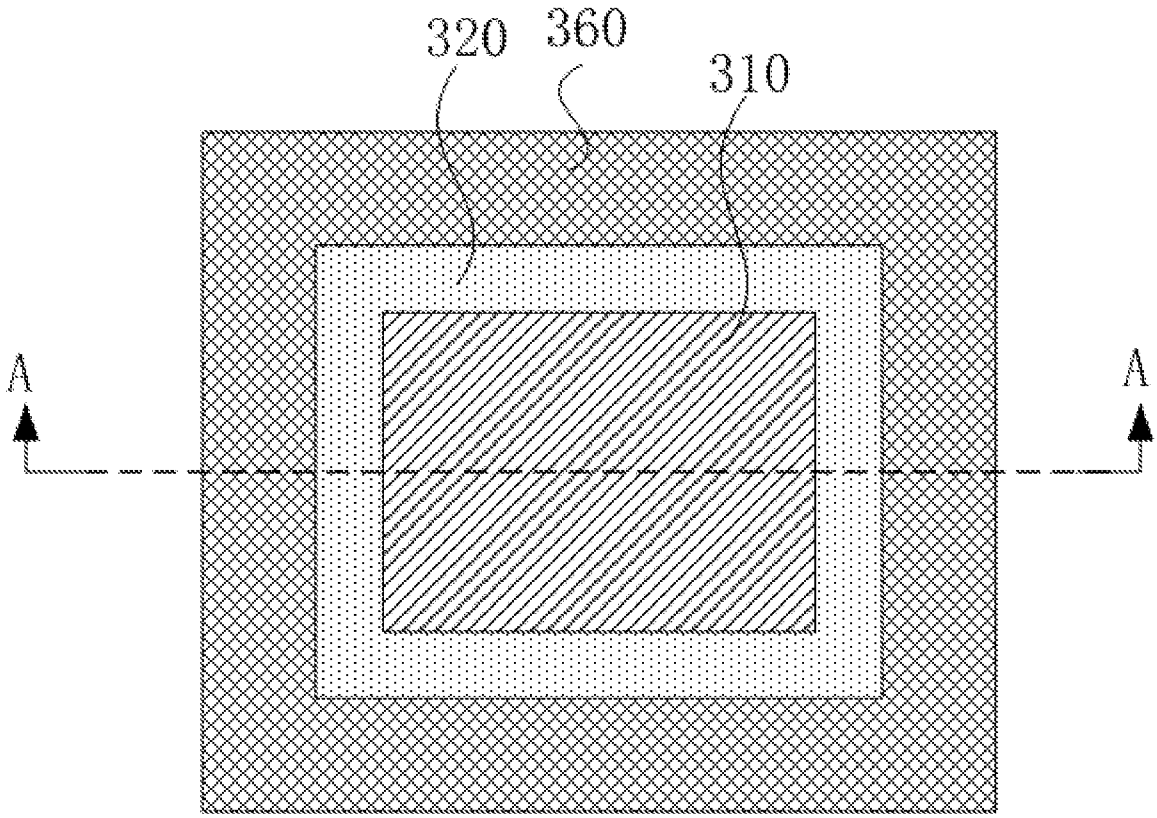


图 3O

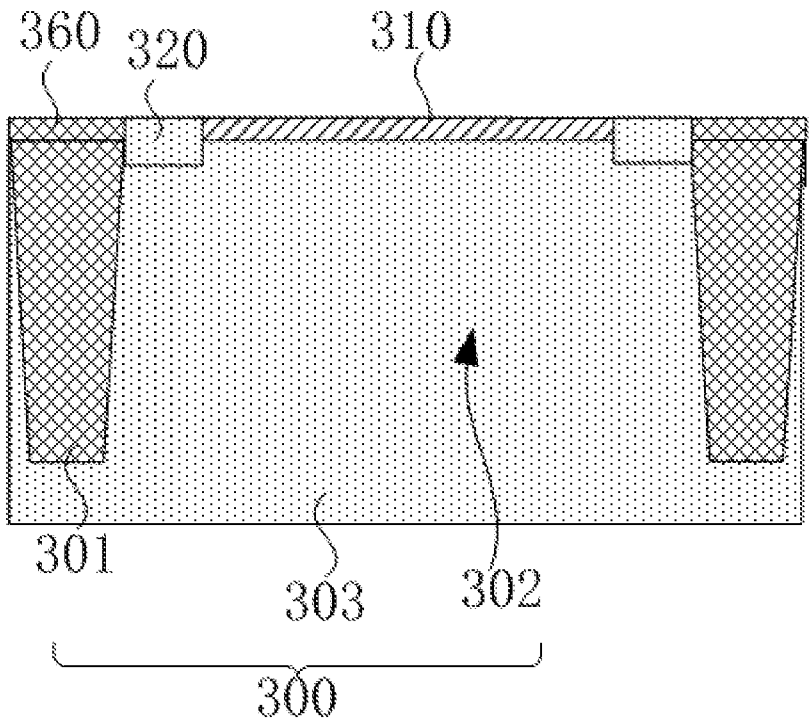


图 3P

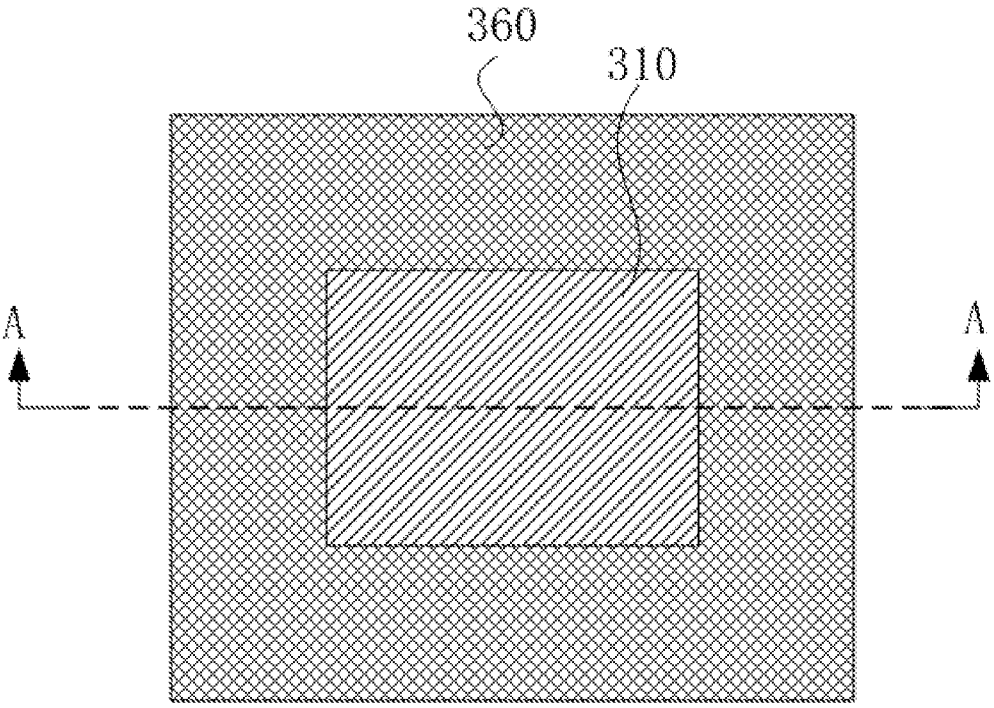


图 4A

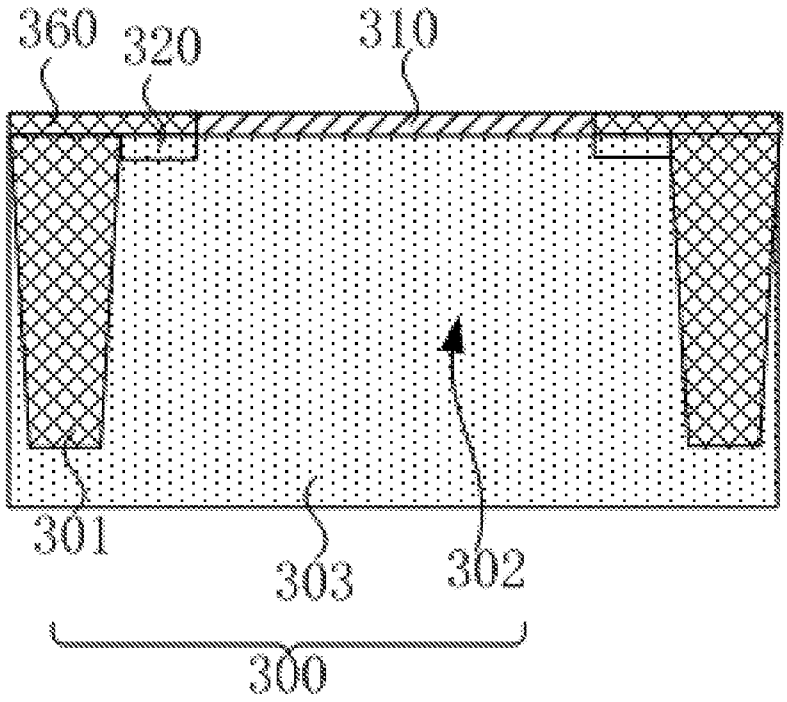


图 4B

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/127029

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/335(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; ENTXT; IEEE: 暴露, 部分, 侧壁, 隔离结构, 沟道, 硅锗, 厚, 绝缘层, 均一, 均匀, 刻蚀, 露, 浅槽隔离, 浅沟槽隔离, 去除, 蚀刻, 有源, channel, different, layer, shallow, SiGe, STI, trench, remov+, isolat+, etch+, uniform+, structure?, thick+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2012282763 A1 (GLOBALFOUNDRIES INC.) 08 November 2012 (2012-11-08) description, paragraphs [0026]-[0036], and figures 2A-2F	1-16
Y	US 2009181507 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION et al.) 16 July 2009 (2009-07-16) description, paragraphs [0014]-[0027], and figures 1-5	1-16
A	CN 103594374 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 19 February 2014 (2014-02-19) entire document	1-16
A	US 2014339638 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 20 November 2014 (2014-11-20) entire document	1-16
A	CN 114639676 A (SAMSUNG ELECTRONICS CO., LTD.) 17 June 2022 (2022-06-17) entire document	1-16

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 February 2023	**16 March 2023**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/127029

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2012282763 A1	08 November 2012	US 8703551 B2	22 April 2012
US 2009181507 A1	16 July 2009	US 7622341 B2	24 November 2009
CN 103594374 A	19 February 2014	CN 103594374 B	08 March 2017
US 2014339638 A1	20 November 2014	US 8927363 B2	06 January 2015
CN 114639676 A	17 June 2022	US 2022189969 A1	16 June 2022
		KR 20220085482 A	22 June 2022

国际检索报告

国际申请号
PCT/CN2022/127029

A. 主题的分类

H01L21/335(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;CNTXT;CNKI;VEN;ENTXT;IEEE: 暴露，部分，侧壁，隔离结构，沟道，硅锗，厚，绝缘层，均一，均匀，刻蚀，露，浅槽隔离，浅沟槽隔离，去除，蚀刻，有源，channel,different,layer,shallow,SiGe,STI,trench,remov+,isolat+,etch+,uniform+,structure?,thick+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	US 2012282763 A1 (GLOBALFOUNDRIES INC.) 2012年11月8日 (2012-11-08) 说明书第[0026]-[0036]段，附图2A-2F	1-16
Y	US 2009181507 A1 (ITERNATIONAL BUSINESS MACHINES CORPORATION 等) 2009年7月16日 (2009-07-16) 说明书第[0014]-[0027]段，附图1-5	1-16
A	CN 103594374 A (中国科学院微电子研究所) 2014年2月19日 (2014-02-19) 全文	1-16
A	US 2014339638 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2014年11月20日 (2014-11-20) 全文	1-16
A	CN 114639676 A (三星电子株式会社) 2022年6月17日 (2022-06-17) 全文	1-16

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2023年2月20日	2023年3月16日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 曹毓涵 电话号码 (+86) 010-53961208

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/127029

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2012282763	A1	2012年11月8日	US	8703551	B2	2012年4月22日
US	2009181507	A1	2009年7月16日	US	7622341	B2	2009年11月24日
CN	103594374	A	2014年2月19日	CN	103594374	B	2017年3月8日
US	2014339638	A1	2014年11月20日	US	8927363	B2	2015年1月6日
CN	114639676	A	2022年6月17日	US	2022189969	A1	2022年6月16日
				KR	20220085482	A	2022年6月22日