



(12) 发明专利

(10) 授权公告号 CN 1926679 B

(45) 授权公告日 2010.10.06

(21) 申请号 200580006814.5

H01L 21/3105(2006.01)

(22) 申请日 2005.02.26

(56) 对比文件

(30) 优先权数据

US 6673695 B1, 全文.

10/791,759 2004.03.04 US

US 5177028 A, 说明书第5栏第32行-第6
栏第29行, 权利要求20, 图14-20.

(85) PCT申请进入国家阶段日

US 6555476 B1, 2003.04.29, 全文.

2006.09.01

CN 1356722 A, 2002.07.03, 全文.

(86) PCT申请的申请数据

审查员 谢绍俊

PCT/US2005/006177 2005.02.26

(87) PCT申请的公布数据

W02005/093825 EN 2005.10.06

(73) 专利权人 格罗方德半导体公司

地址 英属开曼群岛大开曼岛

(72) 发明人 D·J·邦瑟 J·格罗舍普弗

S·达克希那-穆尔蒂

J·G·佩尔兰 J·D·奇克

(74) 专利代理机构 北京戈程知识产权代理有限

公司 11314

代理人 程伟

(51) Int. Cl.

H01L 21/762(2006.01)

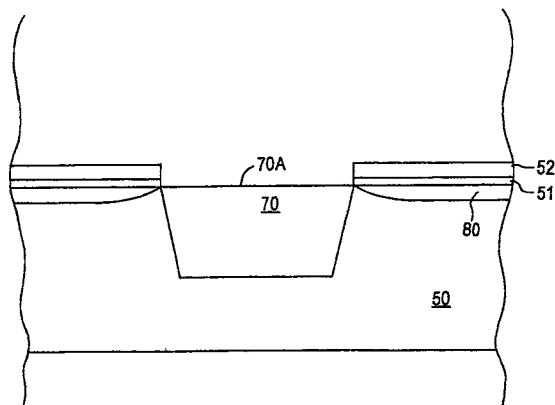
权利要求书 1 页 说明书 4 页 附图 10 页

(54) 发明名称

在半导体装置制造中减少浅沟槽隔离凹陷区形成的方法

(57) 摘要

藉由使用非常薄之氮化物抛光终止层(52), 例如, 厚度不超过400埃, 而消除或基本上减少浅沟槽隔离凹陷区之形成。非常薄之氮化物抛光终止层(52)在后续屏蔽、注入和清除步骤期间保持于位置上, 以形成掺杂区域(80), 并于栅极氧化物(101)与栅极电极(100)形成前, 去除该非常薄之氮化物抛光终止层(52)。



1. 一种制造半导体装置的方法,该方法包括:
在半导体衬底 (50) 上形成氮化物抛光终止层 (52),厚度不超过 400 埃;
在该氮化物抛光终止层中形成开口并在该衬底中形成沟槽;
用绝缘材料填充该沟槽以在该氮化物抛光终止层上形成覆盖层;
抛光以形成终止于该氮化物抛光终止层上的上平表面,由此而形成浅沟槽隔离区域 (70);以及
离子注入杂质穿过该氮化物抛光终止层,以于该半导体衬底中邻接该浅沟槽隔离区域 (70) 形成杂质区域 (80)。
2. 如权利要求 1 所述的方法,包括形成该氮化物抛光终止层 (52),厚度在 50 埃至 150 埃。
3. 如权利要求 1 所述的方法,包括抛光以形成该上平表面,同时去除不超过 20 埃的该氮化物抛光终止层 (52)。
4. 如权利要求 1 所述的方法,包括在该半导体衬底 (50) 的上表面上形成衬垫氧化物层 (51),并在该衬垫氧化物层 (51) 上形成该氮化物抛光终止层 (52)。
5. 如权利要求 1 所述的方法,进一步包括:
去除该氮化物抛光终止层 (52);
在去除该氮化物抛光终止层后,在该半导体衬底上形成栅极氧化物层 (101);以及
在该栅极氧化物层 (101) 上形成栅极电极 (100)。
6. 如权利要求 5 所述的方法,进一步包括在去除该氮化物抛光终止层 (52) 之前,蚀刻以去除填充该沟槽的该绝缘材料的部分的上表面 (70A),而使得该绝缘材料的该上表面基本上与该半导体衬底的上表面同平面。

在半导体装置制造中减少浅沟槽隔离凹陷区形成的方法

技术领域

[0001] 本发明系关于制造集成电路半导体装置。本发明尤其可应用于制造具有高品质浅沟隔离 (STI) 而不具有或具有基本减少凹陷区 (divot) 形成之高集成电路半导体装置。

背景技术

[0002] 当驱策着工业界将集成电路半导体装置之组件最小化时, 主动区 (active region) 之宽度和间距已变得更小, 由此而造成使用传统的硅之局部氧化 (LOCOS) 隔离技术之问题。一般认为 STI 较 LOCOS 为更可施行之隔离技术, 因为由其性质很难造成任何 LOCOS 之鸟喙 (bird's beak) 效应, 由此而达成减少转换的差异。

[0003] 习知的 STI 制造技术包括于半导体衬底的上表面上形成衬垫氧化物 (pad oxide); 在该衬垫氧化物上形成例如氮化硅之一般具有大于 1000 埃厚度之氮化物抛光终止层 (polish stop layer); 于该氮化物抛光终止层上形成开口; 在该半导体衬底中以各向异性方式 (anisotropically) 蚀刻而形成沟槽; 于该沟槽中形成热氧化物衬底 (thermal oxide liner), 然后用譬如氧化硅之绝缘材料填充该沟槽; 在该氮化物抛光终止层上形成覆盖层 (overburden)。然后藉由执行化学机械抛光 (CMP) 而施行平面化 (planarization)。于后续制程期间, 氮化物层随同着衬垫氧化物一齐被去除, 接着形成主动区, 形成主动区之制程一般包括屏蔽、离子注入、和清洗之步骤。于此等清洗步骤期间, 场氧化物 (field oxide) 之上角落以各向同性 (isotropically) 方式去除, 而于该氧化填充物中留下空隙 (void) 或“凹陷区 (divot)”。

[0004] 例如, 习知的 STI 制造技术说明于图 1 至 4 中, 其中相似的特征结构标示以相似的参考号码。参照图 1, 衬垫氧化物 11 形成于半导体衬底 10 的上表面, 而氮化硅抛光终止层 12 形成于该衬垫氧化物 11 之上, 一般超过 1000 埃之厚度。然后使用光罩 (未图标) 形成开口穿过该氮化硅抛光终止层 12、衬垫氧化物 11, 而沟槽 13 形成于半导体衬底 10 中。

[0005] 接着, 热氧化物衬底 (未图标) 形成于沟槽中, 沉积绝缘材料并用 CMP 方法施行平面化, 获得图 2 中所示之中间结构, 参考号码 20 表示氧化物填充物。接着, 去除氮化硅抛光终止层 12 和衬垫氧化物层 11, 并在形成主动区之前执行清除步骤。此种清除步骤获得形成如图 3 中所示之凹陷区 30。

[0006] 该 STI 凹陷区有各方面之问题。例如, STI 凹陷区会造成高场边缘漏电, 尤其是具有浅源极 / 汲极接面者。如图 4 中所示, 形成于浅源极 / 汲极区域 40 上之硅化物区域 41 向下陡峭地生长, 如参考号码 42 所示, 形成于后级之接面深度下方造成高漏电和短路。掺杂物之隔离, 很显著的是硼, 于 STI 场边缘减少接面深度。因此, 于接面硅化后, 硅化物 42 渗透衬底而引起短路, 而因此发生大的漏电流从源极 / 汲极接面流至井或衬底。

[0007] 此外, 若当凹陷区形成后而使 STI 边缘变成暴露, 则在具有低杂质浓度之区域上形成具有低临界电压之寄生晶体管, 该低杂质浓度造成于电晶之特性曲线之扭折 (kink)。表现之扭折造成与所设计之电特性不同之电特性, 由此而妨碍了具有均匀特性之晶体管之制造。

[0008] 因此,需要一种方法能够制造具有高可靠度 STI 区域之高积体半导体装置,而不具有或具有基本减少之凹陷区。

发明内容

[0009] 本发明为一种制造半导体装置的方法,其优点为该半导体装置包括高可靠的 STI 区域,该 STI 区域不具有或具有基本减少之凹陷区。

[0010] 本发明之额外优点和其它特征将提出于下列说明中,该说明之部分内容对所属技术领域具有通常知识者而言于检验下列说明后将会很清楚,并可从施行本发明而知悉本发明。可以实现和获得详细指出于所附申请专利范围中之本发明之各优点。

[0011] 依照本发明,藉由制造半导体装置的方法而部分达成上述和其它的优点。该方法包括:于该半导体衬底上形成厚度不超过 400 埃(Å)之氮化物抛光终止层;于该氮化物抛光终止层中形成开口和于该衬底中形成沟槽;用绝缘材料填充该开口以在该氮化物抛光终止层上形成覆盖层;以及进行抛光以形成终止于氮化物抛光终止层的上平表面,由此而形成浅沟槽隔离区域。

[0012] 本发明之各实施例包括于半导体装置衬底的上表面上形成衬垫氧化物;在该衬垫氧化物上形成例如氮化硅抛光终止层之氮化物抛光终止层,于厚度 50 埃至 150 埃,例如 100 埃;使用化学气相沉积法沉积譬如氧化硅之电介质绝缘材料填充该开口;然后施行化学机械抛光(CMP)藉由去除不超过 20 埃该氮化物抛光终止层的上表面而于该氮化物抛光终止层上有效的终止平面化。本发明之各实施例进一步包括离子注入杂质穿过该氮化物抛光终止层,以于邻接该浅沟槽隔离区域之该半导体衬底中形成杂质区域;进行蚀刻以去除填充沟槽之绝缘材料之部分的上表面,而使得于沟槽中绝缘材料的上表面基本上与该半导体衬底的上表面共平面;然后去除该氮化物抛光终止层。接着,使用习知之技术,于该衬底上形成栅极氧化物层,而在该栅极氧化物层上形成栅极电极层。

[0013] 由下列之详细说明,本发明之额外的优点对于所属技术领域者而言将变得很容易明白,其中仅以显示考虑施行本发明最佳模式之方式而说明本发明之各实施例。应了解到,本发明能够有其它的和不同的实施例,以及其数个细部能够作各种显然方面之修饰,所有之修饰皆不会偏离本发明。因此,各图式和说明系说明本质,而不是用来限制本发明。

附图说明

[0014] 图 1 至 4 以示意方式说明形成 STI 区域之习知方法依序之阶段。于图 1 至 4 中,相同之特征结构标以相同之参考号码。

[0015] 图 5 至 11 以示意方式说明依照本发明之实施例方法依序之阶段。于图 5 至 11 中,相同之特征结构标以相同之参考号码。

[0016] 主要组件符号说明

- | | | | | |
|--------|----|-----------|----|-------|
| [0017] | 10 | 半导体衬底 | 11 | 衬垫氧化物 |
| [0018] | 12 | 氮化硅抛光终止层 | 13 | 沟槽 |
| [0019] | 20 | 氧化物填充物 | 30 | 凹陷区 |
| [0020] | 40 | 源极/汲极区域 | 41 | 硅化物区域 |
| [0021] | 42 | 陡峭生长(硅化物) | | |

[0022]	50	半导体装置（衬底）	
[0023]	51	衬垫氧化物	
[0024]	52	氮化硅蚀刻终止层	
[0025]	53	沟槽	60 绝缘材料
[0026]	70	STI 氧化物填充物	70A 上表面
[0027]	80	杂质区域（主动区域）	100 栅极电极
[0028]	101	栅极氧化物	
[0029]	102	电介质侧壁间隔件	
[0030]	103	层间电介质	104 电接触

具体实施方式

[0031] 本发明提出并解决伴随着实施习知的 STI 方法造成于 STI 区域之角落形成凹陷区之问题。此种习知方法一般包括形成相对厚的氮化物抛光终止层，如大于 1000 埃之厚度。此厚的氮化物抛光终止层一般于 STI 氧化物抛光后立即去除，因为后续的步骤需要离子注入以形成主动区，而厚的氮化物薄膜阻隔此种离子注入。许多之屏蔽、注入和清洗步骤用来形成主动区，于 STI 区域之角落形成获得之凹陷区。解决此问题之习知方法系于 STI 氧化物填塞之前，寻求最小化此等凹陷区，当例如藉由最佳化后氧化物（post oxide）抛光清洗和氮化物拉回（pull-back）。然而，此等方法并未适当解决 STI 凹陷区之问题。

[0032] 依照本发明，沉积极薄之氮化物抛光终止层（例如，氮化硅）于不大于 400 埃之厚度，譬如于 10 埃至 400 埃之厚度。适当的氮化硅抛光蚀刻终止层厚度为 50 埃至 150 埃，例如 100 埃。

[0033] 较有利的是，于 STI 氧化物抛光后并不立即移除薄氮化物抛光终止层。而是，于包括屏蔽、离子注入和清洗步骤以形成主动区域之后续制程期间仍保留薄氮化物蚀刻终止层。使用薄氮化物蚀刻终止层足够保护该填充之沟槽角落，由此而防止于 STI 角落氧化物之各向同性侵蚀，否则该等角落造成凹陷区之形成。此外，因为氮化物抛光终止层为薄的，则不能阻挡离子注入。事实上，使用薄氮化物抛光终止层表示用更一致的表面来注入，因为相对裸露之硅表面快速地形成不一致之自然的氧化物（native oxide）；反之，氮化物表面颇为稳定。因此，依照本发明之实施例，氮化物抛光终止层保持在达到形成栅极氧化物之位置，由此而保护主动硅区域，提供更较平坦的表面而防止或基本上减少凹陷区。

[0034] 依照本发明实施例的方法，系示意地说明于图 5 至 11 中，其中相似之特征结构标以相似之参考号码。注意图 5，当厚度为 50 埃至 200 埃，例如 150 埃之衬垫氧化物形成在半导体衬底 50 的上表面上。依照本发明之实施例，非常薄之氮化硅蚀刻终止层 52 形成在衬垫氧化物 51 上。氮化硅蚀刻终止层 52 一般形成于厚度 50 埃至 150 埃，例如 100 埃。然后藉由使用习知的光学微影术和蚀刻技术在衬底 50 中形成沟槽 53。

[0035] 于此点，虽然未显示，可形成薄热氧化物衬底该沟槽。接着，如图 6 中所示，藉由化学气相沉积法（CVD）沉积譬如氧化硅之绝缘材料 60 以填充该沟槽并于该氮化硅抛光终止层 52 上形成覆盖层。然后藉由 CMP 执行平面化，而得到图 7 中所示之中间结构，其中参考号码 70 表示 STI 氧化物填充物。一般施行 CMP 而使得当于氮化硅抛光终止层 52 上终止时，没有超过 20 埃从氮化硅抛光终止层 52 的上表面去除。

[0036] 于习知的实施方式中,完成 CMP 后去除氮化硅抛光终止层,接着藉由习知的屏蔽、离子注入和清洗步骤,以形成主动区域,获得形成凹陷区。然而,依照本发明之实施例,于后续以习知之方式施行之屏蔽、离子注入和清洗步骤期间保留相对薄的氮化硅抛光终止层 52,而获得形成之杂质区域 80,如图 8 中所示,该杂质区域 80 最终可用于晶体管之源极/汲极区域。当氮化硅抛光终止层 52 相对薄时,在注入期间实际上有很少之离子阻挡。此外,氮化硅层形成稳定的表面使得于形成之杂质区能够有较大之均匀性。

[0037] 接着,如藉由使用氢氟酸,去除 STI 氧化物填充物 70 的上表面,而使得上表面 70A 基本上与半导体衬底 50 的上表面共平面,获得图 9 中所示之中间构造。接着,如藉由使用氢氟酸而去除氮化硅抛光终止层 52,然后去除该衬垫氧化物 51,获得图 10 中所示之构造。施行后续之制程以形成如图 11 中所示之晶体管结构,包括覆于半导体衬底 50 上之栅极电极 100,而在其间具有栅极氧化物 101,以及电介质侧壁间隔件 102(dielectric sidewall spaces)。于图 11 中,参考号码 103 表示层间电介质而组件 104 表示穿过电介质层至衬底 50 上之主动区域 80 之电接点。

[0038] 本发明提供能够制造具有高可靠之 STI 区域,而不具有或具有基本减少凹陷区形成之半导体装置的方法。本发明之实施例包括策略上减少氮化硅抛光终止层之厚度低于 400 埃并紧接于 CMP 后保留该氮化硅抛光终止层,以保护沟槽角落免于当形成主动区域时于习知之实施清洗步骤期间各向同性蚀刻,以及藉由在离子注入期间保持薄氮化硅抛光终止层,而因此达成高均匀注入区域。

[0039] 本发明享有在制造包含 STI 区域之不具有或基本上减少凹陷区形成之高积体半导体装置之工业可应用性。本发明在制造具有次微米尺寸之半导体装置上享有特殊的可应用性。

[0040] 于前面的说明中,本发明参照特定的实施范例而说明。然而,很显然的对于该等实施范例可作各种的修饰和变化,而不会偏离提出于申请专利范围中之本发明之较广的精神和范围。因此,说明书和图式系相关作说明用而非作限制用。应了解到本发明能够使用各种其它的组合和实施例,并能够在此文中所表现之本发明概念之范围内作任何的改变或修饰。

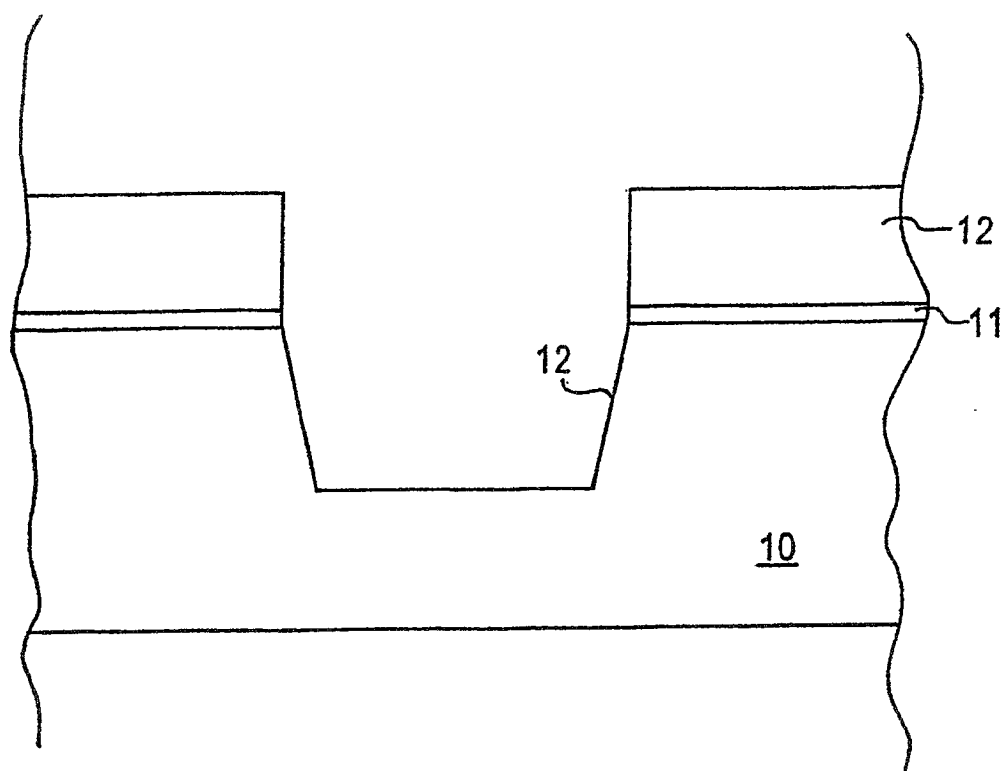


图 1(先前技术)

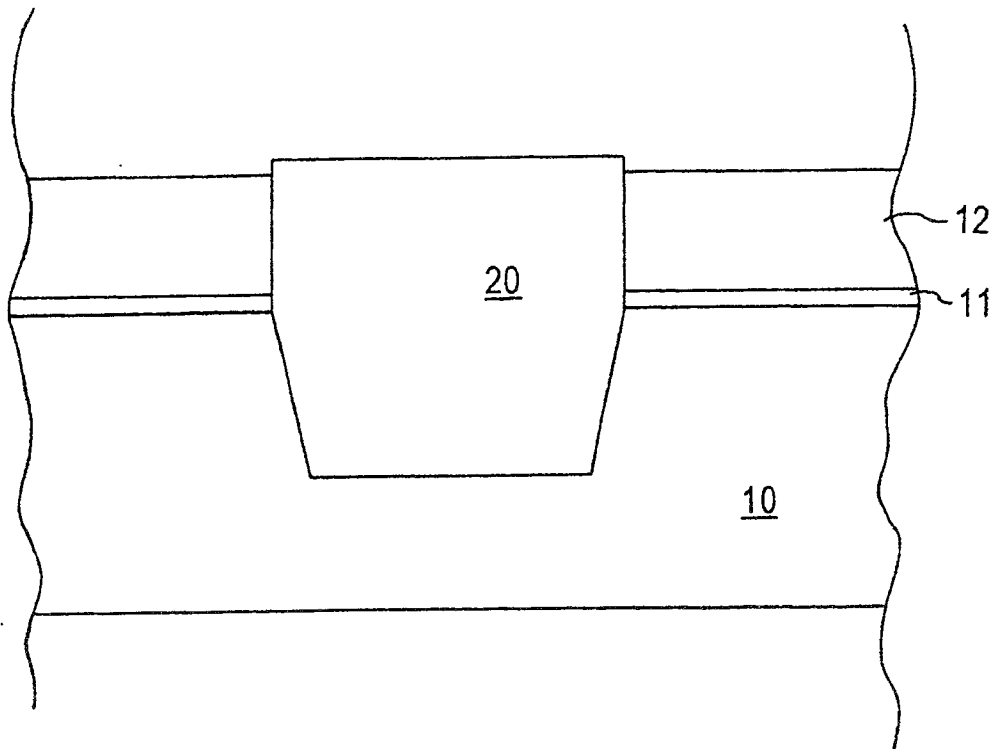


图 2(先前技术)

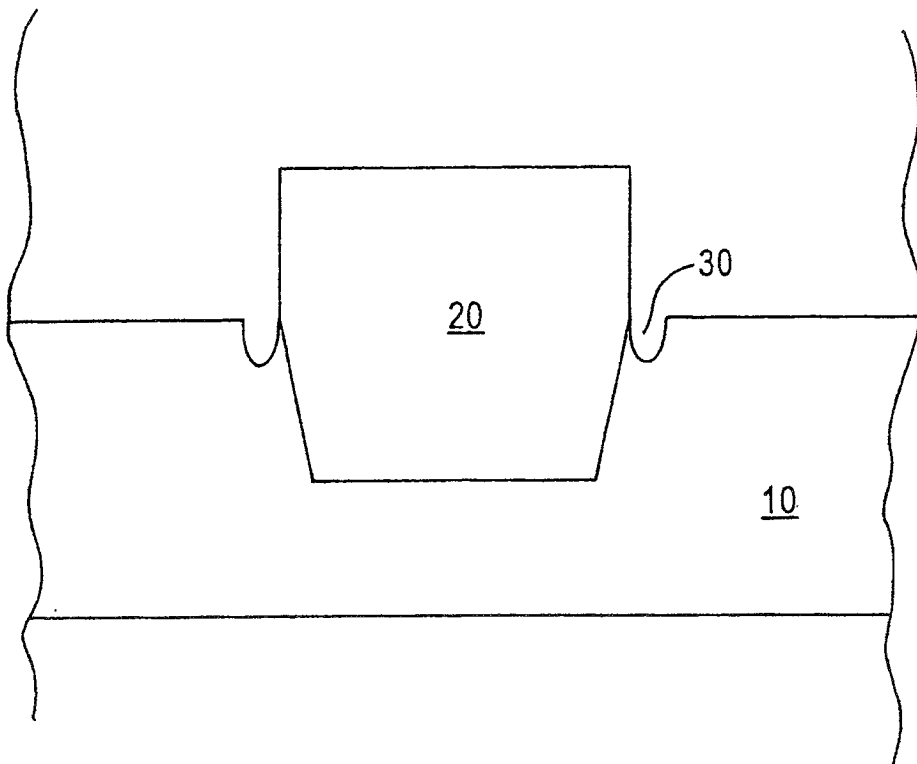


图 3(先前技术)

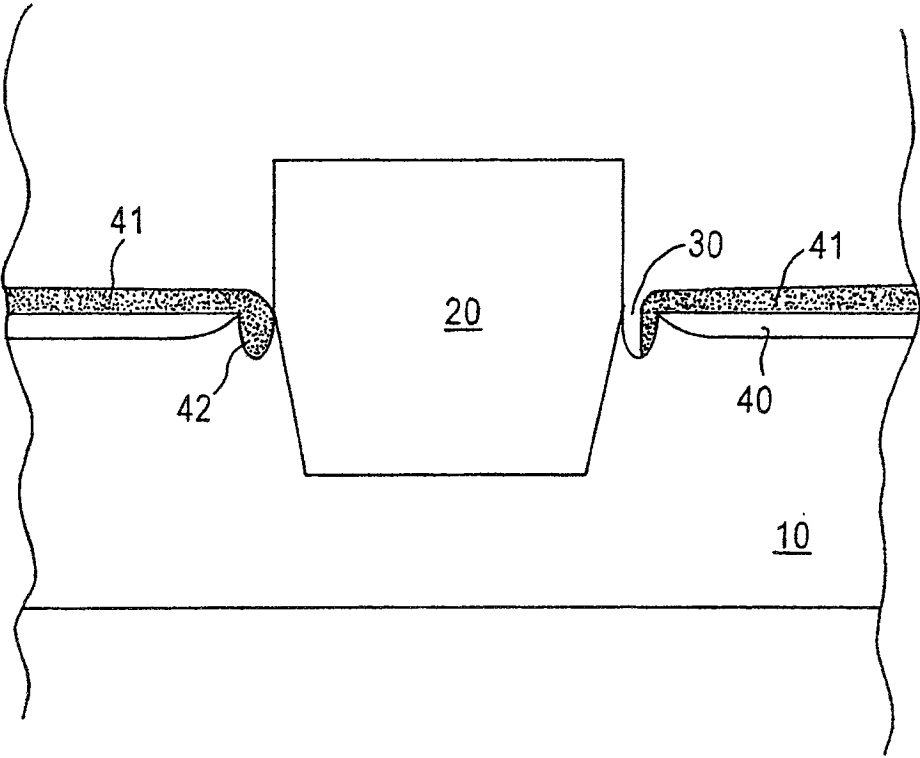


图 4(先前技术)

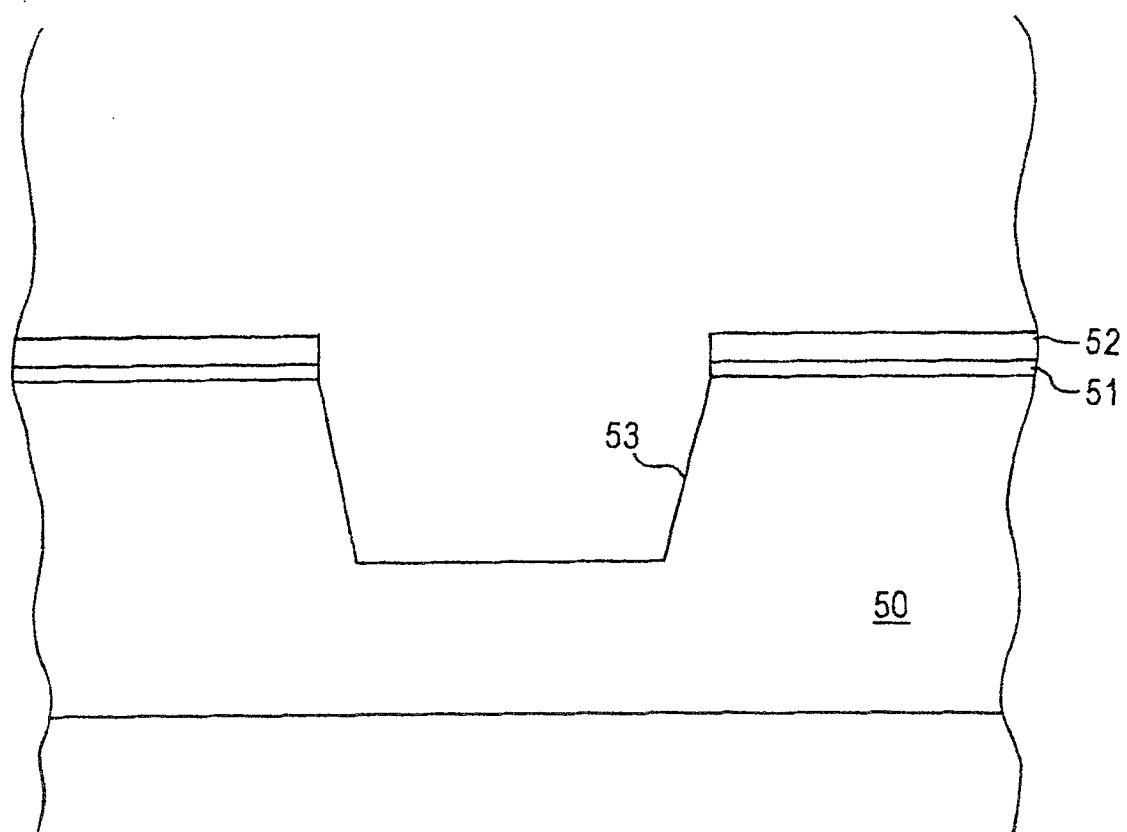


图 5

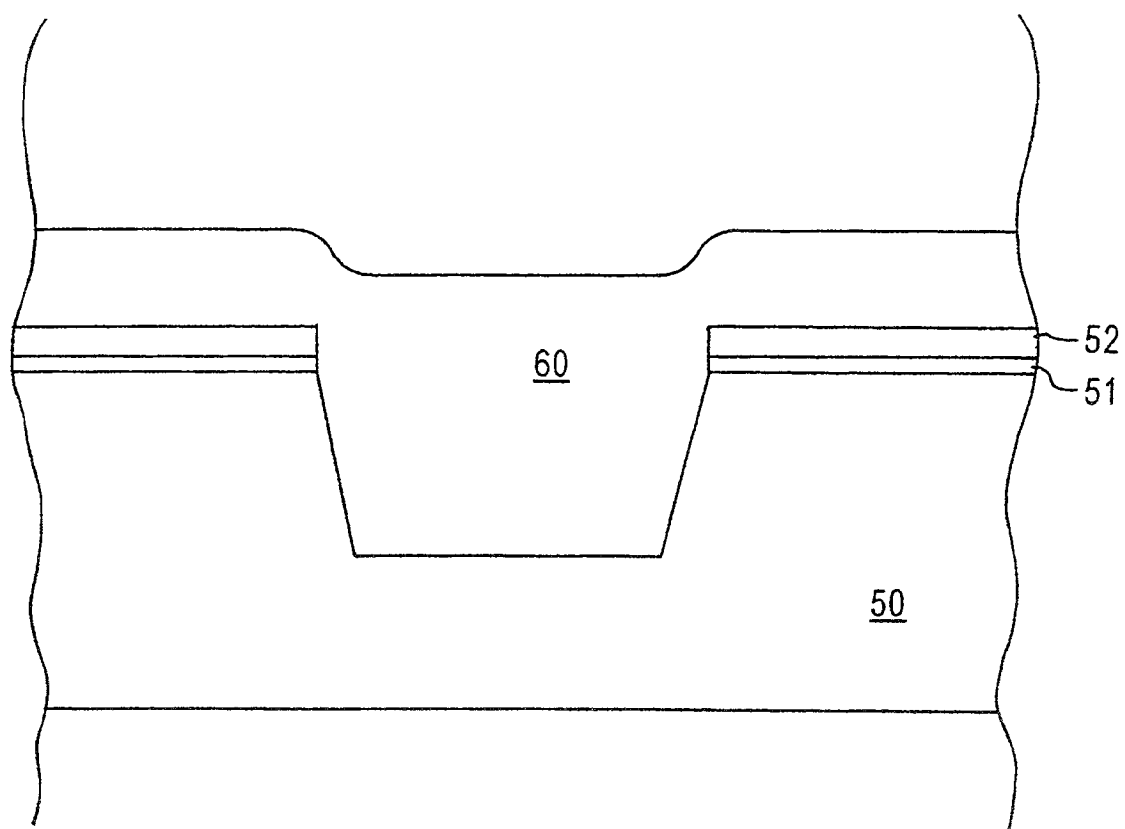


图 6

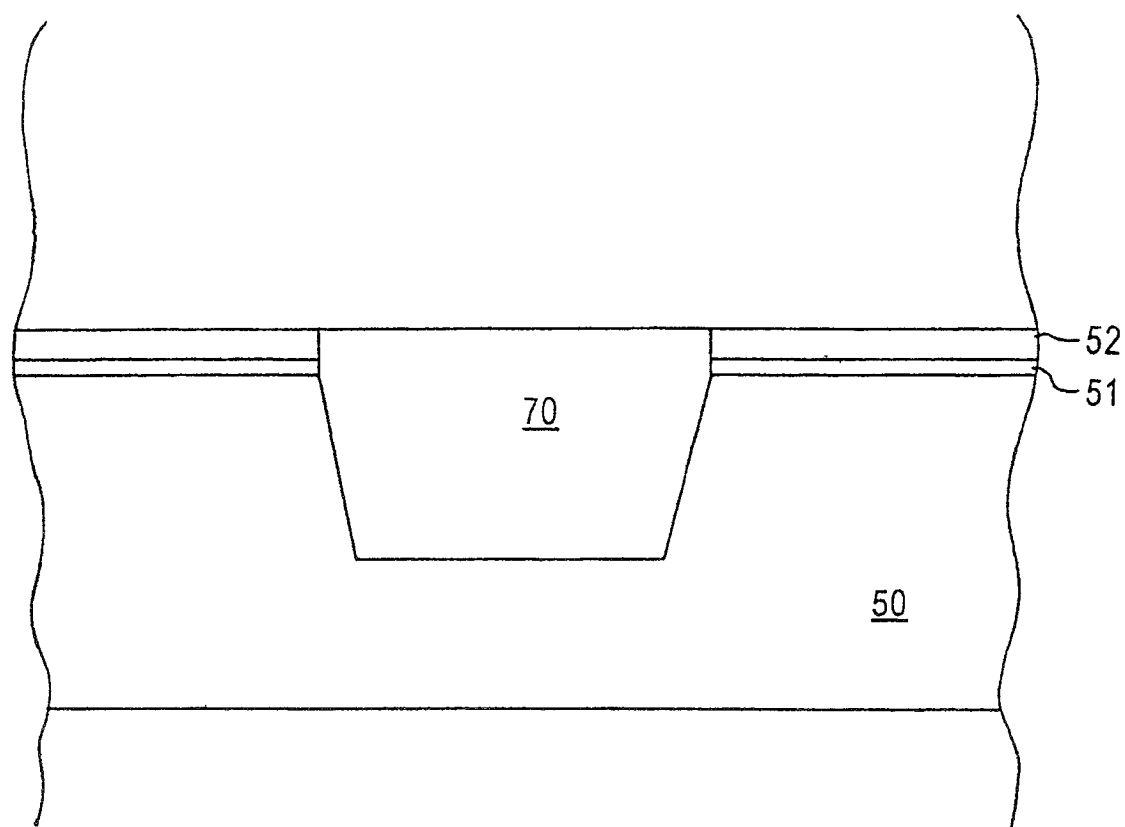


图 7

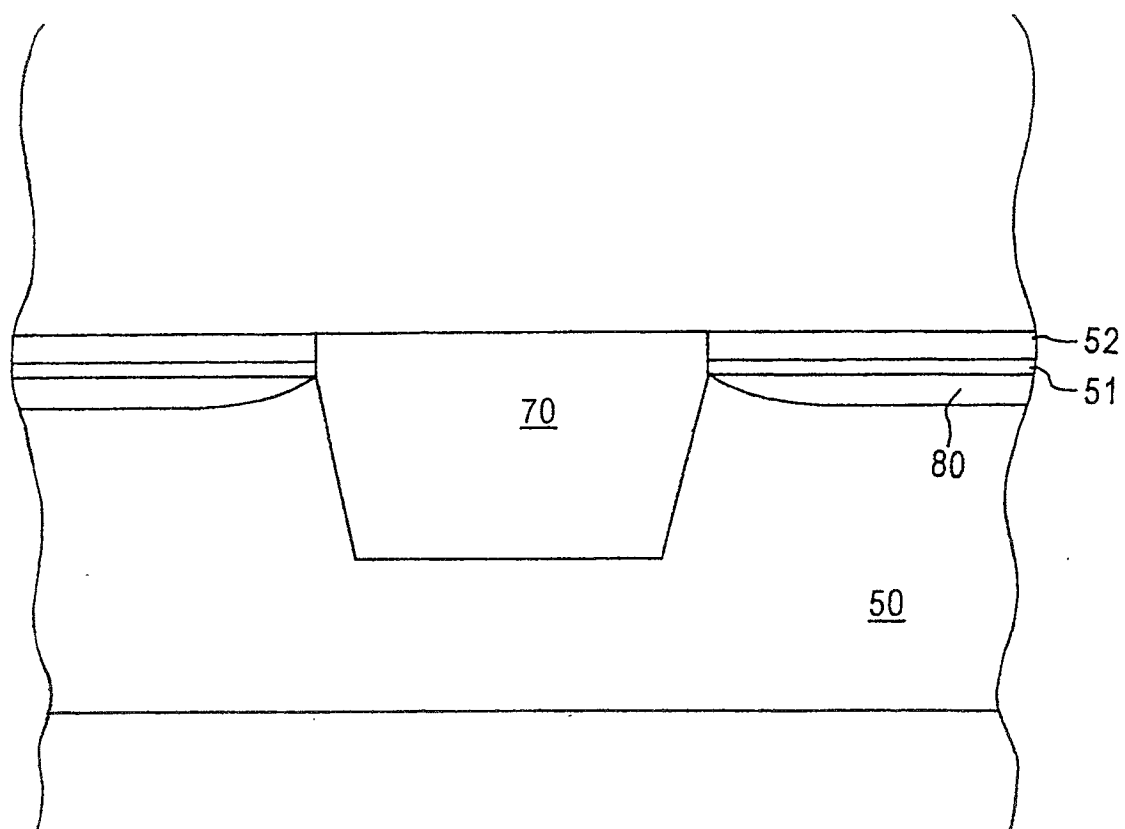


图 8

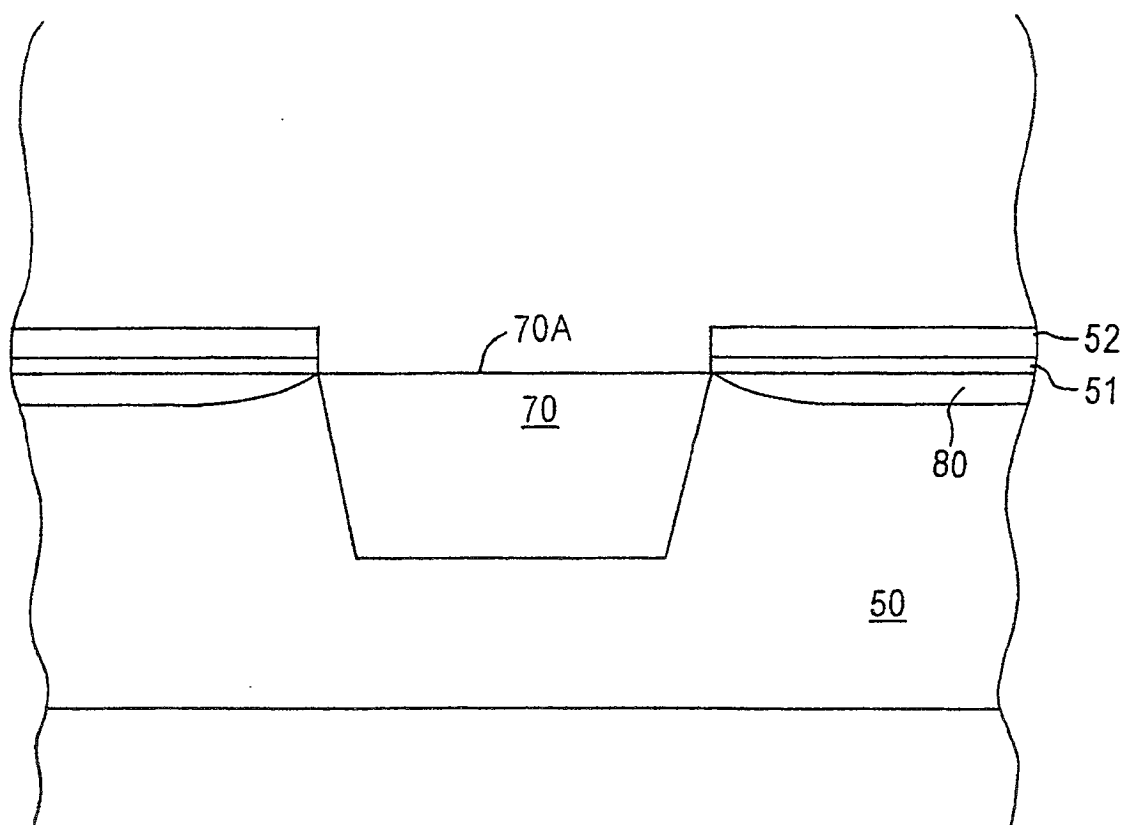


图 9

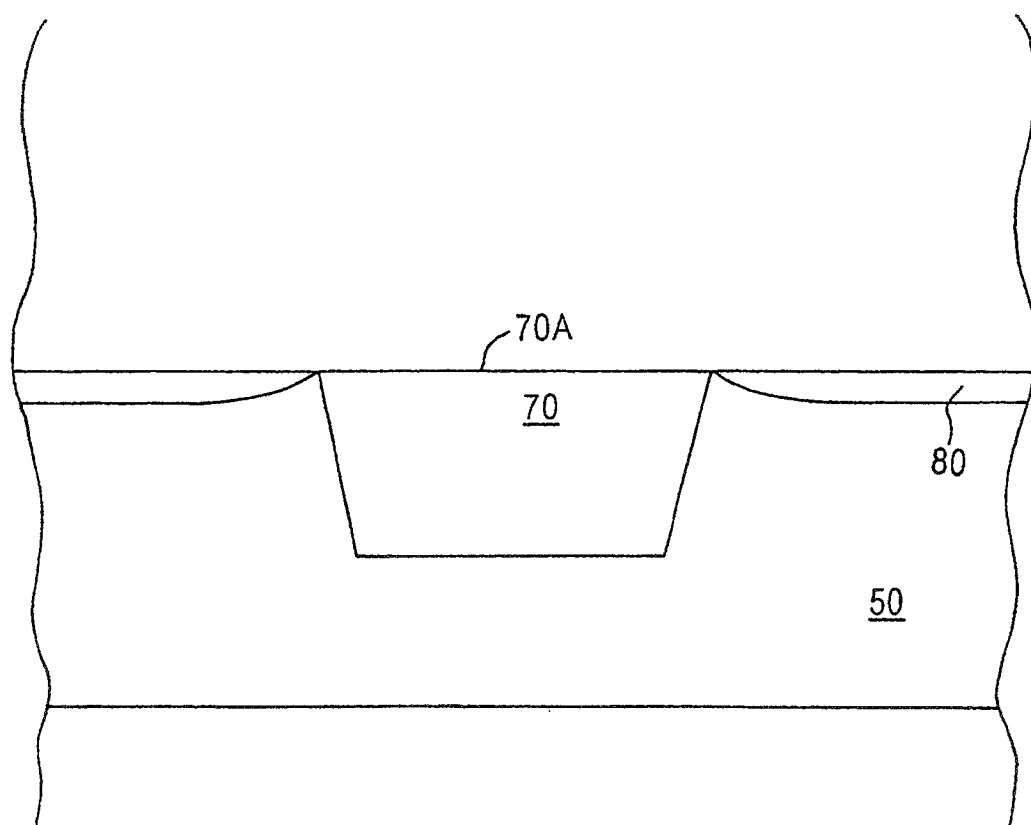


图 10

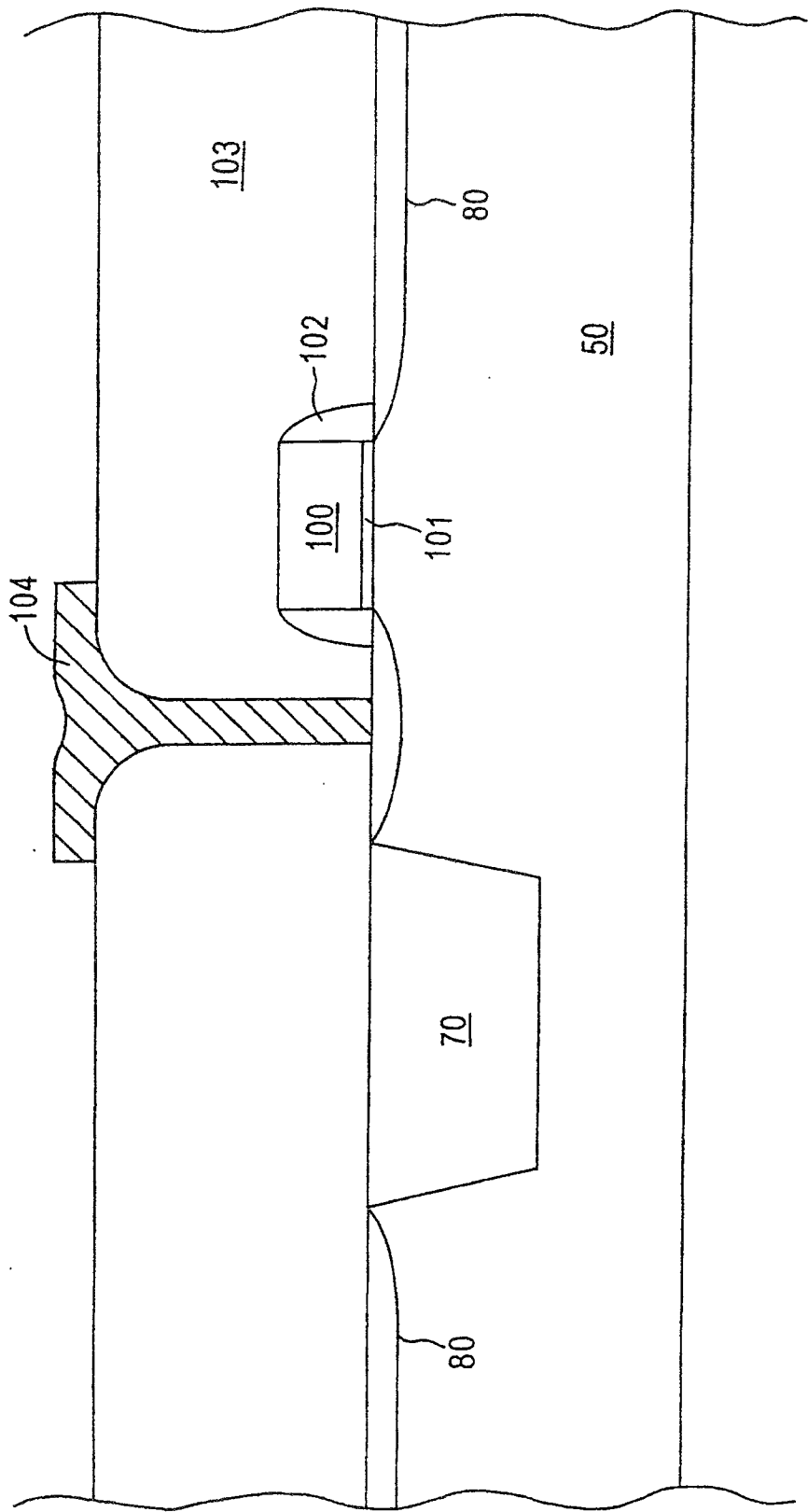


图 11