

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-12992

(P2019-12992A)

(43) 公開日 平成31年1月24日(2019.1.24)

(51) Int. Cl.	F I	テーマコード (参考)
H03M 1/50 (2006.01)	H03M 1/50	5J022
H03L 7/085 (2006.01)	H03L 7/085	5J106

審査請求 未請求 請求項の数 14 O L 外国語出願 (全 17 頁)

(21) 出願番号 特願2018-82728 (P2018-82728)
 (22) 出願日 平成30年4月24日 (2018. 4. 24)
 (31) 優先権主張番号 17172233.3
 (32) 優先日 平成29年5月22日 (2017. 5. 22)
 (33) 優先権主張国 欧州特許庁 (EP)

(71) 出願人 508223789
 スティヒティング・イメック・ネーデルラント
 Stichting IMEC Nederland
 オランダ5656アーエー・エイントホーフェン、ハイ・テク・キャンパス31番
 (74) 代理人 100101454
 弁理士 山田 卓二
 (74) 代理人 100125874
 弁理士 川端 純市
 (72) 発明者 パウル・マーテマン
 ベルギー3001ルーヴァン、カペルドリーフ75番 アイメック・ヴェーゼットウエー内

最終頁に続く

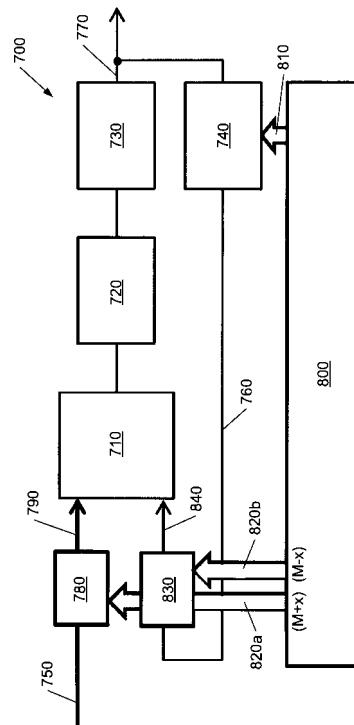
(54) 【発明の名称】 位相同期ループの改良

(57) 【要約】 (修正有)

【課題】 デジタル位相同期ループにおいて線形性が改善され、ノイズが低減される方法及びアーキテクチャを提供し差動時間 - デジタル変換器を提供する。

【解決手段】 デジタル - 時間変換器 780、830は、分数変化信号 820aに基づいて基準クロック信号 750を調整し分数変化信号 820bに基づいて帰還信号 760を調整するために使用される。中間点Mを中心とする各分数変化信号 820a、820bは $(M+x)$ 及び $(M-x)$ を含みxは小数部である。差動時間 - デジタル変換器 710を実装することで積分された非線形性が大幅に改善されるように、各入力経路における遅延の合計が一定に保たれる。両方の差動入力パスに同じ電源を供給すると電源感度も大幅に低下する。差分遅延は正と負の両方にあるので差動デジタル - 時間変換器 780、830の必要な遅延範囲は単一入力の当該変換器の半分である。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

高周波クロック信号 (7 7 0 ; 9 6 0 ; 1 0 6 0) を提供する方法であって、
前記方法は、

第 1 のクロックモジュールにおいて基準クロック信号 (7 5 0 ; 9 2 0 ; 1 0 2 0) を発生するステップと、

第 1 のデジタル - 時間変換器 (7 8 0 ; 9 1 0 ; 1 0 1 0) において、第 1 の制御信号 (8 2 0 a ; 9 3 0 a ; 1 0 3 0 a) に従って、基準クロック信号 (7 5 0 ; 9 2 0 ; 1 0 2 0) を調整し、調整された基準クロック信号に対応する第 1 の入力信号 (7 9 0) を発生するステップと、

時間 - デジタル変換器 (7 1 0 ; 9 4 0 ; 1 0 4 0) において、前記第 1 の入力信号 (7 9 0) を受信し、それに基づいて出力信号を発生するステップと、

調整された基準クロック出力信号に基づいて出力高周波クロック信号 (7 7 0 ; 9 6 0 ; 1 0 6 0) を発生するステップと、

出力高周波クロック信号 (7 7 0 ; 9 6 0 ; 1 0 6 0) から導出信号 (7 6 0 ; 9 7 5 ; 1 0 5 5) を発生するステップとを含む方法において、

前記方法はさらに、

第 2 の制御信号 (8 2 0 b ; 9 3 0 b ; 1 0 3 0 b) を発生するステップを含み、

前記第 1 及び第 2 の制御信号 (8 2 0 a 、 8 2 0 b ; 9 3 0 a 、 9 3 0 b ; 1 0 3 0 a 、 1 0 3 0 b) は中間点 M を中心とし、小数部 x で調整され、

前記第 1 及び第 2 の制御信号はそれぞれ (M + x) 及び (M - x) を含み、

前記方法は、

第 2 のデジタル - 時間変換器 (8 3 0 ; 9 8 0 ; 1 0 8 0) において、前記第 2 の制御信号を受信し、前記第 2 の制御信号を用いて前記導出信号 (7 6 0 ; 9 7 5 ; 1 0 5 5) を更新するステップを含み、

更新された導出信号は、時間 - デジタル変換器 (7 1 0 ; 9 4 0 ; 1 0 4 0) のための第 2 の入力を形成することを特徴とする方法。

【請求項 2】

前記導出信号 (7 6 0) は、位相同期ループアーキテクチャ (7 0 0) における帰還信号を含む請求項 1 に記載の方法。

【請求項 3】

帰還信号 (7 6 0) を発生するために使用される第 3 の制御信号 (8 1 0) を発生するステップ (8 1 0) をさらに含む請求項 2 に記載の方法。

【請求項 4】

前記方法はさらに、

前記時間 - デジタル変換器 (7 1 0) からの前記出力信号をフィルタリングして、出力高周波クロック信号 (7 7 0) が基づいている信号を発生するために使用される、フィルタリングされた信号を発生するステップを含む請求項 2 又は 3 に記載の方法。

【請求項 5】

前記導出信号 (9 7 5) は、位相セクタアーキテクチャ (9 0 0) における位相セクタ出力信号を含む請求項 1 に記載の方法。

【請求項 6】

前記導出信号 (1 0 5 5) は、サブサンブラアーキテクチャ (1 0 0 0) においてサブサンプリングされた出力信号を含む請求項 1 に記載の方法。

【請求項 7】

高周波出力信号 (7 7 0 ; 9 6 0 ; 1 0 6 0) を提供するように構成されたアーキテクチャ (7 0 0 ; 9 0 0 ; 1 0 0 0) であって、

前記アーキテクチャは、

基準クロック信号 (7 5 0 ; 9 2 0 ; 1 0 2 0) を発生するように構成された第 1 のクロックモジュールと、

10

20

30

40

50

第1の制御信号(820a; 930a; 1030a)に従って、前記基準クロック信号(750; 920; 1020)を調整し、調整された基準クロック出力信号を発生するように構成された第1のデジタル-時間変換器(780; 910; 1010)と、

前記第1のデジタル-時間変換器(780; 910; 1010)からの調整された基準クロック出力信号である第1の入力信号を受信するように構成された時間-デジタル変換器(710; 940; 1040)と、

前記第1のデジタル-時間変換器(780; 910; 1010)からの前記調整された基準クロック出力信号を受信し、出力高周波クロック信号(770; 960; 1060)を発生するように構成された第2のクロックモジュール(730; 940; 1040)と

10

前記出力高周波クロック信号(770; 960; 1060)を受信し、前記時間-デジタル変換器(710; 940; 1040)のための第2の入力を形成する導出信号(760; 975; 1055)を発生するように構成された手段と、

少なくとも前記第1の制御信号(820a; 930a; 1030a)を発生するように構成された制御モジュール(800)とを備えるアーキテクチャにおいて、

前記制御モジュール(800)はさらに、第2の制御信号(820b; 930b; 1030b)を発生するように構成され、前記第1及び第2の制御信号(820a, 820b; 930a, 930b; 1030a, 1030b)は小数部 x で調整され、前記第1及び第2の制御信号はそれぞれ $(M+x)$ 及び $(M-x)$ を含み、

前記アーキテクチャはさらに、前記時間-デジタル変換器(710; 940; 1040)のための導出信号(760; 975; 1055)を更新するように構成された第2のデジタル-時間変換器(830; 980; 1080)を備えることを特徴とするアーキテクチャ。

20

【請求項8】

前記導出信号を発生する手段は位相同期ループアーキテクチャの帰還ループを備え、前記導出信号は帰還信号を含む請求項7に記載のアーキテクチャ。

【請求項9】

前記帰還ループは、前記帰還信号を発生するように構成されたフラクショナルN型モジュール(740)を含む請求項8に記載のアーキテクチャ。

【請求項10】

前記制御モジュールは、第3の制御信号(810)を発生するようにさらに構成され、前記第3の制御信号は、前記帰還信号(760)を発生するためにフラクショナルN型モジュール(740)に印加される請求項9に記載のアーキテクチャ。

30

【請求項11】

前記時間-デジタル変換器(710)からの出力をフィルタリングし、前記第2のクロックモジュール(730)のための入力としてフィルタリングされた出力信号を発生するように構成された少なくとも1つのフィルタ(720)をさらに備える請求項8~10のうちいずれか1つに記載のアーキテクチャ。

【請求項12】

前記導出信号(975)を発生する手段は位相セクタ(900)を備え、前記位相セクタは、前記第2のデジタル-時間変換器(980)への入力として位相信号(975)を選択するように構成された多相分周器(950)を含み、前記第2の制御信号(930b)は、前記第2のデジタル-時間変換器(980)において、前記選択された位相信号を調整する請求項7に記載のアーキテクチャ。

40

【請求項13】

前記導出信号(1055)を発生する手段はサブサンプラ(1000)を備え、前記サブサンプラは、前記基準信号(1020)と前記出力高周波クロック信号(1060)との両方を受信し、サンプリングされた信号(1055)を発生するように構成されたサンプラ(1050)を含み、

前記サンプリングされた信号は、前記第2のデジタル-時間変換器(1080)への入

50

力を形成し、

前記第2の制御信号(1030b)は、前記第2のデジタル-時間変換器(1080)においてサンプリングされた信号を調整する請求項7に記載のアーキテクチャ。

【請求項14】

前記制御モジュール(800)は、シグマデルタモジュールを備える請求項7~13のうちのいずれか1つに記載のアーキテクチャ。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、位相同期ループの改良に関し、より詳細には、差動入力を有するデジタル位相同期ループに関する。

【背景技術】

【0002】

近年、デジタルPLL(Phase-Locked Loop)は多くの人気を集めており、アナログ製品に比べて多くの利点がある。特にディープサブミクロンの技術では、デジタル時間-変換器(DTC)は、DPLLで使用され、DPLLの一部を形成する限られた時間-デジタル変換器(TDC)を補償する。いくつかの実施例では、基準周波数の整数倍は合成されるだけでよく、他の実施態様では、基準周波数の非整数倍を合成することができる。

【0003】

典型的には、TDCはフリップフロップのチェーンとして実施されている。フリップフロップはすべて入力信号のわずかに遅延したバージョンをサンプリングし、各フリップフロップは、タップ又はタップ付き遅延線のセクションを含む。遅延は量子化雑音を最小限にするために通常10psの範囲内であり、1つの高周波クロック期間をカバーするためにはチェーンを非常に長く(数百ps程度)する必要がある。DPLLがロックされると、(デジタル水晶発振器又は「DCO」と呼ばれることが多い)高周波クロックのエッジ位置を非常に正確に予測することができ、これらのエッジ位置の周りの変動は最小限に抑えられる。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】Robert Bogdan Staszewski et al., "1.3V 20ps Time-to-Digital Converter for Frequency Synthesis in 90-nm CMOS", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-II: EXPRESS BRIEFS, Vol. 53, No. 3, March 2006.

【非特許文献2】Nenad Pavlovic and Jos Bergervoet, ISSCC2011, Session 3, RF Techniques, 3.2, 2011 IEEE International Solid-State Circuits Conference, ISBN: 978-1-61284-302-5/11.

【非特許文献3】Jingcheng Zhuang et al., "All-Digital RF Phase-Locked Loops Exploiting Phase Prediction", IPSJ Transactions on System LSI Design Methodology, Vol. 7, pp. 2-15, February 2014.

【非特許文献4】Vamshi Krishna Chillara et al., "An 860 μW 2.1-to-2.7GHz All Digital PLL-Based Frequency Modulator with a DTC-Assisted Snapshot TDC for WPAN (Bluetooth Smart and ZigBee) Applications", ISSCC 2014/Session 9/Low-power wireless /9.8, pp.172-174.

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、実際には、TDCを形成するフリップフロップのチェーンの長さは、例えば16タップのような数タップ又はセクションに制限され、基準エッジをTDCの中央に遅延させるようにDTCが実施されている。しかしながら、このようなアプリケーションのD

10

20

30

40

50

TCの概念は単純であるが、DPLLを介して基準パスを提供するため、出力を低ノイズで非常に線形にする必要があるため、設計は困難である。

【0006】

非特許文献1の論文では、「擬似差動DTCアーキテクチャ」が記載されており、全デジタルフラクショナルN型PLLで使用することができる。DTCコアは、すべてのデジタルPLL(ADPLL)で位相/周波数検出器及びチャージポンプの置き換えとして実施され、nMOS及びpMOSトランジスタのミスマッチに影響されない擬似差動デジタルアーキテクチャ(構造)に基づいている。

【0007】

非特許文献2には、DTC系フラクショナルN型ADPLLが記載されている。DTCベースのADPLLは、DCOクロックエッジ遷移をカウントすることによって測定されるDCO位相が各基準クロックサイクルで周波数制御ワードを累積することによって発生された基準位相に従うように、DCO周波数を更新する制御ループを有する。DTCは、フラクショナルN型モードの量子化雑音を下げるために加えられ、デジタル制御された遅延線によって実現される。

【0008】

ほとんどのDTCの実施例は、遅延を制御するスイッチトキャパシタを使用したキャパシタに基づいているが、直線性とノイズはそのような実施例の効率に影響する要因となる傾向がある。

【0009】

従って、本開示の目的は、デジタル-線形性が改善され、ノイズが低減される、差動デジタル-時間変換器の実施例を含むフラクショナル-N位相同期ループを提供することにある。

【課題を解決するための手段】

【0010】

本開示の1つの態様によれば、高周波クロック信号を提供する方法が提供され、前記方法は、
 第1のクロックモジュールにおいて、基準クロック信号を発生するステップと、
 第1のデジタル-時間変換器において、第1の制御信号に従って、基準クロック信号を調整し、調整された基準クロック信号に対応する第1の入力信号を発生するステップと、
 時間-デジタル変換器において、第1の入力信号を受信し、それに基づいて出力信号を発生するステップと、
 調整された基準クロック出力信号に基づいて、出力高周波クロック信号を発生するステップと、
 前記出力高周波クロック信号から導出信号を発生するステップとを含む方法において、前記方法はさらに、
 第2の制御手段を発生するステップを含み、
 前記第1及び第2の制御信号は、中間点Mを中心として、小数部xで調整され、かつそれぞれ(M+x)及び(M-x)信号を含み、
 前記方法はさらに、
 第2のデジタル-時間変換器において、第2の制御信号を受信し、第2の制御信号を使用して導出信号を更新するステップと、
 更新された導出信号は、時間-デジタル変換器のための第2の入力を形成する。

【0011】

第1及び第2のDTCに対応する遅延線によって形成される差動DTCを効率的に使用することで、第1及び第2のDTCに対応する2つの遅延線における遅延の合計を一定に保つことにより、INLは著しく改善される。加えて、差動DTCの両方の遅延線に同じ電源が供給され、電源による遅延変動が効果的にキャンセルされるため、電源感度が大幅に低下する。

【0012】

10

20

30

40

50

さらに、差動遅延は正と負の両方になり得るので、第1及び第2のDTCのそれぞれの必要な遅延範囲は、単一の入力DTCの半分であり、差動DTCの実施例には同じ総数のキャパシタが使用されるため、面積のオーバーヘッドは最小限に抑えられる。

【0013】

一実施形態では、前記導出信号は、位相同期ループアーキテクチャの帰還信号を含む。

【0014】

第3の制御信号は、前記帰還信号を発生するために使用されてもよい。

【0015】

一実施形態では、前記方法はさらに、時間-デジタル変換器からの出力信号をフィルタリングして、出力高周波クロック信号に基づいている、フィルタリングされた出力信号を発生するステップを含む。

10

【0016】

別の実施形態では、前記導出信号は、位相セクタアーキテクチャにおける位相セクタ出力信号を含む。

【0017】

さらなる実施形態では、前記導出信号は、サブサンプラーアーキテクチャにおいてサブサンプリングされた出力信号を含む。

【0018】

本開示の別の態様によれば、高周波出力信号を提供するように構成されたアーキテクチャであって、

20

前記アーキテクチャは、

基準クロック信号を発生するように構成された第1のクロックモジュールと、

第1の信号に従って前記基準クロック信号を調整し、調整された基準クロック出力信号を発生するように構成された第1のデジタル-時間変換器と、

前記第1のデジタル-時間変換器からの調整された基準クロック出力信号である第1の入力信号を受信するように構成された時間-デジタル変換器と、

前記第1のデジタル-時間変換器からの調整された基準クロック出力信号を受信し、出力高周波クロック信号を発生するように構成された第2のクロックモジュールと、

前記出力高周波クロック信号を受信し、前記時間-デジタル変換器のための第2の入力を形成する導出信号を発生するように構成された手段と、

30

少なくとも前記第1の制御信号を発生するように構成された制御モジュールとを備えるアーキテクチャにおいて、

前記制御モジュールはさらに、第2の制御信号を発生するように構成され、

前記第1及び第2の制御信号は、中間点Mを中心として、小数部xによって調整され、かつそれぞれ(M+x)及び(M-x)信号を含み、

前記アーキテクチャはさらに、前記時間-デジタル変換器のための前記導出信号を更新するように構成された第2のデジタル-時間変換器を備えることを特徴とする。

【0019】

前記アーキテクチャは、時間-デジタル変換器からの出力をフィルタリングし、第2のクロックモジュールのための入力としてフィルタリングされた出力信号を発生するように構成された少なくとも1つのフィルタを備えてもよい。

40

【0020】

別の実施形態では、導出信号を発生するための手段は、位相セクタを備え、前記位相セクタは、前記第2のデジタル-時間変換器への入力として位相信号を選択するように構成された多相分周器を含み、前記第2の制御信号は、前記第2のデジタル-時間変換器において選択された位相信号を調整する。

【0021】

さらなる実施形態では、導出信号を発生するための手段はサブサンプラを備え、前記サブサンプラは、前記基準信号と前記出力高周波クロック信号の両方を受信し、第2のデジタル-時間変換器への入力を形成するサンプリングされた信号を発生するように構成され

50

たサンブラを含み、第2の制御信号は、第2のデジタル - 時間変換器において、サンプリングされた信号を調整する。

【0022】

一実施形態では、制御モジュールは、シグマデルタモジュールを含む。

【0023】

本開示をより良く理解するために、ここで、一例として添付の図面を参照する。

【図面の簡単な説明】

【0024】

【図1】従来の整数Nデジタル位相同期ループの概略ブロック図を示す。

【図2】従来のフラクショナルN/N+1型デジタル位相同期ループの概略ブロック図を示す。

10

【図3】従来の時間 - デジタル変換器の概略ブロック図を示す。

【図4a】gm-Cに基づく従来のデジタル - 時間変換器の概略ブロック図を示す。

【図4b】RC回路の実施例に基づく従来のデジタル - 時間変換器の概略ブロック図を示す。

【図5】本開示による差分デジタル - 時間変換器を実施したフラクショナルN/N+1型デジタル位相同期ループの概略ブロック図を示す。

【図6a】関連するエラーパターンと共に、シングルエンドデジタル - 時間変換器からの出力を示す。

【図6b】関連するエラーパターンと共に差動デジタル - 時間変換器からの出力を示す。

20

【図7】本開示による位相セクタの実施例の概略ブロック図を示す。

【図8】本開示によるサブサンプリングの実施例の概略ブロック図を示す。

【発明を実施するための形態】

【0025】

本開示は、特定の実施形態に関して、及び特定の図面を参照して説明されるが、本開示はそれに限定されない。記載された図面は概略的なものに過ぎず、限定的ではない。図面では、いくつかの要素のサイズは、説明のために誇張されており、縮尺通りに描かれていない場合がある。

【0026】

「第1の」及び「第2の」という用語は、特定の要素が図面を参照して説明されているため、限定的ではない。

30

【0027】

用語「PLL」は、アナログ位相同期ループをいう。用語「DPLL」は、デジタル制御を有する位相同期ループであって、例えば、位相検出器又はループフィルタのいずれかがデジタル（デジタル - 時間変換器（DTC）及び/又は時間 - デジタル変換器（TDC）を使用する）である。「ADPLL」という用語は、位相検出器及びループフィルタはデジタル形式で実行されるオールデジタル位相同期ループである。

【0028】

用語「インテジャー（整数）N型PLL」は、出力周波数が入力基準周波数の整数倍であるPLLをいう。

40

【0029】

「フラクショナル（分数）N型PLL」という用語は、出力周波数と入力基準周波数との間の比Nは分数（比の値は小数部）であり、つまり、非整数であるPLLをいう。

【0030】

本明細書で使用される「分周器N/N+1」という用語は、マルチモード分周器をいい、これは、任意の所与の瞬間において、N又はN+1のいずれかによって分周され、平均して多数のサイクルにわたり、NとN+1との間の有効な除算、すなわち、分数除算（フラクショナル除算）を行うことを意味する。

【0031】

本明細書で使用される「基準周波数」という用語は、125MHzに限定されている基

50

準水晶発振器をいう。

【 0 0 3 2 】

本明細書で使用する「高周波」という用語は、これは基準周波数よりも実質的に高い周波数をいう。

【 0 0 3 3 】

本明細書で使用される用語「高周波クロック」は、高周波信号を発生する発振器をいう。このような高周波クロックは、粗い分解能を制御するデジタルスイッチドキャパシタと、高分解能を制御するデジタル - アナログ変換器 (D A C) とを有する、デジタル制御発振器 (D C O) 又はハイブリッドの実施例を備えてもよい。

【 0 0 3 4 】

「導出信号」という用語は、高周波クロックからの信号出力をいうが、これは T D C への第 2 の入力としての P L L の帰還ループで使用され、第 1 の入力は基準クロック信号経路から供給されるものである。この用語はまた、位相セクタからの出力信号 (選択された位相信号) 及びサブサンブラからの出力信号 (サンプリグされた信号、又はサンプル信号) を指す。ここで、位相セクタ及びサブサンブラは、P L L アーキテクチャの一部として高周波クロック信号をその入力として受信する。同様に、「導出信号を発生するための手段」という用語は、後述の P L L 、位相セクタ、又はサブサンブラの帰還ループを指す。

【 0 0 3 5 】

図 1 は、従来のインテジャ - N 型 D P L L 1 0 0 の概略ブロック図を示し、これは、T D C 1 1 0 と、ループフィルタ 1 2 0 と、高周波クロック (D C O) 1 3 0 と、整数分周器 (分周器 N) 1 4 0 とを備える。図示のように、T D C 1 1 0 は、分周器 N 1 4 0 から基準クロック信号 (以下、「基準クロック」という。) 1 5 0 及び出力 1 6 0 を受信する。分周器 N 1 4 0 は、D C O 1 3 0 からの出力信号 1 7 0 を受信し、帰還ループの一部として出力信号 1 6 0 を供給する。

【 0 0 3 6 】

図 2 は、従来のフラクショナル N 型 D P L L 2 0 0 の概略ブロック図を示す。このようなフラクショナル N D P L L は、非特許文献 3 に開示されており、ここで、モジュラス分周器のシグマ - デルタディザリングを伴う従来のチャージポンプ P L L を模倣する分周器に基づく A D P L L の開示があり、デジタル位相誤差検出器における D T C の実施例の開示がある。フラクショナル N 型 A D P L L も非特許文献 4 に開示されている。

【 0 0 3 7 】

フラクショナル N D P L L 2 0 0 は、T D C 2 1 0 と、ループフィルタ 2 2 0 と、D C O 2 3 0 と、整数 / 分数分周器 (分周器 N / N + 1) 2 4 0 とを備える。図示のように、分周器 N / N + 1 2 4 0 は、D C O 2 3 0 から出力信号 2 7 0 を受け取り、帰還ループの一部として出力信号 2 6 0 を供給する。T D C 2 1 0 は、D T C 2 8 0 からの信号と共に、分周器 N / N + 1 2 4 0 からの出力 2 6 0 を受信する。

【 0 0 3 8 】

フラクショナル N 型 D P L L 2 0 0 はまた、例えば、分周器 N / N + 1 2 4 0 用の整数信号 3 1 0 と D T C 2 8 0 用の分数信号 3 2 0 の両方を提供するシグマデルタモジュールである制御モジュール 3 0 0 を含む。分数信号 3 2 0 は、D T C 2 8 0 に印加される基準クロック信号 2 5 0 を調整するために使用される。

【 0 0 3 9 】

図 3 において、T D C 4 0 0 の概略ブロック図が示されている。T D C 4 0 0 は、複数のフリップフロップ 4 1 0 ₀ , 4 1 0 ₁ , ... , 4 1 0 _{q_n-1} (一般に「フリップフロップ 4 1 0」という。) と、第 1 の遅延 0 を有する複数の第 1 の遅延素子 4 2 0 ₀ , 4 2 0 ₁ , ... , 4 2 0 _{q_n-1} (一般に「遅延線 4 2 0」という。) と、第 2 の遅延 1 を有する複数の第 2 の遅延素子 4 3 0 ₀ , 4 3 0 ₁ , ... , 4 3 0 _{q_n-1} (一般に「遅延線 4 3 0」という。) とを用いて実施される。

【 0 0 4 0 】

10

20

30

40

50

図示のように、各フリップフロップ 4 1 0 は、各遅延線 4 2 0 , 4 3 0 に関連する遅延要素を有し、各遅延線 4 2 0 , 4 3 0 は、図示のようにフリップフロップ 4 4 0 に入力を供給する。各フリップフロップは、入力信号 4 5 0 の遅延バージョンをサンプリングする。遅延線 4 3 0 は任意であるが、これを使用して、第 1 の遅延を部分的にキャンセルして、パーニア構造でより精細な分解能を提供することができる。

【 0 0 4 1 】

さらに、ほとんどの D T C の実施例では、複数のスイッチドキャパシタを使用して遅延を制御する。ここで、複数のスイッチドキャパシタは、選択されたトレードオフに応じて変化する D T C のセクション当たりのキャパシタの数を有する、 $g m - C$ (電圧 - 電流変換器 / キャパシタ構成) 遅延又は $R C$ (抵抗 / キャパシタ構成) 遅延のいずれかに基づいて構成される。図 4 a 及び図 4 b は、それぞれ $g m - C$ 及び $R C$ 遅延回路の実施例の概略図を示している。

10

【 0 0 4 2 】

図 4 a には、D T C 5 0 0 が示されている。D T C 5 0 0 は、入力電圧 5 2 0 が印加される入力 $g m$ 構成回路 5 1 0 と、入力 $g m$ 構成回路 5 1 0 からの出力 5 4 0 に接続されたスイッチドキャパシタ 5 3 0 のバンクと、出力 5 6 0 を提供するように接続された比較器 5 5 0 とを含む。この構成では、入力 $g m$ 構成 5 1 0 は、 $g m$ 5 1 0 b に関連する入力バッファ 5 1 0 a を含む。

【 0 0 4 3 】

図 4 b では、D T C 6 0 0 が示されている。D T C 6 0 0 は、入力電圧 6 2 0 が印加される入力抵抗回路 6 1 0 と、入力抵抗回路 6 1 0 からの出力 6 4 0 に接続された複数のスイッチドキャパシタ 6 3 0 のバンクと、出力 6 6 0 を提供するように接続された比較器 6 5 0 とを含む。この構成では、入力抵抗回路 6 1 0 は、入力バッファ 6 1 0 a 及び抵抗器 6 1 0 b を含む。

20

【 0 0 4 4 】

図 4 a 及び図 4 b の両方において、遅延を提供する 1 つのセクションのみが示されており、2 つ以上のセクションが存在してもよいことは容易に理解されるであろう。例えば、特定の実施形態によれば、複数のセクションは、各セクションとカスケード接続されて、遅延線全体の全体的な遅延に寄与する遅延を提供する。

【 0 0 4 5 】

しかしながら、既存の D T C 構成回路に関連する 2 つの主な問題、すなわち、積分非線形性 (以下、「I N L」という。) とノイズの問題がある。

30

【 0 0 4 6 】

I N L は、複数のキャパシタを合わせる必要性により支配的である。現代のプロセスでは、キャパシタのマッチングは、抵抗又は $g m$ のマッチングよりもはるかに成功している。このことは、セクションが 1 つしかない構成回路の使用を優先する傾向にあり、ここで、すべてのキャパシタは同じ $g m$ 又は抵抗に接続されている。しかし、D T C としての信号スロープはまだ数百 p s のシフトを実現する必要があるため、これは依然として信号スロープを低下させる。制限された信号勾配はノイズの影響を増加させ、非線形性を導入する。

40

【 0 0 4 7 】

ノイズは比較器によって支配され、比較器の基準に対するノイズによって支配的であり、典型的には、実際の実施例における電源 (電圧源) (図 4 a 及び図 4 b には示されていない) が支配的である。電源 (電圧源) は、入力バッファ 5 1 0 a、6 1 0 a 及び比較器 5 5 0、6 5 0 の遅延だけでなく $g m$ も変調する。いずれの電源ノイズも望ましくない遅延に変換される傾向があり、つまり、ジッタは位相ノイズになる。

【 0 0 4 8 】

図 4 に戻ると、電源が、例えば、入力バッファ、 $g m$ 及び比較器などのアクティブなコンポーネントだけを変調できることは明らかである。実際には、スイッチ、抵抗とキャパシタへの電源の影響は無視可能であるが、この観点から、図 4 b に示す $R C$ 回路の実施例

50

が好ましい傾向がある。

【 0 0 4 9 】

実施されるステージ（段数）が少ないほど、各ステージの遅延が加算されるので、より良いことが容易に理解されるであろう。

【 0 0 5 0 】

本開示によれば、第 1 及び第 2 の D T C の出力間の遅延差のみが T D C においてサンプリングされる差動回路の実施例が提供される。電源（電圧源）によって誘起される遅延は、バッファ g m および、電源が D C O サイクルの間一定であり電源変調効果が効果的にキャンセルされると仮定した比較器に対して同一である。

【 0 0 5 1 】

T D C は、例えば「バンバン（b a n g - b a n g）」動作のための単一のビットを含む場合でも、T D C は最終的な位相比較器を形成することができる。

【 0 0 5 2 】

図 5 には、本開示による差動 P L L 7 0 0 が示されている。差動 P L L 7 0 0 は、T D C 7 1 0 と、ループフィルタ 7 2 0 と、D C O 7 3 0 と、分周器 $N / N + 1$ 7 4 0 と、D T C 7 8 0 と、制御モジュール 8 0 0 とを備え、それぞれは、図 2 の T D C 2 1 0、ループフィルタ 2 2 0、D C O 2 3 0、分周器 $N / N + 1$ 2 4 0、D T C 2 8 0 及び制御モジュール 3 0 0 のそれぞれに対応する。

【 0 0 5 3 】

D C O 7 3 0 は、出力信号 7 7 0 を提供し、当該出力信号 7 7 0 は帰還ループで分周器 $N / N + 1$ 7 4 0 に供給され、第 2 の D T C 8 3 0 への入力のために使用される。第 2 の D T C 8 3 0 からの出力は出力信号 8 4 0 を形成し、出力信号 8 4 0 は T D C 7 1 0 への第 2 の入力を形成する。基準クロック信号 7 5 0 は、D T C 7 8 0 に入力され、D T C 7 8 0 は、T D C 7 1 0 への一方の入力を形成する出力信号 7 9 0 を提供する。他方の入力は第 2 の D T C 8 3 0 からの出力信号 8 4 0 である。第 2 の D T C 8 3 0 からの出力信号 8 4 0 及び第 1 の D T C 7 8 0 からの出力信号 7 9 0 は、T D C 7 1 0 のための差動入力信号を形成する。

【 0 0 5 4 】

各 D T C 7 8 0 , 8 3 0 はマルチレベル D T C を備え、T D C 7 1 0 はマルチビット T D C を備えてもよい。

【 0 0 5 5 】

この実施形態では、第 2 の D T C 8 3 0 は、帰還信号 7 6 0 を遅延させるように構成され、その遅延は、制御モジュール 8 0 0 からの制御信号 8 2 0 b によって設定される。第 1 の D T C 7 8 0 は、基準信号 7 5 0 を遅延させるように構成され、その遅延は、制御モジュール 8 0 0 からの制御信号 8 2 0 a によって設定される。

【 0 0 5 6 】

上述のように、分数出力信号 8 2 0 は、制御信号 8 2 0 a、8 2 0 b を提供するように構成される。各制御信号 8 2 0 a , 8 2 0 b は中間点 M を中心とする値を有し、1 つの制御信号 8 2 0 a が $(M + x)$ に対応し、他方の制御信号 8 2 0 b が $(M - x)$ に対応し、ここで、 x は小数部（分数；フラクシオン）である。

【 0 0 5 7 】

制御信号 8 2 0 a , 8 2 0 b を供給する制御モジュール 8 0 0 は、図 2 を参照して上述したシグマデルタモジュールを備えてもよい。

【 0 0 5 8 】

P L L 動作は、第 1 の D T C 7 8 0 及び第 2 の D T C 8 3 0 の両方を所定の動作点に駆動し、当該動作点では、2 つの出力が、例えば、数十 p s 以内にほぼ整列している場合、システムの最も敏感な部分がほぼ完全に同一の供給条件を参照するという追加の利点をもたらす。実際には、P L L 動作は、第 1 及び第 2 の D T C 7 8 0 , 8 3 0 を反対方向に駆動し、その出力が実質的に整列するようにする。

【 0 0 5 9 】

10

20

30

40

50

最適な電源感度（電源に対する無感度性）のために、好ましい実施例は、RCトポロジを有する単一ステージであるが、これはINLの観点からは魅力的ではない。長い遅延は、勾配がかなり低いことを意味し、非理想的な比較器入力段と組み合わせて、余分な非線形の勾配依存の遅延が得られる。

【0060】

このINL問題を解決するために、2つの遅延線における遅延の合計は一定のままである差動構造を選択することにより、非線形性を大幅に低減することが可能である。これは、信号遅延が次式のように考慮されている場合には容易に実証できる。

【0061】

$$d = a_0 + a_1 x + a_2 x^2 + \dots$$

10

【0062】

負の遅延線で $-x$ を使用すると、偶数次の項はキャンセルされる。

【0063】

この偶数次項のキャンセル（相殺）には大きな利点があり、すなわち、誤差の絶対値が実質的に減少し、フラクショナルがラップアラウンドするときの急激な変化は、フラクショナルスプリアスの高調波とともに大幅に減少する。さらに、平衡点 $x = 0$ のとき、静的オフセットがなく、PLL動作に影響を与える較正及び利得変化が少なくなり、つまり、較正ノイズが少なくなる。

【0064】

図6aは、シングルエンドのDTCの実施例を使用したINLへの影響を示し、フラクショナルスプリアスを繰り返すエラーパターンが右側に表示される。比較のために、図6bでは、差動DTCの実施例を使用するINLへの影響を示し、実質的に低減された複数の分数スプリアスを有する反復エラーパターンが右側に示されている。容易に理解されるように、差動DTC構成を使用することにより、より良い結果が得られる。

20

【0065】

本開示による別の実施形態では、DTCは、「バンバン（bang-bang）」PLLのような単一ビットの決定でも動作することができ、ここでデータは、電圧制御発振器を駆動するために、早期又は遅れのいずれかでのフィルタリングを有する位相検出器で観測される。差動DTCのために、位相不確定性は、DCOサイクルから単一のDTCステップに減少させることができる。例えば、2.5 GHzのDCOはDCO周期が400 psであり、一方、DTCステップは約2.5 psであってもよい。

30

【0066】

$(M+x)$ と $(M-x)$ の直接的な実施例は、最小ステップサイズが2であり、遅延線の1つに単一の遅延ステップを追加して、（無視できる）非対称性を犠牲にしてステップサイズを1に減少させることは容易である。

【0067】

差動DTCのアプリケーションは、フラクショナルN型PLLに限定されず、任意の構造に容易に適用することができ、ここで、パルス状の帰還がDCOから得られ、例えば、図7及び図8のそれぞれを参照して以下に説明するように、位相セクタ帰還PLL又はサブサンプリングPLLにおいて使用することができる。

40

【0068】

図7は、位相セクタ帰還PLL900の実施例を示す。ここではPLLの関連部分のみが示されている。位相セクタ帰還PLL900の実施例は、第1の経路において、第1のDTC910を備え、第1のDTC910は基準クロック信号920を受信し、制御モジュール（図示せず）からの制御信号930aに従ってそれを調整する。すなわち、制御信号930aは $(M+x)$ 信号であり、第1のDTC910からの出力は、DTC940の第1の入力を形成する。第2の経路では、DCO信号960を受信し、複数の信号965をセクタ970に提供するために、多相分周器950が構成される。セクタ970からの帰還信号975は、第2のDTC980に入力される。第2のDTC980では、制御モジュール（図示せず）からの制御信号930bに従って遅延され、すなわち、（

50

M - x) 信号 9 3 0 b を発生し、第 2 の D T C 9 8 0 からの出力は、T D C 9 4 0 の第 2 の入力を形成する。

【 0 0 6 9 】

T D C 9 4 0 は、第 1 及び第 2 の D T C 9 1 0 , 9 8 0 のそれぞれから受信した差動信号に従って出力信号 9 4 5 を供給する。

【 0 0 7 0 】

従来通り、制御信号 9 3 0 a , 9 3 0 b を供給する制御モジュール (図示せず) は、シグマデルタモジュールを備えることができる。

【 0 0 7 1 】

第 1 及び第 2 の D T C 9 1 0 , 9 8 0 は、図 5 の第 1 及び第 2 の D T C 7 8 0 , 8 3 0 のそれぞれに対応することが、容易に理解されるであろう。

【 0 0 7 2 】

図 8 は、サブサンプリング P L L 1 0 0 0 の実施例を示し、ここでは P L L の関連部分のみが示されている。サブサンプリング P L L 1 0 0 0 の実施例は、第 1 の経路において、パルス整列モジュール 1 0 7 0 からパルス整列信号 1 0 7 5 を受信するように接続された第 1 の D T C 1 0 1 0 を含む。パルス整列モジュール 1 0 7 0 への入力は基準クロック信号 1 0 2 0 である。制御モジュール (図示せず) からの制御信号 1 0 3 0 a 、すなわち、(M + x) 信号は、第 1 の D T C 1 0 1 0 において、パルス整列信号 1 0 7 5 を調整するために使用され、T D C 1 0 4 0 のための第 1 の入力信号を出力する。第 2 の経路では、フリップフロップ 1 0 5 0 は、D C O 信号 1 0 6 0 及び基準信号 1 0 2 0 を受信し、出力サンプル信号 (サンプルされた出力信号) 1 0 5 5 を提供するように構成され、フリップフロップは、D C O 信号 1 0 6 0 をサンプリングするサンブラとして構成される。出力 (サンプル) 信号 1 0 5 5 は、制御モジュール (図示せず) からの制御信号 1 0 3 0 b によって調整され、すなわち、(M - x) 信号 1 0 3 0 b は第 2 の D T C 1 0 8 0 に入力される。第 2 の D T C 1 0 8 0 は T D C 1 0 4 0 の第 2 の入力信号を出力する。T D C 1 0 4 0 は、第 1 及び第 2 の D T C 1 0 1 0 , 1 0 8 0 によって供給される第 1 及び第 2 の入力信号 (差動入力信号) に基づいて出力 1 0 4 5 を提供する。

【 0 0 7 3 】

第 1 及び第 2 の D T C 1 0 1 0 , 1 0 8 0 は、図 5 の第 1 及び第 2 の D T C 7 8 0 , 8 3 0 のそれぞれに対応し、図 7 の第 1 及び第 2 の D T C 9 1 0 , 9 8 0 のそれぞれに対応することは容易に理解されるであろう

【 0 0 7 4 】

従来通り、制御信号 1 0 3 0 a 、 1 0 3 0 b を提供する制御モジュール (図示せず) は、シグマ - デルタモジュールを備えることができる。

【 0 0 7 5 】

図示されていないが、図 7 及び図 8 の高周波クロック信号は、図 5 を参照して説明したのと同じ方法で発生されることが容易に理解されるであろう。ここで、位相セレクタ (図 7) とサブサンブラ (図 8) は、それぞれ帰還ループの一部を形成する。

【 0 0 7 6 】

本開示の実施例には、以下の利点がある。

(1) 供給感度の低下、典型的には、g m - C の実施例では約 3 0 d B 程度、R C 回路の実施例では約 2 5 d B 程度である。

(2) 偶数次項のキャンセルによるより線形な出力 ;

(3) 面積のオーバーヘッドの最小限の増加。

【 0 0 7 7 】

本開示は、差動 D T C を有する P L L のための特定の実施例を説明しているが、これらの実施形態は限定的ではなく、差動 D T C を有する P L L の他の実施例が可能であることは容易に理解されるであろう。

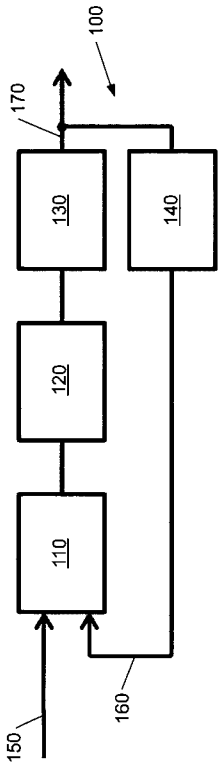
10

20

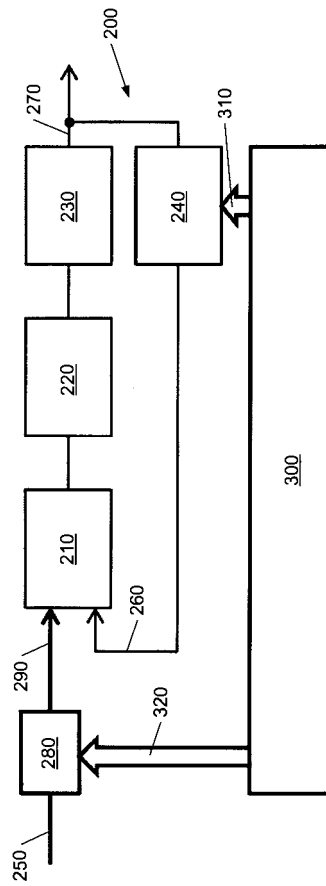
30

40

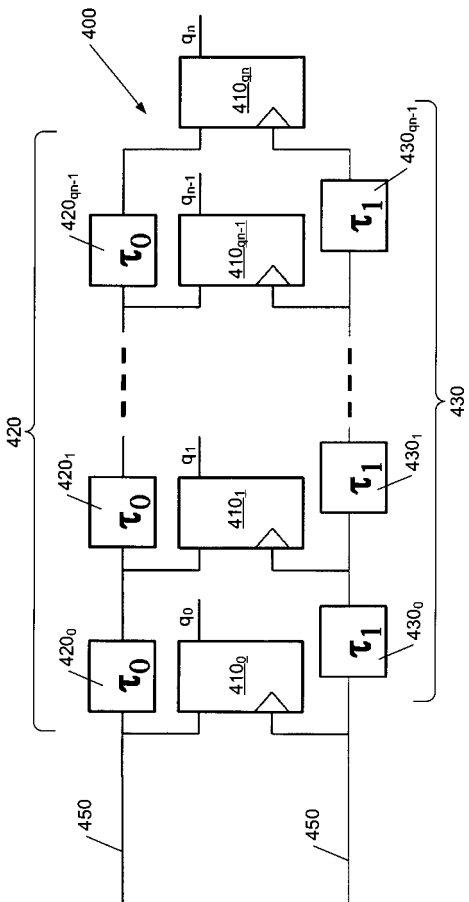
【図 1】



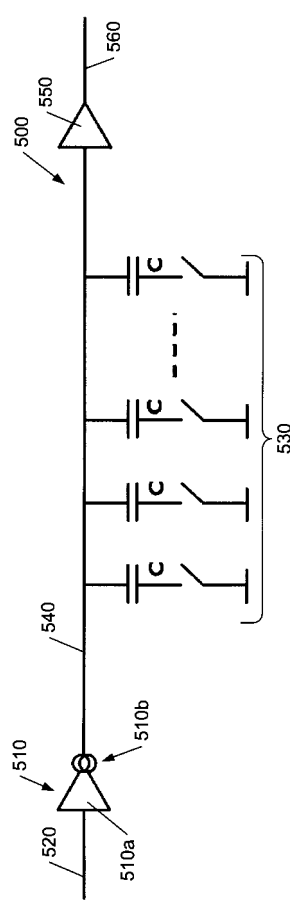
【図 2】



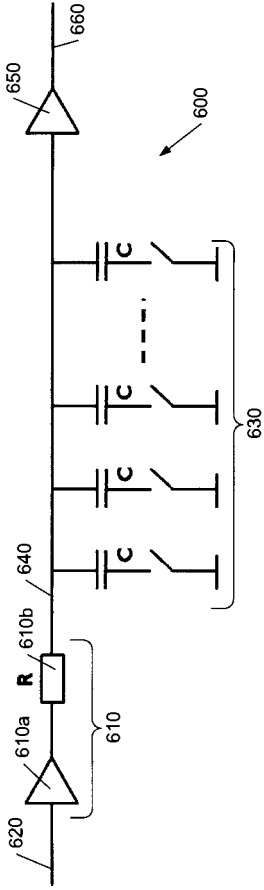
【図 3】



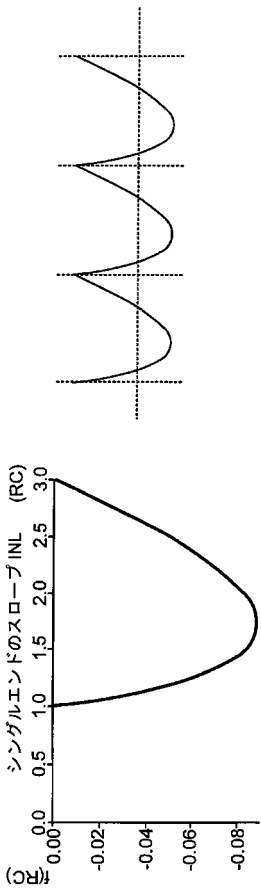
【図 4 a】



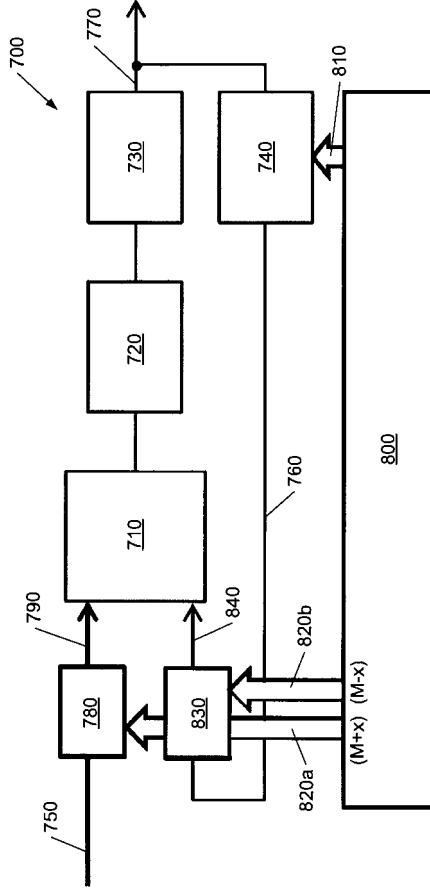
【 図 4 b 】



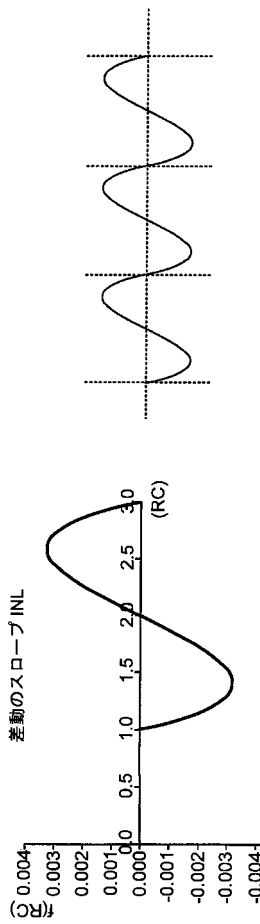
【 図 6 a 】



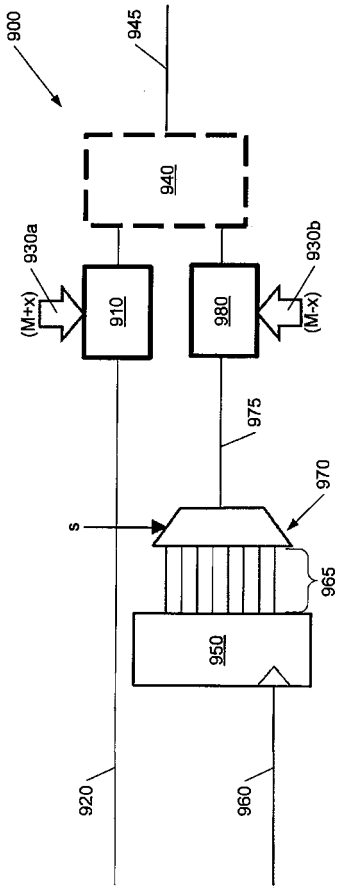
【 図 5 】



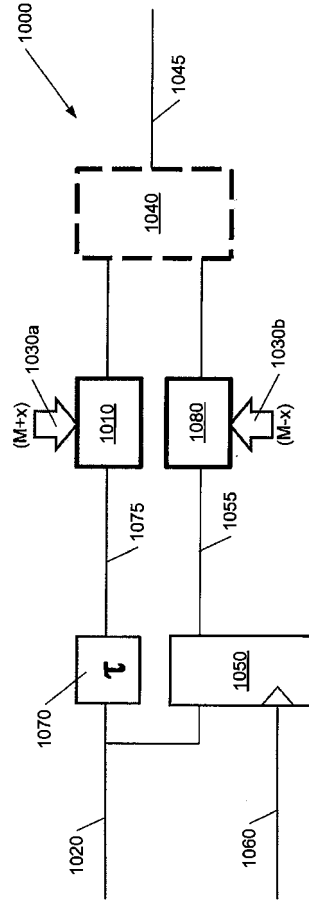
【 図 6 b 】



【 図 7 】



【 図 8 】



フロントページの続き

Fターム(参考) 5J022 AA01 AA11 BA02
5J106 AA05 CC03 CC46 CC53 CC59 DD23 DD24 GG10 HH02 JJ02
KK24 LL05 PP03 QQ06 RR01

【外国語明細書】

2019012992000001.pdf