



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

230001
(11) (B1)

(51) Int. Cl.³
G 06 F 3/023

(22) Přihlášeno 05 12 79
(21) (PV 8431-79)

(40) Zveřejněno

(45) Vydáno 15 09 86

(75)

Autor vynálezu

KOTOUČ JIŘÍ ing., BRNO

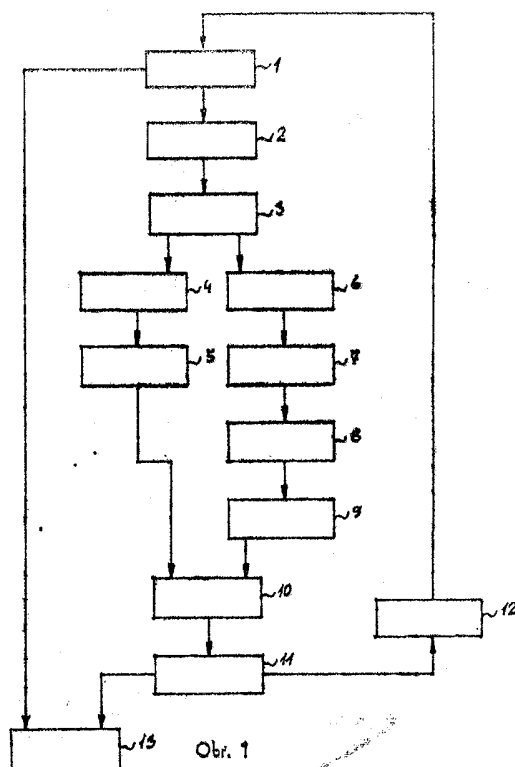
(54) Kodér PE signálu zejména pro digitální kazetovou paměť

1

Vynález se týká kodéru PE signálu zejména pro digitální kazetovou paměť.

Podstata a výhodnost kodéru PE signálu podle vynálezu je, že v každém okamžiku celého procesu v kodéru v něm probíhá vždy jen jedna činnost, což umožňuje algoritmovat kódování a řešit většinu členů kodéru hardwarovými a programovými prostředky procesoru.

2



Vynález se týká kodéru PE signálu zejména pro digitální kazetovou paměť.

Například u kazetových digitálních pamětí se používá sériový záznam informací s kódováním PE. Tento typ kódování spočívá v tom, že logická jednička je na pásce paměti zaznamenána jako změna magnetizace pásky určitého směru, kdežto logická nula jako změna magnetizace opačného směru. Zmíněné změny magnetizace se nazývají datové změny magnetizace a všechny se dějí v konstantních časových intervalech, přičemž datové intervaly odpovídají jednomu bitu záznamu. Mají-li být na pásce zaznamenány dvě stejné logické hodnoty jdoucí bezprostředně za sebou, tj. dvě logické jedničky nebo dvě logické nuly, je do datového intervalu zaznamenána pomocná změna magnetizace opačného směru, než byla předcházející datová změna. Vstup záznamového obvodu vlastní digitální kazetové paměti je zpravidla upraven pro TTL signál. Zápisový signál, který je generován řadičem, se vyznačuje pravoúhlými přechody z logické jedničky na logickou nulu a naopak, přičemž tyto přechody jsou generovány vždy v datových intervalech a v případě potřeby, tj. v případě výskytu dvou po sobě následujících logických jedniček nebo nul, v polovinách datových intervalů. Změny v datových intervalech se zpravidla nazývají datové hrany PE signálu, změnám v polovinách datových intervalů se říká pomocné hrany PE signálu. V intervalech mezi pomocnými a datovými hranami signál PE svou úroveň nemění.

Řadič pro digitální kazetovou paměť zajišťuje při zápisu informace do paměti několik funkcí. Vzhledem k tomu, že data jsou do řadiče dodávána zpravidla paralelně po bytech, je nutno v řadiči nejprve převést každý byte do sériového tvaru a jednotlivé bity pak kódovat metodou PE.

V současných řadičích se používá několik způsobů kódování zápisového signálu. Všechny tyto způsoby využívají hardwarových kodérů řízených signály vhodně navržené časové základny zápisu. V časové základně se zpravidla generují dva signály, které jsou navzájem posunuté o 90°, přičemž jejich kmitočet je roven přenosové rychlosti paměti. Vlastní kodér pak zpravidla obsahuje sériový osmibitový posuvný registr s paralelním vkládáním informace a kodér s obvodem nonekvivalence a klopným obvodem.

Nevýhodou zmíněných kódovacích obvodů je, že představuje poměrně složitý hardwarový systém.

Jejich nevýhodou rovněž je, že kladou vysoké požadavky na stabilitu signálů časové základny, takže tato musí být řízena vysoce stabilním generátorem.

Tyto nevýhody odstraňuje kodér PE signálu zejména pro digitální kazetovou paměť podle vynálezu, jehož podstatou je, že první výstup prvního členu vybavení výstupu

je připojen na vstup členu zvýšení obsahu čítače bitů, výstup členu zvýšení obsahu čítače bitů je připojen na vstup členů testování obsahu čítače bitů, první výstup členu testování obsahu čítače bitů je připojen ke vstupu členu posunu obsahu datového registru, výstup členu posunu obsahu datového registru je připojen na vstup prvního zpožďovacího členu, přičemž druhý výstup členu testování obsahu čítače bitů je připojen na vstup členu zjištění konce zápisu, výstup členu zjištění konce zápisu je připojen na vstup členu přenesení dalšího byte z vyrovnávací paměti do datového registru, výstup členu přenesení dalšího byte je připojen na vstup členu nulování čítače bitů, výstup členu nulování je připojen na vstup druhého zpožďovacího členu, přičemž výstup druhého zpožďovacího členu je připojen k prvnímu vstupu a výstup prvního zpožďovacího členu ke druhému vstupu členu negace obsahu nejnižšího bitu datového registru a uložení této negace do pomocného registru, výstup členu negace je připojen na vstup druhého členu vybavení výstupu, první výstup druhého členu vybavení výstupu je připojen na vstup třetího zpožďovacího členu, výstup třetího zpožďovacího členu je připojen na vstup prvního členu vybavení výstupu, druhý výstup druhého členu vybavení výstupu je připojen k prvnímu vstupu výstupního členu, zatímco ke druhému vstupu výstupního členu je připojen druhý výstup prvního členu vybavení výstupu.

Výhodou kodéru PE signálu podle vynálezu je, že v každém okamžiku celého procesu v kodéru v něm probíhá vždy jen jedna činnost, což umožňuje algoritmovat kódování a řešit většinu členů kodéru hardwarovými a programovými prostředky procesoru.

Další výhodou kodéru PE signálu podle vynálezu je, že nevyžaduje signál časové základny.

Kodér PE signálu zejména pro digitální kazetovou paměť je blokově znázorněn na výkresech, kde obr. 1 ukazuje propojení jednotlivých členů kodéru z hlediska algoritmu zpracování signálu mezi jeho členy, tj. jako řídicí člen kodéru a obr. 2 znázorňuje propojení zmíněného řídicího členu kodéru s pracovními členy kodéru.

První výstup prvního členu 1 vybavení výstupu kodéru PE signálu podle vynálezu (obr. 1) je připojen na vstup členu 2 zvýšení obsahu čítače 14 bitů (obr. 2), výstup členu 2 zvýšení obsahu čítače 14 bitů je připojen na vstup členu 3 testování obsahu čítače 14 bitů a první výstup členu 3 testování obsahu čítače 14 bitů je připojen ke vstupu členu 4 posunu obsahu datového registru 15. Výstup členu 4 posunu obsahu datového registru 15 je připojen na vstup prvního zpožďovacího členu 5, druhý výstup členu 3 testování obsahu čítače 14 bi-

tů je připojen na vstup členu 6 zjištění konce zápisu, výstup členu 6 zjištění konce zápisu je připojen na vstup členu 7 přenesení dalšího byte z vyrovnávací paměti 16 do datového registru 15 a výstup členu 7 přenesení dalšího byte je připojen na vstup členu 8 nulování čítače 14 bitů. Výstup členu 8 nulování je připojen na vstup druhého zpoždovacího členu 9, přičemž výstup druhého zpoždovacího členu 9 je připojen k prvnímu vstupu a výstup prvního zpoždovacího členu 5 ke druhému vstupu členu 10 negace obsahu nejnižšího bitu datového registru 15 a uložení této negace do pomocného registru 17. Výstup členu 10 negace je připojen na vstup druhého členu 11 vybavení výstupu, první výstup druhého členu 11 vybavení výstupu je připojen na vstup třetího zpoždovacího členu 12 a výstup třetího zpoždovacího členu 12 je připojen na vstup prvního členu 1 vybavení výstupu. Druhý výstup druhého členu 11 vybavení výstupu je připojen k prvnímu vstupu výstupního členu 13 a ke druhému vstupu výstupního členu 13 je připojen druhý výstup prvního členu 1 vybavení výstupu.

Zpoždění zpoždovacích členů 5, 9, 12 je nastaveno tak, že doba uplynulá mezi vybavením výstupu v prvním a druhém členu 1, 11 je rovno polovině datového intervalu kazetové digitální paměti nezávisle na tom, kterou větví činnost kodéru probíhá.

Pro činnost kodéru PE signálu podle vynálezu je libovolné vzájemné pořadí členu 4 posunu obsahu datového registru 15 a prvního zpoždovacího členu 5, které lze navzájem zaměnit, což platí rovněž pro pořadí členu 7 přenesení dalšího byte z vyrovnávací paměti 16 do datového registru 15, členu 8 nulování čítače 14 bitů a druhého zpoždovacího členu 9.

Popsaný kódér PE signálu podle vynálezu je možno realizovat hardwarovými prostředky, což však není příliš výhodné, zejména vzhledem ke značné složitosti a náročnosti zapojení.

Převážná část kodéru PE signálu podle vynálezu lze s výhodou realizovat programovými rutinami neznázorněného spolupracujícího procesoru, a to například tak, že výstupní člen 13 je tvořen neznázorněnou sběrnici procesoru, přičemž první člen 1 vybavení výstupu a/nebo člen 2 zvýšení obsahu čítače 14 bitů a/nebo člen 3 testování obsahu čítače 14 bitů a/nebo člen 4 posunu obsahu datového registru 15 a/nebo první zpoždovací člen 5 a/nebo člen 6 zjištění konce zápisu a/nebo člen 7 přenesení dalšího byte z vyrovnávací paměti 16 do datového registru 15 a/nebo člen 8 nulování čítače 14 bitů a/nebo druhý zpoždovací člen 9 a/nebo člen 10 negace obsahu nejnižšího bitu datového registru 15 a uložení této negace do pomocného registru 17 a/nebo druhý člen 11 vybavení výstupu a/nebo třetí zpoždovací člen 12, jsou realizovány programovými rutinami zmíněného procesoru.

Je výhodné, když datový registr 15 a čítač 14 bitů jsou realizovány neznázorněnými pracovními registry procesoru, nebo neznázorněnými buňkami jeho operační paměti. Je rovněž výhodné, když vyrovnávací paměť 16 je realizována částí neznázorněné operační paměti procesoru a pomocný registr 17 je realizovaný jedním bitem neznázorněného pracovního registru procesoru nebo jedním bitem neznázorněné operační paměti zmíněného procesoru.

Celková činnost kodéru PE signálu podle vynálezu je dále objasněna na obr. 2, který blokově zobrazuje propojení řídicího členu 18, zobrazeného na obr. 1, s pracovními členy kodéru, tj. s čítačem 14 bitů, datovým registrem 15, vyrovnávací pamětí 16 a pomocným registrem 17. Obr. 2 rovněž ukazuje propojení řečeného řídicího členu 18 se zápisovým vstupem 20 neznázorněné kazetové paměti přes klopný obvod 19.

Před spuštěním činnosti kodéru PE signálu podle vynálezu je v datovém registru 15 připraven první zapisovaný byte, tj. PREAMBLE, čítač 14 bitů je vynulován a výstup klopného obvodu 19 je nastaven do logické úrovně odpovídající stavu zápisového signálu kazetové digitální paměti v meziblokové mezeře.

Po spuštění činnosti kodéru PE signálu podle vynálezu přeneseme první člen 1 vybavení výstupu, který slouží k zápisu datových hran, obsah řádově nejnižšího bitu datového registru 15 do výstupního členu 13 a výstupní člen 13 přeneseme tento obsah do klopného obvodu 19, který generuje první datovou hranu do zápisového vstupu 20 kazetové paměti. Člen 2 zvýšení obsahu čítače 14 bitů zvýší obsah čítače 14 bitů o jedničku, načež je obsah čítače 14 bitů testován členem 3 testování obsahu čítače 14 bitů. Je-li obsah čítače 14 bitů různý od počtu bitů v byte, který činí osm, tj. nebyl dosud zapsán celý byte, posune člen 4 posunu obsahu datového registru 15 obsah datového registru 15 o jednu pozici vpravo, tj. k řádově nejnižšímu bitu, čímž je v řádově nejnižším bitu datového registru 15 připraven další zapisovaný bit. V prvním zpoždovacím členu 5 se pak generuje vhodné zpoždění. Zjistí-li člen 3 testování obsahu čítače 14 bitů, že obsah čítače 14 bitů je roven počtu bitů v byte, tj. že byl již zapsán celý jeden byte, provede se nejprve ve členu 6 zjištění konce zápisu test, zda zmíněný, právě zapsaný byte nebyl již posledním bytem bloku, tj. POSTAMBLE. V kladném případě se činnost kodéru ukončí, v případě opačném přeneseme člen 7 přenesení dalšího byte z vyrovnávací paměti 16 do datového registru 15 další zapisovaný byte z vyrovnávací paměti 16 do datového registru 15. Dále člen 8 nulování čítače 14 bitů vynuluje čítač 14 bitů a ve druhém zpoždovacím členu 9 se regeneruje zpoždění. Člen 10 negace provede negování obsahu řádově nejniž-

šího bitu datového registru **15** a uložení výsledku této negace do pomocného registru **17**. Doba zpoždění prvního a druhého zpoždovacího členu **5**, **9** je volena tak, aby doba od vybavení výstupu v prvním členu **1** vybavení výstupu do vybavení výstupu ve druhém členu **11** vybavení výstupu byla rovna polovině datového intervalu nezávisle na tom, prochází-li činnost kodéru přes člen **4** posunu obsahu datového registru **15** a první zpoždovací člen **5** nebo přes člen **6** zjištění konce zápisu, člen **7** přenesení dalšího byte, člen **8** nulování čítače **14** bitů a druhý zpoždovací člen **9**. Vybavením výstupu přenesení druhý člen **11** vybavení výstupu obsah pomocného registru **17**, obsahujícího již předtím připravenou negaci dalšího zapisovaného bitu, do výstupního členu **13**. Z výstupního členu **13** je tato negace přenesena do klopného obvodu **19**, čímž je generována pomocná hrana. Je zřejmé, že řídicí člen **18** kodéru generuje pomocnou hranu v každém datovém intervalu. Vzhledem k součinnosti výstupního členu **13** a klopného obvodu **19** však dochází ke změně výstupního signálu klopného obvodu **19** jen tehdy, byl-li předcházející bit stejný jako po něm následující, neboť pouze tehdy se negace následujícího zapisovaného bitu liší od předchozího zapisovaného bitu. Při ge-

nerování pomocné hrany se rovněž využívá toho, že úroveň PE signálu mezi pomocnou a následující datovou hranou je opačná než úroveň PE signálu za následující datovou hranou. Po vybavení výstupu ve druhém členu **11** vybavení výstupu se generuje zpoždění ve třetím zpoždovacím členu **12**. Délka tohoto zpoždění je volena tak, aby doba od vybavení výstupu ve druhém členu **11** vybavení výstupu do vybavení výstupu v prvním členu **1** vybavení výstupu byla rovna polovině datového intervalu. Třetí zpoždovací člen **12** uvádí v činnost první člen **1** vybavení výstupu, který opět generuje datovou hranu. Celý cyklus probíhá tak dlouho, dokud není členem **6** zjištění konce zápisu zjištěn konec zápisu.

Kodér PE signálu podle vynálezu umožňuje řešit zápisovou část řadiče digitální paměť programovými prostředky vhodného procesoru, přičemž jedinou hardwarovou částí je klopný obvod **19**. Tento klopný obvod **19** však může být součástí neznázorněného vyrovnávacího registru pro ovládání vstupů digitální paměti napojeného přímo na sběrnici procesoru. U jednočipových mikropočítačů odpadá i potřeba klopného obvodu **19**, neboť tento je již součástí jejich vnitřních obvodů pro vstupy a výstupy.

PREDMĚT VYNÁLEZU

1. Kodér PE signálu zejména pro digitální kazetovou paměť vyznačený tím, že první výstup prvního členu (1) vybavení výstupu je připojen na vstup členu (2) zvýšení obsahu čítače (14) bitů, výstup členu (2) zvýšení obsahu čítače (14) bitů je připojen na vstup členu (3) testování obsahu čítače (14) bitů, první výstup členu (3) testování obsahu čítače (14) bitů je připojen ke vstupu členu (4) posunu obsahu datového registru (15), výstup členu (4) posunu obsahu datového registru (15) je připojen na vstup prvního zpoždovacího členu (5), přičemž druhý výstup členu (3) testování obsahu čítače (14) bitů je připojen na vstup členu (6) zjištění konce zápisu, výstup členu (6) zjištění konce zápisu je připojen na vstup členu (7) přenesení dalšího byte z vyrovnávací paměti (16) do datového registru (15), výstup členu (7) přenesení dalšího byte je připojen na vstup členu (8) nulování čítače (14) bitů, výstup členu (8) nulování je připojen na vstup druhého zpoždovacího členu (9), přičemž výstup druhého zpoždovacího členu (9) je připojen k prvnímu vstupu a výstup prvního zpoždovacího členu (5) ke druhému vstupu členu (10) negace obsahu nejnižšího bitu datového registru (15) a uložení této negace do pomocného registru (17), výstup členu (10) negace je připojen na vstup druhého členu (11) vybavení výstupu, první výstup druhé-

ho členu (11) vybavení výstupu je připojen na vstup třetího zpoždovacího členu (12), výstup třetího zpoždovacího členu (12) je připojen na vstup prvního členu (1) vybavení výstupu, druhý výstup druhého členu (11) vybavení výstupu je připojen k prvnímu vstupu výstupního členu (13), zatímco ke druhému vstupu výstupního členu (13) je připojen druhý výstup prvního členu (1) vybavení výstupu.

2. Kodér PE signálu podle bodu 1 vyznačený tím, že výstupní člen (13) je tvořen sběrnici procesoru, přičemž první člen (1) vybavení výstupu a/nebo člen (2) zvýšení obsahu čítače (14) bitů a/nebo člen (3) testování obsahu čítače (14) bitů a/nebo člen (4) posunu obsahu datového registru (15) a/nebo první zpoždovací člen (5) a/nebo člen (6) zjištění konce zápisu a/nebo člen (7) přenesení dalšího byte z vyrovnávací paměti (16) do datového registru (15) a/nebo člen (8) nulování čítače (14) bitů a/nebo druhý zpoždovací člen (9) a/nebo člen (10) negace obsahu nejnižšího bitu datového registru (15) a uložení této negace do pomocného registru (17) a/nebo druhý člen (11) vybavení výstupu a/nebo třetí zpoždovací člen (12) jsou tvořeny ekvivalentními programovými rutinami procesoru.

3. Kodér PE signálu podle bodů 1 a 2 vyznačený tím, že datový registr (15) a čí-

tač (14) bitů jsou tvořeny pracovními registry procesoru.

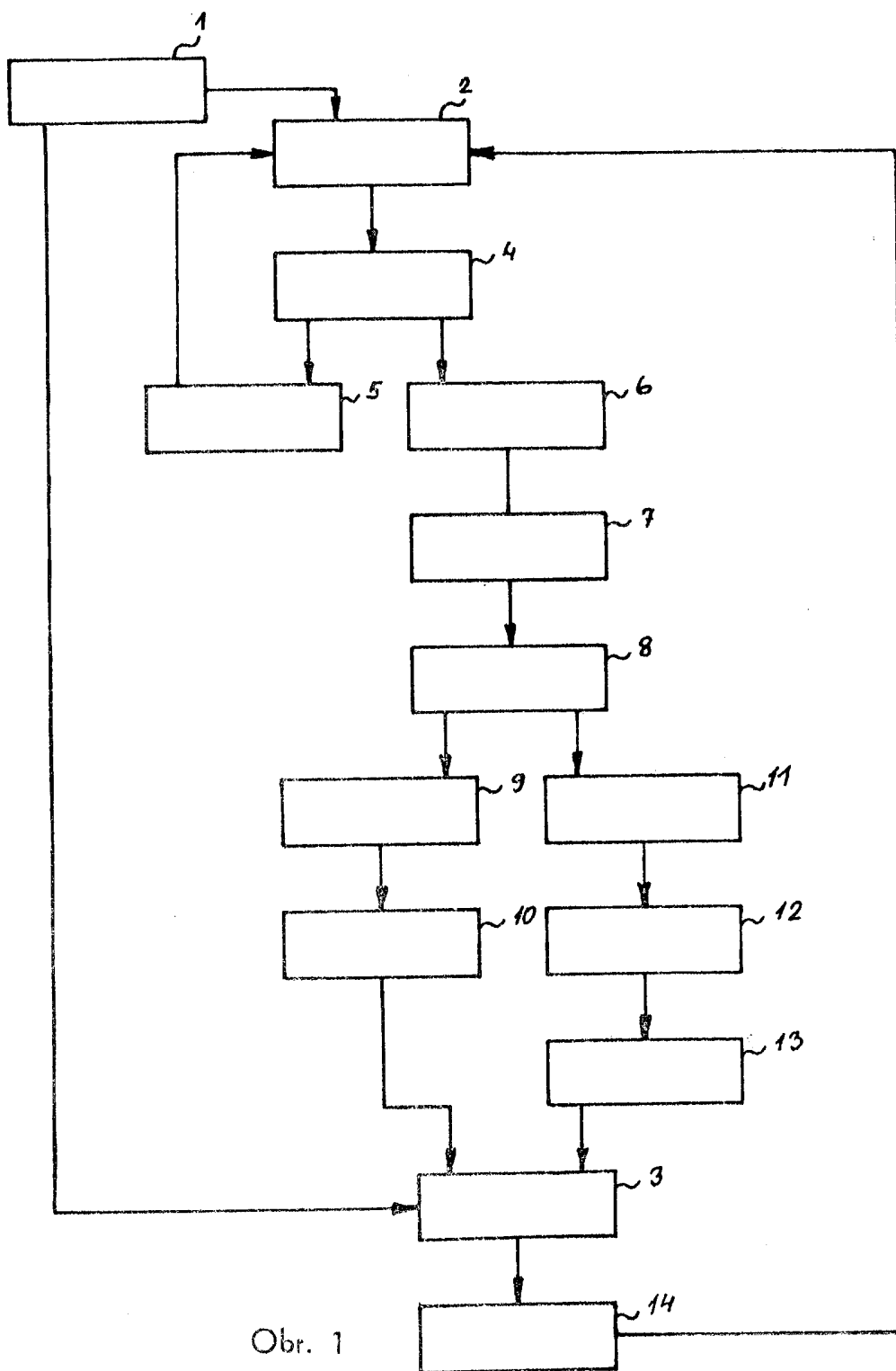
4. Kodér PE signálu podle bodů 1 a 2 vyznačený tím, že datový registr (15) a čítač (14) bitů jsou tvořeny buňkami operační paměti procesoru.

5. Kodér PE signálu podle bodů 1 a 2

vyznačený tím, že pomocný registr (17) je tvořen jedním bitem pracovního registru procesoru nebo jedním bitem buňky operační paměti procesoru.

6. Kodér PE signálu podle bodů 1 a 2 vyznačený tím, že vyrovnávací paměť (16) je tvořena částí operační paměti procesoru.

2 listy výkresů



Obr. 1

