



(12) 发明专利

(10) 授权公告号 CN 103294567 B

(45) 授权公告日 2015. 10. 28

(21) 申请号 201310214646. 5

US 2001/0023479 A1, 2001. 09. 20,

(22) 申请日 2013. 05. 31

审查员 魏晶瑶

(73) 专利权人 中国航天科技集团公司第九研究院第七七一研究所

地址 710054 陕西省西安市太乙路 189 号

(72) 发明人 陈庆宇 盛廷义 段青亚 吴龙胜

(74) 专利代理机构 西安通大专利代理有限责任公司 61200

代理人 汪人和

(51) Int. Cl.

G06F 11/07(2006. 01)

(56) 对比文件

CN 101030134 A, 2007. 09. 05,

CN 102184092 A, 2011. 09. 14,

CN 1481529 A, 2004. 03. 10,

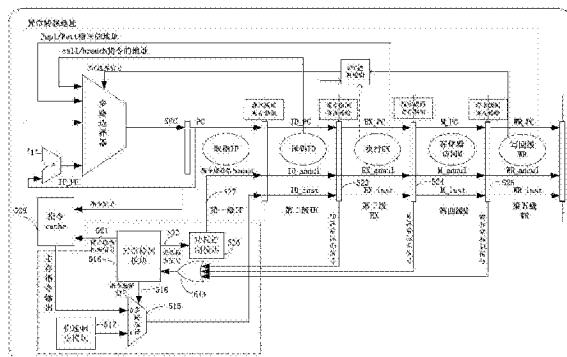
权利要求书2页 说明书6页 附图2页

(54) 发明名称

一种单发射五级流水处理器的精确异常处理方法

(57) 摘要

本发明专利公开了一种单发射五级流水处理器的精确异常处理方法，在流水线各单元中通过流水级间寄存器组依次相连，流水级间寄存器组中含有异常标志寄存器和指令废除标志寄存器；在取指级中增设异常检测模块、功耗控制模块、三输入或门、多路选择器和快速响应模块。该方法适用于单发射五级流水线处理器的高效率精确异常处理，通过禁止取指单元 IF 在精确异常发生时向主存请求指令，可以大大提高精确异常发生时的取指效率；通过提前给出指令废除信号，在提高嵌入式处理器的性能的同时降低了功耗。



1. 一种单发射五级流水处理器的精确异常处理方法,其特征在于,包括以下操作:

在取指单元 IF、译码取指单元 ID、执行取指单元 EX、存储器访问取指单元 M、写回取指单元 WR 五个单元之间设置流水级间寄存器组,流水级间寄存器组中含有异常标志寄存器和指令废除标志寄存器;在取指单元 IF 中增设异常检测模块(516)、多输入或门(514)、多路选择器(515)、功耗控制模块(526)和快速响应模块(517);

流水级间寄存器组分别输出执行级异常标识信号、存储器访问级异常标识信号、写回级异常标识信号至多输入或门(514)相或;多输入或门(514)输出至异常检测模块(516),异常检测模块(516)的三个输出指令选择信号(518)、指令无效标志信号(522)和停止取指标志信号(521)分别至多路选择器(515)、功耗控制模块(526)和指令缓冲存储器(529);

多路选择器(515)根据异常检测模块(516)的输出信息,从取指单元 IF 的指令缓冲存储器(529)输出或快速响应模块(517)的输出选择其中之一输出给译码取指单元 ID;功耗控制模块(526)根据指令无效标志信号(522),输出指令废除信号 annul(527)给译码单元 ID;指令缓冲存储器(529)根据停止取指标志信号(521),对流水使能信号进行控制;

当精确异常发生时,禁止处理器向主存请求指令,将快速响应模块(517)中提供的单周期指令送入译码取指单元 ID,同时给出指令无效的标志信号,标志信号随着无效指令依次向下一个流水单元传递,无效标志信号防止各流水单元内的组合逻辑翻转。

2. 如权利要求 1 所述的单发射五级流水处理器的精确异常处理方法,其特征在于,流水级间寄存器所输出的异常标识信号输出至多输入或门(514)相或,然后输出至异常检测模块(516);

当异常检测模块(516)输出无效时,多路选择器(515)选来自主存或者指令缓冲存储器(529)的输出至译码取指单元 ID,同时置停止取指标志信号(521)和指令无效标志信号(522)无效,继续从指令缓冲存储器(529)或者主存取指令;

当异常检测模块(516)输出有效时,多路选择器(515)选择快速响应模块(517)给出的单周期指令至译码取指单元 ID,同时置停止取指标志信号(521)和指令无效标志信号(522)有效,停止向指令缓冲存储器(529)或者主存请求指令,待产生异常的指令彻底流出流水处理器时,处理器恢复正常取指。

3. 如权利要求 1 所述的单发射五级流水处理器的精确异常处理方法,其特征在于,所述的异常标志寄存器均为带使能端的一位寄存器,异常标志寄存器的使能端有效时,才能够寄存数据。

4. 如权利要求 1 所述的单发射五级流水处理器的精确异常处理方法,其特征在于,所述的快速响应模块(517)在精确异常发生时,提供一个单周期指令输出至多路选择器(515);所述的单周期指令为处理器指令集内的任意单周期指令。

5. 如权利要求 1 所述的单发射五级流水处理器的精确异常处理方法,其特征在于,所述的指令缓冲存储器的输出指令与 PC 值相对应,该指令来自指令缓冲存储器(529)或者主存。

6. 如权利要求 1 所述的单发射五级流水处理器的精确异常处理方法,其特征在于,当停止取指标志信号(521)有效时,则流水线中出现异常,停止向指令缓冲存储器(529)继续取指;指令缓冲存储器(529)检测到停止取指标志信号(521)有效时,置处理器的流水使能信号有效;

当指令选择信号 (518) 有效时控制多路选择器 (515) 输出快速响应模块 (517) 的输出指令至译码取指单元 ID；

当无效标志信号 (522) 有效时功耗控制模块 (526) 会输出有效的指令废除信号 annul (527) 至译码取指单元 ID。

7. 如权利要求 6 所述的单发射五级流水处理器的精确异常处理方法，其特征在于，指令废除信号 annul 与写回取指单元 WR 生成的 annul\_all 信号相连接。

8. 如权利要求 1 所述的单发射五级流水处理器的精确异常处理方法，其特征在于，指令缓冲存储器 (529) 检测到停止取指标志信号 (521) 有效时，置处理器的流水使能信号有效，同时停止向处理器提供指令，当停止取指标志信号无效时，保持原有控制逻辑；

多路选择器 (515) 检测到指令选择信号 (522) 有效时，选择快速响应模块 (517) 的输出指令至译码单元 ID，否则选择来自指令缓冲存储器或者主存的指令至译码单元 ID；

功耗控制模块 (526) 检测到无效标志信号有效时，置指令废除信号 annul 有效，否则置 annul 无效，annul 输出至译码单元 ID，且随着指令流水不断向写回取指单元 WR 传递，各流水单元的 annul 有效时，流水单元内的组合逻辑停止动作。

## 一种单发射五级流水处理器的精确异常处理方法

### 技术领域

[0001] 本发明属于处理器技术领域，涉及一种五级流水的单发射处理器，具体涉及一种单发射五级流水处理器的精确异常处理。

### 背景技术

[0002] 单发射处理器是指每次启动一条指令进入流水线的处理器。而五级流水是指每条指令都需要经过取指、译码、执行、存储器访问、写回五个阶段才可以执行结束。而精确异常是指由一条具体的指令引起，并且处理器状态未被引起异常的指令改变，精确异常的处理需满足以下条件：一、将引发异常的指令的地址 PC 和下一条指令的地址 NPC 保存在本地寄存器；二、引发异常的指令之前的指令已经完全的执行；三、引发异常的指令之后的指令都没有执行。

[0003] 由上述说明可知，假设 A 指令产生精确异常，那么处理器必须保证 A 之前的指令执行完毕，A 之后的指令没有执行，或者说 A 之后的指令必须为无效执行（即虽然执行但是执行的结果不会改变处理器状态，执行的结果不会写回寄存器文件）。

[0004] 为了尽可能的提高流水处理器的性能，处理器的体系结构定义时都将精确异常平均分配到不同的指令流水级，图 1 中 200 描述了某款嵌入式处理器所有精确异常的产生及处理流程，对于写回单元 WR 之前的异常，会经过异常优先级排列逻辑 204 产生优先级最高的异常，并将优先级最高的精确异常的信息（如异常类型）和异常标志位保存在寄存器组 205、206、207、208 中的有关寄存器中，然后在流水线中传递精确异常的信息，写回单元 WR 会检测由寄存器组 208 传递而来的异常标志位是否有效，如果异常标志位有效，那么将指令的 PC 值写进寄存器文件 201 的同时将异常的信息写入处理器相关寄存器 202。

[0005] 通过上面的分析可知，目前的单发射流水线嵌入式处理器在执行指令过程中，如果指令 A 发生异常，那么指令 A 的后续指令 A+1、A+2 等在指令 A 达到写回单元 WR 之前会被正常从主存中取出，这种机制存在以下弊端：浪费大量的时间取回来的指令是无效指令，所谓无效指令即不被执行或者即使执行也不对处理器状态有任何影响。通过图 2 说明目前的单发射流水线嵌入式处理器如何保证 A 的后续指令 A+1、A+2 等的无效执行。假设第二条指令 A 引起精确异常，待第二条指令到达写回单元 WR 之后，WR 的有关逻辑会检测其异常标志信号，如果其异常标志信号有效，那么 WR 会生成 annul\_all 信号，该信号会被各流水单元检测，并被保存进入流水级间寄存器组，如果流水级间寄存器组中的废除信号有效，那么对应指令将不会引起流水单元内的逻辑变化，这样就保证 annul\_all 信号会将其后的四条指令废除，即其后四条指令的执行不再改变处理器的状态。

[0006] 目前的单发射流水线嵌入式处理器在精确异常发生时，会花费大量的时钟周期去主存取若干条根本不会被有效执行的指令，这种精确异常处理方法效率较低，影响了嵌入式处理器的性能；同时无效指令的执行又在一定程度上增大了嵌入式处理器的功耗。

### 发明内容

[0007] 本发明专利解决的问题在于一种单发射五级流水处理器的精确异常处理方法，在提高异常处理效率的同时降低了处理器在异常处理过程中的功耗。

[0008] 本发明是通过以下技术方案来实现：

[0009] 一种单发射五级流水处理器的精确异常处理方法，在取指单元 IF、译码取指单元 ID、执行取指单元 EX、存储器访问取指单元 M、写回取指单元 WR 五个单元之间设置流水级间寄存器组；在取指单元中增设异常检测模块、功耗控制模块、三输入或门、多路选择器和快速响应模块；

[0010] 流水级间寄存器组分别输出执行级异常标识信号、存储器访问级异常标识信号、写回级异常标识信号至多输入或门相或；多输入或门输出至异常检测模块，异常检测模块的三个输出指令选择信号、指令无效标志信号和停止取指标志信号分别至多路选择器、功耗控制模块和指令缓冲存储器(指令 Cache)；多路选择器根据指令选择信号，从指令缓冲存储器输出或快速响应模块的输出中选择其一，输出给译码单元 ID；功耗控制模块会根据指令无效标志信号，输出指令废除信号 annul 给译码单元 ID；指令缓冲存储器会根据停止取指标志信号，对流水线使能信号进行控制；

[0011] 当精确异常发生时，禁止处理器向主存请求指令，将快速响应模块(517)中提供的单周期指令送入译码逻辑块 ID，同时给出指令无效的标志信号，标志信号随着无效指令依次向下一个流水逻辑块传递，无效标志信号防止各流水逻辑块内的组合逻辑翻转。

[0012] 所述的流水级间寄存器组输出的异常标识信号输出至多输入或门相或，然后输出至异常检测模块；

[0013] 当异常检测模块输出无效时，多路选择器选来自主存或者指令缓冲存储器的输出至译码级(译码单元 ID)，同时置停止取指信号和指令无效标志信号无效，继续从指令缓冲存储器或者主存请求指令；

[0014] 当异常检测模块输出有效时，多路选择器选择快速响应模块给出的单周期指令至译码级，同时异常检测模块置停止取指标志信号和指令无效标志信号有效，停止向指令缓冲存储器或者主存请求指令，待产生异常的指令彻底流出流水线处理器时，处理器恢复正常取指。

[0015] 所述的异常标志寄存器均为带使能端的一位寄存器，异常标志寄存器的使能端有效时，才能够寄存数据。

[0016] 所述的快速响应模块在精确异常发生时，提供一个单周期指令输出至多路选择器；所述的单周期指令为处理器指令集内的任意单周期指令。

[0017] 所述的指令缓冲存储器的输出指令与 PC 值相对应，该指令来自指令缓冲存储器或者主存。

[0018] 所述的异常检测模块输出停止取指标志信号、指令选择信号和无效标志信号，分别连接至指令缓冲存储器、多路选择器和功耗控制模块；当停止取指标志信号有效时，则流水线中出现异常，停止向指令缓冲存储器继续取指；指令缓冲存储器检测到停止取指标志信号有效时，置处理器的流水使能信号有效；

[0019] 当指令选择信号有效时控制多路选择器输出快速响应模块的输出指令至译码单元 ID；

[0020] 当无效标志信号有效时功耗控制模块会输出有效的指令废除信号 annul 至译码

单元 ID。

[0021] 所述的流水使能信号连接至异常标志寄存器的使能端。

[0022] 当停止取指标志信号和指令无效标志信号有效时,表示流水线中出现异常。指令缓冲存储器检测到停止取指标志信号有效时,置处理器的流水使能信号有效,同时停止向处理器提供指令,当停止取指标志信号无效时,保持原有控制逻辑;

[0023] 多路选择器检测到指令选择信号有效时,会选择快速响应模块的输出指令至译码单元 ID,否则选择来自指令缓冲存储器或者主存的指令至译码单元 ID;

[0024] 功耗控制模块检测到无效标志信号有效时,置指令废除信号 annul 有效,否则置 annul 无效,annul 输出至译码单元 ID,且随着指令流水不断向写回单元 WR 传递,各流水单元的 annul 有效时,流水单元内的组合逻辑停止动作。

[0025] 与现有技术相比,本发明专利具有以下有益的技术效果:

[0026] 本发明提供的单发射五级流水处理器的精确异常处理方法,通过提前检测陷阱标志位,在流水线处理器取指单元 IF 内增加异常标志位检测、快速响应和功耗控制三个模块,将各流水级之间的寄存器组中的异常标志位相或之后送到异常标志位检测模块,一旦异常标志位检测模块检测到流水线中任何一级出现异常,将控制取指单元 IF 停止向主存取指令的动作,从快速响应模块中取出一条单周期指令送至译码单元 ID,同时置指令废除信号有效。

[0027] 本发明提供的单发射五级流水处理器的精确异常处理方法,适用于单发射五级流水线处理器的高效率精确异常处理,当精确异常发生时,禁止处理器向主存请求指令,可以大大提高精确异常发生时的取指效率;

[0028] 将快速响应模块中提供的单周期指令送入译码逻辑块 ID,同时给出指令无效的标志信号,标志信号随着无效指令依次向下一个流水逻辑块传递,无效标志信号可防止各流水逻辑块内的组合逻辑翻转;通过提前给出指令废除信号,降低了无效指令执行时的处理器功耗;在嵌入式处理器的性能的同时降低了功耗。

## 附图说明

[0029] 图 1 为嵌入式处理器精确异常的产生及处理流程图;

[0030] 图 2 为当前单发射五级流水线处理器指令废除示意图;

[0031] 图 3 为本发明的五级流水单发射处理器示意图。

## 具体实施方式

[0032] 下面结合附图对本发明做进一步详细描述,所述是对本发明的解释而不是限定。

[0033] 一种单发射五级流水处理器的精确异常处理方法,通过设置流水级间寄存器组和取指单元 IF 中增设模块,当精确异常发生时,禁止处理器向主存请求指令,将快速响应模块中提供的单周期指令送入译码逻辑块 ID,同时给出指令无效的标志信号,标志信号随着无效指令依次向下一个流水逻辑块传递,无效标志信号防止各流水逻辑块内的组合逻辑翻转。

[0034] 参见图 3,一种实现了本发明提出的精确异常处理方法的单发射五级流水处理器,包含取指单元 IF、译码取指单元 ID、执行取指单元 EX、存储器访问取指单元 M、写回取指单

元 WR 五个部分,上述各单元在流水线中通过流水级间寄存器组依次相连,流水级间寄存器组中含有异常标志寄存器和指令废除标志寄存器;在取指单元中增设异常检测模块 516、多输入或门 514、多路选择器 515、功耗控制模块 526 和快速响应模块 517;

[0035] 所述异常标志寄存器均为带使能端的一位寄存器,寄存器使能端有效时,才可以寄存数据。异常标志寄存器寄存当前流水级的异常标志位,将异常标志位输出连接至三输入或门。

[0036] 所述的快速响应模块 517,在精确异常发生时,为处理器提供一个单周期指令,其输出连接至多路选择器的输入。所述的单周期指令为处理器指令集内的任意单周期指令,建议使用空指令(如 SPARC V8 体系结构的处理器可使用 nop 指令)。

[0037] 所述的多路选择器 515,其两个输入分别为快速响应模块 517 的输出和指令缓冲存储器的输出,多路选择器在异常检测模块 516 的输出指令选择信号 518 控制下,将两个输入的其中之一送至处理器译码单元 ID。

[0038] 所述的指令缓冲存储器的输出指与 PC 值对应的指令,该指令可能来自指令缓冲存储器或者主存,异常发生时,一般来自主存。

[0039] 所述异常检测模块 516,其输入来自多输入或门 514 的输出,该模块的输入的输出停止取标志信号 521、指令选择信号 518 和指令无效标志信号 522,分别连接至指令缓冲存储器 529、多路选择器 515 和功耗控制模块 526;该模块提前检测流水线中出现的异常标志信号,当异常标志信号出现时,停止向主存继续取指令,用快速响应模块 517 作为主存指令输出,供处理器单元 ID 使用。

[0040] 所述的停止取标志信号,该信号为异常检测模块 516 的输出,连接至指令缓冲存储器。当其有效时,说明流水线中出现异常,处理器停止向指令缓冲存储器继续取指,指令缓冲存储器检测到该信号有效时,会置处理器的流水使能信号有效。而流水使能信号连接至异常标志寄存器的使能端。

[0041] 所述的功耗控制模块,其输入来自异常检测模块 516 的指令无效标志信号 522,当 522 有效时(为 1),其输出信号 annu1527 有效,利用处理器原有的判断 annu1\_a11 的逻辑禁止组合逻辑翻转。

[0042] 所述的指令选择信号,控制多路选择输出适当的指令给译码单元 ID。

[0043] 流水级间寄存器 523、524、525 分别输出执行级异常标识信号、存储器访问级异常标识信号、写回级异常标识信号至三输入或门 514 相或,514 输出至取指级的异常检测模块 516;多输入或门 514 输出至异常检测模块 516,异常检测模块 516 的三个输出指令选择信号 518、指令无效标志信号 522 和停止取标志信号 521 分别至多路选择器 515、功耗控制模块 526 和指令缓冲存储器(指令 Cache) 529;

[0044] 多路选择器 515 根据异常检测模块 516 的输出信息,从取指级的指令缓冲存储器(指令 cache) 529 的输出或快速响应模块 517 的输出选择其中之一,输出给译码单元 ID。功耗控制模块 526 会根据指令无效标志信号 522,输出指令废除信号 annu1527 给译码单元 ID;指令缓冲存储器 529 会根据停止取标志信号 521,对流水线使能信号进行控制。

[0045] 异常检测模块 516 根据多输入或门 514 的输出结果,生成指令选择信号 518、指令无效标志信号 522 和停止取指信号 521;当多输入或门 514 的输出结果无效时(输出为 0),则生成指令选择信号为 0,多路选择器选择与指令地址对应的来自主存或者指令缓冲存储

器 529 的输出至译码单元 ID, 同时置停止取指信号 521 和指令无效标志信号 522 无效, 继续从指令缓冲存储器 529 或者主存取指令;

[0046] 当多输入或门 514 的输出结果有效时, 则生成指令选择信号为 1, 多路选择器 515 选择快速响应模块 517 中给出的单周期指令(具体采用 nop 指令)至译码单元 ID, 同时异常检测模块 516 置停止取指标志信号 521 和指令无效标志信号 522 有效, 停止向主存指令缓冲存储器或者主存 529 请求指令; 待产生异常的指令彻底流出流水线时, 处理器恢复正常取指, 指令无效标志信号 522 进入流水单元后可使单元内组合逻辑停止翻转。

[0047] 具体的, 在单发射五级流水处理器的精确异常处理方法中, 流水级间寄存器所输出的异常标识信号输出至多输入或门 514 相或, 然后输出至异常检测模块 516;

[0048] 当异常检测模块 516 输出无效时, 多路选择器 515 选来自主存或者指令缓冲存储器 529 的输出至译码级, 同时置停止取指信号 521 和指令无效标志信号 522 无效, 继续从指令缓冲存储器 529 或者主存取指令;

[0049] 当异常检测模块 516 输出有效时, 多路选择器 515 选择快速响应模块 517 给出的单周期指令至译码级, 同时置停止取指信号 521 和指令无效标志信号 522 有效, 停止向指令缓冲存储器 529 或者主存请求指令, 待产生异常的指令彻底流出流水线处理器时, 处理器恢复正常取指。

[0050] 所述的异常检测模块 516 输出停止取指标志信号 521、指令选择信号 518 和无效标志信号 522, 分别连接至指令缓冲存储器 529、多路选择器 515 和功耗控制模块 526;

[0051] 当停止取指标志信号 521 有效时, 则流水线中出现异常, 停止向指令缓冲存储器 529 继续取指; 指令缓冲存储器 529 检测到停止取指标志信号有效时, 置处理器的流水使能信号有效;

[0052] 当指令选择信号 518 有效时控制多路选择器 515 输出快速响应模块 517 的输出指令至译码单元 ID;

[0053] 当无效标志信号 522 有效时功耗控制模块 526 会输出有效的指令废除信号 annul 至译码单元 ID。指令废除信号 annul 与原写回单元生成的 annul\_a11 信号相连接。

[0054] 当停止取指标志信号 521 和指令无效标志信号 522 有效时, 表示流水线中出现异常;

[0055] 指令缓冲存储器 529 检测到停止取指标志信号 521 有效时, 置处理器的流水使能信号有效, 同时停止向处理器提供指令, 当停止取指标志信号无效时, 保持原有控制逻辑;

[0056] 多路选择器 515 检测到指令选择信号 522 有效时, 会选择快速响应模块 517 的输出指令至译码单元 ID, 否则选择来自指令缓冲存储器或者主存的指令至译码单元 ID;

[0057] 功耗控制模块 526 检测到无效标志信号有效时, 置指令废除信号 annul 有效, 否则置 annul 无效, annul 输出至译码单元 ID, 且随着指令流水不断向写回单元 WR 传递, 各流水单元的 annul 有效时, 流水单元内的组合逻辑停止动作。

[0058] 本发明提供的一种单发射五级流水处理器的精确异常处理方法, 通过提前检测陷阱标志位, 一旦异常标志位检测模块检测到流水线中任何一级出现异常, 将控制取指单元 IF 停止向主存取指令的动作, 从快速响应模块中取出一条单周期指令送至译码单元 ID, 同时置指令废除信号有效。通过禁止处理器取指单元在精确异常发生时向主存请求指令, 可以大大提高精确异常发生时的取指效率; 通过提前给出指令废除信号, 降低了无效指令执

行时的处理器功耗；该方法在嵌入式处理器的性能的同时降低了功耗。

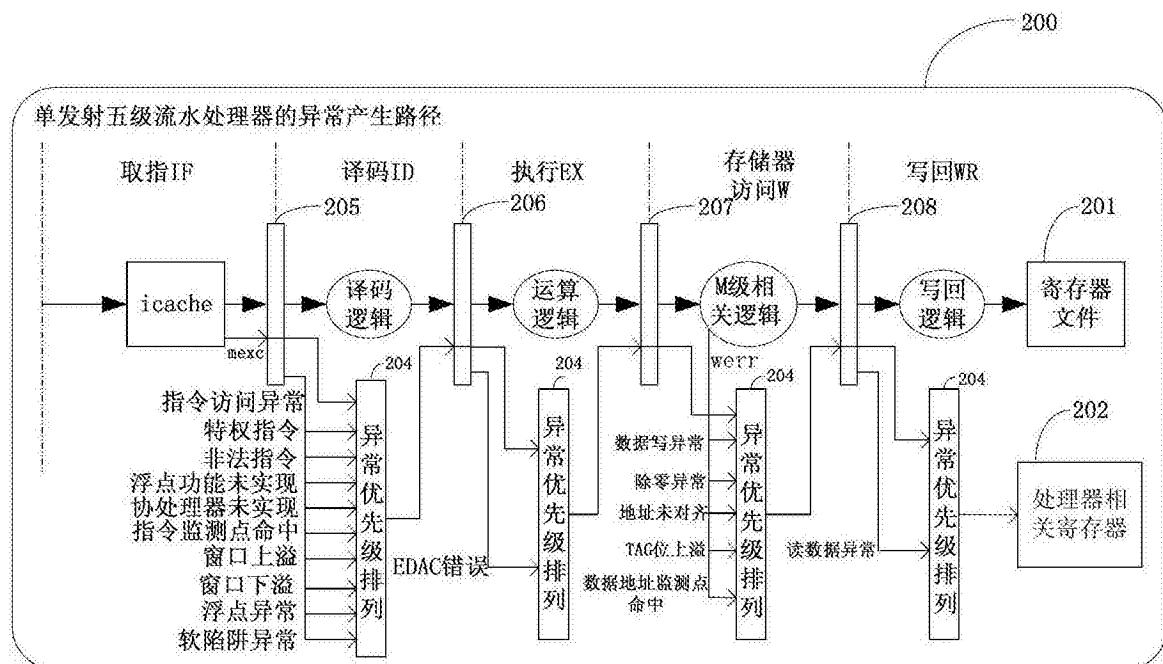


图 1

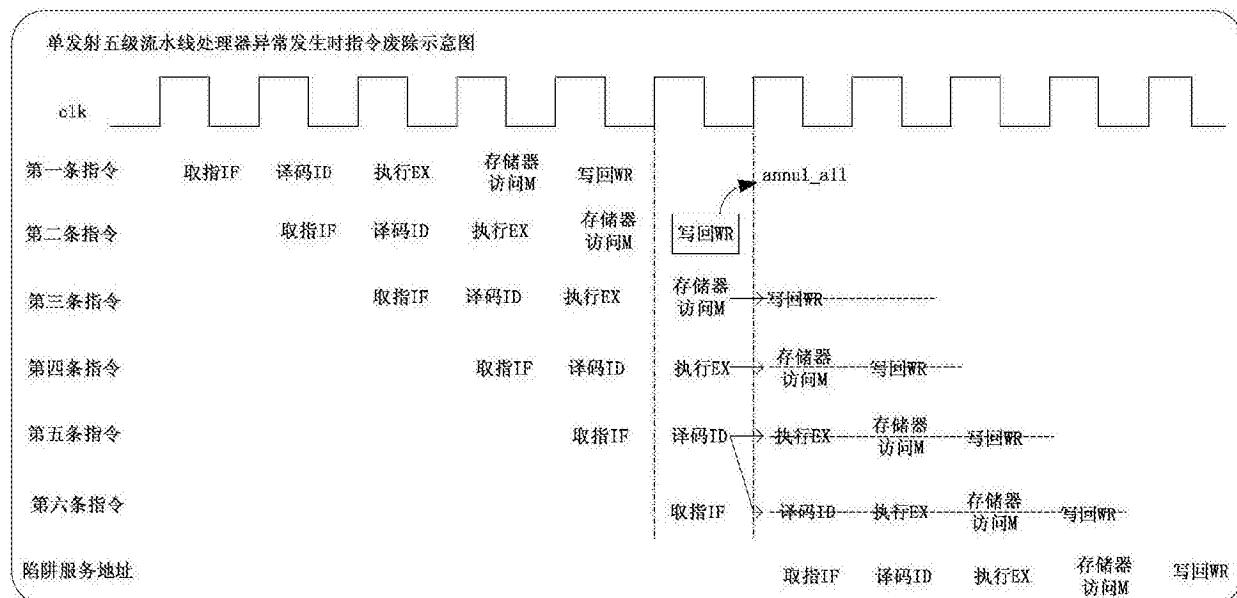


图 2

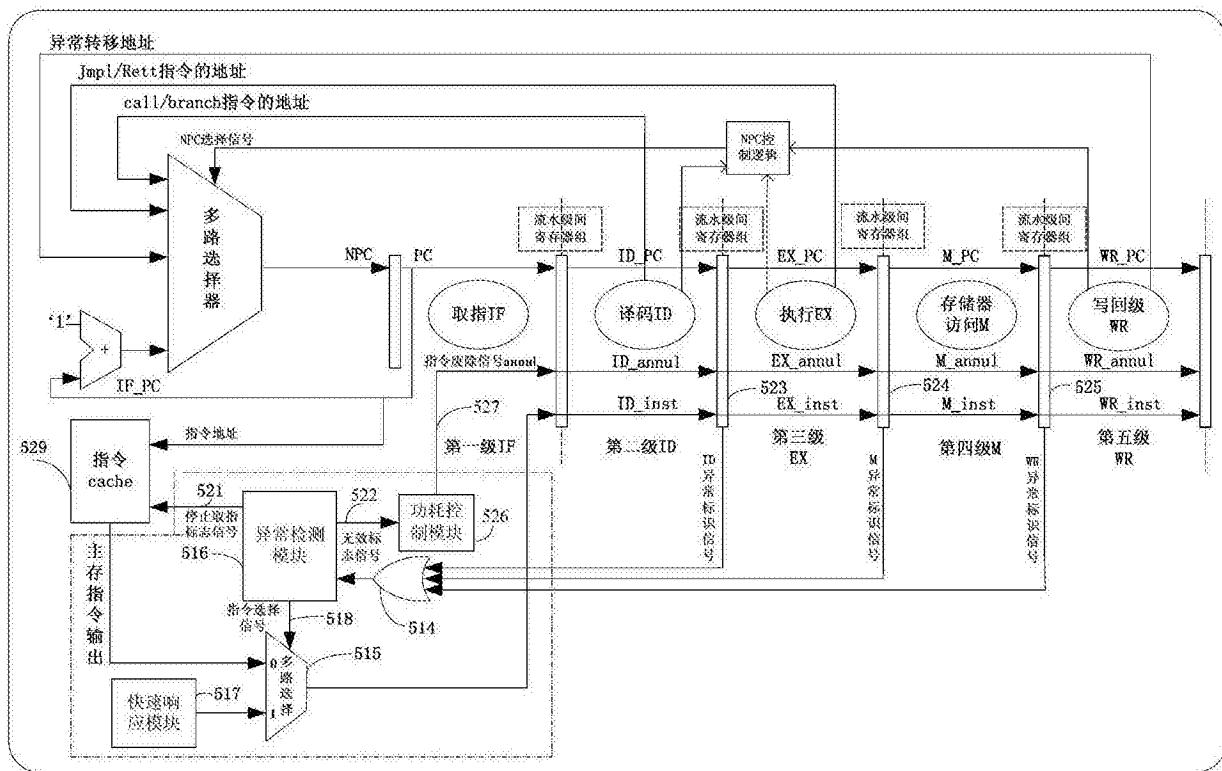


图 3