

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年7月14日(2005.7.14)

【公表番号】特表2001-504626(P2001-504626A)

【公表日】平成13年4月3日(2001.4.3)

【出願番号】特願平10-523794

【国際特許分類第7版】

G 1 1 C 29/00

G 0 1 R 31/28

【F I】

G 1 1 C 29/00 6 5 5 C

G 1 1 C 29/00 6 5 5 D

G 0 1 R 31/28 B

【手続補正書】

【提出日】平成16年11月18日(2004.11.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】補正の内容のとおり

【補正方法】変更

【補正の内容】

手 続 補 正 書

平成16年11月18日

特許庁長官 殿

平成
16
年
11
月
18
日

1. 事件の表示

平成10年特許願第523794号

2. 補正をする者

名 称 テラダイン・インコーポレーテッド

3. 代 理 人

住 所 東京都千代田区大手町二丁目2番1号 新大手町ビル206区
ユアサハラ法律特許事務所

電 話 3270-6641~6

氏 名 (8970) 弁理士 社 本 一 夫



住 所 同 所

担当者氏名 (8.742) 弁理士 大 塚 就 彦



4. 補正対象書類名

請求の範囲



5. 補正対象項目名

請求の範囲

6. 補正の内容

(1) 請求の範囲を別紙の通り補正する。



(別紙)

1. 検査ヘッド(114)に結合されるとともにシステム・バス(113)を介してワークステーション(110)に接続されたテスタ・メイン・フレーム(112)を備えたメモリ検査システムであって、前記検査ヘッドが被検査メモリ(116)に接続されるように適合され、前記テスタ・メイン・フレームが、前記検査ヘッドにデータ・パターンを与えるパターン発生器(118)を含み、該検査ヘッドが、前記被検査メモリにおいて前記データ・パターンによって指定される電圧レベルを駆動および測定するとともに、検査結果を前記テスタ・メイン・フレーム(112)に与えるピン・エレクトロニクス(120)を含み、前記検査結果が前記被検査メモリ内の欠陥セルを表すデータ・ストリームであり、前記テスタ・メイン・フレームが、更に、前記検査結果を表すデータを格納する表示メモリ(126)を有する表示プロセッサ(122)を含み、前記ワークステーションが、前記格納したデータの表現を表示する表示スクリーン(111)を含み、前記表示プロセッサは、更に、前記ピン・エレクトロニクスに接続され、前記検査結果を受けるとともに、前記検査結果に対して無損失データ圧縮を行うデータ圧縮器(124)を含み、前記表示メモリが前記データ圧縮器に接続され、前記圧縮した検査結果を受けるとともに格納し、前記表示メモリが前記システム・バスに接続され、前記圧縮した検査結果を前記ワークステーションに与え、前記表示画面上に表示することを特徴とするメモリ検査システム。

2. 請求項1記載のメモリ検査システムにおいて、

前記データ圧縮器が、ラン・レンジス・エンコーダ(216)を含むメモリ検査システム。

3. 請求項1記載のメモリ検査システムにおいて、

前記表示プロセッサが、更に、前記表示メモリと前記システム・バスとの間に接続され、前記格納した検査結果に対して付加的データ圧縮を行うデータ探索器(130)を含むメモリ検査システム。

4. 請求項1記載のメモリ検査システムにおいて、

前記データ圧縮器が、前記ワークステーションによって前記システム・バスを介して送られるコマンドによって制御されるメモリ検査システム。

5. 請求項1記載のメモリ検査システムにおいて、

前記表示プロセッサが、複数の表示メモリ（218, 220）を備え、その各々が少なくとも1つの検査に対する圧縮データを保持するメモリ検査システム。

6. 請求項5記載のメモリ検査システムにおいて、

前記複数の表示メモリに接続され、第1の検査からのデータを第2の検査からのデータと結合し、前記結合データを前記複数の表示メモリの1つに格納する手段（212, 222, 224）を付加的に備えるメモリ検査システム。

7. 請求項6記載のメモリ検査システムにおいて、

前記第1の検査からのデータおよび前記第2の検査からのデータを結合し、前記第1の検査では生じなかつたが、前記第2の検査において生じた新たな欠陥を指示するメモリ検査システム。

以上