



(12) 发明专利

(10) 授权公告号 CN 107818976 B

(45) 授权公告日 2024. 02. 09

(21) 申请号 201710784798.7

(22) 申请日 2017.09.04

(65) 同一申请的已公布的文献号
申请公布号 CN 107818976 A

(43) 申请公布日 2018.03.20

(30) 优先权数据
2016-179331 2016.09.14 JP

(73) 专利权人 瑞萨电子株式会社
地址 日本东京都

(72) 发明人 儿玉荣介

(74) 专利代理机构 北京市金杜律师事务所
11256
专利代理师 王茂华

(51) Int.Cl.

H01L 27/02 (2006.01)

(56) 对比文件

- US 5187562 A, 1993.02.16
- US 5661332 A, 1997.08.26
- US 5821601 A, 1998.10.13
- JP 2004031576 A, 2004.01.29
- US 2005218454 A1, 2005.10.06
- US 2007173026 A1, 2007.07.26
- US 4578695 A, 1986.03.25
- US 4977476 A, 1990.12.11
- US 5521783 A, 1996.05.28
- CN 103077942 A, 2013.05.01
- CN 101097915 A, 2008.01.02

审查员 马泽宇

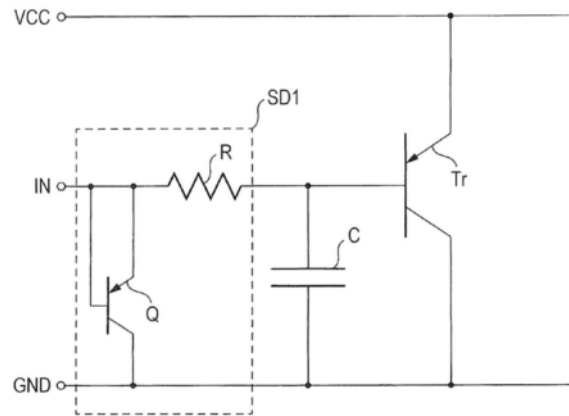
权利要求书2页 说明书14页 附图27页

(54) 发明名称

半导体器件

(57) 摘要

在包括电阻元件的半导体器件中设置有静电保护元件,所述静电保护元件包括将所述电阻元件作为组成元件的寄生双极晶体管。换言之,替代在半导体器件中设置专用静电保护元件,通过使用在半导体器件中设置的电阻元件,也可以实现静电保护元件的功能。



1. 一种半导体器件,其包括:
 - 第一导电类型的半导体衬底;
 - 第二导电类型的外延层,所述第二导电类型与所述第一导电类型相反;
 - 形成在所述外延层中的第一导电类型的电阻区;
 - 第二导电类型的半导体隐埋区,所述半导体隐埋区跨所述半导体衬底和所述外延层之间的边界形成,并且具有比所述外延层更高的杂质浓度;
 - 第二导电类型的第一半导体区,所述第一半导体区与所述半导体隐埋区接触,到达所述外延层的表面,与所述电阻区电连接,并且具有比所述外延层更高的杂质浓度;
 - 第一导电类型的半导体隔离区,所述半导体隔离区形成为与所述半导体隐埋区间隔开,并与所述半导体衬底接触;
 - 覆盖所述外延层的层间绝缘膜;
 - 第一插头,其穿过所述层间绝缘膜到达所述电阻区的一端部;
 - 第二插头,其穿过所述层间绝缘膜到达所述电阻区的另一端部;
 - 第三插头,其穿过所述层间绝缘膜到达所述第一半导体区;
 - 第一配线,其形成在所述层间绝缘膜之上并与所述第一插头和所述第三插头电连接;
 - 第二配线,其形成在所述层间绝缘膜之上并与所述第二插头电连接;
 - 输入端子;以及
 - 输入晶体管,其与所述输入端子电连接;其中,在平面图中,所述电阻区和所述第一半导体区形成为被包括在所述半导体隐埋区中,以及
- 其中,在平面图中,所述半导体隔离区围绕所述电阻区、所述半导体隐埋区和所述第一半导体区;
- 其中,所述电阻区的所述一端部与所述输入端子电连接,并且
- 其中,所述电阻区的所述另一端部与所述输入晶体管电连接。
2. 根据权利要求1所述的半导体器件,其具有:
 - 作为电阻元件的功能;以及
 - 作为静电保护元件的功能。
3. 根据权利要求2所述的半导体器件,
 - 其中,所述电阻元件包括电阻区;以及
 - 其中,所述静电保护元件包括:
 - 寄生双极晶体管,其具有:
 - 作为发射极的所述电阻区;
 - 作为基极的所述外延层和半导体隐埋区;以及
 - 作为集电极的所述半导体衬底。
4. 根据权利要求1所述的半导体器件,
 - 其中,在平面图中,所述电阻区沿第一方向延伸,并且
 - 其中,在平面图中,所述第一半导体区沿第一方向延伸并与所述电阻区平行。
5. 根据权利要求1所述的半导体器件,其中,在平面图中,所述电阻区和所述第一半导体区沿直线布置。

6. 根据权利要求1所述的半导体器件，
其中，在平面图中，所述电阻区沿第一方向延伸；并且
其中，所述第一半导体区包括：
第一部分，其在平面图中沿所述第一方向延伸，以及
第二部分，其在平面图中沿第一方向延伸，并平行于所述第一部分；并且
其中，在平面图中，所述电阻区位于所述第一半导体区的所述第一部分和所述第一半导体区的第二部分之间。
7. 根据权利要求1所述的半导体器件，
其中，在截面图中，所述半导体隐埋区的一端部和所述半导体隔离区之间的第一距离等于所述半导体隐埋区的另一端部和所述半导体隔离区之间的第二距离。
8. 根据权利要求1所述的半导体器件，
其中，在截面图中，所述半导体隐埋区的一端部和所述半导体隔离区之间的第一距离小于所述半导体隐埋区的另一端部和所述半导体隔离区之间的第二距离。
9. 根据权利要求1所述的半导体器件，其中，所述电阻区还作为低通滤波器的组成元件。
10. 根据权利要求1所述的半导体器件，
其中，所述第一导电类型为p型，以及
其中，所述第二导电类型为n型。

半导体器件

[0001] 相关申请的交叉引用

[0002] 2016年9月14日提交的日本专利申请第2016-179331号的全部内容(包括说明书、附图和摘要)通过引用并入本文。

技术领域

[0003] 本发明涉及半导体器件,例如,涉及可有效地应用于具有电阻元件的半导体器件的技术。

背景技术

[0004] 半导体装置日本未经审查的专利申请公布文献特开平7(1995)-211510(专利文献1)描述了涉及具有扩散电阻的半导体器件的技术,在该技术中,即使在高温下发生电流泄露,寄生双极晶体管也不运行。

[0005] 【相关技术文献】

[0006] 【专利文献】

[0007] 【专利文献1】:日本未经审查的专利申请公布文献特开平7(1995)-211510。

发明内容

[0008] 在半导体器件中,为了防止由静电引起的半导体器件的故障,静电击穿耐量(electrostatic breakdown tolerance)是必要的。为此,在半导体器件中设置静电保护元件,以提高静电击穿耐量。

[0009] 然而,当设置与半导体器件的原有操作不相关的专用的静电保护元件时,就会阻碍半导体器件的小型化,因此,希望提高半导体器件的静电击穿耐量的同时不牺牲其小型化。

[0010] 通过本说明书和附图的描述,其他问题和新特征将会变得明显。

[0011] 在根据一种实施方式的具有电阻元件的半导体器件中,设置有静电保护元件,所述静电保护元件包括将该电阻元件作为组成元件的寄生双极晶体管。也就是说,在一种实施方式的半导体器件中,替代设置专用的静电保护元件,通过使用设置在半导体器件中的电阻元件也可以实现静电保护元件的功能。

[0012] 根据一种实施方式,半导体器件的静电击穿耐量可以在不牺牲其小型化的情况下得到提高。

附图说明

[0013] 图1是表示相关技术中的电路结构的一个例子的视图;

[0014] 图2是表示包含一种实施方式的半导体元件的电路结构的一个例子的视图;

[0015] 图3是表示所述实施方式中的半导体元件的平面装置结构的平面图;

[0016] 图4是沿着图3中的A-A线截取的截面图;

- [0017] 图5是沿着图3中的B-B线截取的截面图；
- [0018] 图6A是与图4相对应的示意图；
- [0019] 图6B是显示I-V曲线的图表；
- [0020] 图7A是与图4相对应的示意图；
- [0021] 图7B是显示I-V曲线的图表；
- [0022] 图8A是与图4相对应的示意图；
- [0023] 图8B是显示I-V曲线的图表；
- [0024] 图9A是与图4相对应的示意图；
- [0025] 图9B是显示I-V曲线的图表；
- [0026] 图10A是表示所考虑的技术中的一种装置结构的示意图；
- [0027] 图10B是显示所考虑的技术中的I-V曲线的图表；
- [0028] 图11A和11B都是表示所述实施方式的半导体器件的生产步骤的截面图；
- [0029] 图12A是表示在图11A的生产步骤之后的半导体器件的生产步骤的截面图；
- [0030] 图12B是表示在图11B的生产步骤之后的半导体器件的生产步骤的截面图；
- [0031] 图13A是表示在图12A的生产步骤之后的半导体装置的生产步骤的截面图；
- [0032] 图13B是表示在图12B的生产步骤之后的半导体装置的生产步骤的截面图；
- [0033] 图14A是表示在图13A的生产步骤之后的半导体装置的生产步骤的截面图；
- [0034] 图14B是表示在图13B的生产步骤之后的半导体器件的生产步骤的截面图；
- [0035] 图15A是表示在图14A的生产步骤之后的半导体器件的生产步骤的截面图；
- [0036] 图15B是表示在图14B的生产步骤之后的半导体器件的生产步骤的截面图；
- [0037] 图16A是表示在图15A的生产步骤之后的半导体器件的生产步骤的截面图；
- [0038] 图16B是表示在图15B的生产步骤之后的半导体装置的生产步骤的截面图；
- [0039] 图17A是表示在图16A的生产步骤之后的半导体器件的生产步骤的截面图；
- [0040] 图17B是表示在图16B的生产步骤之后的半导体器件的生产步骤的截面图；
- [0041] 图18A是表示在图17A的生产步骤之后的半导体器件的生产步骤的截面图；
- [0042] 图18B是表示在图17B的生产步骤之后的半导体器件的生产步骤的截面图；
- [0043] 图19A是表示在图18A的生产步骤之后的半导体器件的生产步骤的的截面图；
- [0044] 图19B是表示在图18B的生产步骤之后的半导体器件的生产步骤的截面图；
- [0045] 图20A是表示在图19A的生产步骤之后的半导体器件的生产步骤的截面图；
- [0046] 图20B是表示在图19B的生产步骤之后的半导体器件的生产步骤的截面图；
- [0047] 图21A是表示在图20A的生产步骤之后的半导体器件的生产步骤的截面图；
- [0048] 图21B是表示在图20B的生产步骤之后的半导体器件的生产步骤的截面图；
- [0049] 图22是表示第一变形例的半导体元件的平面装置结构的平面图；
- [0050] 图23是沿图22中的A-A线截取的截面图；
- [0051] 图24是表示第二变形例的半导体元件的平面装置结构的平面图；
- [0052] 图25是沿图24中的A-A线截取的截面图；
- [0053] 图26是表示第三变形例的半导体元件的截面装置结构的截面图。

具体实施方式

[0054] 为了方便起见,必要时将实施方式分为多个部分或多个实施方式进行描述。但是,除非另外说明,这些多个部分或多个实施方式不是彼此独立的,而是以下述方式有关联的:一者可以是另一者的一部分或整体的变形例、具体描述、补充描述等。

[0055] 在下面的实施方式中,当谈到元件的数字等(包括件数、数值、数量、范围等)时,该数字并不限于特定的数量,而是可以多于或少于该特定的数量,除非另有特别说明或者除了原理上显然该数字应限定为特定数量之外。

[0056] 另外,在接下来的实施方式中,毋庸置疑,组成元件(包括组成步骤等)不总是必需的,除非另有特别说明或者除了原理上它们显然是必需的之外。

[0057] 类似地,在接下来的实施方式中,当提到组成元件等的形状和位置关系等时,还包括那些与所述形状等相同或相似的情形,除非另有特别说明或者原理上显然不是。这也适用于上面描述的数值和范围。

[0058] 此外,在用来说明实施方式的所有附图中,原则上,相同部件附上相同的符号,省略其重复说明。为了使附图容易理解,即使在平面图中也可以画上阴影线。〈关于改善的考虑〉

[0059] 本说明书中提到的“相关技术”不是已知的相关技术,而是具有由本发明的发明人新发现的新技术,其中意在描述一种新技术思想的前提技术(未知技术)。

[0060] 图1是表示该相关技术中的电路结构的一个例子的视图。在图1中,例如,相关技术中的电路具有:电源端子VCC,将电源电位提供给该电源端子VCC;接地端子GND,将参考电位(GND电位)提供给该接地端子GND;以及输入端子IN,向该输入端子IN输入信号。如图1所示,在相关技术的电路中,将输入晶体管Tr电连接在电源端子VCC和接地端子GND之间。具体而言,例如,输入晶体管Tr由PNP双极性晶体管组成,输入晶体管Tr的发射极与电源端子VCC电连接,并且输入晶体管Tr的集电极与接地端子GND电连接。另一方面,输入晶体管Tr的基极与输入端子IN电连接。

[0061] 在这种情况下,如图1所示,在相关技术中,将包括电阻元件R和电容元件C的低通滤波器连接在输入晶体管Tr的基极和输入端子IN之间。因此,在相关技术中,可抑制包括在从输入端子IN输入的信号中的高频噪声被输入至晶体管Tr的基极。

[0062] 此外,在相关技术中,设置有作为静电保护元件的二极管D,以防止由于静电引起的激增电荷或浪涌电荷(surge charge)施加于输入端子IN而导致输入晶体管Tr的击穿。具体地,二极管D的阳极电连接到到输入端子IN,并且其阴极电连接到接地端子GND。

[0063] 因此,例如,当正浪涌电荷进入输入端子IN时,向连接在输入端子IN和接地端子GND之间的二极管D施加反向电压。当反向电压超过二极管D的击穿电压时,反向电流流过二极管D,使得进入输入端子IN的正浪涌电荷流入接地端子GND。

[0064] 在此,当反向电流流过二极管D时,近乎恒定的电压施加于二极管D的两端。因此,即使当正浪涌电荷进入输入端子IN时,由于反向电流流过二极管D,在输入端子IN和接地端子GND之间只施加有近似恒定的电压。因此,抑制由正浪涌电荷引起的大电压被施加到输入晶体管Tr,其结果,可防止输入晶体管Tr的静电击穿。

[0065] 因此,在相关技术中,通过设置具有消除高频噪声功能的低通滤波器和具有防止由浪涌电荷导致的静电击穿功能的二极管D可改善相关技术中的电路的可靠性。

[0066] 然而,在相关技术中,设置的专用静电保护元件(二极管D)与在半导体器件中形成的电路的原有操作不相关。在这种情况下,半导体器件的小型化受到阻碍。由此,着眼于在不牺牲半导体器件小型化的前提下提高半导体器件的静电击穿耐量,相关技术还有改进的余地。

[0067] 因此,在本发明实施方式中进行设计,使得半导体器件的静电击穿耐量在不牺牲其小型化的情况下得到提高。在下文中,将描述进行该设计的实施方式的技术思想。

[0068] <实施方式的基本思想>

[0069] 本实施方式的基本思想是将静电保护元件的功能添加到具有另一功能的另一半导体元件,而不设置专用静电保护元件。也就是说,本实施方式的基本思想是,向具有另一功能的半导体元件还添加作为静电保护元件的功能。因此,根据本实施方式的基本思想,无需提供专用的静电保护元件,从而可以提高半导体器件的静电击穿耐量并实现其小型化。

[0070] 在本实施方式中,具体通过形成具有下述装置结构的半导体元件实现上述基本思想,在所述装置结构中,将具有静电保护功能的寄生双极晶体管添加至具有不同于静电保护功能的电阻元件。在下文中,将描述体现这一基本思想的实施方式的半导体元件。

[0071] <半导体元件的电路结构>

[0072] 图2是表示包含本实施方式的半导体元件的电路结构的一个实施例的视图。如图2所示,本实施方式的电路具有供给有电源电位的电源端子VCC、供给有参考电位的接地端子GND以及输入信号的输入端子IN。如图2所示,在本实施方式的电路中,将输入晶体管Tr电连接在电源端子VCC和接地端子GND之间。具体而言,例如,输入晶体管Tr由PNP双极晶体管组成,输入晶体管Tr的发射极与电源端子VCC电连接,并且输入晶体管Tr的集电极与接地端子GND电连接。另一方面,输入晶体管Tr的基极与输入端子IN电连接。

[0073] 如图2所示,在这种情况下,在本实施方式中,将包括电阻元件R和电容元件C的低通滤波器电连接在输入晶体管Tr的基极和输入端子IN之间。因此,在本实施方式中,也可抑制包括在来自输入端子IN的输入信号中的高频噪声被输入至晶体管Tr的基极。

[0074] 在本实施方式中,设置有具有下述装置结构的半导体元件SD1,其中在该装置结构中,将具有静电保护功能的寄生双极晶体管Q添加到具有不同于静电保护功能的电阻元件R。也就是说,本实施方式的半导体元件SD1具有作为形成低通滤波器的电阻元件R的功能,并且包含充当静电保护元件的寄生双极晶体管Q。因此,根据本实施方式,不需要提供专用的静电保护元件就可以提高半导体器件的静电击穿耐量,并且还可以实现半导体器件的小型化。

[0075] <半导体元件的平面装置结构>

[0076] 接下来,将描述本实施方式的半导体元件的平面装置结构。图3是表示本实施方式的半导体元件SD1的平面装置结构的平面图。如图3所示,本实施方式的半导体元件SD1形成在由包括p型半导体区域的半导体隔离区ISO(isolated semiconductor region)包围的外延层EPI中。外延层EPI由n型半导体层形成,且外延层EPI中形成有包括n型半导体区的半导体隐埋区BSR(buried semiconductor region)。在平面图中,电阻区RR和下沉区SKR(sinker region)形成为包含在半导体隐埋区BSR中。具体而言,电阻区RR由p型半导体区形成,而下沉区SKR由n型半导体区形成。电阻区RR形成为沿x向延伸,下沉区SKR形成为沿x方向延伸并与电阻区RR隔开。也就是说,电阻区RR和下沉区SKR在x方向上平行延伸并在y方向

上彼此隔开。

[0077] 电阻区RR的一端部ED1与多个插头PLG1电连接,并通过这些插头PLG 1与配线WL1连接。另一方面,该电阻区RR的另一端部ED2与多个插头PLG2电连接,并通过这些插头PLG2与配线WL2连接。下沉区SKR与多个插头PLG3电连接,并通过这些插头PLG3与配线WL1连接。因此,该电阻区RR和下沉区SKR通过配线WL1彼此电连接。

[0078] 在此,例如,配线WL1与图2所示的输入端子IN电连接,并且,因此,电阻区RR的一端部与输入端子IN电连接。由于下沉区SKR也与配线WL1电连接,所以,下沉区SKR也与输入端子IN电连接。

[0079] 另一方面,例如,配线WL2与图2所示的电容元件C和输入晶体管Tr的基极电连接,并且,因此,电阻区RR的另一端部通过配线WL2与输入晶体管Tr的基极电连接。

[0080] <半导体元件的截面装置结构>

[0081] 接着,将描述本实施方式的半导体元件的截面装置结构。图4是图3中沿A-A线截取的截面图。如图4所示,本实施方式的半导体元件SD1具有p型半导体衬底1S,在该半导体衬底上形成有包括n型半导体层的外延层EPI。

[0082] 与外延层EPI相比,跨半导体衬底1S和外延层EPI之间的边界形成有半导体隐埋区BSR,该半导体隐埋区BSR是具有杂质浓度臂外延层EPI高的n型半导体区。如图4所示,还形成有与半导体隐埋区BSR间隔开的半导体隔离区ISO,该半导体隔离区ISO包括与半导体衬底1S接触的p型半导体区。半导体隔离区ISO由如下区组成:例如,与半导体衬底1S接触的p型半导体区PR1,在p型半导体区PR1之上形成的p型半导体区PR2,以及具有比p型半导体区PR2更高杂质浓度的p型半导体区PR3。

[0083] 尽管图4中未示出,但如此配置的半导体隔离区ISO与图2中所示的接地端子GND电连接。因此,与半导体隔离区ISO接触的半导体衬底1S也与接地端子GND电连接。由此,通过将半导体衬底1S与半导体隔离区ISO电连接,可以向半导体衬底1S提供稳定的接地电位。也就是说,半导体隔离区ISO具有将半导体元件SD1与形成在外延层EPI中的其他半导体元件电隔离的功能,并具有向半导体衬底1S提供稳定接地电位的功能。

[0084] 接下来,如图4所示,在外延层EPI表面之上形成有隔离绝缘膜(LOCOS)LS,该隔离绝缘膜(LOCOS)LS包括例如由选择性氧化过程形成的氧化硅膜,作为电阻元件的电阻区RR形成在介于隔离绝缘膜LS之间的外延层EPI表面中。该电阻区RR例如由p型半导体区组成。而且,形成的下沉区SKR如图4所示,下沉区SKR与半导体隐埋区BSR接触,到达外延层EPI的表面,并且包括具有比外延层EPI杂质浓度更高的n型半导体区。这种下沉区SKR例如由如下区组成:与半导体隐埋区BSR接触的n型半导体区NR1、以及具有比n型半导体区NR1更高杂质浓度的n型半导体区NR2。

[0085] 随后,如图4所示,在隔离绝缘膜LS上部分地形成有氮化硅膜SNF,在氮化硅膜SNF上形成有多晶硅膜PF。特别是,在与下沉区SKR平面地重叠的位置形成有贯穿隔离绝缘膜LS和氮化硅膜SNF的开口OP,多晶硅膜PF隐埋在开口OP中。也就是说,下沉区SKR从开口OP露出,多晶硅膜PF形成于开口OP中从而与下沉区SKR接触。

[0086] 如图4所示,例如包括氧化硅膜的层间绝缘膜IL形成在外延层EPI上方,从而覆盖多晶硅膜PF和隔离绝缘膜LS表面。层间绝缘膜IL中形成有贯穿该层间绝缘膜IL到达多晶硅膜PF的插头PLG 3。此外,与插头PLG 3电连接的配线WL1形成在层间绝缘膜IL上。因此,如图

4所示,半导体隐埋区BSR、下沉区SKR、多晶硅膜PF、插头PLG 3和配线WL1彼此电连接。

[0087] 接下来,图5是图3中沿B-B线截取的截面图。如图5所示,本实施方式的半导体元件SD1具有半导体衬底1S和形成在半导体衬底1S上的外延层EPI。在外延层EPI中形成有半导体隔离区IS0,在介于半导体隔离区IS0之间的位置形成有半导体隐埋区BSR。在外延层EPI的表面上形成有隔离绝缘膜LS,并且在介于隔离绝缘膜LS之间的外延层EPI的表面中形成电阻区RR。此外,外延层EPI上方形成有层间绝缘膜IL,在层间绝缘膜IL中形成有贯穿层间绝缘膜IL到达电阻区RR的插头PLG1和插头PLG2。也就是说,与电阻区RR的端部ED1电连接的插头PLG1,及与电阻区RR的另一端部ED2电连接的插头PLG2,形成于层间绝缘膜IL中。与插头PLG1电连接的配线WL1,及与插头PLG2电连接的配线WL2形成于层间绝缘膜IL上方。

[0088] 如上所述,例如,如图4所示,半导体隐埋区BSR、下沉区SKR、多晶硅膜PF、插头PLG3和配线WL1彼此之间电连接;并且,例如,如图5所示,电阻区RR的端部ED1和配线WL1彼此电连接。因此,该电阻区RR的一端部ED1、半导体隐埋区BSR、下沉区SKR、多晶硅膜PF、插头PLG3和配线WL1彼此之间电连接。

[0089] 如图4和图5所示,在截面图中,半导体隐埋区BSR的一端部(左端部)ED1和左侧的半导体隔离区IS0之间的距离(第一距离)等于半导体隐埋区BSR的另一端部(右端部)ED2和右侧的半导体隔离区IS0之间的距离(第二距离)。

[0090] 如此配置的半导体元件SD1具有作为电阻元件的功能和作为静电保护元件的功能。具体而言,在本实施方式的半导体元件SD1中,电阻元件由电阻区RR组成,而静电保护元件由寄生双极晶体管组成,该寄生双极晶体管具有作为发射极的电阻区RR、作为基极的外延层EPI和半导体隐埋区BSR以及作为集电极的半导体衬底1S。

[0091] 也就是说,例如,如图4所示,本实施方式的半导体元件SD1包括半导体衬底1S、形成于半导体衬底1S上的外延层EPI、形成于外延层EPI中的电阻区(电阻元件)以及由将电阻区RR作为其组成元件的双极型晶体管形成的静电保护元件。

[0092] 在这种情况下,本实施方式的半导体元件SD1具有半导体隐埋区BSR,该半导体区BSR形成于外延层EPI中,具有比外延层EPI更高的杂质浓度,与电阻区RR电连接,并具有与该电阻区RR相反的导电类型。

[0093] 作为静电保护元件的双极型晶体管由作为发射极的电阻区RR、作为基极的半导体隐埋区和作为集电极的半导体衬底1S构成。

[0094] 在此,例如,如图4所示,本实施方式的半导体元件SD1具有半导体隔离区IS0,在平面图中,半导体隔离区IS0围绕半导体隐埋区BSR,与半导体衬底1S电连接,并具有与半导体衬底1S相同的导电类型。

[0095] <具体的设计数值例>

[0096] 接下来,将描述具体的设计数值例。在图4中,电阻区RR由p型半导体区组成,该电阻区RR的杂质浓度例如约为 1×10^{19} (原子/立方厘米) (atoms/cm³),但不限于此,电阻区的杂质浓度可以在 1×10^{17} (原子/立方厘米) ~ 1×10^{21} (原子/立方厘米) 范围内。

[0097] 外延层EPI由n型半导体层组成。外延层EPI的厚度例如为10 μ m,该外延层的杂质浓度例如约为 1×10^{15} (原子/立方厘米)。但不限于此,外延层EPI的厚度可以是5 μ m ~ 8 μ m,杂质浓度可在 1×10^{14} (原子/立方厘米) ~ 1×10^{17} (原子/立方厘米) 范围内。

[0098] 下沉区SKR由n型半导体区NR1和n型半导体区NR2组成。n型半导体区NR1的杂质浓

度例如为 5×10^{16} (原子/立方厘米), n型半导体区NR2的杂质浓度例如为 1×10^{20} (原子/立方厘米)。但不限于此, n型半导体区NR1的杂质浓度例如可以为 5×10^{15} (原子/立方厘米), n型半导体区NR2的杂质浓度例如可以为 1×10^{21} (原子/立方厘米)。在此, 优选地, 下沉区SKR的杂质浓度是外延层EPI的杂质浓度的10倍或10倍以上。

[0099] 半导体隐埋区BSR由n型半导体层组成, 其杂质浓度例如为约 2×10^{18} (原子/立方厘米), 但不限于此, 其杂质浓度可约为 1×10^{20} (原子/立方厘米)。

[0100] 半导体隔离区ISO由p型半导体区PR1、p型半导体区域PR2和p型半导体区PR3组成。p型半导体区PR1的杂质浓度例如为约 5×10^{17} (原子/立方厘米), 但不限于此, 可以约为 1×10^{20} (原子/立方厘米)。p型半导体区PR2和p型半导体区PR3中每一个的杂质浓度例如约为 1×10^{19} (原子/立方厘米), 但不限于此, 可以约为 1×10^{20} (原子/立方厘米)。半导体隔离区ISO具有将包括电阻区RR的电阻元件与其他半导体元件隔离和固定半导体衬底1S的电位的双重功能。虽然未在图4中示出, 但半导体隔离区ISO通过插头与配线电连接, 并最终与图2所示的接地端子GND电连接。

[0101] 在图4中, 下沉区SKR通过多晶硅膜PF和插头PLG3与配线WL1连接。另一方面, 在图5中, 该电阻区RR的一端部(左端部)ED1通过插头PLG1与配线WL1电连接, 电阻区RR的另一端部(右端部)ED2通过插头PLG2与配线WL2电连接。配线WL1与如图2所示的输入端子IN电连接, 而配线WL2与图2所示的输入晶体管Tr的基极电连接。

[0102] 在此, 插头PLG1~PLG3例如均由钨插头组成, 但不限于此, 也可由铝插头组成。配线WL1和配线WL2例如均由铝配线组成。

[0103] 在图4和图5中, 半导体隐埋区BSR和p型半导体区PR1之间的距离大约为 $1\mu\text{m}$ 。半导体隐埋区BSR和p型半导体区域PR1之间的反向结击穿电压是最低的, 当半导体隐埋区BSR和p型半导体区PR1之间产生50V的电位差时, 漏电流就开始在半导体隐埋区BSR和p型半导体区PR1之间流动。半导体隐埋区BSR和p型半导体区域PR1之间的距离可以在 $0 \sim 20\mu\text{m}$ 的范围内。然而, 理想的是将该距离设计成, 当正浪涌电荷进入如图2所示的输入端子IN时, 首先击穿半导体隐埋区BSR和p型半导体区PR1之间的空间, 并且反向结击穿电压需要高于产品规格的最大电压并低于图2所示的输入晶体管Tr的击穿电压。

[0104] <半导体元件的运行>

[0105] 本实施方式的半导体元件SD1如上所述那样配置, 作为静电保护元件的寄生双极晶体管的运行将在下文描述。半导体元件的SD1的运行, 特别是在正浪涌电荷进入图2所示的输入端子IN的情况下的运行, 将在下文描述。将通过使用与图4相对应的示意图和当浪涌电荷阶梯式增加时获取的I-V曲线来描述。

[0106] 图6A是与图4相对应的示意图, 图6B是表示I-V曲线的图表。在图6B中, I-V曲线的横轴表示当浪涌电荷进入如图2所示的输入端子IN时施加于图3和图5所示的电阻区RR一端部ED1的电压。另一方面, I-V曲线的纵轴表示流过电阻区RR一端部ED1的电流。该I-V曲线表明, 电流越大, 越多浪涌电荷被传递到图2所示的接地端子GND, 即静电击穿耐量变高。

[0107] 首先, 图6A是说明根据进入图2所示的输入端子IN的浪涌电荷向电阻区RR的一端部ED1施加40V电位的情况的示意图。如图6A所示, 向半导体隔离区ISO和半导体衬底1S施加0V的参考电位, 该半导体隔离区ISO和半导体衬底1S与图2中所示的接地端子GND电连接。另一方面, 向与图2所示的输入端子IN电连接的电阻区RR、下沉区SKR、半导体隐埋区BSR和

外延层EPI施加40V的电位。这一情形对应于图6B所示的I-V曲线的点(1),且没有电流流过该电阻区RR的端部ED1。换言之,40V的电位是产品规格中正常操作中待施加的电位范围内的电位,并且,40V的电位是根据进入输入端子IN的浪涌电荷不发生静电击穿的水平。由此,不会产生从电阻区RR的一端部ED1流向接地端子GND的电流,即向接地端子GND传递浪涌电荷的电流。

[0108] 接下来,图7A是与图4相对应的示意图;图7B是显示I-V曲线的图表。图7A是详细说明根据进入图2所示的输入端子IN的浪涌电荷向电阻区RR一端部ED1施加50V电位的情况的示意图。如图7A所示,电阻区RR的一端部ED1的电位固定为50V的电位。另一方面,在本实施方式的半导体元件SD1中,在半导体隐埋区BSR和半导体隔离区ISO之间施加50V的反向偏压,结果是,漏电流开始在半导体隐埋区BSR和半导体隔离区ISO之间流动。因此,如图7A所示,在外延层EPI、下沉区SKR和半导体隐埋区BSR中发生由漏电流的流动引起的依照欧姆定律的电位降(potential drop)。因此,如图7A所示,外延层EPI的电位例如变为约49.7V,半导体隐埋区BSR的电位例如变为约49.5V。如上所述,在图7A所示的情形中,电阻区RR的一端部ED1的电位固定为50V的电位,但是,与电阻区RR接触的外延层EPI的电位变得低于电阻区RR的一端部ED1的电位。因此,向电阻区RR的一端部ED1和外延层EPI之间的p-n结施加正向偏压,但这种正向偏压(0.3V)低于p-n结的内建电位(0.7V),因此,没有电流从电阻区RR一端部ED1流向外延层EPI。图7A所示的情形对应于图7B所示的I-V曲线的点(2)。

[0109] 随后,图8A是与图4相对应的示意图;图8B是显示I-V曲线的图表。图8A是详细说明根据进入图2所示的输入端子IN的浪涌电荷向电阻区RR一端部ED1施加110V的电位的情况的示意图。如图8A所示,电阻区RR的一端部ED1的电位固定为110V的电位。另一方面,在本实施方式的半导体元件SD1中,在半导体隐埋区BSR和半导体隔离区ISO之间施加110V的反向偏压,结果是,漏电流在半导体隐埋区BSR和半导体隔离区ISO之间流动。因此,如图8A所示,在外延层EPI、下沉区SKR和半导体隐埋区BSR中,漏电流增加,以至于依照欧姆定律的电位降增加。因此,如图8A所示,外延层EPI的电位例如变为约109.3V,半导体隐埋区BSR的电位例如变为109V。如上所述,在图8A所示的情形中,电阻区RR的一端部ED1的电位固定为110V的电位,但是,与电阻区RR接触的外延层EPI的电位变得比电阻区RR的一端部ED1的电位相当低。因此,向电阻区RR的一端部ED1和外延层EPI之间的p-n结施加正向偏压,且该正向偏压(0.7V)达到P-N结的内建电位(0.7V),因此,电流开始从电阻区RR一端部ED1流向外延层EPI。也就是说,在具有作为发射极的电阻区RR、作为基极的外延层EPI、作为集电极的半导体衬底1S的寄生双极晶体管(PNP双极型晶体管)中,在图8A所示的情形中,电流开始从发射极流向基极。图8A所示的情形对应于图8B所示的I-V曲线的点(3),且对应于寄生双极晶体管开始运行之前紧接的点。

[0110] 此后,图9A是与图4相对应的示意图;图9B是显示I-V曲线的图表。图9A是详细说明根据进入图2所示的输入端子IN的浪涌电荷向电阻区RR的一端部ED1施加110V电位时寄生双极晶体管导通的情况的示意图。如图9A所示,在具有作为发射极的电阻区RR、作为基极的外延层EPI、作为集电极的半导体衬底1S的寄生双极晶体管(PNP双极型晶体管)中电流从发射极流向基极,由此,寄生双极晶体管被导通。因此,大电流从电阻区RR的一端部ED1经由外延层EPI和半导体隐埋区BSR流向半导体衬底1S。图9A所示的情形对应于图9B中所示的I-V曲线的范围(4)。如图9B所示,当寄生双极晶体管被导通时,大电流从电阻区RR的一端部ED1

(发射极)流向半导体衬底1S(集电极)。因此,进入图2所示的输入端子IN的浪涌电荷被传送到接地端子GND,由此,待向电阻区RR的一端部ED1施加的电位降低。图9B所示的点(5)表示,在该点,大电流导致本实施方式的半导体元件SD1热故障的后果为不能进一步流过电流,且该点的电流值表示本实施方式的半导体元件SD1的静电击穿耐量。

[0111] 如上所述,根据本实施方式的半导体元件SD1,当进入图2所示的输入端子IN的浪涌电荷达到预定的电荷量时,寄生双极晶体管被导通,由此可引起浪涌电荷流向接地端子GND。也就是说,根据本实施方式的半导体元件SD1,在半导体元件SD1中设置的寄生双极晶体管被导通的情况下,在输入端子IN的电位达到与输入端子IN连接的输入晶体管Tr的击穿电压之前,浪涌电荷引起的输入端子IN的电位的增加受到抑制,因此,可有效地抑制由浪涌电荷引起的输入晶体管Tr的击穿。

[0112] <实施方式的特征>

[0113] 现在描述本实施方式的特征。本实施方式的第一个特征是代替设置专用的静电保护元件,将静电保护元件的功能添加到具有另一功能的另一半导体元件。也就是说,在本实施方式中具有另一功能的半导体元件中还加入作为静电保护元件的功能。因此,根据本实施方式的第一特征,无需设置专用的静电保护元件,并且,因此可以提高半导体器件的静电击穿耐量,并且还可实现其小型化。

[0114] 在本实施方式中,例如,如图2所示,半导体元件SD1具有如下装置结构,在该装置结构中添加有具有静电保护功能的寄生双极晶体管Q,该半导体元件SD1具体形成于具有不同于静电保护功能的的功能的电阻元件R中。具体而言,在本实施方式中,如图4所示,将作为静电保护元件的寄生双极晶体管装置结构添加到具有作为电阻元件的电阻区RR的装置结构中。换言之,在图4所示的半导体元件SD1的装置结构中,寄生双极晶体管由PNP双极型晶体管形成,该PNP双极型晶体管具有作为发射极的电阻区RR、作为基极的外延层EPI和半导体隐埋区BSR、以及作为集电极的半导体衬底1S。在本实施方式中,对寄生双极晶体管的装置结构进行设计以使其作为静电保护元件,这种设计是本实施方式的第二个特征。

[0115] 也就是说,本发明实施方式的第二个特征是形成例如图4所示的下沉区SKR,该下沉区SKR与半导体隐埋区BSR接触,到达外延层EPI的表面,并包括具有比外延层EPI更高杂质浓度的n型半导体区。换言之,本实施方式的第二个特征是在外延层EPI中形成包括n型半导体区NR2的下沉区SKR。

[0116] 因此,如上所述,根据本实施方式的半导体元件SD1,当进入图2所示的输入端子IN的浪涌电荷达到预定的电荷量时,可通过寄生双极晶体管导通使得浪涌电荷流向接地端子GND。

[0117] <半导体元件的运行>

[0118] 也就是说,根据本实施方式的半导体元件SD1,由于半导体元件SD1中设置的寄生双极晶体管被导通,在输入端子IN的电位达到与输入端子IN连接的输入晶体管Tr的击穿电压之前,浪涌电荷引起的输入端子IN的电位的增加受到抑制,因此,可有效地抑制由浪涌电荷引起的输入晶体管Tr的击穿。

[0119] 在本实施方式中,包括n型半导体区NR2的下沉区SKR具体设置在漏电流路径中(如图7A所示的电流路径包括:依次为,下沉区SKR→半导体隐埋区BSR→半导体隔离区ISO)(第二特征)。因此,根据本实施方式,相对于没有下沉区SKR的装置结构,寄生双极晶体管可更

稳定地运行。这一点将在下文中描述。

[0120] 图10A和图10B是表示所考虑的技术的示意图,在该技术中没有形成包括n型半导体区NR2的下沉区SKR。具体而言,图10A是表示在所考虑的技术中的一种装置结构的示意图,图10B是显示在所考虑的技术中的I-V曲线的图表。

[0121] 首先将考虑这种情况,即在如图10A所示的所考虑的技术中没有形成下沉区SKR。在这种情况下,如果浪涌电荷导致电位突然变化,则向p-n结施加反向偏压,并且在图10A所示的半导体隐埋区BSR和半导体隔离区ISO之间的局部深区引起由反向偏压导致的p-n结的击穿。然而,在所考虑的技术中,击穿发生后,击穿产生的漏电流按照如下顺序流过如下电流路径(即图10A中箭头指示的路径):n型半导体区NR2→外延层EPI的表面→半导体隔离区ISO,并且该漏电流在增大。当外延层EPI的表面这样作为漏电流的电流路径时,即使微小的电流也能在外延层EPI的表面形成如“蚯蚓”爬行的“电流烧痕(current burn mark)”,并且,沿着该“电流烧痕”及在外延层EPI和半导体隔离区ISO之间产生短路故障。也就是说,在所考虑的技术中,由于漏电流流过外延层EPI的表面,所以,在外延层EPI的表面上形成有“电流烧痕”,并且由于这种“电流烧痕”,外延层EPI和半导体隔离区ISO相互电导通。

[0122] 另一方面,在例如图4所示的本实施方式中的半导体元件SD1的装置结构中,形成有包括n型半导体区NR1的下沉区SKR。在这种情况下,如图7A所示,在半导体隐埋区BSR和半导体隔离区ISO之间的局部深区中产生由浪涌电荷导致的p-n结的击穿。由于在本实施方式中形成有具有比外延层EPI更高的杂质浓度的下沉区SKR,因此,即使漏电流随后增加,则漏电流也流入具有低电阻的下沉区SKR,而不流过具有高电阻的外延层EPI的表面。也就是说,当采用本实施方式的第二个特征(其中形成有包括n型半导体区NR1的下沉区SKR)时,外延层EPI的表面不会作为漏电流的电流路径。因此,根据本实施方式的半导体元件SD1可以避免在外延层EPI的表面上形成“电流烧痕”,由此,可以防止外延层EPI和半导体隔离区ISO之间由“电流烧痕”引起的导电故障。因此,根据本发明实施方式的半导体元件SD1,形成有包括n型半导体区NR1的下沉区SKR,由此可引起大漏电流流动,并且,作为结果,可运行寄生双极晶体管且没有形成“电流烧痕”。

[0123] 在本实施方式中,之所以在击穿p-n结后产生的漏电流路径可以稳定地保持在半导体隐埋区BSR和半导体隔离区ISO之间的局部深度位置,如上所述,是由于设置了包括n型半导体区NR1的下沉区SKR。也就是说,在本实施方式中,通过设置具有高杂质浓度和低电阻值的下沉区SKR使半导体隐埋区BSR的电位稳定地固定,因此,半导体隐埋区BSR和半导体隔离区ISO之间的电场可以保持较大。也就是说,通过包括具有比外延层EPI更高杂质浓度的n型半导体区NR1的下沉区SKR,流过下沉区SKR的漏电流路径的电阻值降低。因此,半导体隐埋区BSR的电位更加不易受电压降的影响,并且半导体隐埋区BSR和半导体隔离区ISO之间的电位差可以保持稳定,由此,半导体隐埋区BSR和半导体隔离区ISO之间的电场可以保持较大。

[0124] 另一方面,在所考虑的不设置下沉区SKR的技术中,例如,如图10A所示,具有低杂质浓度和高电阻值的外延层EPI仅存在于n型半导体区NR2和半导体隐埋区BSR之间。因此,由于外延层EPI产生的电压降随着漏电流的增加而增加,这样,半导体隐埋区BSR的电位受到该电压降很大影响,从而使得半导体隐埋区BSR和半导体隔离区ISO之间的电位差变小。这意味着,半导体隐埋区BSR和半导体隔离区ISO之间的电场很难保持较大。因此,在所考虑

的技术中,随着漏电流增加,如图10A中箭头表示的漏电流路径更可能出现故障并且不是在半导体隐埋区BSR和半导体隔离区ISO之间的局部深区,所以漏电流沿这些箭头表示的路径的流过。其结果,例如“蚯蚓”爬行的“电流烧痕”形成于外延层EPI的表面上,并且,沿着该“电流烧痕”,在外延层EPI和半导体隔离区ISO之间引起短路故障。也就是说,在所考虑的技术中,由于漏电流流过外延层EPI的表面,结果在外延层EPI的表面上形成“电流烧痕”,并且由于这种“电流烧痕”,外延层EPI和半导体隔离区ISO相互导电。

[0125] 图10B显示在所考虑的技术中的I-V曲线的图表,从图10B所示的点(6)可以看出,电流急剧增大,电压降低。如上所述,这是因为,在所考虑的技术中,漏电流沿着外延层EPI的表面流过,使得外延层EPI的表面上形成“电流烧痕”,由此,外延层EPI和半导体隔离区ISO相互导电。也就是说,在所考虑的技术中,在寄生双极晶体管被导通之前,“电流烧痕”导致外延层EPI和半导体隔离区ISO之间发生短路故障。因此,在所考虑的技术中,点(6)所指示的电流值展现了传递浪涌电荷的能力,可见这个电流值仅仅为本实施方式中(图9B中的点(5))传递浪涌电荷的能力的约十分之一。

[0126] 由此可以看出,为了提高传递浪涌电荷的能力,稳定地导通寄生双极晶体管是非常重要的。在这方面,本实施方式的半导体元件SD1中形成有包括具有比外延层EPI更高杂质浓度的n型半导体区NR1的下沉区SKR,并且,由此,可以在外延层EPI的表面上不形成“电流烧痕”的情况下导通寄生双极晶体管。因此,根据本实施方式的第二个特征(即形成有包括n型半导体区NR1的下沉区SKR),具有传递浪涌电荷功能的寄生双极晶体管可稳定地被导通。由此,浪涌电荷引起的输入端子IN的电位的增加在达到与输入端子IN连接的输入晶体管Tr的击穿电压之前被抑制,并且,因此,根据本实施方式,可有效地抑制浪涌电荷引起的输入晶体管Tr的击穿。

[0127] <半导体器件的制造方法>

[0128] 接下来,将结合附图描述包括本实施方式的半导体元件SD1的半导体器件的制造方法。

[0129] 图11A是表示与图4对应的半导体器件的生产步骤的截面图,图11B是表示与图5对应的半导体器件的生产步骤的截面图。首先,如图11A和图11B所示,提供引入了诸如硼(B)之类的p型杂质的半导体衬底1S。然后,通过使用光刻技术和离子注入工艺,在半导体衬底1S的表面上形成包括n型半导体区的半导体隐埋区BSR和P型半导体区PR1。然后,通过使用外延生长工艺,在半导体衬底1S上形成包括n型半导体层的外延层EPI。如图11A和图11B所示,在此时通过进行热处理,使所述半导体隐埋区BSR和p型半导体区PR1形成为跨半导体衬底1S和外延层EPI。然后,通过使用例如热氧化工艺,在外延层EPI的表面上形成氧化硅膜OXF。

[0130] 接下来,图12A是表示在图11A的生产步骤之后的半导体器件的生产步骤的截面图,图12B是表示在图11B的生产步骤之后的半导体器件的生产步骤的截面图。如12A和图12B所示,通过使用光刻技术和离子注入工艺,在外延层EPI的表面中形成n型半导体区NR和p型半导体区PR。

[0131] 随后,图13A是表示在图12A的生产步骤之后的半导体器件的生产步骤的截面图,图13B是表示在图12B的生产步骤之后的半导体器件的生产步骤的截面图。如13A和图13B所示,对形成了外延层EPI的半导体衬底1S进行热处理。从而,通过使n型杂质(例如,磷)从形

成于外延层EPI表面上的n型半导体区NR进行扩散,形成通向半导体隐埋区BSR的n型半导体区NR1。n型半导体区NR1的杂质浓度高于外延层EPI的杂质浓度。此外,通过使p型杂质(例如,硼)从形成于外延层EPI的表面中的p型半导体区PR进行扩散,形成通向p型半导体区域PR1的p型半导体区PR2。

[0132] 随后,图14A是表示在图13A的生产步骤之后的半导体器件的生产步骤的截面图,图14B是表示在图13B的生产步骤之后的半导体器件的生产步骤的截面图。如14A和图14B所示,通过使用例如选择性氧化工艺,在外延层EPI的表面的局部区域形成隔离绝缘膜LS。

[0133] 接下来,图15A是表示在图14A的生产步骤之后的半导体器件的生产步骤的截面图,图15B是表示在图14B的生产步骤之后的半导体器件的生产步骤的截面图。如15A和图15B所示,通过使用光刻技术和离子注入工艺,在外延层EPI表面的局部区域形成包括p型半导体区的电阻区,以及在与p型半导体区PR2平面重叠的位置形成p型半导体区PR3。由此,形成包括p型半导体区PR1、p型半导体区PR2和p型半导体区PR3的半导体隔离区ISO。

[0134] 随后,图16A是表示在图15A的生产步骤之后的半导体器件的生产步骤的截面图,图16B是表示在图15B的生产步骤之后的半导体器件的生产步骤的截面图。如图16A和图16B所示,通过使用例如CVD(化学气相沉积)工艺,在外延层EPI表面中形成的隔离绝缘膜LS上形成氮化硅薄膜SNF。然后,通过使用光刻技术和蚀刻技术,将n型半导体区NR1上的氮化硅膜SNF和隔离绝缘膜LS去除。由此,形成露出n型半导体区NR1的开口。

[0135] 随后,图17A是表示在图16A的生产步骤之后的半导体器件的生产步骤的截面图,图17B是表示在图16B的生产步骤之后的半导体器件的生产步骤的截面图。如17A和图17B所示,多晶硅膜PF形成于包括开口OP内侧的氮化硅膜SNF上。多晶硅膜PF可通过使用例如CVD工艺形成。然后,通过使用例如离子注入工艺,将例如砷(As)的n型杂质引入多晶硅膜PF中。

[0136] 接下来,图18A是表示在图17A的生产步骤之后的半导体器件的生产步骤的截面图,图18B是表示在图17B的生产步骤之后的半导体器件的生产步骤的截面图。如18A和图18B所示,通过对半导体衬底1S上进行热处理,在开口OP中,引入到多晶硅膜PF中的例如砷(As)的n型杂质扩散至形成在外延层EPI表面上的n型半导体区NR1,从而形成n型半导体区NR2。由此,可形成包括n型半导体区NR1和n型半导体区NR2的下沉区SKR。

[0137] 随后,图19A是表示在图18A的生产步骤之后的半导体器件的生产步骤的截面图,图19B是表示在图18B的生产步骤之后的半导体器件的生产步骤的截面图,如19A和图19B所示,通过使用光刻技术和蚀刻技术,图案化多晶硅膜PF和氮化硅膜SNF。通过图案化,将电阻区RR和半导体隔离区ISO上的多晶硅膜PF和氮化硅薄膜SNF去除。

[0138] 接下来,图20A是表示在图19A的生产步骤之后的半导体器件的生产步骤的截面图,图20B是表示在图19B的生产步骤之后的半导体器件的生产步骤的截面图。如20A和图20B所示,形成包括例如氧化硅膜的层间绝缘膜IL。然后,如图20B所示,形成连接电阻区RR的一端部ED1的插头PLG1,以及形成连接电阻区RR的另一端部ED2的插头PLG2。此外,如图20A所示,形成连接与下沉区SKR电连接的多晶硅膜PF的插头PLG3。

[0139] 随后,图21A是表示在图20A的生产步骤之后的半导体器件的生产步骤的截面图,图21B是表示在图20B的生产步骤之后的半导体器件的生产步骤的截面图。如21A和图21B所示,通过使用例如溅射工艺,在层间绝缘膜IL上形成铝膜。然后,通过使用光刻技术和蚀刻技术图案化铝膜。由此,形成均包括铝膜的配线WL1和配线WL2。此时,配线WL1形成为与插头

PLG1和插头PLG3电连接,配线WL2形成为与插头PLG2电连接。可以以上述方式生产本实施方式的半导体器件。

[0140] <第一变形例>

[0141] 接下来,将描述本实施方式的第一变形例的半导体元件SD2的装置结构。图22是表示第一变形例的半导体元件SD2的平面装置结构的平面图。如图22所示,第一个变形例的半导体元件SD2具有被半导体绝缘区ISO围绕的外延层EPI,在平面图中,包括在外延层EPI中的半导体隐埋区BSR形成为沿x方向延伸。此外,在平面图中,形成包括在半导体隐埋区BSR中的RR区和SKR区,RR区和SKR区都是沿x方向的直线布置。因此,根据第一变形例,可减小半导体元件SD2的平面尺寸。

[0142] 图23是沿图22中的A-A线截取的截面图。如图23所示,通过下沉区SKR、多晶硅膜PF和插头PLG3,半导体隐埋区BSR与配线WL1连接。同时,形成的电阻区RR沿x方向排列,并且与下沉区SKR间隔开,并且,电阻区RR的一端部ED1通过插头PLG1与配线WL1连接。因此,电阻区RR和半导体隐埋区BSR彼此电连接。电阻区RR的另一端部ED2通过插头PLG2与配线WL2连接。

[0143] 按照上面的描述配置第一变形例的半导体元件SD2。在按照上述配置的第一变形例的半导体元件SD2中,例如,如图22所示,下沉区SKR被布置在与电阻区RR的一端部ED1间隔开并邻近的位置,因此,下沉区SKR和电阻RR沿x方向的直线布置。因此,根据第一变形例,可减小半导体元件SD2的平面布局区域。也就是说,根据第一变形例,可实现半导体元件SD2的小型化,该小型化通过如下效果实现:基于将具有静电保护功能的寄生双极晶体管添加到具有不同于静电保护功能的电阻元件的基本思想减少尺寸;基于其中下沉区SKR和电阻区RR沿x方向的直线布置的结构,减少平面尺寸的作用。

[0144] <第二变形例>

[0145] 随后,将描述本实施方式的第二变形例的半导体元件SD3的装置结构。图24是表示第二变形例的半导体元件SD3的平面装置结构的平面图。如图24所示,第二变形例的半导体元件SD3具有被半导体绝缘区ISO围绕的外延层EPI。此外,平面图中,半导体隐埋区BSR形成为被包括在外延层EPI中。另外,形成在平面图中包括在半导体隐埋区BSR中并沿x方向延伸的电阻区RR。另外,还形成包括在平面图中的半导体隐埋区BSR中的下沉区SKR。在这种情况下,如图24所示,在平面图中,下沉区SKR具有沿x方向延伸的P1部分和沿x方向延伸并与P1部分平行的P2部分。如图24所示,在平面图中,电阻区RR布置在介于下沉区SKR的P1部分和P2部分之间的位置。

[0146] 图25是沿图24中的A-A线截取的截面图。如图25所示,下沉区SKR的P1部分与半导体隐埋区BSR的左端部连接,下沉区SKR的P2部分与半导体隐埋区BSR的右端部连接。电阻区RR形成在半导体隐埋区BSR上方的外延层EPI的表面中。因此,如图25所示,可以看出,电阻区RR形成为插在下沉区SKR的P1部分和P2部分之间。

[0147] 如上所述,本实施方式的技术思想还可体现在图24和图25中所示的第二变形例的半导体元件SD3的结构上。

[0148] <第三变形例>

[0149] 接下来,将描述本实施方式的第三变形例的半导体元件SD4的装置结构。图26是表示第三变形例的半导体元件SD4的截面装置结构的截面图。如图26所示,在截面图中,第三变形例的半导体元件SD4的特征是,半导体隐埋区BSR的一端部A1和半导体隔离区ISO的一

端部B1之间的距离L1小于半导体隐埋区BSR的另一端部A2和半导体绝缘区ISO的另一端部B2之间的距离L2。

[0150] 在这种情况下,半导体隐埋区BSR的一端部A1和半导体隔离区ISO的一端部B1之间的电场强度高于半导体隐埋区BSR的另一端部A2和半导体绝缘区ISO的另一端部B2之间的电场强度。因此,只在半导体隐埋区BSR的一端部A1和半导体隔离区ISO的一端部B1之间发生击穿,导致漏电流流动。也就是说,根据第三变形例,漏电流路径是固定的,因此可以获得稳定的电流,从而可以稳定地导通寄生双极晶体管。

[0151] 基于本发明的优选实施方式,对发明人作出的发明进行了具体描述,但是,不用说,本发明并不限于这些实施方式,在不背离本发明的主旨的范围内可对本发明做出各种修改。

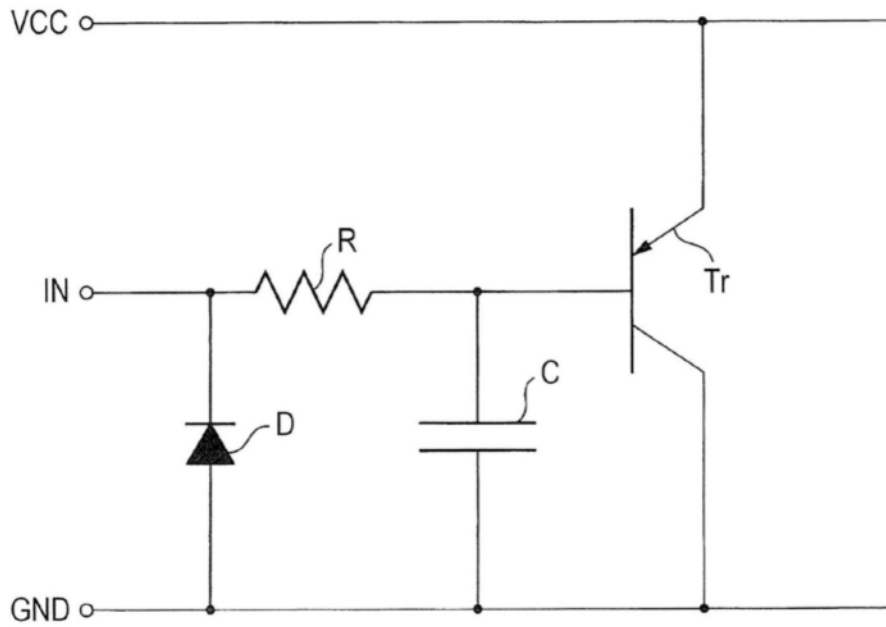


图1

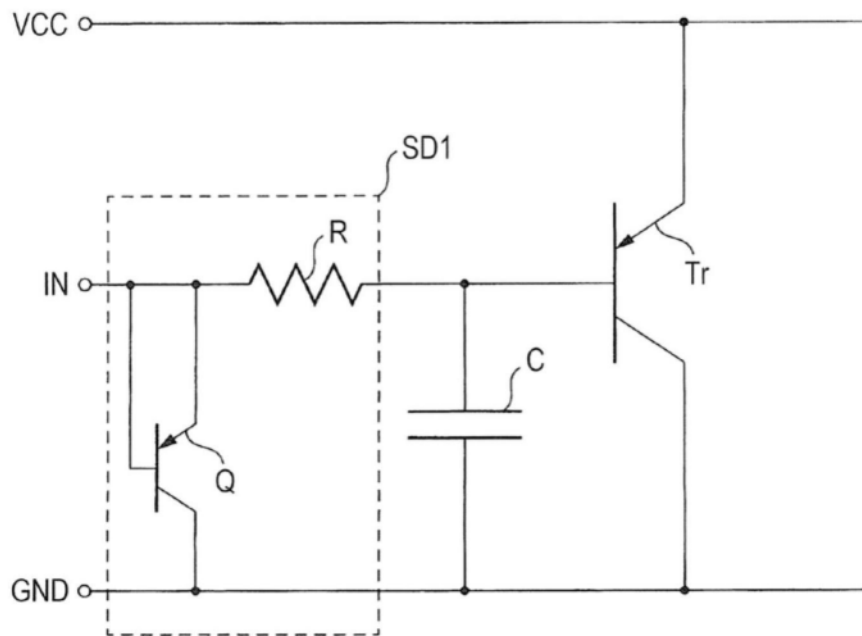


图2

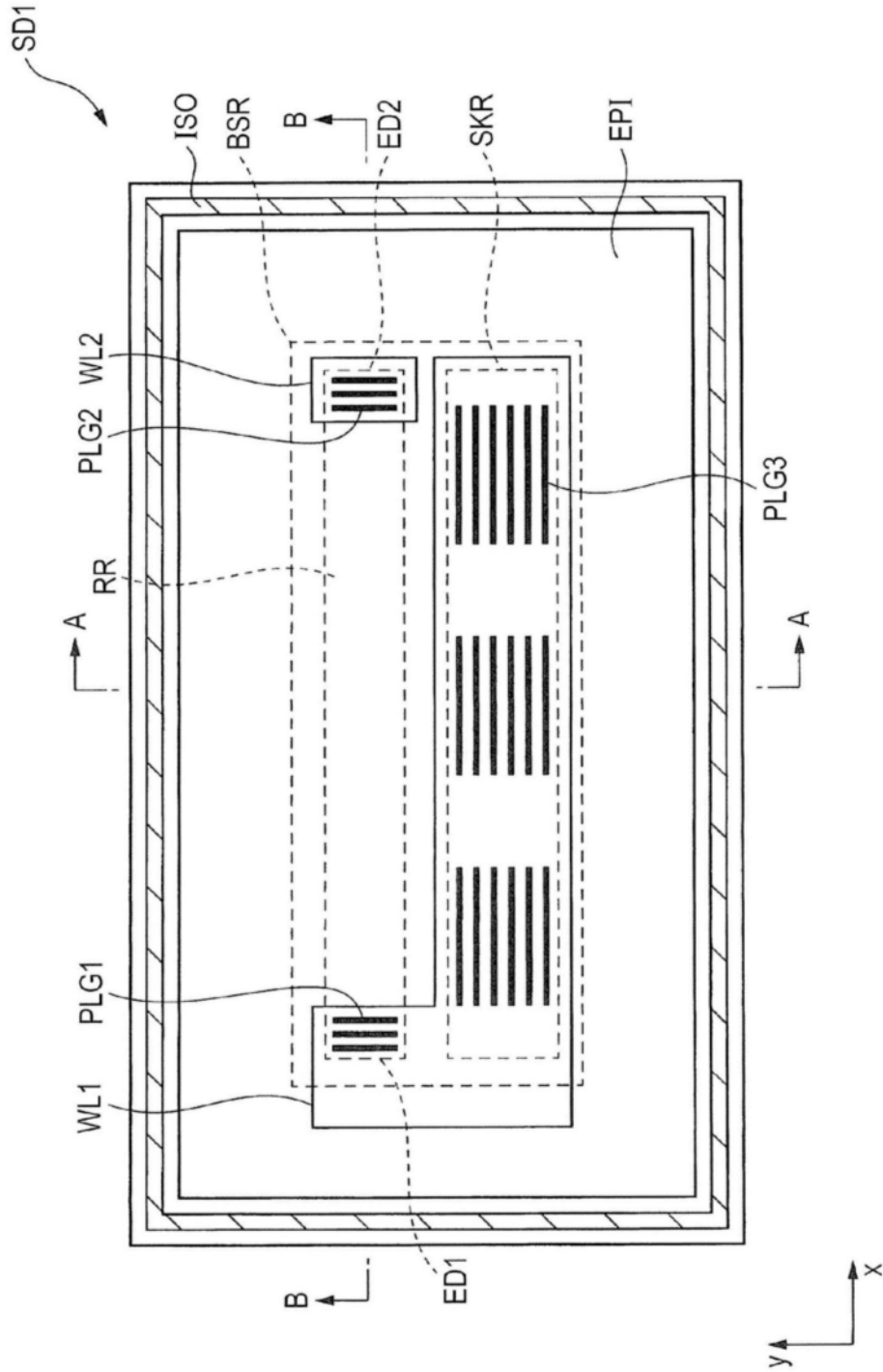


图3

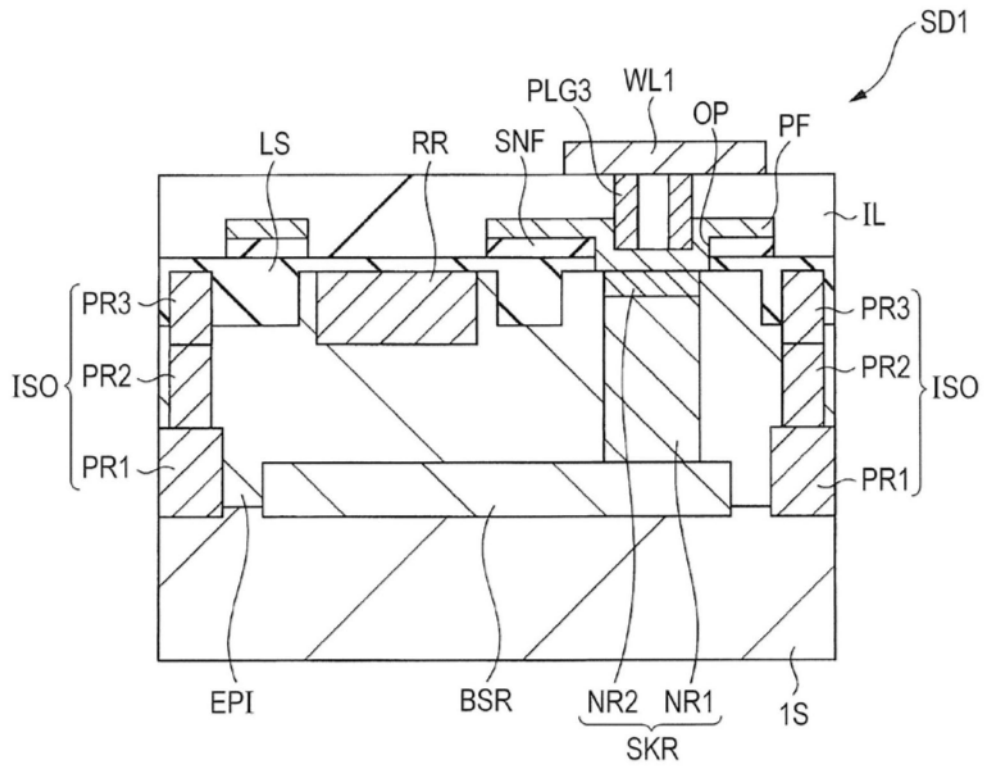


图4

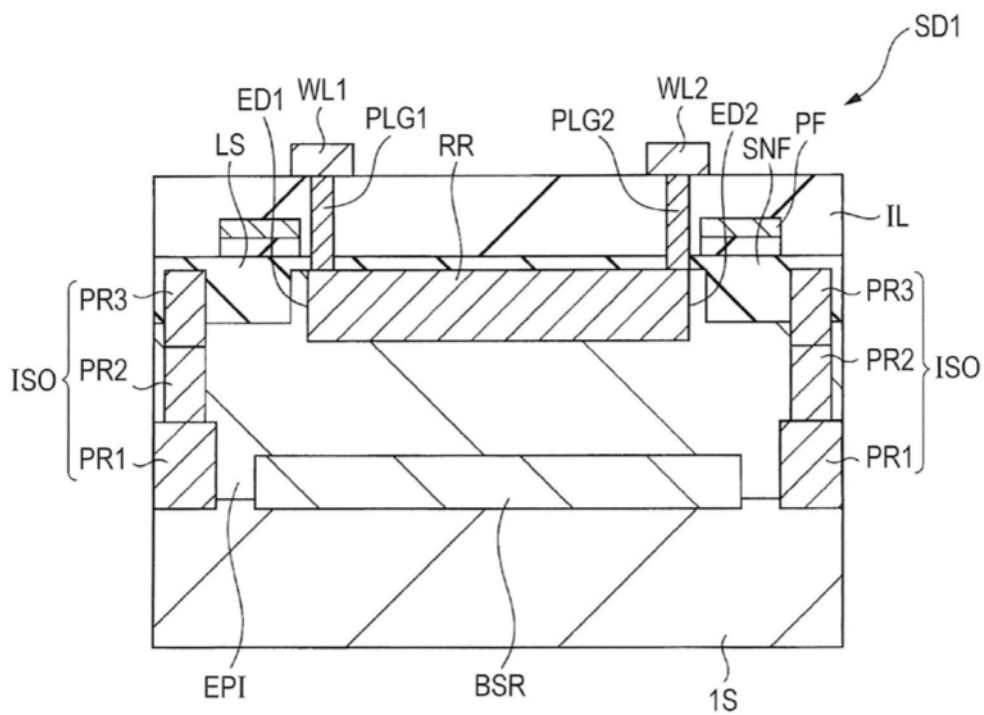


图5

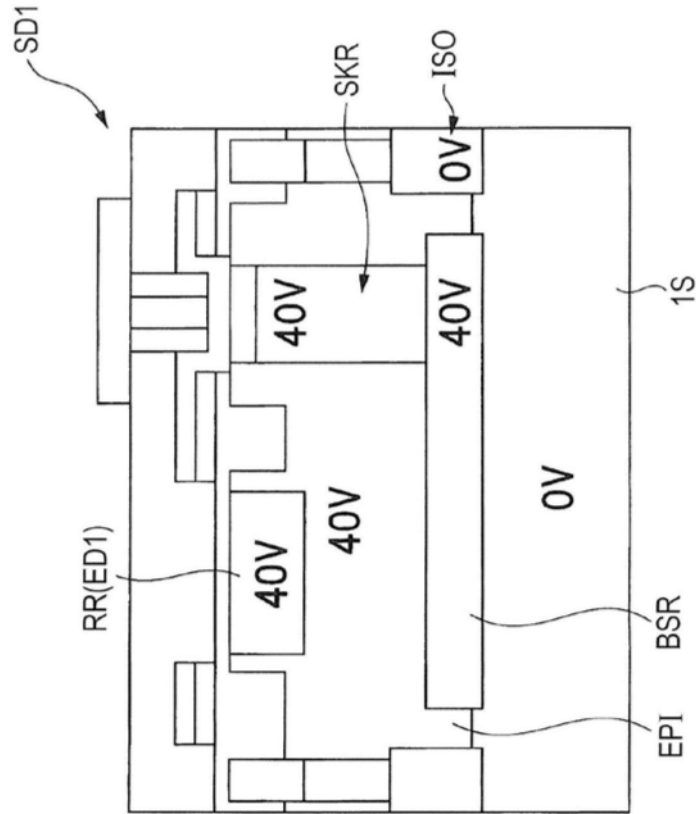


图6A

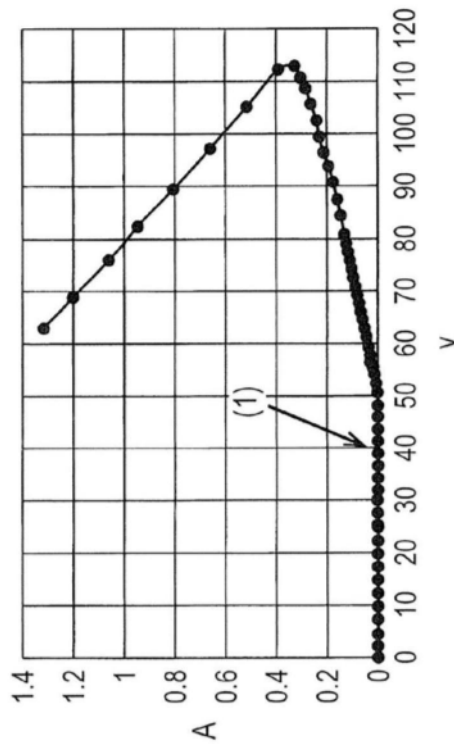


图6B

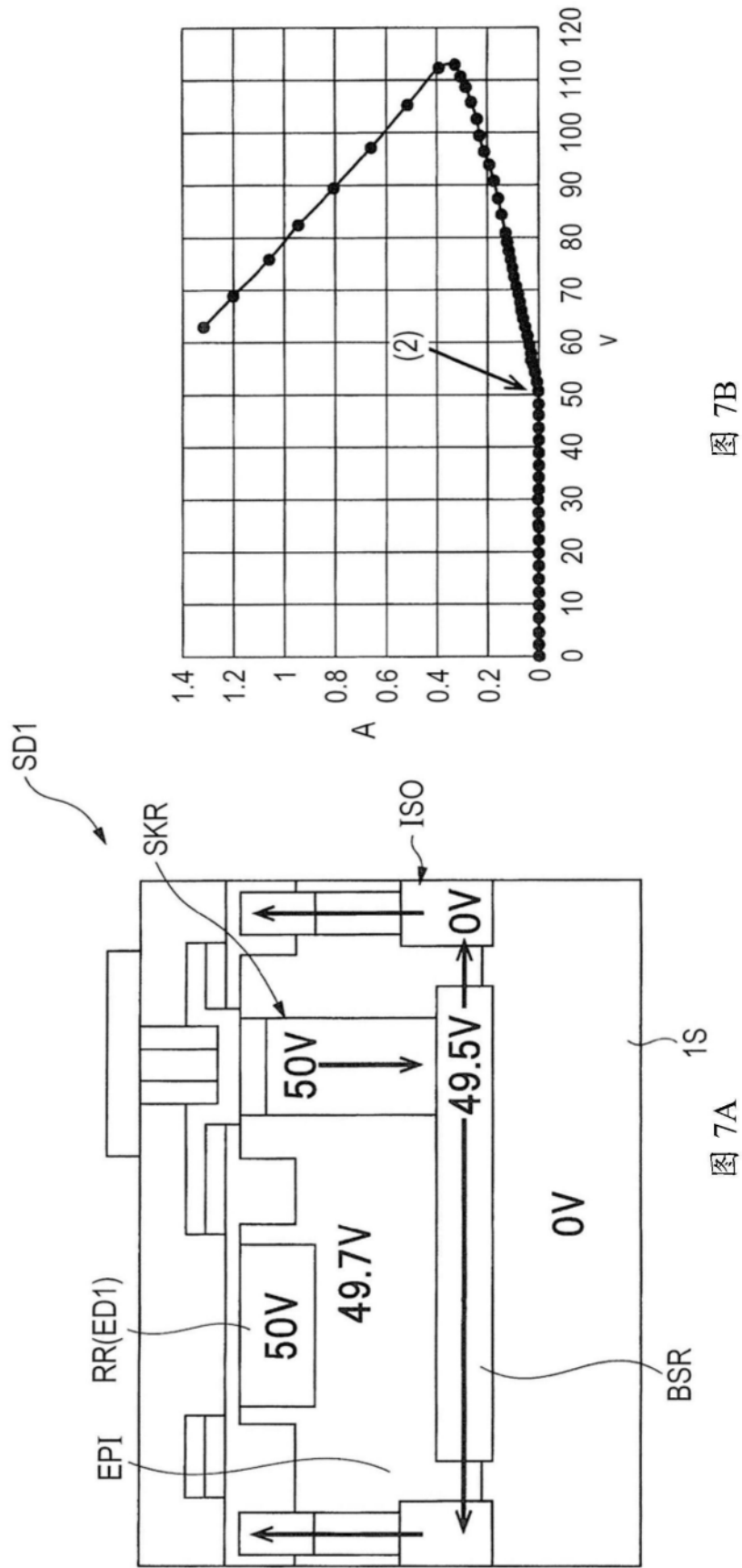


图 7B

图 7A

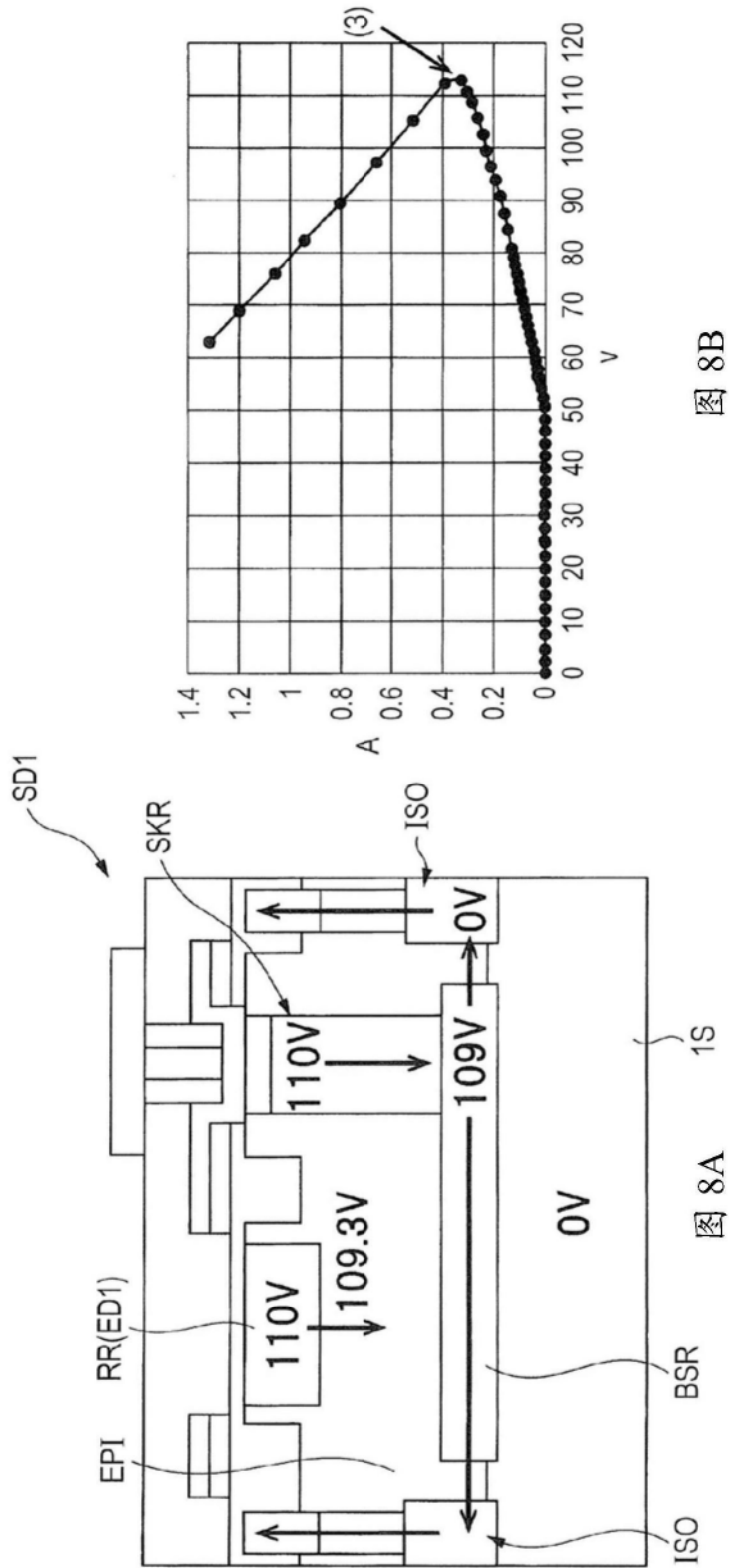


图 8B

图 8A

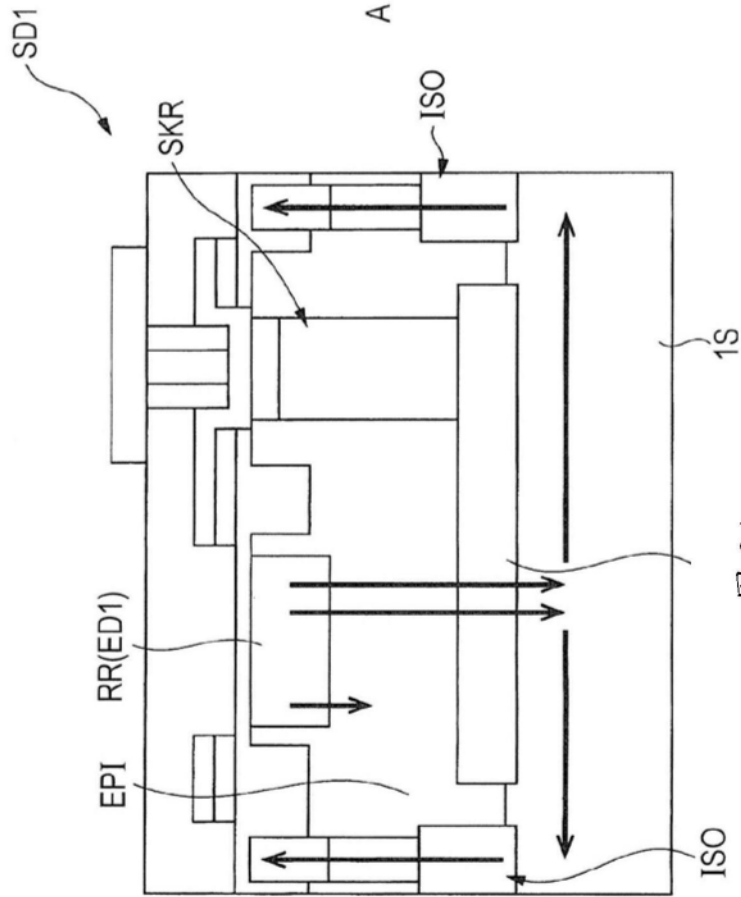


图 9B

图 9A

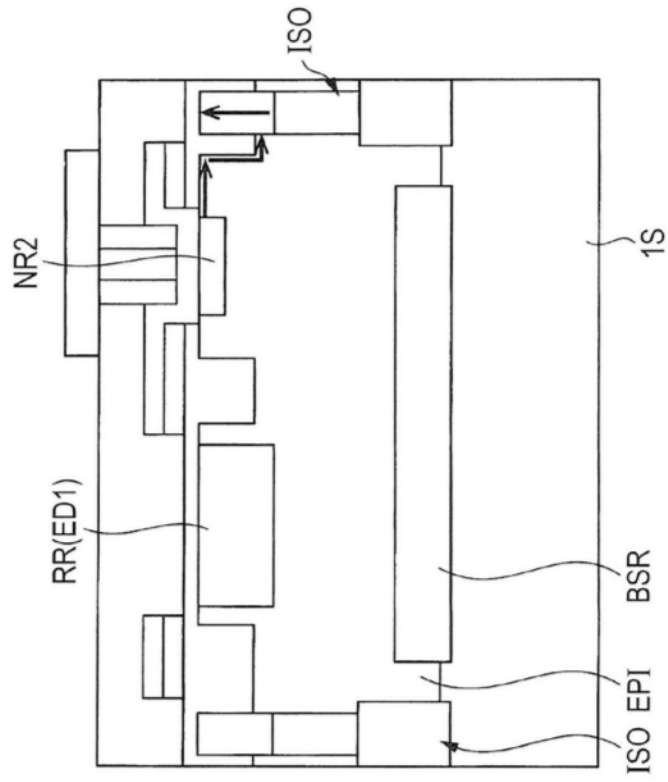


图10A

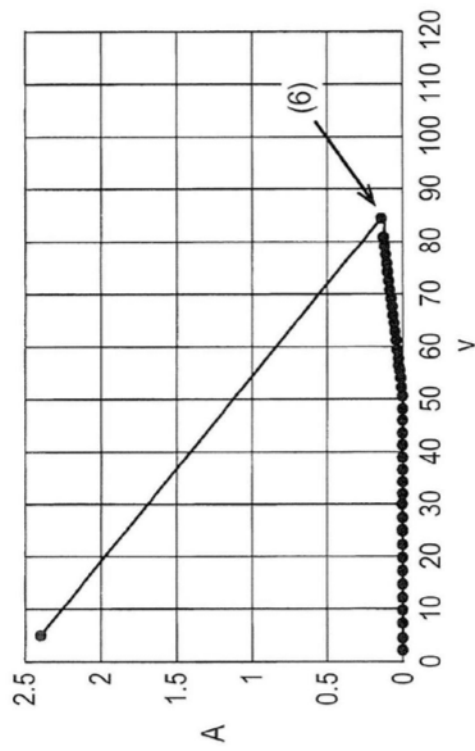


图10B

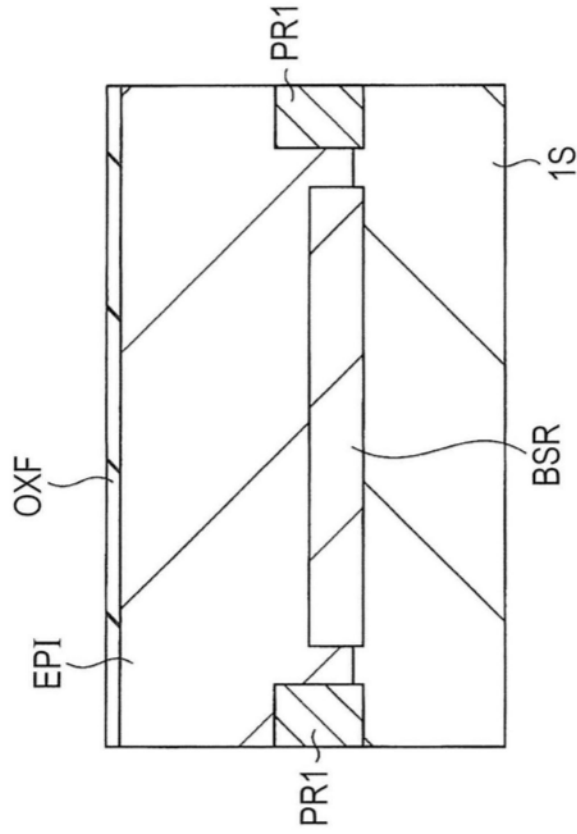


图11A

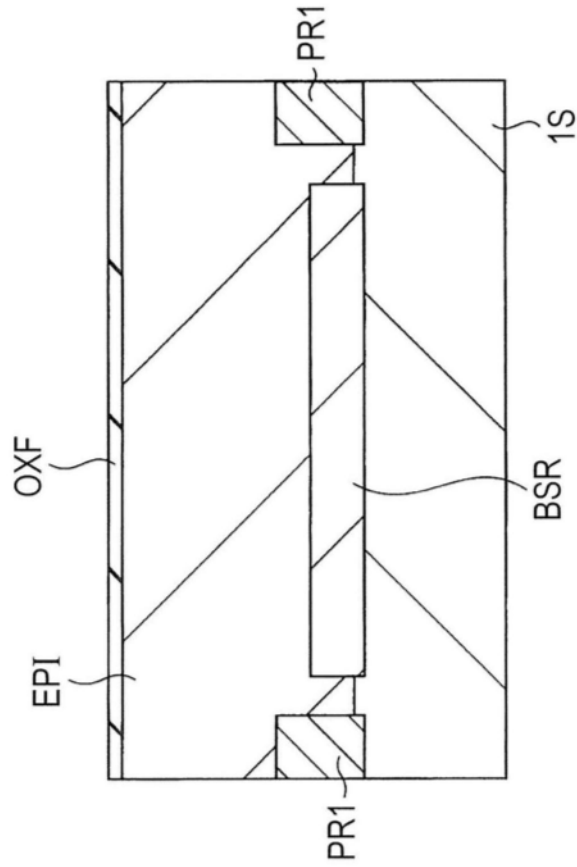


图11B

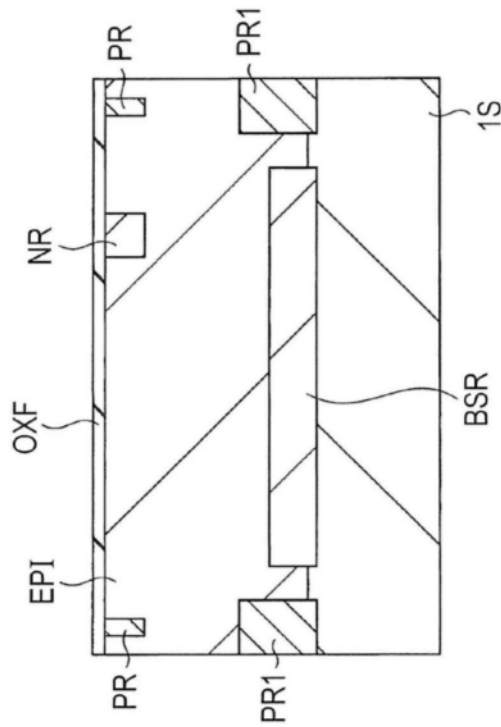


图12A

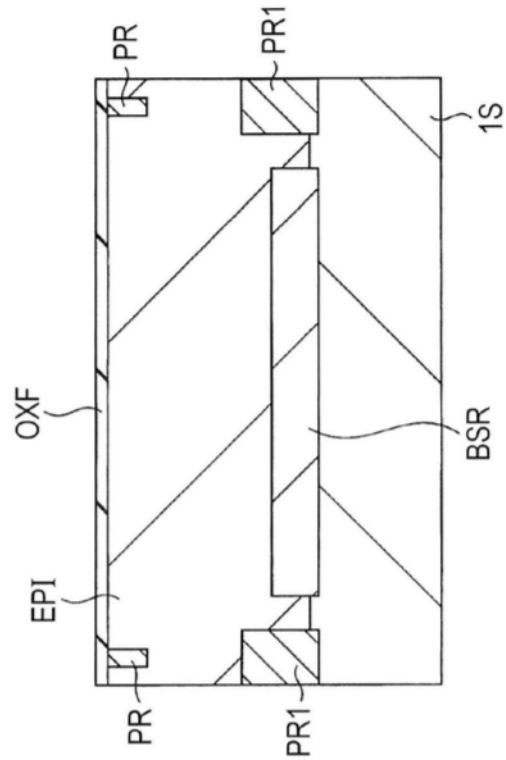


图12B

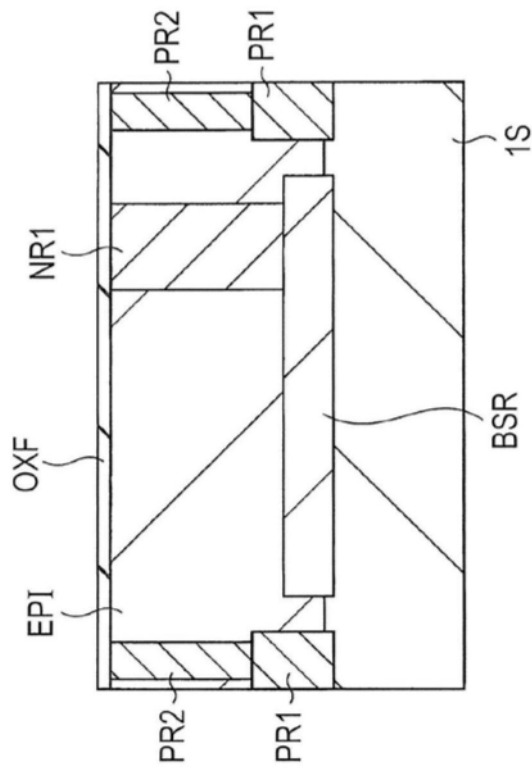


图13A

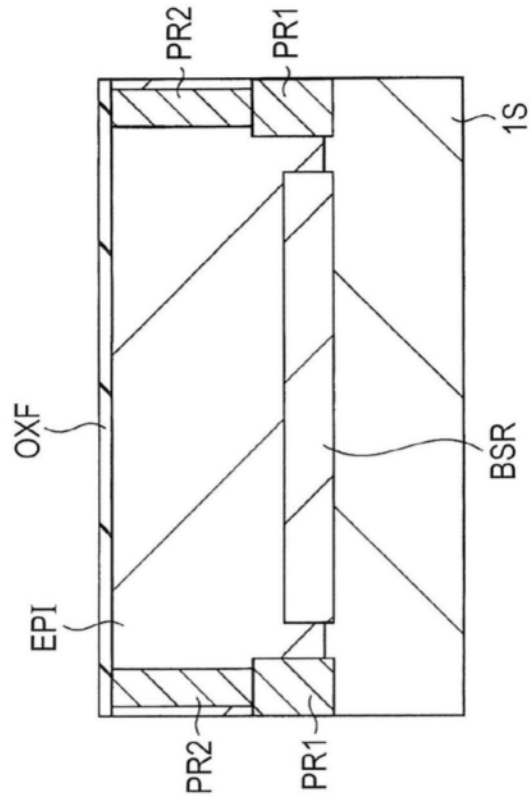


图13B

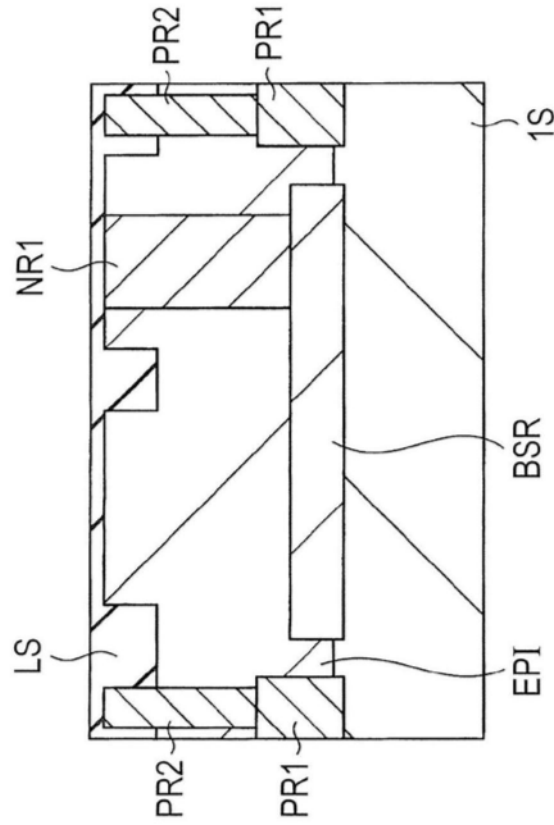


图14A

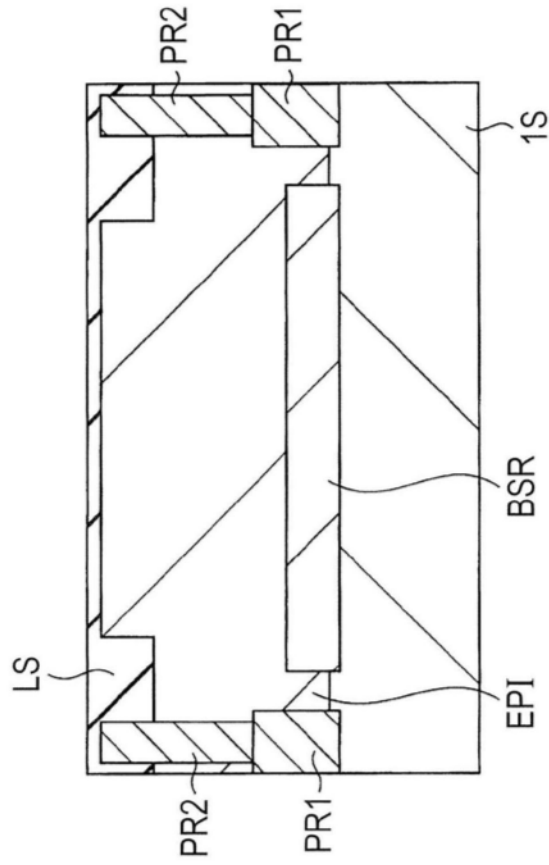


图14B

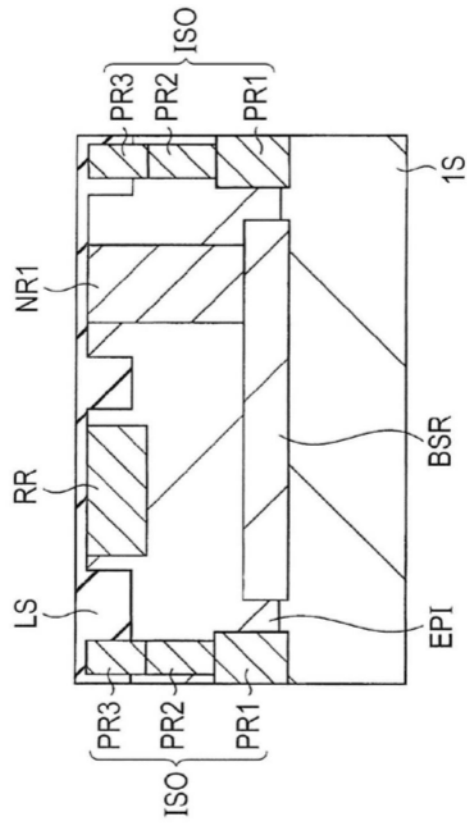


图15A

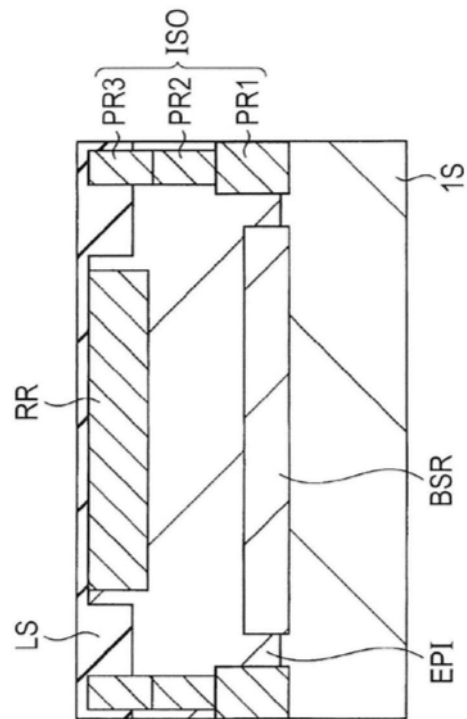


图15B

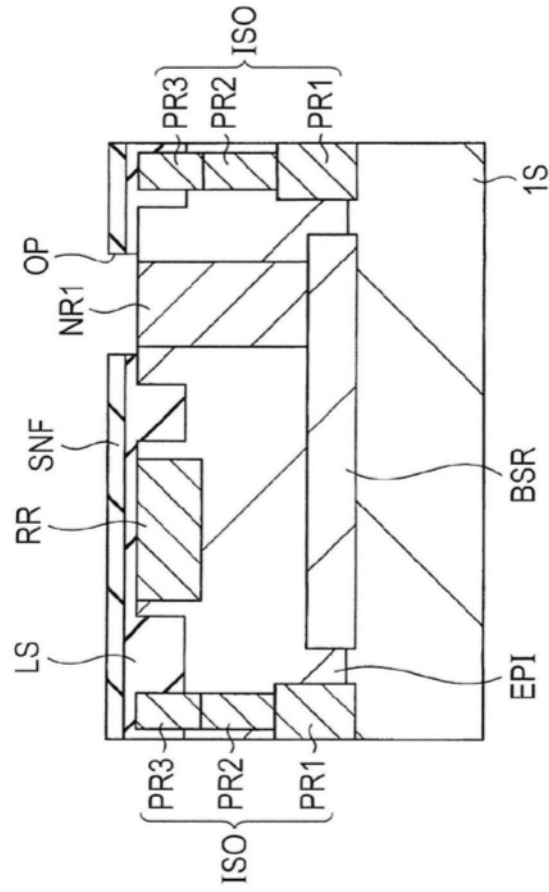


图16A

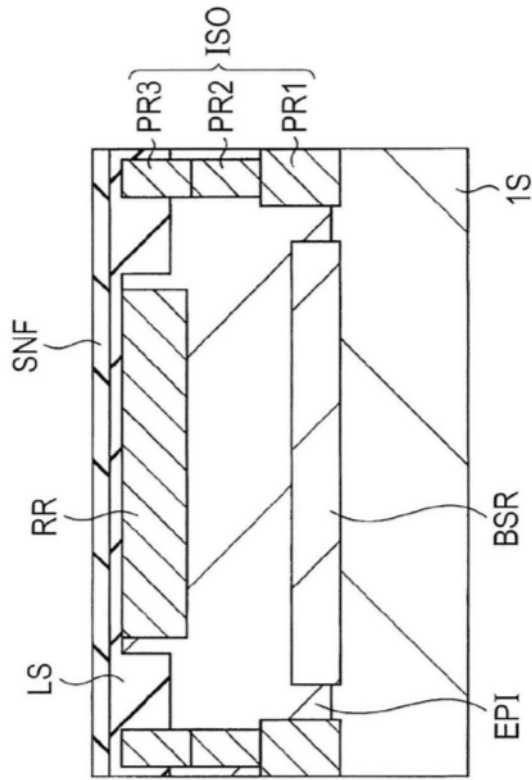


图16B

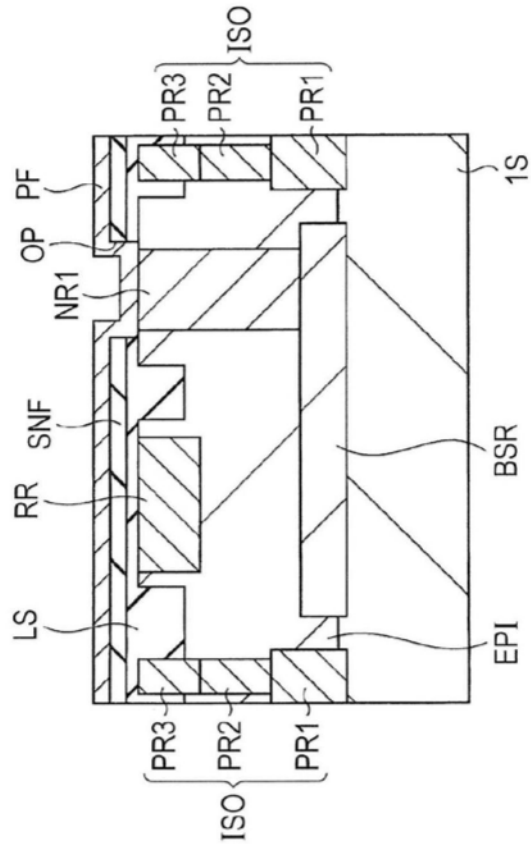


图17A

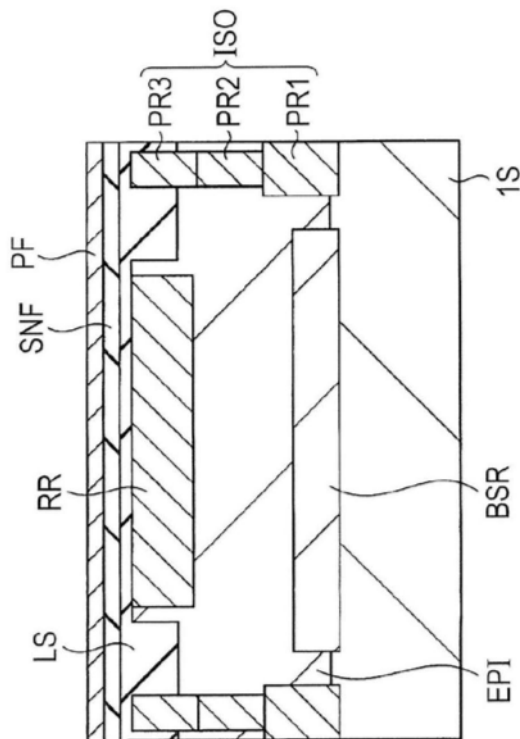


图17B

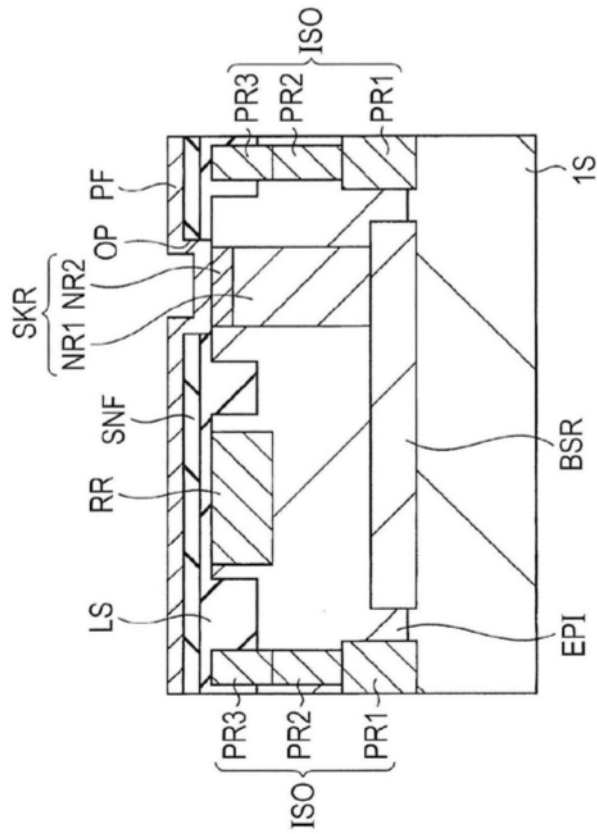


图18A

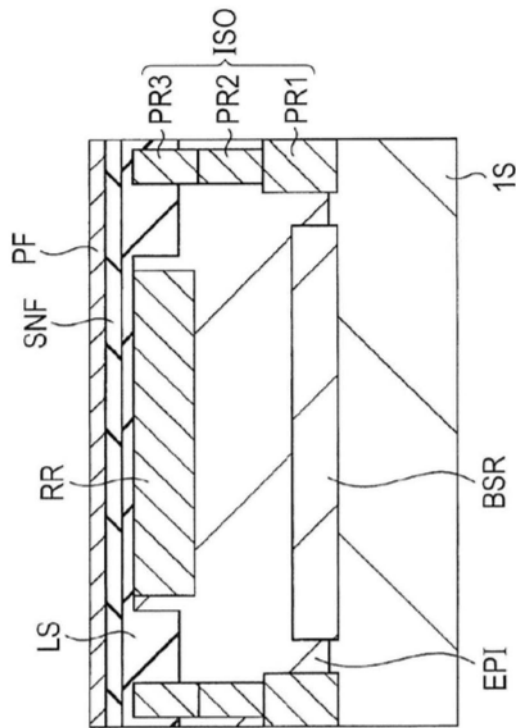


图18B

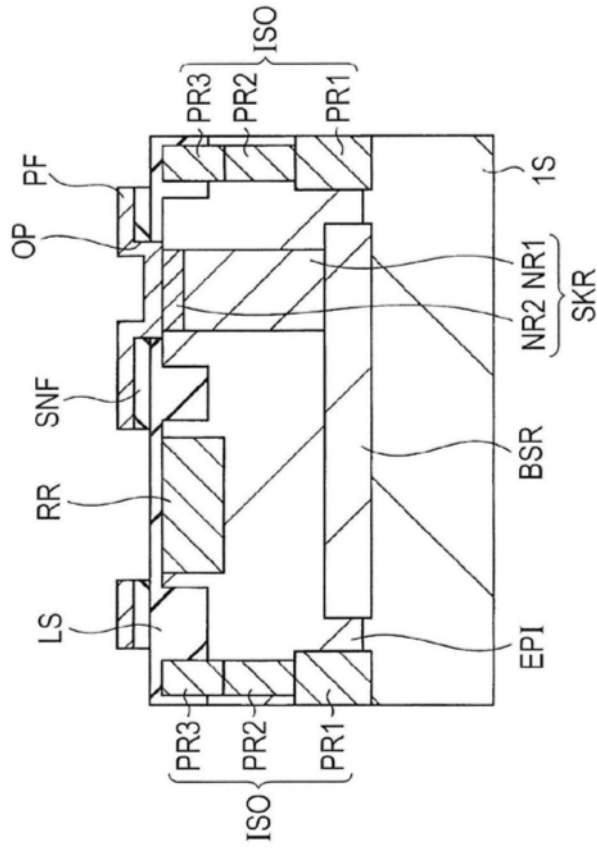


图19A

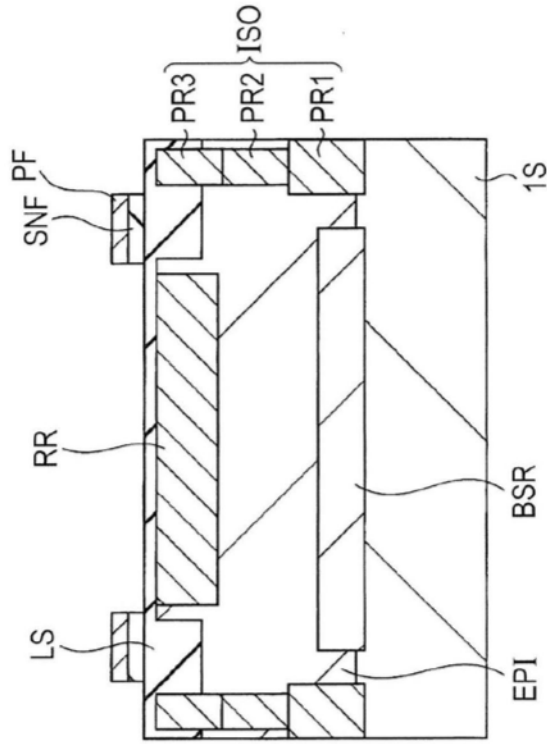


图19B

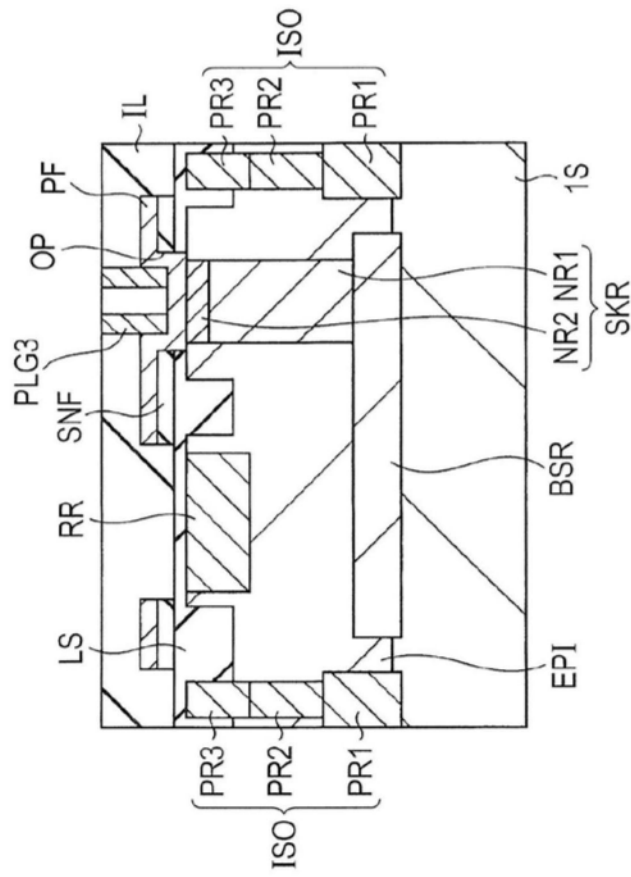


图20A

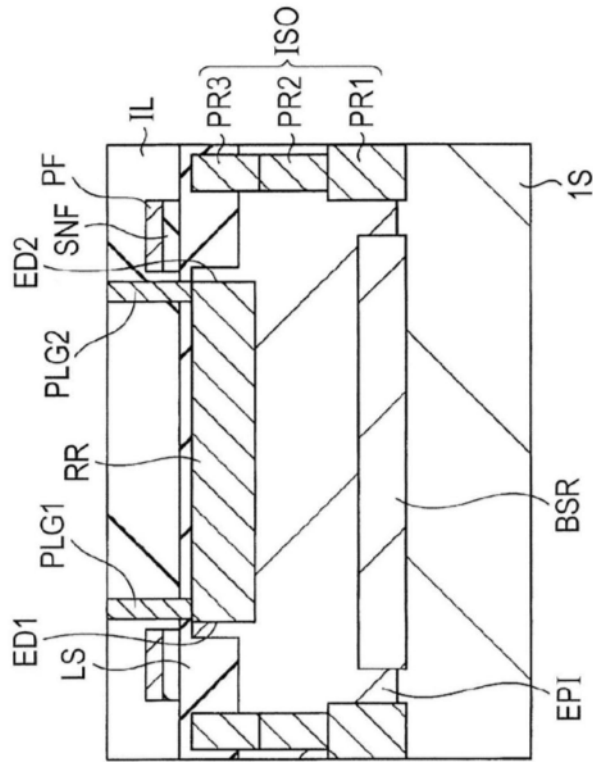


图20B

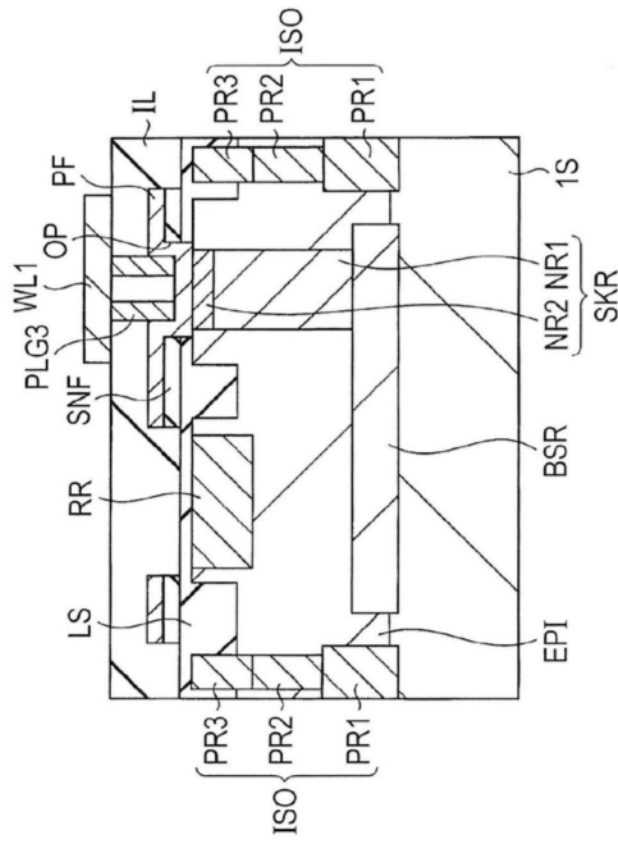


图21A

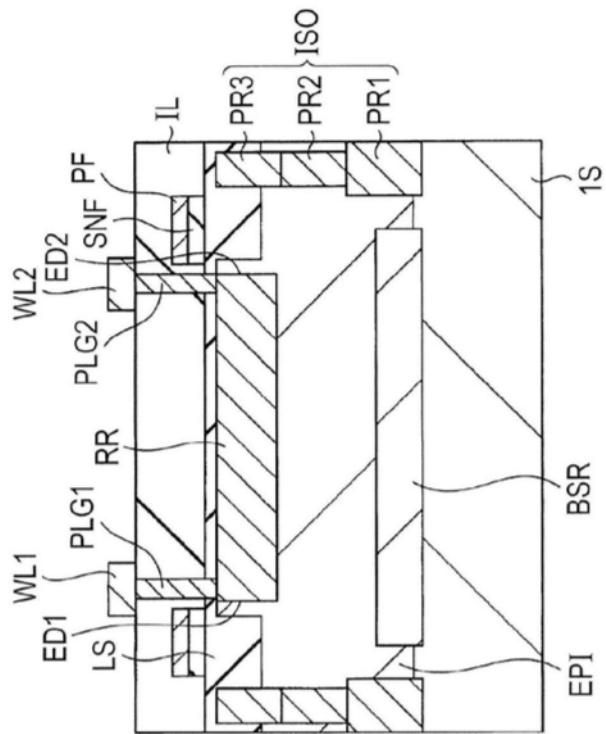


图21B

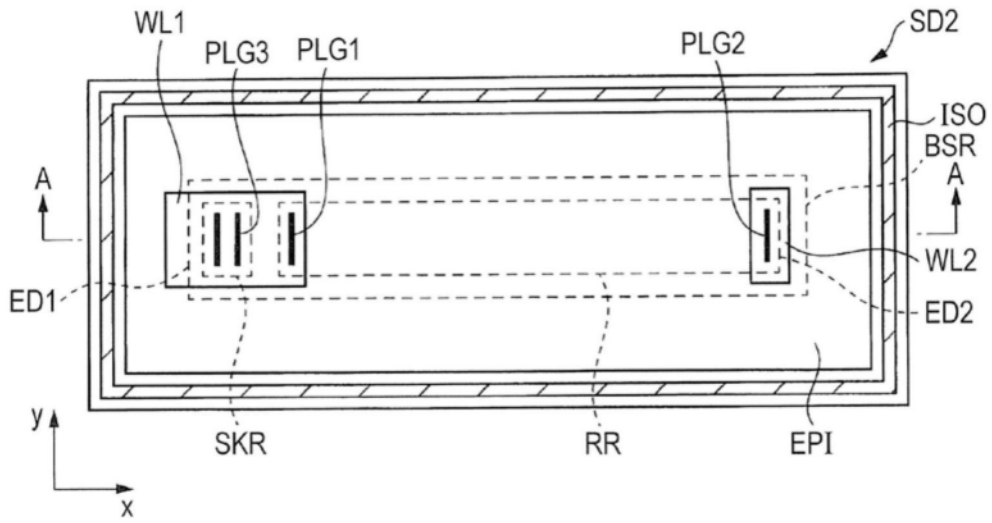


图22

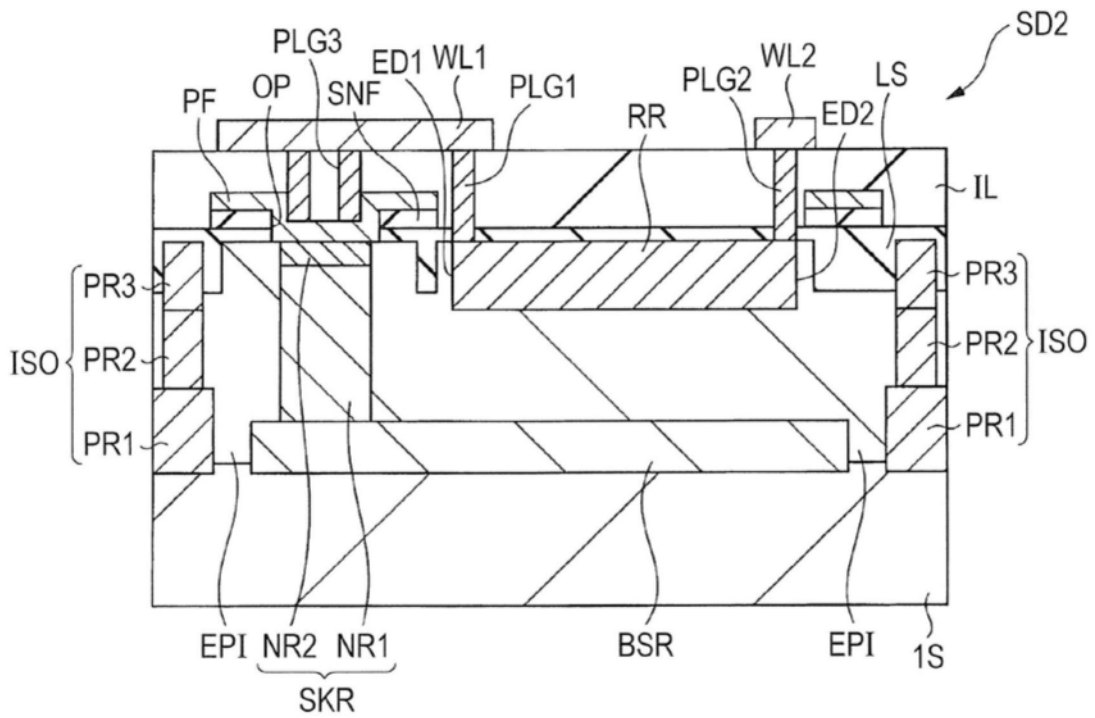


图23

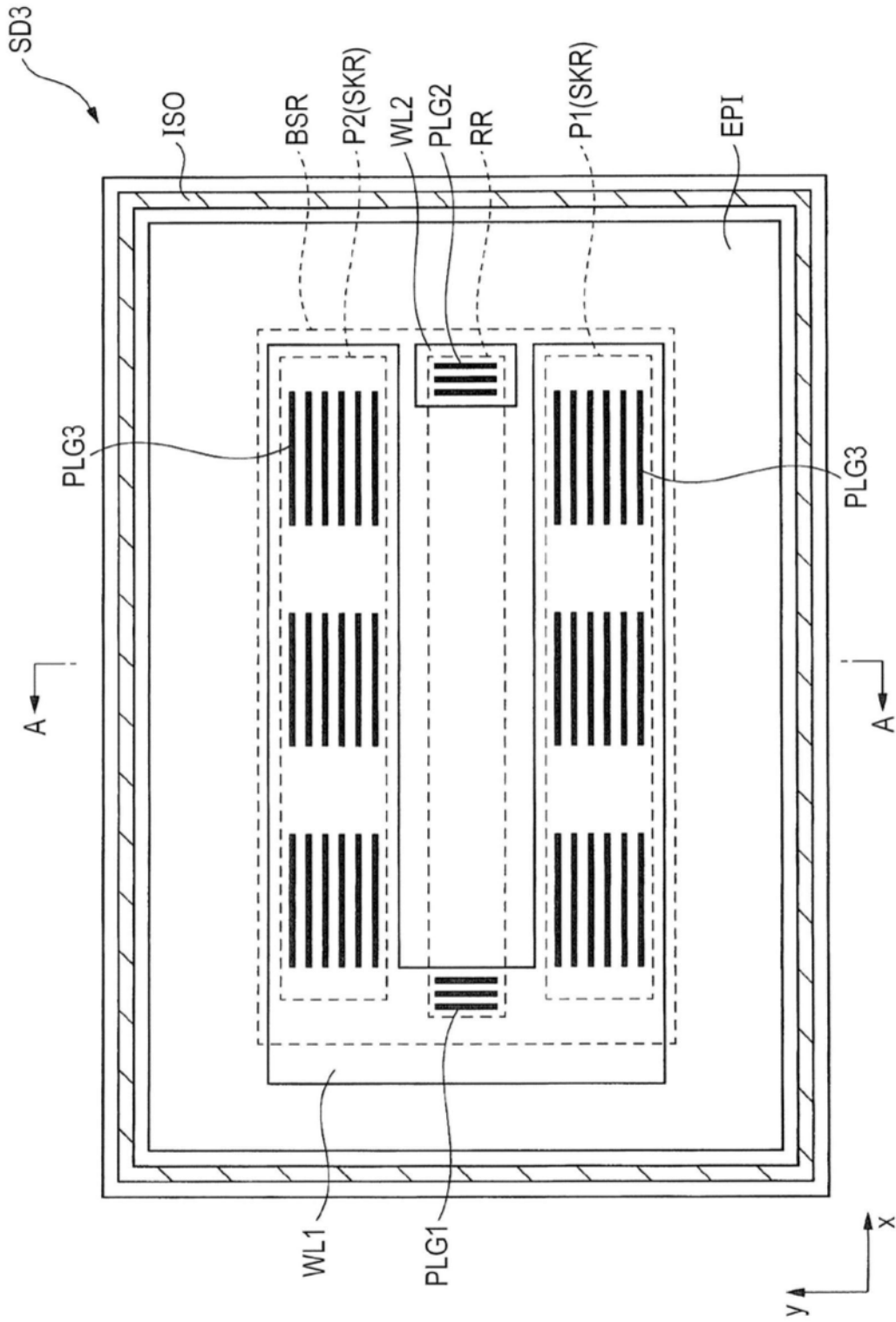


图24

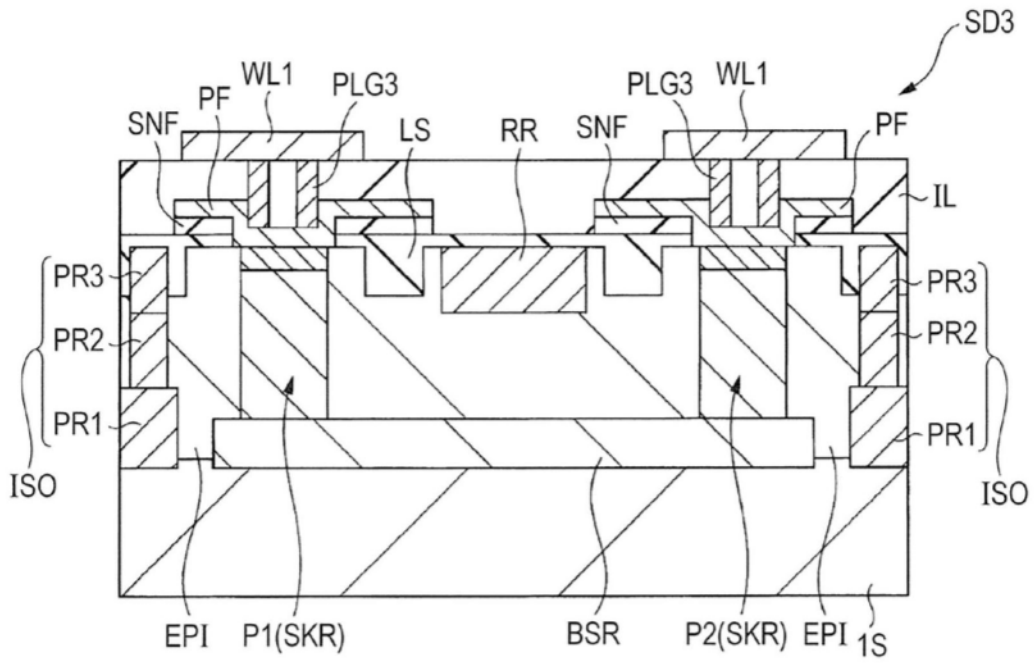


图25

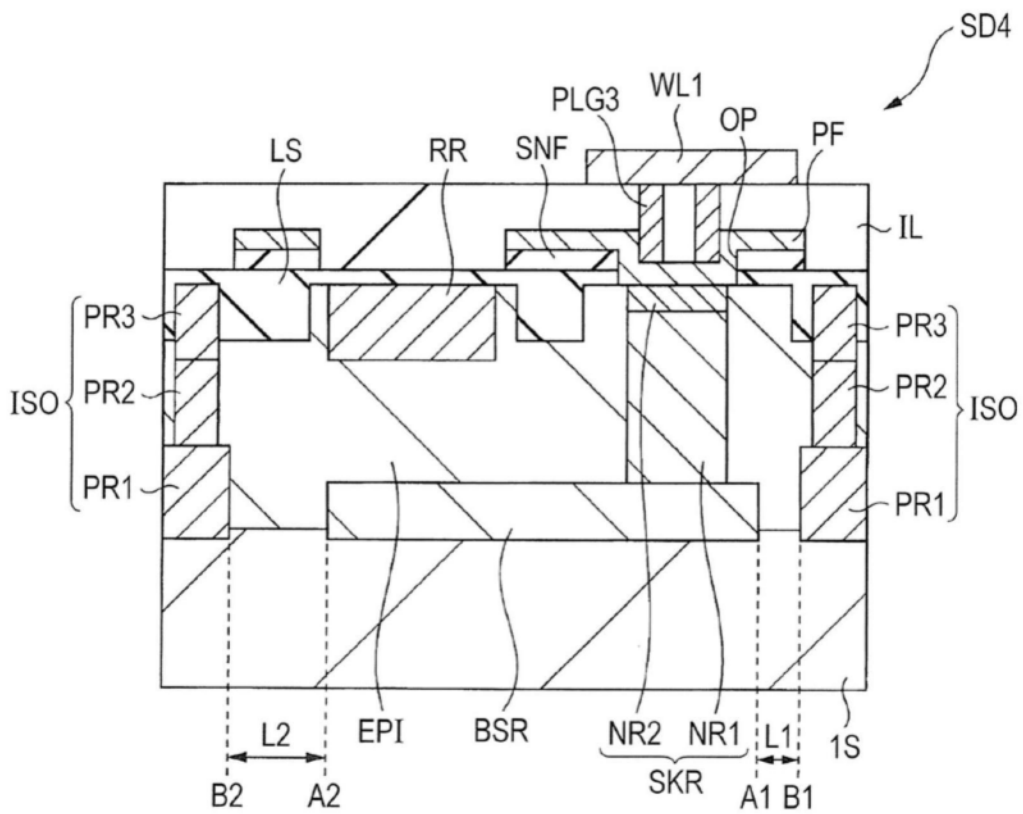


图26