

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 21 年 5 月 28 日 (2009.5.28)

【公開番号】特開 2007-294652 (P2007-294652A)

【公開日】平成 19 年 11 月 8 日 (2007.11.8)

【年通号数】公開・登録公報 2007-043

【出願番号】特願 2006-120376 (P2006-120376)

【国際特許分類】

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

【F I】

H 0 1 L 25/08 Z

H 0 1 L 21/88 J

【手続補正書】

【提出日】平成 21 年 4 月 9 日 (2009.4.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の半導体チップが積層されてなる半導体集積回路装置であって、  
前記複数の半導体チップを貫通するように形成された貫通電極と、  
前記複数の半導体チップの各々を構成する各層にそれぞれ形成され、前記貫通電極を貫通させる開口部を有する複数の電極と、  
前記複数の電極のうちの互いに隣り合う層にある電極間を電氣的に接続する複数のビアとを備え、  
前記ビアは、側面が前記貫通電極と接触するように形成されていることを特徴とする半導体集積回路装置。

【請求項 2】

前記複数の半導体チップの各々を構成する各層は、前記複数の半導体チップの各々の主面上に形成された複数の層間絶縁膜層と、当該複数の層間絶縁膜層のそれぞれの間に介在するように形成された複数の配線層とを含み、

前記電極は前記配線層から形成され、前記ビアは前記層間絶縁膜層に、当該層間絶縁膜層を挟んで互いに隣り合う前記配線層にある電極間を電氣的に接続するように形成されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】

前記ビアの形状は、前記貫通電極の側面に沿うように形成されたリング状であることを特徴とする請求項 1 又は 2 に記載の半導体集積回路装置。

【請求項 4】

複数の半導体チップが積層されてなる半導体集積回路装置であって、  
前記複数の半導体チップを貫通するように形成された貫通電極と、  
前記複数の半導体チップの各々を構成する各層のうちの複数の配線層にそれぞれ形成され、前記貫通電極を貫通させる開口部を有する複数の電極と、

前記各層のうちの複数の層間絶縁膜層にそれぞれ形成され、前記複数の電極のうちの互いに隣り合う層にある電極間を電氣的に接続する複数のビアとを備え、

前記複数の電極の開口部のうち、上層に位置する開口部の開口径が下層に位置する開口部の開口径よりも大きくなるように形成されており、

前記貫通電極は、前記複数の電極の各上面の一部のうちの少なくとも１つと接触していることを特徴とする半導体集積回路装置。

【請求項５】

前記ビアは、側面が前記貫通電極と接触するように形成されていることを特徴とする請求項４に記載の半導体集積回路装置。

【請求項６】

前記ビアの形状は、前記貫通電極の側面に沿うように形成されたリング状であることを特徴とする請求項５に記載の半導体集積回路装置。

【請求項７】

複数の半導体チップが積層されてなる半導体集積回路装置であって、

前記複数の半導体チップの各々が有する半導体基板を貫通するように形成された貫通電極と、

前記複数の半導体チップの各々を構成する各層のうちの複数の配線層にそれぞれ形成された複数の電極と、

前記各層のうちの複数の層間絶縁膜層にそれぞれ形成され、前記複数の電極のうちの互いに隣り合う層にある電極間の各々を電氣的に接続する複数のビアとを備え、

前記貫通電極と、前記複数のビアにおける前記各層のうちの最下層に形成されたビアとが電氣的に接続していることを特徴とする半導体集積回路装置。

【請求項８】

前記半導体チップに含まれる前記複数の電極のうちの少なくとも１つは、前記半導体チップの内部回路と電氣的に接続していることを特徴とする請求項１～７のうちのいずれか１項に記載の半導体集積回路装置。

【請求項９】

前記貫通電極の近傍に形成され、前記各層を貫通して前記半導体基板の表面に到達するシールド配線を更に備えていることを特徴とする請求項１～８のうちのいずれか１項に記載の半導体集積回路装置。

【請求項１０】

前記貫通電極は、前記半導体チップの端部を貫通するように形成されており、

前記シールド配線は、前記貫通電極と前記半導体チップの内部回路との間に介在していることを特徴とする請求項９に記載の半導体集積回路装置。

【請求項１１】

前記貫通電極は、前記半導体チップの中央部を貫通するように形成されており、

前記シールド配線は、前記貫通電極の周囲を囲うように形成されていることを特徴とする請求項９に記載の半導体集積回路装置。

【請求項１２】

前記複数の半導体チップのうちの中間に位置する中間半導体チップにおいて、

前記中間半導体チップを構成する各層の中央部を貫通するように形成された内部貫通電極を更に備え、

前記貫通電極と前記内部貫通電極とは、前記中間半導体チップ中に形成された配線層を介して電氣的に接続しており、

前記貫通電極及び前記内部貫通電極は、電圧供給源に接続されていることを特徴とする請求項１～１１のうちのいずれか１項に記載の半導体集積回路装置。

【請求項１３】

前記中間半導体チップ中に形成された配線層は、前記各層のうちの最上層に形成されていることを特徴とする請求項１２に記載の半導体集積回路装置。

【請求項１４】

前記貫通電極は、前記複数の半導体チップを貫通するように形成された第１の前記貫通電極と、前記複数の半導体チップを貫通するように形成され且つ前記第１の貫通電極とは異なる第２の前記貫通電極とを含み、

前記内部貫通電極は、前記各層の中央部を貫通するように形成された第１の前記内部貫通電極と、前記各層の中央部を貫通するように形成され且つ前記第１の内部貫通電極とは異なる第２の前記内部貫通電極とを含み、

前記配線層は、第１の配線層と、前記第１の配線層上に形成された第２の配線層とを含み、

前記第１の貫通電極と前記第１の内部貫通電極とは、前記第１の配線層及び前記第２の配線層のうちの一方を介して電氣的に接続しており、

前記第２の貫通電極と前記第２の内部貫通電極とは、前記第１の配線層及び前記第２の配線層のうちの他方を介して電氣的に接続しており、

前記第１の貫通電極及び前記第１の内部貫通電極は、電圧供給源に接続されており、

前記第２の貫通電極及び前記第２の内部貫通電極は、前記電圧供給源とは異なる電圧供給源に接続されていることを特徴とする請求項 1 2 に記載の半導体集積回路装置。

【請求項 1 5】

半導体チップを構成する各層のうちの複数の配線層にそれぞれ複数の電極を形成すると共に、前記各層のうちの複数の層間絶縁膜層にそれぞれ、前記複数の電極のうちの前記層間絶縁膜層を挟んで互いに隣り合う前記配線層にある電極間を電氣的に接続する複数のビアを形成する工程（a）と、

前記電極の内側面及び前記ビアの側面を露出させるように、前記各層を貫通して、前記半導体チップが有する半導体基板内部に到達する溝部を形成する工程（b）と、

前記溝部を構成する前記半導体基板の側面に絶縁膜を形成する工程（c）と、

前記工程（c）の後に、前記溝部を埋め込む導電体からなる貫通電極を形成する工程（d）と、

前記半導体基板の下面を研磨して、前記貫通電極の下面を露出させる工程（e）と、

複数の前記半導体チップを積層して、複数の前記貫通電極の各々を互いに電氣的に接続する工程（f）とを備えたことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 6】

半導体チップを構成する各層のうちの複数の配線層にそれぞれ複数の電極を形成すると共に、前記各層のうちの複数の層間絶縁膜層にそれぞれ、前記複数の電極のうちの前記層間絶縁膜層を挟んで互いに隣り合う前記配線層にある電極間を電氣的に接続する複数のビアを形成する工程（a）と、

前記電極の内側面及び前記ビアの側面を露出させるように、前記各層を貫通して、前記半導体チップが有する半導体基板内部に到達する溝部を形成する工程（b）と、

前記溝部の側面に絶縁膜を形成する工程（c）と、

前記工程（c）の後に、前記溝部を埋め込む導電体からなる貫通電極を形成する工程（d）と、

前記半導体基板の下面を研磨して、前記貫通電極の下面を露出させる工程（e）と、

複数の前記半導体チップを積層して、複数の前記貫通電極の各々を互いに電氣的に接続する工程（f）とを備え、

前記工程（a）における前記電極を形成する工程は、前記工程（b）において前記電極の上面の一部が露出するように、各々が階段状にずれるように配置される前記電極を形成する工程であることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 7】

前記工程（c）は、前記絶縁膜における前記ビアの側面に存在する部分を除去する工程を更に含むことを特徴とする請求項 1 6 に記載の半導体集積回路装置の製造方法。

【請求項 1 8】

半導体チップが有する半導体基板中に溝部を形成する工程（a）と、

前記溝部の側面に絶縁膜を形成する工程（b）と、

前記工程（b）の後に、前記溝部を埋め込む導電体からなる貫通電極を形成する工程（c）と、

前記半導体チップを構成する各層のうちの複数の配線層にそれぞれ複数の電極を形成すると共に、前記各層のうちの複数の層間絶縁膜層にそれぞれ、前記複数の電極のうちの前記層間絶縁膜層を挟んで互いに隣り合う前記配線層にある電極間を電氣的に接続する複数のビアを形成する工程（d）と、

前記半導体基板の下面を研磨して、前記貫通電極の下面を露出させる工程（e）とを備え、

前記工程（d）における前記ビアを形成する工程は、前記各層のうちの最下層に形成されたビアが、前記貫通電極と前記複数の配線層のうちの最下層に形成された電極とを電氣的に接続するように形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 19】

前記複数の電極を形成する工程は、前記複数の電極の各々に近接する複数のシールド用配線を形成する工程を含み、

前記複数のビアを形成する工程は、前記半導体基板と前記複数のシールド用配線における前記複数の配線層のうちの最下層に形成されたシールド用配線とを電氣的に接続するシールド用コンタクトを形成する工程と、前記複数のシールド用配線のうちの互いに隣り合う層にあるシールド用配線間を電氣的に接続する複数のシールド用ビアを形成する工程とを含むことを特徴とする請求項 15 ~ 18 のうちのいずれか 1 項に記載の半導体集積回路装置の製造方法。