

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年5月28日(2009.5.28)

【公開番号】特開2007-294652(P2007-294652A)

【公開日】平成19年11月8日(2007.11.8)

【年通号数】公開・登録公報2007-043

【出願番号】特願2006-120376(P2006-120376)

【国際特許分類】

H 01 L 25/065 (2006.01)

H 01 L 25/07 (2006.01)

H 01 L 25/18 (2006.01)

H 01 L 21/3205 (2006.01)

H 01 L 23/52 (2006.01)

【F I】

H 01 L 25/08 Z

H 01 L 21/88 J

【手続補正書】

【提出日】平成21年4月9日(2009.4.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の半導体チップが積層されてなる半導体集積回路装置であつて、

前記複数の半導体チップを貫通するように形成された貫通電極と、

前記複数の半導体チップの各々を構成する各層にそれぞれ形成され、前記貫通電極を貫通させる開口部を有する複数の電極と、

前記複数の電極のうちの互いに隣り合う層にある電極間を電気的に接続する複数のビアとを備え、

前記ビアは、側面が前記貫通電極と接触するように形成されていることを特徴とする半導体集積回路装置。

【請求項2】

前記複数の半導体チップの各々を構成する各層は、前記複数の半導体チップの各々の主面上に形成された複数の層間絶縁膜層と、当該複数の層間絶縁膜層のそれぞれの間に介在するように形成された複数の配線層とを含み、

前記電極は前記配線層から形成され、前記ビアは前記層間絶縁膜層に、当該層間絶縁膜層を挟んで互いに隣り合う前記配線層にある電極間を電気的に接続するように形成されていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】

前記ビアの形状は、前記貫通電極の側面に沿うように形成されたリング状であることを特徴とする請求項1又は2に記載の半導体集積回路装置。

【請求項4】

複数の半導体チップが積層されてなる半導体集積回路装置であつて、

前記複数の半導体チップを貫通するように形成された貫通電極と、

前記複数の半導体チップの各々を構成する各層のうちの複数の配線層にそれぞれ形成され、前記貫通電極を貫通させる開口部を有する複数の電極と、

前記各層のうちの複数の層間絶縁膜層にそれぞれ形成され、前記複数の電極のうちの互いに隣り合う層にある電極間を電気的に接続する複数のビアとを備え、

前記複数の電極の開口部のうち、上層に位置する開口部の開口径が下層に位置する開口部の開口径よりも大きくなるように形成されており、

前記貫通電極は、前記複数の電極の各上面の一部のうちの少なくとも1つと接触していることを特徴とする半導体集積回路装置。

【請求項5】

前記ビアは、側面が前記貫通電極と接触するように形成されていることを特徴とする請求項4に記載の半導体集積回路装置。

【請求項6】

前記ビアの形状は、前記貫通電極の側面に沿うように形成されたリング状であることを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】

複数の半導体チップが積層されてなる半導体集積回路装置であって、

前記複数の半導体チップの各々が有する半導体基板を貫通するように形成された貫通電極と、

前記複数の半導体チップの各々を構成する各層のうちの複数の配線層にそれぞれ形成された複数の電極と、

前記各層のうちの複数の層間絶縁膜層にそれぞれ形成され、前記複数の電極のうちの互いに隣り合う層にある電極間の各々を電気的に接続する複数のビアとを備え、

前記貫通電極と、前記複数のビアにおける前記各層のうちの最下層に形成されたビアとが電気的に接続していることを特徴とする半導体集積回路装置。

【請求項8】

前記半導体チップに含まれる前記複数の電極のうちの少なくとも1つは、前記半導体チップの内部回路と電気的に接続していることを特徴とする請求項1～7のうちのいずれか1項に記載の半導体集積回路装置。

【請求項9】

前記貫通電極の近傍に形成され、前記各層を貫通して前記半導体基板の表面に到達するシールド配線を更に備えていることを特徴とする請求項1～8のうちのいずれか1項に記載の半導体集積回路装置。

【請求項10】

前記貫通電極は、前記半導体チップの端部を貫通するように形成されており、

前記シールド配線は、前記貫通電極と前記半導体チップの内部回路との間に介在していることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項11】

前記貫通電極は、前記半導体チップの中央部を貫通するように形成されており、

前記シールド配線は、前記貫通電極の周囲を囲うように形成されていることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項12】

前記複数の半導体チップのうちの中間に位置する中間半導体チップにおいて、

前記中間半導体チップを構成する各層の中央部を貫通するように形成された内部貫通電極を更に備え、

前記貫通電極と前記内部貫通電極とは、前記中間半導体チップ中に形成された配線層を介して電気的に接続しており、

前記貫通電極及び前記内部貫通電極は、電圧供給源に接続されていることを特徴とする請求項1～11のうちのいずれか1項に記載の半導体集積回路装置。

【請求項13】

前記中間半導体チップ中に形成された配線層は、前記各層のうちの最上層に形成されていることを特徴とする請求項12に記載の半導体集積回路装置。

【請求項14】

前記貫通電極は、前記複数の半導体チップを貫通するように形成された第1の前記貫通電極と、前記複数の半導体チップを貫通するように形成され且つ前記第1の貫通電極とは異なる第2の前記貫通電極とを含み、

前記内部貫通電極は、前記各層の中央部を貫通するように形成された第1の前記内部貫通電極と、前記各層の中央部を貫通するように形成され且つ前記第1の内部貫通電極とは異なる第2の前記内部貫通電極とを含み、

前記配線層は、第1の配線層と、前記第1の配線層上に形成された第2の配線層とを含み、

前記第1の貫通電極と前記第1の内部貫通電極とは、前記第1の配線層及び前記第2の配線層のうちの一方を介して電気的に接続してあり、

前記第2の貫通電極と前記第2の内部貫通電極とは、前記第1の配線層及び前記第2の配線層のうちの他方を介して電気的に接続してあり、

前記第1の貫通電極及び前記第1の内部貫通電極は、電圧供給源に接続されており、

前記第2の貫通電極及び前記第2の内部貫通電極は、前記電圧供給源とは異なる電圧供給源に接続されていることを特徴とする請求項1_2に記載の半導体集積回路装置。

【請求項15】

半導体チップを構成する各層のうちの複数の配線層にそれぞれ複数の電極を形成すると共に、前記各層のうちの複数の層間絶縁膜層にそれぞれ、前記複数の電極のうちの前記層間絶縁膜層を挟んで互いに隣り合う前記配線層にある電極間を電気的に接続する複数のビアを形成する工程(a)と、

前記電極の内側面及び前記ビアの側面を露出させるように、前記各層を貫通して、前記半導体チップが有する半導体基板内部に到達する溝部を形成する工程(b)と、

前記溝部を構成する前記半導体基板の側面に絶縁膜を形成する工程(c)と、

前記工程(c)の後に、前記溝部を埋め込む導電体からなる貫通電極を形成する工程(d)と、

前記半導体基板の下面を研磨して、前記貫通電極の下面を露出させる工程(e)と、

複数の前記半導体チップを積層して、複数の前記貫通電極の各々を互いに電気的に接続する工程(f)とを備えたことを特徴とする半導体集積回路装置の製造方法。

【請求項16】

半導体チップを構成する各層のうちの複数の配線層にそれぞれ複数の電極を形成すると共に、前記各層のうちの複数の層間絶縁膜層にそれぞれ、前記複数の電極のうちの前記層間絶縁膜層を挟んで互いに隣り合う前記配線層にある電極間を電気的に接続する複数のビアを形成する工程(a)と、

前記電極の内側面及び前記ビアの側面を露出させるように、前記各層を貫通して、前記半導体チップが有する半導体基板内部に到達する溝部を形成する工程(b)と、

前記溝部の側面に絶縁膜を形成する工程(c)と、

前記工程(c)の後に、前記溝部を埋め込む導電体からなる貫通電極を形成する工程(d)と、

前記半導体基板の下面を研磨して、前記貫通電極の下面を露出させる工程(e)と、

複数の前記半導体チップを積層して、複数の前記貫通電極の各々を互いに電気的に接続する工程(f)とを備え、

前記工程(a)における前記電極を形成する工程は、前記工程(b)において前記電極の上面の一部が露出するよう、各々が階段状にずれるように配置される前記電極を形成する工程であることを特徴とする半導体集積回路装置の製造方法。

【請求項17】

前記工程(c)は、前記絶縁膜における前記ビアの側面に存在する部分を除去する工程を更に含むことを特徴とする請求項1_6に記載の半導体集積回路装置の製造方法。

【請求項18】

半導体チップが有する半導体基板中に溝部を形成する工程(a)と、

前記溝部の側面に絶縁膜を形成する工程(b)と、

前記工程(b)の後に、前記溝部を埋め込む導電体からなる貫通電極を形成する工程(c)と、

前記半導体チップを構成する各層のうちの複数の配線層にそれぞれ複数の電極を形成すると共に、前記各層のうちの複数の層間絶縁膜層にそれぞれ、前記複数の電極のうちの前記層間絶縁膜層を挟んで互いに隣り合う前記配線層にある電極間を電気的に接続する複数のピアを形成する工程(d)と、

前記半導体基板の下面を研磨して、前記貫通電極の下面を露出させる工程(e)とを備え、

前記工程(d)における前記ピアを形成する工程は、前記各層のうちの最下層に形成されたピアが、前記貫通電極と前記複数の配線層のうちの最下層に形成された電極とを電気的に接続するように形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 19】

前記複数の電極を形成する工程は、前記複数の電極の各々に近接する複数のシールド用配線を形成する工程を含み、

前記複数のピアを形成する工程は、前記半導体基板と前記複数のシールド用配線における前記複数の配線層のうちの最下層に形成されたシールド用配線とを電気的に接続するシールド用コンタクトを形成する工程と、前記複数のシールド用配線のうちの互いに隣り合う層にあるシールド用配線間を電気的に接続する複数のシールド用ピアを形成する工程とを含むことを特徴とする請求項 15 ~ 18 のうちのいずれか 1 項に記載の半導体集積回路装置の製造方法。