



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I514588 B

(45)公告日：中華民國 104 (2015) 年 12 月 21 日

(21)申請案號：102120138

(22)申請日：中華民國 102 (2013) 年 06 月 06 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2012/06/06 日本

2012-129399

(71)申請人：神戶製鋼所股份有限公司 (日本) KABUSHIKI KAISHA KOBE SEIKO SHO (KOBE STEEL, LTD.) (JP)

日本

(72)發明人：後藤裕史 GOTO, HIROSHI (JP)；三木綾 MIKI, AYA (JP)；岸智輝 KISHI, TOMOYA (JP)；廣瀨研太 HIROSE, KENTA (JP)；森田晋也 MORITA, SHINYA (JP)；釘宮敏洋 KUGIMIYA, TOSHIHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201131781A1

TW 201222825A1

JP 2008-243928A

WO 2012/070675A1

審查人員：姚真華

申請專利範圍項數：10 項 圖式數：5 共 62 頁

(54)名稱

薄膜電晶體

(57)摘要

本發明為提供一種具有氧化物半導體層的薄膜電晶體，其係移動度良好，且應力耐受性亦為優異之同時，濕式蝕刻特性亦為良好。本發明之薄膜電晶體，其係於基板上依序具有至少閘極電極、閘極絕緣膜、氧化物半導體層、源極-汲極電極、及保護前述源極-汲極電極的保護膜之薄膜電晶體，前述氧化物半導體層為具有第 1 氧化物半導體層(IGZTO)與第 2 氧化物半導體層(IZTO)之層合體，前述第 2 氧化物半導體層為形成於前述閘極絕緣膜之上，同時前述第 1 氧化物半導體層為形成於前述第 2 氧化物半導體層與前述保護膜之間，且前述第 1 氧化物半導體層中，相對於除氧以外的全金屬元素之各金屬元素之含有量為 Ga：5%以上、In：25%以下(不包含 0%)、Zn：35~65%、及 Sn：8~30%。

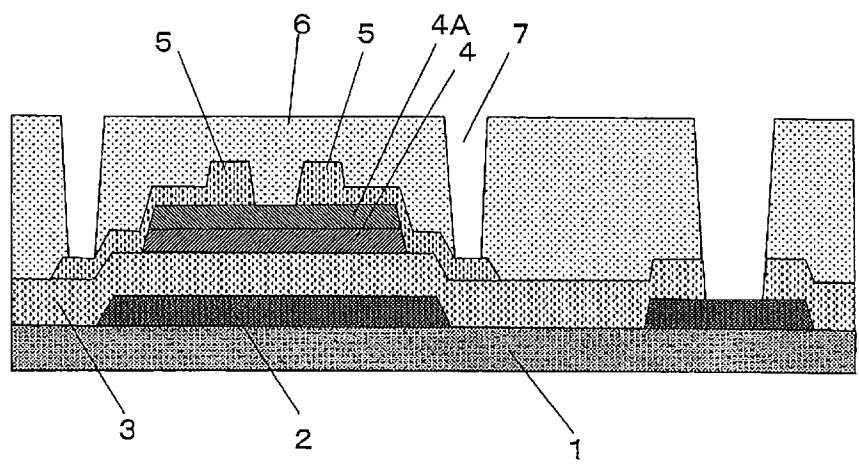


圖 3

- 1 . . . 基板
- 2 . . . 閘極電極
- 3 . . . 閘極絕緣膜
- 4 . . . 第 2 氧化物半導體層
- 4A . . . 第 1 氧化物半導體層
- 5 . . . 源極-汲極電極
- 6 . . . 保護膜(絕緣膜)
- 7 . . . 接觸孔

發明摘要

※申請案號：102120138

※申請日：102年06月06日

※IPC分類：

【發明名稱】(中文/英文)

薄膜電晶體

H01L21/28 (2006.01)

H01L21/28 (2006.01)

【中文】

本發明為提供一種具有氧化物半導體層的薄膜電晶體，其係移動度良好，且應力耐受性亦為優異之同時，濕式蝕刻特性亦為良好。本發明之薄膜電晶體，其係於基板上依序具有至少閘極電極、閘極絕緣膜、氧化物半導體層、源極-汲極電極、及保護前述源極-汲極電極的保護膜之薄膜電晶體，前述氧化物半導體層為具有第1氧化物半導體層(IGZTO)與第2氧化物半導體層(IZTO)之層合體，前述第2氧化物半導體層為形成於前述閘極絕緣膜之上，同時前述第1氧化物半導體層為形成於前述第2氧化物半導體層與前述保護膜之間，且前述第1氧化物半導體層中，相對於除氧以外的全金屬元素之各金屬元素之含有量為Ga:5%以上、In:25%以下(不包含0%)、Zn:35~65%、及Sn:8~30%。

【英文】

【代表圖】

【本案指定代表圖】：第(3)圖。

【本代表圖之符號簡單說明】：

1：基板

2：閘極電極

3：閘極絕緣膜

4：第 2 氧化物半導體層

4A：第 1 氧化物半導體層

5：源極-汲極電極

6：保護膜(絕緣膜)

7：接觸孔

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

薄膜電晶體

【技術領域】

[0001] 本發明為有關使用於液晶顯示器或有機 EL 顯示器等的顯示裝置之薄膜電晶體(TFT)。

【先前技術】

[0002] 相較於泛用的非晶矽(a-Si)，由於非晶(amorphous)氧化物半導體為具有高的載子移動度(亦稱為場效應移動度，以下有單純稱為「移動度」之情形)、光學能隙(band gap)大、可在低溫成膜，故可期待適用於次世代顯示器所要求的大型、高解析度、高速驅動、或耐熱性低的樹脂基板等。

[0003] 將氧化物半導體作為薄膜電晶體之半導體層使用時，不僅載子濃度(移動度)要高，還要求 TFT 之切換特性(電晶體特性、TFT 特性)為優異。即，要求著：(1)導通(ON)電流(對閘極電極與汲極電極施加正電壓時的最大汲極電流)高；(2)關斷(OFF)電流(分別對閘極電極施加負電壓，對汲極電極施加正電壓時的汲極電流)低；(3)S 值(Subthreshold swing，次臨界擺幅；即汲極電流上昇 1 位數所需的閘極電壓)低；(4)臨界值(對汲極電極施加正電壓

、對閘極電壓施加正負任何電壓時，汲極電流開始流動的電壓，亦稱爲臨界值電壓)不經時變化而呈安定(意味著於基板面內呈均一)；且(5)移動度高等。

[0004] 作爲具有如此般特性之氧化物半導體，廣泛使用由銦、鎵、鋅、及氧所成的非晶氧化物半導體(In-Ga-Zn-O，以下有稱爲「IGZO」之情形)(專利文獻 1、非專利文獻 1、非專利文獻 2)。

[0005] 又，作爲具有較 IGZO 爲更高移動度之材料，已有使用由銦、鋅、錫、及氧所成的非晶氧化物半導體(In-Zn-Sn-O，以下有稱爲「IZTO」之情形)(專利文獻 2)。

[先前技術文獻]

[專利文獻]

[0006]

[專利文獻 1]日本國專利第 4568828 號公報

[專利文獻 2]日本國特開 2008-243928 號公報

[非專利文獻]

[0007]

[非專利文獻 1]固體物理、VOL44、P621(2009)

[非專利文獻 2]Nature、VOL432、P488(2004)

【發明內容】

[發明所欲解決之課題]

[0008] 使用上述氧化物半導體層之薄膜電晶體，進而要求對外加電壓或光照射等之應力(stress)的耐性(外加應力前後的臨界值電壓變化量少)為優異。例如，對閘極電極持續外加電壓時，或持續照射開始光吸收的藍色帶時，被指出在薄膜電晶體的閘極絕緣膜與半導體層界面會捕獲電荷，由於半導體層內部之電荷之變化，致使臨界值電壓會往負側大幅度變化(位移)，因此 TFT 的切換特性會變化。又，在液晶面板驅動時、或對閘極電極施加負偏壓而使畫素點燈時等，從液晶晶胞所洩漏的光會被照射於 TFT，但此光會給予 TFT 應力，而成為畫像不均或特性劣化之原因。實際上，使用薄膜電晶體時，若因經由光照射或外加電壓之應力而致切換特性變化時，將導致顯示裝置本身之可靠性降低。

[0009] 又，於有機 EL 顯示器時亦相同，由發光層所漏出之光會照射於半導體層，而產生所謂臨界值電壓等值之不均勻之問題。

[0010] 如此般，特別是臨界值電壓之位移，由於會導致具備有 TFT 之液晶顯示器或有機 EL 顯示器等之顯示裝置本身之可靠性降低，故強烈期盼著提昇應力耐受性。

[0011] 更，於製作具備有氧化物半導體層、及於該氧化物半導體層上方的源極-汲極電極之薄膜電晶體基板時，亦要求上述氧化物半導體層對於濕式蝕刻液等之藥水為具有高的特性(濕式蝕刻特性)。具體而言，於 TFT 製作時之各步驟中，由於所使用的濕式蝕刻液之種類亦不同，

故對於上述氧化物半導體層係要求以下二特性。

[0012] (甲)氧化物半導體層為對於氧化物半導體加工用濕式蝕刻液具有優異的可溶性

即要求著，藉由於加工氧化物半導體層時所使用的草酸等之有機酸系濕式蝕刻液，上述氧化物半導體層為以適宜之速度來做蝕刻，並可無殘渣地圖型化。

[0013] (乙)氧化物半導體層為對於源極-汲極電極用濕式蝕刻液為不溶性

即要求著，藉由於加工成膜於氧化物半導體層上的源極-汲極電極用配線膜時所使用的濕式蝕刻液(例如包含磷酸、硝酸、乙酸等之無機酸)，源極-汲極電極為以適宜之速度來做蝕刻，但上述氧化物半導體層之表面(後通道/back channel)側不因上述濕式蝕刻液而被削減、或有損傷 TFT 特性或使應力耐受性降低之情形。

[0014] 因濕式蝕刻液之蝕刻程度(蝕刻速度)，亦會隨著濕式蝕刻液之種類而有所差異，但，前述 IZTO 為對於草酸等之濕式蝕刻液具有優異之可溶性〔即，上述(甲)之氧化物半導體層加工時之濕式蝕刻性為優異〕，但對於無機酸系濕式蝕刻液之可溶性亦高，非常容易因無機酸系濕式蝕刻液而被蝕刻。因此，藉由源極-汲極電極之濕式蝕刻液之加工時，IZTO 膜會消失，而具有所謂的難以製作 TFT、或 TFT 特性等降低之問題〔即，上述(乙)之源極-汲極電極加工時之濕式蝕刻耐受性為差〕。為解決如此般問題，作為源極-汲極電極用蝕刻液，雖亦有檢討使用不會

蝕刻 IZTO 之藥水(NH_4F 與 H_2O_2 之混合液)，但因上述藥水之壽命短且不安定，故量產性差。

[0015] 伴隨著上述(乙)之源極-汲極電極之濕式蝕刻之 TFT 特性等之降低，特別以如圖 1 所示般，在不具有蝕刻阻止層(etch stop layer)之後通道蝕刻(BCE)構造之 TFT 為常見。

[0016] 即，使用氧化物半導體的底部閘極薄膜電晶體之構造，係大至區分為：如圖 1 所示的不具有蝕刻阻止層之後通道蝕刻型(BCE 型)，與圖 2 所示的具有蝕刻阻止層 8 之蝕刻阻止型(ESL 型)之 2 種類。

[0017] 圖 2 中的蝕刻阻止層 8，以防止在對於源極-汲極電極 5 施加蝕刻時，因氧化物半導體層 4 受到損傷而使電晶體特性降低之目的下而被形成。依據圖 2，由於源極-汲極電極加工時之對氧化物半導體層表面之損傷為少，故易得良好的 TFT 特性。作為上述蝕刻阻止層，一般為使用 SiO_2 等之絕緣膜。

[0018] 相較於此，由於圖 1 為不具有蝕刻阻止層，故能簡化步驟數，生產性為優異。即，依製造方法而異，亦有以不設置蝕刻阻止層而於蝕刻時卻對氧化物半導體層 4 為不會賦予損傷之情形，例如，藉由掀離法(lift-off)來加工源極-汲極電極 5 時，由於不會對氧化物半導體層 4 造成損傷，故不須蝕刻阻止層，此時則使用圖 1 之 BCE 型。或，當使用一特別的濕式蝕刻液時，其係為了即使是沒有蝕刻阻止層亦能發揮良好的 TFT 特性而開發者，則

可使用圖 1 之 BCE 型。

[0019] 就如上述般薄膜電晶體之製作成本之降低或步驟簡化之觀點而言，推薦使用不具有蝕刻阻止層之圖 1 之 BCE 型，但強烈的擔憂前述濕式蝕刻時之問題。當然，即使是圖 2 的 ESL 型中，依濕式蝕刻液之種類，亦有發生上述問題之虞。

[0020] 本發明為有鑑於上述情事之發明，發明之目的為提供一種具備半導體層用氧化物之薄膜電晶體，其係在不具有蝕刻阻止層之 BCE 型之薄膜電晶體中，維持高的場效應移動度之同時，對於光或偏壓應力等之臨界值電壓之變化量小、應力耐受性為優異，並為(甲)對於氧化物半導體加工用濕式蝕刻液具有優異的可溶性，(乙)對於將源極-汲極電極圖型化時所使用的濕式蝕刻液為具有優異的耐受性。

[0021] 又，提供一種具備半導體層用氧化物之薄膜電晶體，其係即使在具有蝕刻阻止層之 ESL 型之薄膜電晶體中，亦維持高的場效應移動度之同時，應力耐受性為優異，並為(甲)對於氧化物半導體加工用濕式蝕刻液具有優異的可溶性。

[解決課題之手段]

[0022] 可解決上述課題之本發明相關的薄膜電晶體，其係於基板上依序具有至少閘極電極、閘極絕緣膜、氧化物半導體層、源極-汲極電極、及保護前述源極-汲極電

極的保護膜之薄膜電晶體，其要旨為：前述氧化物半導體層為具有由 In、Ga、Zn、Sn、及 O 所構成的第 1 氧化物半導體層，與由 In、Zn、Sn、及 O 所構成的第 2 氧化物半導體層之層合體，前述第 2 氧化物半導體層為形成於前述閘極絕緣膜之上，同時前述第 1 氧化物半導體層為形成於前述第 2 氧化物半導體層與前述保護膜之間，且前述第 1 氧化物半導體層中，相對於除氧以外的全金屬元素之各金屬元素之含有量(原子%，以下亦同)為 In:25%以下(不包含 0%)、Ga:5%以上、Zn:35~65%、及 Sn:8~30%。

[0023] 前述第 1 氧化物半導體層中，相對於除氧以外的全金屬元素之各金屬元素之含有量，較佳為 In:20%以下(不包含 0%)、Ga:15%以上且未滿 50%、Zn:35~65%、及 Sn:8~30%。

[0024] 前述第 1 氧化物半導體層之對於源極-汲極電極用濕式蝕刻液的蝕刻速率，宜為前述源極-汲極電極的蝕刻速率的 1/2 以下。

[0025] 又，本發明相關的薄膜電晶體，其係於基板上依序具有至少閘極電極、閘極絕緣膜、氧化物半導體層、蝕刻阻止層、源極-汲極電極、及保護前述源極-汲極電極的保護膜之薄膜電晶體，其要旨為：前述氧化物半導體層為具有由 In、Ga、Zn、Sn、及 O 所構成的第 1 氧化物半導體層，與由 In、Zn、Sn、及 O 所構成的第 2 氧化物半導體層之層合體，同時前述第 1 氧化物半導體層中，相對於除氧以外的全金屬元素之各金屬元素之含有量(原子%

，以下亦同)爲 In:25%以下(不包含 0%)、Ga:8.0%以上、Zn:30.0~65%、及 Sn:5~30%。

[0026] 前述第 1 氧化物半導體層中，相對於除氧以外的全金屬元素之各金屬元素之含有量，較佳爲 In:20%以下(不包含 0%)、Ga:15%以上且未滿 50%、Zn:35~65%、及 Sn:8~30%。

[0027] 又，宜爲前述第 2 氧化物半導體層爲形成於前述閘極絕緣膜之上，同時前述第 1 氧化物半導體層爲形成於前述第 2 氧化物半導體層與前述蝕刻阻止層之間。

[0028] 更，第 2 氧化物半導體層之厚度亦宜爲 0.5nm 以上。

[0029] 本發明中亦包含具備上述薄膜電晶體之顯示裝置。

[發明的效果]

[0030] 依據本發明，可提供一種具備半導體層用氧化物之薄膜電晶體，其係在不具有蝕刻阻止層之 BCE 型之薄膜電晶體中，移動度爲高、薄膜電晶體之切換特性及應力耐受性(光照射及外加負偏壓前後之臨界值電壓之位移量變少)爲優異，同時濕式蝕刻特性爲優異，即爲(甲)對於氧化物半導體加工用濕式蝕刻液具有優異的可溶性(優異的濕式蝕刻性)，(乙)對於源極-汲極電極用濕式蝕刻液爲具有優異的耐受性(優異的濕式蝕刻耐受性)。

[0031] 又，可提供一種具備半導體層用氧化物之薄

膜電晶體，其係即使在具有蝕刻阻止層之 ESL 型之薄膜電晶體中，移動度亦高、薄膜電晶體之切換特性及應力耐受性(光照射及外加負偏壓前後之臨界值電壓之位移量變少)亦為優異，同時濕式蝕刻特性為優異，即為(甲)對於氧化物半導體加工用濕式蝕刻液具有優異的可溶性(優異的濕式蝕刻性)。

【圖式簡單說明】

[0032]

[圖 1]圖 1 為用來說明:具備以往的氧化物半導體層(單層)之薄膜電晶體(BCE 型)之概略斷面圖。

[圖 2]圖 2 為用來說明:具備以往的氧化物半導體層(單層)之薄膜電晶體(ESL 型)之概略斷面圖。

[圖 3]圖 3 為用來說明:具備作為使用於本發明之氧化物半導體層的第 2 氧化物半導體層(由基板側看起為下側)與第 1 氧化物半導體層之層合體(由基板側看起為上側)之薄膜電晶體(BCE 型)之概略斷面圖。

[圖 4]圖 4 為用來說明:具備作為使用於本發明之氧化物半導體層的第 2 氧化物半導體層(由基板側看起為下側)與第 1 氧化物半導體層之層合體(由基板側看起為上側)之薄膜電晶體(ESL 型)之概略斷面圖。

[圖 5]圖 5 為用來說明:具備作為使用於本發明之氧化物半導體層的第 2 氧化物半導體層(由基板側看起為上側)與第 1 氧化物半導體層之層合體(由基板側看起為下側)之

薄膜電晶體(ESL型)之概略斷面圖。

【實施方式】

[0033] 本發明團隊發現，若將 IZTO(有稱為「第 2 氧化物半導體層」之情形)，與由指定組成所成的由 In、Ga、Zn、Sn、及 O(以下，有時以「IGZTO」來表示。)所構成的氧化物(以下，有稱為「第 1 氧化物半導體層」之情形)層合，以構成氧化物半導體層時，可達成所期望之目的，遂而完成本發明。

[0034] 於本說明書中，所謂的「優異的應力耐受性」，係意味著以後述實施例所記載之方法，一邊將白色光照射於樣品，同時對於閘極電極進行持續外加負偏壓之外加應力試驗 2 小時，此時外加應力試驗前後的臨界值電壓(V_{th})之位移量 ΔV_{th} (絕對值)為 IZTO 單層之 ΔV_{th} 以下。

[0035] 於本說明書中，所謂的「優異的濕式蝕刻特性」，當為不具有蝕刻阻止層之 BCE 型之情形時，係滿足下述(甲)濕式蝕刻性為優異，及(乙)濕式蝕刻耐受性為優異；當為具有蝕刻阻止層之 ESL 型之情形時，係滿足下述(甲)濕式蝕刻性為優異。尚，以下有就將濕式蝕刻性與濕式蝕刻耐受性，總稱為「濕式蝕刻特性」之情形。

[0036] (甲)對於氧化物半導體加工用濕式蝕刻液具有優異的可溶性(優異的濕式蝕刻性)。即，意味著藉由於加工氧化物半導體層時所使用的草酸等之有機酸系濕式蝕刻液，具有本發明之層合構造的氧化物半導體層之第 1、第

2 氧化物半導體層，會以大約同程度(0.1~4 倍)之蝕刻速率被蝕刻，可無殘渣地圖型化。

[0037] (乙)將源極-汲極電極以濕式蝕刻液來圖型化時，意味著源極-汲極電極會被蝕刻，但氧化物半導體層對於上述濕式蝕刻液為不溶性(優異的濕式蝕刻耐受性)。本說明書中，為測定之簡便化，如後述實施例所示般，將氧化物半導體層成膜於基板，並測定以源極-汲極電極用濕式蝕刻液進行圖型化時之蝕刻速度；此時的第 1 氧化物半導體層之蝕刻速度，若為源極-汲極電極之蝕刻速度之 1/2 以下時，則評估對於源極-汲極電極用濕式蝕刻液為優異的濕式蝕刻耐受性。具有上述蝕刻速度範圍者，由於氧化物半導體層不易因上述濕式蝕刻液而被蝕刻，故氧化物半導體層之表面(後通道)側不會因上述濕式蝕刻液而被削減、或有損傷 TFT 特性或使應力耐受性降低。

[0038] 以下，將完成本發明之經過說明之同時，對於本發明做詳述。

[0039] 如上述般，IZTO 係作為移動度高的氧化物半導體層而被廣泛應用著。特別是，IZTO 雖較 IGZO 為具有高移動度之材料，但應力耐受性則較 IGZO 為低，由於有安定性降低之可能性，故對應顯示器之大型化、高速驅動化，要求著更高的應力耐受性。

[0040] 因此，本發明團隊為了提昇在作為氧化物半導體層為有用的 IZTO 之應力耐受性，反覆進行了各種研討。

[0041] 其結果得知，使 IZTO 成爲接觸於以 SiO_2 、 Al_2O_3 、 HfO_2 等之絕緣體所構成的保護膜(BCE 型之情形)，或接觸於蝕刻阻止層(ESL 型之情形)(以下，有將此等總稱爲「氧化物系絕緣體」之情形)之構造時，於 IZTO 與氧化物系絕緣體間之界面會有起因爲異種材料之接觸，於該界面因氧缺陷而容易形成陷阱準位(trapping level)。

[0042] 在此，本發明爲在由 IZTO 所成的第 2 氧化物半導體層與氧化物系絕緣體之間，介隔著由 IGZTO 所成的第 1 氧化物半導體層，使氧化物半導體層以成爲第 1、第 2 氧化物半導體層之層合構造。

[0043] 即，本發明中，在氧化物系絕緣體與第 2 氧化物半導體層之間，係設置第 1 氧化物半導體層以作爲第 2 氧化物半導體層之保護層。因此，第 2 氧化物半導體層不會與氧化物系絕緣體直接接觸，可抑制上述起因爲缺氧之陷阱準位之形成。

[0044] 尙，第 1 氧化物半導體層與第 2 氧化物半導體層，在有無 Ga 之點，嚴格上說來構成元素爲有所不同，但由於除了 Ga 以外之元素爲重複，故藉由適當控制第 1 氧化物半導體層之構成元素之比率，可抑制在第 1 氧化物半導體層與第 2 氧化物半導體層之接觸界面之陷阱準位之形成。其結果，認爲第 2 氧化物半導體層之界面構造會安定化，維持高移動度之同時，應力耐受性亦爲提昇。

[0045] 又，第 1 氧化物半導體層，不僅是在與氧化物系絕緣體之界面爲不易產生缺氧，亦由於氧化物半導體

層整體之移動度為以第 2 氧化物半導體層即能充分確保，故幾乎不會使氧化物半導體層整體之移動度等的 TFT 特性降低。

[0046] 更，本發明中為藉上述層合構造，而能改善氧化物半導體層之濕式蝕刻特性。即，BCE 型、ESL 型皆為(甲)本發明之氧化物半導體層為對於氧化物半導體加工用濕式蝕刻液具有優異的可溶性(優異的濕式蝕刻性)。使氧化物半導體層成為層合構造時，起因為金屬之種類或含有量之差異而於形成配線圖型時，在第 1 層與第 2 層之側面蝕刻(side etching)量為不同，而無法圖型化為所期望之形狀等，具有問題。然而，本發明中為藉由適當控制第 1 氧化物半導體層與第 2 氧化物半導體層之成分組成、及組成比，可使第 1 氧化物半導體層與第 2 氧化物半導體層之蝕刻速率成為同等級。

[0047] 又，BCE 型之情形時，(乙)本發明之第 1 氧化物半導體層為對於源極-汲極電極用濕式蝕刻液之不溶性為高(優異的濕式蝕刻耐受性)。由於本發明之第 1 氧化物半導體層不易因無機酸系濕式蝕刻液而被蝕刻，故氧化物半導體層之表面(後通道)側不會因上述濕式蝕刻液而被削減、或有損傷 TFT 特性或使應力耐受性降低。

[0048] 構成第 1 氧化物半導體層之各金屬元素(In、Ga、Zn、Sn)之含有量(相對於第 1 氧化物半導體層中所包含的全金屬元素之比例(除氧以外)，以下相同)，考量第 2 氧化物半導體層之種類或組成比、移動度、載子密度、濕

式蝕刻特性等而予以決定即可。

[0049] In:BCE 型、ESL 型皆為 25%以下(不包含 0%)

In 為對於氧化物半導體層之電阻降低為有效之元素。為了有效地展現出如此般之效果，不論是 BCE 型或 ESL 型，較佳為 1%以上，又較佳為 3%以上，更佳為 5%以上。另一方面，若 In 含有量過多時，因有應力耐受性降低之情形，故第 2 氧化物半導體層之不論何種情形，In 含有量皆為 25%以下，較佳為 23%以下，又較佳為 20%以下。

[0050] Ga:在不具有蝕刻阻止層之 BCE 型之情形時為 5%以上；在具有蝕刻阻止層之 ESL 型之情形時為 8.0%以上

Ga 為抑制缺氧之發生，且對於應力耐受性提昇為有效之元素。為了有效地展現出如此般之效果，在不具有蝕刻阻止層之 BCE 型之情形時，Ga 含有量設定為 5%以上，較佳為 10%以上，又較佳為 15%以上。另一方面，在具有蝕刻阻止層之 ESL 型之情形時，Ga 含有量設定為 8.0%以上，較佳為 10%以上，又較佳為 12%以上，更佳為 15%以上。若 Ga 含有量過多時，用來形成第 1 氧化物半導體層之濺鍍靶材本身就會高電阻化。當使用此高 Ga 濺鍍靶材來進行成膜時，有無法正常 DC 放電(直流放電)之情形。因此，Ga 含有量以設定為未滿 50%為佳。又，在第 1 氧化物半導體層中，擔任為電子之導電路徑角色的 In 或 Sn 之含有量會相對地降低，其結果移動度有降低之情形。因此，Ga 含有量又較佳為 40%以下，更佳為 30%以下

，又更佳為 20%以下。

[0051] Zn:在不具有蝕刻阻止層之 BCE 型之情形時為 35~65%；在具有蝕刻阻止層之 ESL 型之情形時為 30.0~65%

Zn 為對於濕式蝕刻速率帶來影響之元素，若 Zn 過少時，使用氧化物半導體加工用濕式蝕刻液之情形之濕式蝕刻性會變差。又，若 Zn 過少時，非晶構造會變得不安定，TFT 有變得無法切換動作之情形。因此，BCE 型之情形時，Zn 含有量為 35%以上，較佳為 40%以上，又較佳為 45%以上。又，ESL 型之情形時，Zn 含有量為 30.0%以上，較佳為 35%以上，又較佳為 40%以上。若 Zn 含有量過多時，對於氧化物半導體加工用濕式蝕刻液之濕式蝕刻速率會變得過快，難以使成為所期望之圖型形狀。又，氧化物半導體層會結晶化、或是 In 或 Sn 等之含有量會相對地降低，而有應力耐受性惡化之情形。因此，Zn 含有量為 65%以下，較佳為 60%以下。

[0052] Sn:在不具有蝕刻阻止層之 BCE 型之情形時為 8~30%；在具有蝕刻阻止層之 ESL 型之情形時為 5~30%

Sn 為對於移動度提昇、濕式蝕刻耐受性提昇為有效之元素。若 Sn 含有量過少時，移動度會惡化，而濕式蝕刻速度會增加，將源極-汲極電極進行濕式蝕刻時，由於構成氧化物半導體層之薄膜之膜厚減少、或導致對於表面之損傷增加，故致使 TFT 特性之降低。又，對於氧化物半導體加工用濕式蝕刻液之濕式蝕刻性亦有變差之情形。

因此，BCE 型之情形時，Sn 含有量為 8%以上，較佳為 10%以上，又較佳為 12%以上。又，ESL 型之情形時，Sn 含有量為 5%以上，較佳為 8%以上，又較佳為 10%以上。若 Sn 含有量過多時，應力耐受性會降低，同時對於氧化物半導體加工用濕式蝕刻液之濕式蝕刻速率亦有降低(濕式蝕刻性為降低)之情形。特別是對於作為氧化物半導體加工用濕式蝕刻液而被廣泛利用的草酸等之有機酸為不溶，因而無法做氧化物半導體層之加工。因此，在不具有蝕刻阻止層之 BCE 型之情形時，Sn 含有量設定為 30%以下，較佳為 28%以下，又較佳為 25%以下。另一方面，在具有蝕刻阻止層之 ESL 型之情形時，Sn 含有量為 30%以下，較佳為 25%以下，又較佳為 23%以下，更佳為 20%以下。

[0053] 作為 BCE 型、ESL 型皆為較佳的第 1 氧化物半導體層之組成，考量上述各金屬元素之平衡，並能有效發揮所期望之特性，以設定於適宜範圍為較佳。

[0054] 構成本發明之第 2 氧化物半導體層之金屬元素(In、Zn、Sn)之各金屬間之比率，只要是含有此等金屬之氧化物為具有非晶相，且為表示出半導體特性之範圍即可，未特別限定。又如上述，由於因添加的金屬元素之含有量(原子%)會對於移動度或濕式蝕刻特性帶來不好的影響，故以進行適宜之調整為宜。例如，濕式蝕刻時之蝕刻速率，希望將第 1 氧化物半導體層與第 2 氧化物半導體層設定為大約同程度，故只要將蝕刻速率比以成為大約同程度(以蝕刻速率比 0.1~4 倍)之方式來進行成分組成之調整

即可。

[0055] 本發明之第 2 氧化物半導體層之厚度，BCE 型、ESL 型皆未有特別之限定，但若第 2 氧化物半導體層過薄時，基板面內之特性(移動度、S 值、V_{th} 等之 TFT 特性)有產生不均之虞。因此，就充分抑制特性之不均之觀點而言，第 2 氧化物半導體層之厚度宜為 0.5nm 以上，又較佳為 5nm 以上，更佳為 10nm 以上。另一方面，若過厚時，氧化物半導體層之加工性會變差，因而對成膜或蝕刻需要花費時間，致使生產成本增加之情形，宜較佳為 100nm 以下，又較佳為 50nm 以下。又，將第 2 氧化物半導體層之厚度設定為與第 1 氧化物半導體層之厚度為同等級以下時，更設定為 30nm 以下，又更為 20nm 以下，亦可特別設定為 10nm 以下。

[0056] 又，第 1 氧化物半導體層之厚度，BCE 型、ESL 型亦皆未有特別之限定，但第 1 氧化物半導體層之厚度過薄時，因有無法充分發揮形成上述第 1 氧化物半導體層之效果，故較佳設定為 20nm 以上，又較佳為 30nm 以上。另一方面，若過厚時，因為有移動度降低之虞，故較佳設定為 50nm 以下，又較佳為 40nm 以下。

[0057] 第 2 氧化物半導體層與第 1 氧化物半導體層之合計膜厚，BCE 型、ESL 型皆為只要是位於上述範圍內予以適當組合即可，但氧化物半導體層整體之膜厚過厚時，因為生產成本增加、或變得會阻礙薄膜電晶體之薄型化，故較佳為 100nm 以下、又較佳為 50nm 以下。合計膜厚

之下限，只要採用能發揮上述各氧化物半導體層之效果程度之膜厚即可。

[0058] 接著，對於本發明之第 1 氧化物半導體層 (IGZTO) 與第 2 氧化物半導體層 (IZTO) 之層合構造之較佳實施態樣來做說明。

[0059] 首先，就以往例中，如圖 1(無蝕刻阻止層 :BCE 型)、圖 2(具有蝕刻阻止層 :ESL 型)所示般，以由 IZTO 而成的第 2 氧化物半導體層 4(單層)所構成，第 2 氧化物半導體層 4 為與保護膜 6(圖 1)、或與蝕刻阻止層 8(圖 2)，以及閘極絕緣膜 3 直接接觸而構成。

[0060] 圖 3 為本發明之 BCE 型之較佳實施態樣之一例。第 2 氧化物半導體層 4 (IZTO)，在與保護膜 6 之界面由於容易因缺氧而形成陷阱準位，故藉由將第 1 氧化物半導體層 4A (IGZTO) 形成於第 2 氧化物半導體層 4 (IZTO) 與保護膜 6 之間，亦可解決缺氧之問題、或自源極-汲極電極用濕式蝕刻液中來保護第 2 氧化物半導體層。

[0061] 圖示例中，雖第 1 氧化物半導體層 4A 為與保護膜 6 以直接接觸之方式而構成，但第 1 氧化物半導體層 4A 與保護膜 6 之間亦可介隔著其他層。

[0062] 圖 4 為本發明之 ESL 型之較佳之實施態樣之另一例。第 1 氧化物半導體層 4A 為形成於第 2 氧化物半導體層 4 與蝕刻阻止層 8 之間。圖示例中，雖第 1 氧化物半導體層 4A 為與蝕刻阻止層 8 以直接接觸之方式而構成，但第 1 氧化物半導體層 4A 與蝕刻阻止層 8 之間亦可介

隔著其他層。第 2 氧化物半導體層 4(IZTO)，在與蝕刻阻止層 8 之界面由於容易因缺氧而形成陷阱準位，故藉由將第 1 氧化物半導體層 4A(IGZTO)形成於第 2 氧化物半導體層 4(IZTO)與蝕刻阻止層 8 之間，可解決如此般之問題。又，因第 2 氧化物半導體層 4 之移動度為高，不僅蝕刻阻止層 8 側，藉由配置於電流大量流經的閘極絕緣膜 3 側，可實現高移動度。

[0063] 圖 5 為本發明之 ESL 型之較佳其他實施態樣之一例(第 1、第 2 氧化物半導體層之層合順序與圖 4 為相反之構成)。第 1 氧化物半導體層 4A 為形成於第 2 氧化物半導體層 4 與閘極絕緣膜 3 之間。圖示例中，雖第 1 氧化物半導體層 4A 為與閘極絕緣膜 3 以直接接觸之方式而構成，但如同上述，之間亦可介隔著其他層。即使第 1 與第 2 氧化物半導體層之層合構造與上述第 1 層合構造(圖 4)為相反，但仍可抑制在第 2 氧化物半導體層與第 1 氧化物半導體層間之界面的缺氧等。又，只要是不含有對於移動度會帶來影響的 Ga 之第 2 氧化物半導體層(IZTO)時，即使是將第 2 氧化物半導體層配置於蝕刻阻止層側，亦可實現高移動度。

[0064] ESL 構造之情形時，藉由將第 1 氧化物半導體層 4A 設置於閘極絕緣膜 3 與第 2 氧化物半導體層 4 之間、或設置於蝕刻阻止層 8 與第 2 氧化物半導體層 4 之間之至少任何一方(較佳如後述般為蝕刻阻止層)，可得到應力耐受性提昇之效果。

[0065] 接著，對於本發明之氧化物半導體層之製造方法來做說明。

[0066] 上述由 IZTO 而成的第 2 氧化物半導體層，與由 IGZTO 而成的第 1 氧化物半導體層，較佳為藉由濺鍍法以使用濺鍍靶材(以下或稱為「靶材」)來進行成膜。藉由濺鍍法時，可容易形成成分或膜厚之膜面內均勻性為優異之薄膜。又，亦可藉由塗布法等之化學成膜法來形成氧化物。

[0067] 作為濺鍍法所使用的靶材，包含前述元素，較佳為使用與所期望之氧化物為相同組成之濺鍍靶材，因此，可形成組成偏差少、所期望成分組成之薄膜。具體而言，作為成膜成第 2 氧化物半導體層之靶材，可使用由 In、Zn、及 Sn 所構成之氧化物靶材(IZTO 靶材)。

[0068] 又，作為成膜成第 1 氧化物半導體層成膜之標材，可使由 In、Ga、Zn、及 Sn 所構成之氧化物靶材(IGZTO 靶材)。

[0069] 或者，亦可將組成為不同的二種靶材，使用同時放電之共濺鍍法(Co-Sputter 法)來成膜。又，亦可使用包含至少 2 種以上之上述元素之混合物之氧化物靶材。

[0070] 上述靶材可例如藉由粉末燒結法來進行製造。

[0071] 將第 2 氧化物半導體層與第 1 氧化物半導體層，以濺鍍法來成膜時，宜為保持在真空狀態下連續性地成膜。此因，當第 2 氧化物半導體層與第 1 氧化物半導體

層成膜時，若曝露於大氣中，空氣中的水分或有機成分會附著於薄膜表面，而成爲污染(品質不良)之原因。

[0072] 使用上述靶材以濺鍍法來進行成膜時，爲了要插入(interpolation)於濺鍍成膜時由薄膜中所脫離的氧，並盡可能地提高氧化物半導體層之密度(較佳爲 6.0g/cm^3 以上)，較佳爲適度地控制成膜時之氣體壓力、氧添加量(氧之分壓)、對濺鍍靶材之輸入功率、基板溫度、T-S 間距離(濺鍍靶材與基板間之距離)等。

[0073] 具體而言，較佳爲例如以下述濺鍍條件來進行成膜。

[0074] 在使用上述靶材來進行濺鍍時，較佳爲將基板溫度大約控制於室溫 $\sim 200^\circ\text{C}$ 左右，並適當地控制氧添加量。

[0075] 氧添加量，以表現出作爲半導體之動作之方式，只要因應濺鍍裝置之構成或靶材組成等予以適當控制即可，但較佳以半導體載子濃度大約成爲 $10^{15}\sim 10^{16}\text{cm}^{-3}$ 之方式來添加氧量。

[0076] 又，較佳爲適當地控制濺鍍成膜時之氣體壓力、對濺鍍靶材之輸入功率、T-S 間距離(濺鍍靶材與基板間之距離)等，來調整氧化物半導體層之密度。例如，由於濺鍍原子彼此之散亂會被抑制，故成膜時之全氣體壓力越低越佳，可成膜成緻密(高密度)之膜。較佳的氣體壓力，以大約 $1\sim 3\text{mTorr}$ 之範圍內爲較佳。又，輸入功率也是愈高愈佳，推薦以設定爲大約 200W 以上。

[0077] 又，由於氧化物半導體層之密度亦會因成膜後之熱處理條件而受到影響，故成膜後之熱處理條件亦以適當控制為佳。成膜後之熱處理，較佳為例如在大氣氣氛下或水蒸氣氣氛下，以大約於 250~400℃ 進行 10 分~3 小時左右。如此般之熱處理，例如在 TFT 之製造過程中的熱歷程亦可予以控制。例如，藉由進行前退火 (pre-annealing) 處理 (將氧化膜半導體層濕式蝕刻後之圖型化後的熱處理)，能提高密度。

[0078] 本發明中亦包含具備有上述氧化物作為 TFT 之半導體層 (氧化物半導體層) 的 TFT。該 TFT，只要是上述氧化物半導體層為具備有第 2 氧化物半導體層與第 1 氧化物半導體層之層合構造即可，關於包含閘極絕緣膜等其他構成則未特別限定。例如，於基板上設置有閘極電極、閘極絕緣膜、上述氧化物半導體層、源極電極、汲極電極 (亦有將源極電極與汲極電極一併稱為源極-汲極電極之情形)、及保護膜 (BCE 型)、蝕刻阻止層時，只要進而至少具有蝕刻阻止層 (ESL 型) 即可，其構成只要是一般所使用者，未特別限定。尚，亦如圖中所示般，保護膜為形成於源極-汲極電極之上側，係以保護閘極絕緣膜、上述氧化物半導體層、源極-汲極電極之宗旨而形成者。

[0079] 以下，一邊參照圖 3 一邊說明不具有蝕刻阻止層之 BCE 型 TFT 的製造方法之實施形態。圖 3 及以下的製造方法係表示本發明之較佳實施形態之一例，其宗旨並不限定於此。例如，圖 3 中為表示底部閘極型構造之

TFT，但不限定於此，亦可為在氧化物半導體層上，依序具備閘極絕緣膜與閘極電極之頂部閘極型 TFT。

[0080] 圖 3 中，於基板 1 上為形成有閘極電極 2 及閘極絕緣膜 3，在其上形成第 2 氧化物半導體層 4。在第 2 氧化物半導體層 4 上形成第 1 氧化物半導體層 4A，進而於其上形成源極-汲極電極 5，在其上形成保護膜(絕緣膜)6，藉由接觸孔 7 使透明導電膜(無圖示)與汲極電極 5 電連結。

[0081] 於基板 1 上形成閘極電極 2 及閘極絕緣膜 3 之方法未特別限定，可採用一般所使用之方法。又，閘極電極 2 及閘極絕緣膜 3 之種類亦未特別限定，可使用泛用者。例如，作為閘極電極，可較佳使用電阻率低的 Al 或 Cu 金屬，或耐熱性高的 Mo、Cr、Ti 等之高融點金屬，或此等之合金。又，作為閘極絕緣膜 3 之代表性示例，有氮化矽膜(SiN)、氧化矽膜(SiO₂)、氮氧化矽膜(SiON)等。除此之外，亦可使用 Al₂O₃ 或 Y₂O₃ 等之氧化物，或層合此等者。

[0082] 接著，形成氧化物半導體層(由基板側依序為第 2 氧化物半導體層 4、第 1 氧化物半導體層 4A)。第 2 氧化物半導體層 4 亦可藉由使用 IZTO 靶材之直流濺鍍法，或 RF 濺鍍法來進行成膜。同樣地，第 1 氧化物半導體層 4A，可藉由使用構成第 1 氧化物半導體層 4A 之 IGZTO 靶材之直流濺鍍法或 RF 濺鍍法來進行成膜。

[0083] 較佳為將第 2 氧化物半導體層 4、第 1 氧化物

半導體層 4A 依序以真空一貫連續來進行成膜。此時，若將第 1 氧化物半導體控制於符合上述組成時，濺鍍速率會提昇，同時濕式蝕刻特性亦會提昇。

[0084] 將氧化物半導體層濕式蝕刻後，進行圖型化。較佳為圖型化後不久即進行用來改善氧化物半導體層之膜質的熱處理(前退火)，藉此，電晶體特性之導通電流及場效應移動度會上昇，電晶體性能會提昇。作為前退火之條件，列舉例如，溫度:約 250~400°C、時間:約 10 分~1 小時等。

[0085] 前退火後，形成源極-汲極電極 5。源極-汲極電極 5 之種類未特別限定，可使用泛用者。例如，亦可使用與閘極電極相同的 Mo 或 Al、Cu 等之金屬或合金。

[0086] 作為源極-汲極電極 5 之形成方法，例如，藉由磁電濺鍍法將金屬薄膜成膜後，可經由光微影而圖型化，並進行濕式蝕刻後形成電極。

[0087] 之後，藉由 CVD(Chemical Vapor Deposition) 法將保護膜 6 成膜於第 1 氧化物半導體層 4A 與源極-汲極電極 5 之上方。保護膜 6 為使用 SiO₂ 或 SiON、SiN 等。又，亦可使用濺鍍法來形成保護膜 6。第 1 氧化物半導體層 4A 表面，因藉由 CVD 的電漿損傷而容易導致導通化(推測大概是因在第 1 氧化物半導體表面所生成的缺氧成為電子施體之故。)，故可於保護膜 6 成膜前進行 N₂O 電漿照射。N₂O 電漿之照射條件可採用例如下述文獻中所記載之條件。J.Park 等、Appl.Phys.Lett.,1993,053505(2008)

[0088] 之後，依據常法，藉由接觸孔 7 將透明導電膜與汲極電極 5 電連結。透明導電膜及汲極電極之種類未特別限定，可使用一般所使用者。作為汲極電極，例如可使用在前述源極-汲極電極中所示例者。

[0089] 以下，一邊參照圖 4 一邊說明具有蝕刻阻止層之 ESL 型 TFT 之製造方法之實施形態。圖 4 及以下的製造方法係表示本發明之較佳實施形態之一例，其宗旨並不限定於此。例如，圖 4 中為表示底部閘極型構造之 TFT，但不限定於此，亦可為在氧化物半導體層上，依序具備閘極絕緣膜與閘極電極之頂部閘極型 TFT。即使是頂部閘極型 TFT，亦只要使第 1 氧化物半導體層介隔於第 2 氧化物半導體層與蝕刻阻止層之間即可。

[0090] 圖 4 中，於基板 1 上為形成有閘極電極 2 及閘極絕緣膜 3，在其上形成第 2 氧化物半導體層 4。在第 2 氧化物半導體層 4 上形成第 1 氧化物半導體層 4A，進而於其上形成蝕刻阻止層 8、源極-汲極電極 5，在其上形成保護膜(絕緣膜)6，藉由接觸孔 7 使透明導電膜(無圖示)與汲極電極 5 電連結。

[0091] 於基板 1 上形成閘極電極 2 及閘極絕緣膜 3 之方法未特別限定，可採用一般所使用之方法。又，閘極電極 2 及閘極絕緣膜 3 之種類亦未特別限定，可使用泛用者。例如，作為閘極電極，可較佳使用電阻率低的 Al 或 Cu 金屬，或耐熱性高的 Mo、Cr、Ti 等之高融點金屬，或此等之合金。又，作為閘極絕緣膜 3 之代表性示例，有氮

化矽膜(SiN)、氧化矽膜(SiO₂)、氮氧化矽膜(SiON)等。除此之外，亦可使用 Al₂O₃ 或 Y₂O₃ 等之氧化物，或層合此等者。

[0092] 接著，形成氧化物半導體層(由基板側依序為第 2 氧化物半導體層 4、第 1 氧化物半導體層 4A)。第 2 氧化物半導體層 4 亦可藉由使用 IZTO 靶材之直流濺鍍法，或 RF 濺鍍法來進行成膜。同樣地，第 1 氧化物半導體層 4A，可藉由使用構成第 1 氧化物半導體層 4A 之 IGZTO 靶材之直流濺鍍法或 RF 濺鍍法來進行成膜。

[0093] 較佳為將第 2 氧化物半導體層 4、第 1 氧化物半導體層 4A 依序以真空一貫連續來進行成膜。此時，若將第 1 氧化物半導體層控制於符合上述組成時，濺鍍速率會提昇，同時濕式蝕刻特性亦會提昇。

[0094] 將氧化物半導體層濕式蝕刻後，進行圖型化。較佳為圖型化後不久即進行用來改善氧化物半導體層之膜質的熱處理(前退火)，藉此，電晶體特性之導通電流及場效應移動度會上昇，電晶體性能會提昇。作為前退火之條件，列舉例如，溫度:約 250~400℃、時間:約 10 分~1 小時等。

[0095] 前退火後，形成蝕刻阻止層 8。蝕刻阻止層 8 為使用一般的 SiO₂ 等之絕緣膜。以不形成蝕刻阻止層 8 而形成源極-汲極電極 5 時，在對於源極-汲極電極 5 施予蝕刻時，氧化物半導體層會受到損傷，電晶體特性有降低之虞。蝕刻阻止層 8 之種類未特別限定，只要使用泛用者

即可，例如與保護膜為相同地，只要使用 SiO_2 等來形成即可。

[0096] 源極-汲極電極 5 之種類未特別限定，只要使用泛用者即可。例如與閘極電極為相同地，可使用 Mo 或 Al、Cu 等之金屬或合金。電極之形成廣泛為使用濺鍍法。

[0097] 作為源極-汲極電極 5 之形成方法，例如，藉由磁電濺鍍法將金屬薄膜成膜後，可經由光微影而圖型化，並進行濕式蝕刻後形成電極。

[0098] 之後，藉由 CVD(Chemical Vapor Deposition) 法將保護膜 6 成膜於蝕刻阻止層 8 與源極-汲極電極 5 之上方。保護膜 6 為使用 SiO_2 或 SiON 、 SiN 等。又，亦可使用濺鍍法來形成保護膜 6。

[0099] 之後，依據常法，藉由接觸孔 7 將透明導電膜與汲極電極 5 電連結。透明導電膜及汲極電極之種類未特別限定，可使用一般所使用者。作為汲極電極，例如可使用在前述源極-汲極電極中所示例者。

[實施例]

[0100] 以下，列舉實施例來具體說明本發明，但本發明本並不受限於下述實施例，在能符合前、後述宗旨之範圍內加以適當變更並予以實施係理所當然之情事，此等皆包含於本發明之技術範圍內。

[0101]

實施例 1(BCE 型)

(應力耐受性之評估)

製作具有氧化物半導體層之 TFT(圖 1、3)，評估其應力耐受性。

[0102] 首先，於玻璃基板 1(康寧公司製 EAGLE XG、直徑 100mm×厚度 0.7mm)上，依序使作為閘極電極 2 之 Mo 薄膜以 100nm、及作為閘極絕緣膜 3 之 SiO₂(200nm)成膜。閘極電極 2 為使用純 Mo 之濺鍍靶材，藉由直流濺鍍法，在成膜溫度:室溫、成膜功率:300W、載子氣體:Ar、氣體壓力:2mTorr、Ar 氣體流量:20sccm 下成膜。又，閘極絕緣膜 3 為使用電漿 CVD 法，在載子氣體:SiH₄ 與 N₂O 之混合氣體、成膜功率:100W、成膜時氣體壓力:133Pa、成膜溫度:320°C 下成膜。

[0103] 之後，將表 1 中所示之組成及構造之氧化物半導體層，以使用組成為具有因應該氧化物半導體層之組成的氧化物濺鍍靶材，並藉由下述條件之濺鍍法以成膜為指定的膜厚。

[0104] 具體而言，表 1 中，No.1(以往例)為圖 1 之構成例，作為圖 1 之氧化物半導體層 4，係將非晶 IZTO 氧化物半導體層(In:Zn:Sn(原子%比)=20:56.7:23.3，單層)成膜於閘極絕緣膜 3 之上(未成膜第 1 氧化物半導體層 4A)。

[0105] No.2 為圖 3 之構成例，係在閘極絕緣膜 3 上成膜第 2 氧化物半導體層 4(IZTO:原子%比與 No.1 相同)後，再成膜第 1 氧化物半導體層 4A(In:Ga:Zn:Sn(原子%比

)=21.1:16.7:53.3:8.9)。

[0106] 構成氧化物半導體層之第 2 氧化物半導體層 4 與第 1 氧化物半導體層 4A 之成膜，在途中反應室為未開放於大氣，而以連續進行成膜。

[0107] 如此所得之氧化物半導體層中之金屬元素之各含有量，係藉著 XPS(X-ray Photoelectron Spectroscopy) 法來進行分析。第 1、第 2 氧化物半導體層之金屬元素之含有量，與成膜時使用的氧化物濺鍍靶材中的金屬元素之含有量，組成比為相同。

[0108] 第 2 氧化物半導體層 4、第 1 氧化物半導體層 4A 之成膜皆為使用直流濺鍍法來成膜。於濺鍍所使用之裝置為(股)ULVAC 公司製「CS-200」，濺鍍條件如以下。

基板溫度:室溫

氣體壓力:1mTorr

氧分壓: $O_2/(Ar + O_2) \times 100 = 4\%$

成膜功率密度: $2.55 W/cm^2$

[0109] 如上述般，於氧化物半導體層成膜後，藉由光微影及濕式蝕刻來進行圖型化。作為濕式蝕刻液，係使用關東化學公司製「ITO-07N」。此時，在第 1 與第 2 氧化物半導體層之間並無因濕式蝕刻速率差之顯著的斷差，在作為 TFT 裝置，確認到氧化物半導體層能適當地濕式蝕刻。

[0110] 氧化物半導體層於圖型化後，為使膜質提昇

而進行前退火處理。前退火係在大氣氣氛下以 350°C 進行 1 小時。

[0111] 之後，使用純 Mo，藉由掀離法形成源極-汲極電極 5。具體而言，在使用光阻劑進行圖型化後，藉由直流濺鍍法使 Mo 薄膜成膜(膜厚 100nm)。源極-汲極電極用 Mo 薄膜之成膜條件，與上述閘極電極之情形相同。之後，藉由光微影及濕式蝕刻來圖型化。濕式蝕刻液為使用 Nagase ChemteX 公司製「AC101」。具體而言，使用混酸蝕刻液(AC101:純水=1:0.75)，一邊將液溫維持於室溫，一邊確實進行圖型化，且為防止源極-汲極電極之短路，對膜厚進行相當於 20%之過蝕刻(over etching)。接著，在丙酮液中施予超音波洗淨器之洗淨，以除去不要的光阻劑，使 TFT 之通道長度(channel length)成爲 10 μ m、通道寬度(channel width)成爲 25 μ m。

[0112] 如此般形成源極-汲極電極 5 後，再於其上形成保護氧化物半導體層的保護膜 6。作為保護膜 6，係使用 SiO₂(膜厚 100nm)與 SiN(膜厚 150nm)之層合膜(合計膜厚 350nm)。上述 SiO₂ 及 SiN 之形成，係使用 SAMCO 公司製「PD-220NL」，利用電漿 CVD 法來進行。本實施例中，藉由 N₂O 氣體進行電漿處理後，依序形成 SiO₂ 膜及 SiN 膜。SiO₂ 膜之形成為使用 N₂O 及 SiH₄ 之混合氣體，SiN 膜之形成為使用 SiH₄、N₂、NH₃ 之混合氣體。不論何種情形皆設定為成膜功率 100W、成膜溫度 150°C。

[0113] 之後，藉由光微影及乾蝕刻，在保護膜 6 上形

成用來進行電晶體特性評估用針測(probing)的接觸孔 7。

[0114] 對於如此所得之各 TFT，以如下述般來評估光照射與外加負偏壓應力後之應力耐受性。

[0115] 本實施例中，係對於閘極電極施加負偏壓之同時進行光(白色光)照射，來進行外加應力試驗。外加應力條件如下。作為光之波長，為選擇接近氧化物半導體之能隙，且電晶體特性為容易變動之 400nm 左右者。

閘極電壓:-20V

基板溫度:60°C

光應力

波長:400nm

照度(照射於 TFT 之光的強度): $0.1 \mu \text{W}/\text{cm}^2$

光源:OPTOSUPPLY 公司製 LED(藉由 ND 濾鏡來調整光量)

外加應力時間:2 小時

[0116] 本實施例中，將於 2 小時之外加應力之臨界值電壓的變動值，作為臨界值電壓位移量 ΔV_{th} ，並作為 TFT 特性之應力耐受性之指標。在實施例 1 中，將 ΔV_{th} (絕對值)為 12.25V 以下(No.1 之 ΔV_{th} 以下之值)之情形判定為合格(判定:○)。

[0117]

表1

樣品 No.	半導體層構造 (第1氧化物半導體層/第2氧化物半導體層)	構成圖	ΔV_{th} (V)	判定
1	IZTO(40nm)	圖1	12.25	-
2	IGZTO(20nm) / IZTO (20nm)	圖3	9.50	○

[0118] No.1 爲以往例(圖 1)，外加應力開始後，臨界值電壓會往負側大幅地位移，經過 2 小時後之臨界值電壓的變化量(ΔV_{th})爲 12.25V。另一方面，在 No.2(圖 3)中，外加應力時間經過 2 小時後之臨界值電壓的變化量爲低於 No.1 之值，顯示出較以往例爲良好的應力耐受性。

[0119]

實施例 2(BCE 型)

(濕式蝕刻特性之評估)

爲了評估濕式蝕刻特性，以不使氧化物半導體層成爲層合構造，分別對於第 1、第 2 氧化物半導體層、純 Mo 膜，進行使用氧化物半導體加工用蝕刻液或源極-汲極電極用蝕刻液時之蝕刻速率之測定。之後，評估對於氧化物半導體加工用蝕刻液之濕式蝕刻性(第 1 氧化物半導體層與第 2 氧化物半導體層間之蝕刻速率差)、對於源極-汲極電極用蝕刻液之濕式蝕刻耐受性(第 1 氧化物半導體層與純 Mo 膜間之蝕刻速率差)。

[0120] 關於本發明之層合構造中所使用的第 1 氧化物半導體層，係以下述般製作樣品，並評估濕式蝕刻特性。

[0121] 與實施例 1 同樣地做法，於玻璃基板上依序成膜閘極電極(Mo)、閘極絕緣膜(SiO_2)。之後，將 In_2O_3 、 Ga_2O_3 、 ZnO 、及 SnO_2 的 4 個靶材配置於基板周圍，在靜止狀態之基板上，將第 1 氧化物半導體層(膜厚 40nm)，以與上述實施例 1 的第 1 氧化物半導體層之濺鍍條件爲

相同條件之濺鍍法來進行成膜。

[0122] 藉由如此的成膜方法，IGZTO 之組成比，可隨基板上位置而改變。即，隨著遠離靶材，膜中的靶材構成元素之比率會降低。例如，在接近 SnO_2 靶材之位置之組成爲 $\text{In:Ga:Zn:Sn}=13.9:9.6:55.8:20.7$ (表 2 的 No.9)，在基板中央爲 $\text{In:Ga:Zn:Sn}=5.6:39.8:38.9:15.7$ (No.6)。又，接近 ZnO 靶材位置爲 $\text{In:Ga:Zn:Sn}=6.0:15.0:73.0:6.0$ (No.5)。

[0123] 尚，如此般之成膜方法，係以往以來在作爲調查最佳之組成比之手法所確立者。

[0124] 又，亦相同地分別製作相當於第 2 氧化物半導體層之 IZTO(In:Zn:Sn (原子%比)=20:56.7:23.3)、相當於上述源極-汲極電極之純 Mo 膜之樣品(成膜條件分別與實施例 1 相同)，並調查對於各濕式蝕刻液之濕式蝕刻特性。

[0125] 上述各樣品之濕式蝕刻特性，係在(甲)氧化物半導體加工用濕式蝕刻液〔關東化學公司製「ITO-07N」、液溫:室溫〕中，浸漬上述樣品後進行蝕刻。測定蝕刻前後之氧化物半導體層之膜厚變化(削減量)，並根據與蝕刻時間之關係而算出蝕刻速度。

[0126] 又，在(乙)源極-汲極電極用濕式蝕刻液〔Nagase ChemteX 公司製「AC101」與純水之混酸蝕刻液(AC101:純水=1:0.75)、液溫:室溫〕中，浸漬上述樣品後進行蝕刻，同樣地算出蝕刻速度。

[0127] 再者，對於氧化物半導體加工用濕式蝕刻液

，相當於第 2 半導體層之 IZTO 膜之蝕刻速率為 49nm/分。
。又，對於源極-汲極電極用濕式蝕刻液，相當於源極-汲極電極之純 Mo 膜的蝕刻速率為 300nm/分。

[0128] 相當於第 1 氧化物半導體層之 IGZTO 膜，與相當於第 2 氧化物半導體層之 IZTO 膜之蝕刻速率比為 0.1~4 倍之情形時，將對於(甲)氧化物半導體加工用濕式蝕刻液之濕式蝕刻性評估為良好(○)；將上述蝕刻速率比為上述範圍外之情形評估為不良(x)。

[0129] 又，第 1 氧化物半導體層之蝕刻速率，相對於純 Mo 膜之蝕刻速率為 1/2 以下時，將對於(乙)源極-汲極電極用濕式蝕刻液之濕式蝕刻耐受性評估為良好(○)；將超過 1/2 之情形評估為不良(x)。

[0130]

(應力耐受性之評估)

再者，除使用具有表 2 之各樣品之組成比之靶材來成膜第 1 氧化物半導體層以外，依據上述實施例 1 之製造方法來製作 TFT(圖 3:BCE 型)，並與上述實施例 1 為相同之基準下來試驗應力耐受性。尚，在實施例 2，將臨界值電壓之變化為 8.0V 以下之情形評估為應力耐受性良好。

[0131]

(綜合評估)

依據上述濕式蝕刻特性、及應力耐受性之結果，以下述基準來進行判定。

[0132] ○:應力耐受性 $\Delta V_{th} \leq 8.0V$ ，且

濕式蝕刻特性

(甲)氧化物半導體層用蝕刻液:○評估

(乙)源極-汲極電極用濕式蝕刻液:○評估

x:上述○評估以外

尚，前述「 $\Delta V_{th} \leq 8.0V$ 」，係與第 2 氧化物半導體層單層之情形相比時，可評估應力耐受性為良好之基準。

[0133]

表2

樣品 No.	In(at%)	Ga (at%)	Zn (at%)	Sn (at%)	ΔV_{th} (V)	氧化物半導體加工用蝕刻液		源極-汲極電極用蝕刻液		判定
						對於IZTO之比		對於Mo之比		
1	1.9	57.9	34.1	6.2	8.25		x		x	x
2	3.4	49.5	36.8	10.2	4.25		o			o
3	3.2	46.4	42.1	8.3	3.75		o			o
4	2.9	42.7	47.7	6.7	11.00		o		x	x
5	6.0	15.0	73.0	6.0	6.00		x		x	x
6	5.6	39.8	38.9	15.7	6.50		o			o
7	16.6	16.8	47.2	19.4	6.50		o			o
8	3.0	49.5	38.3	9.3	3.75		o			o
9	13.9	9.6	55.8	20.7	7.70		o			o
10	24.0	8.0	55.0	12.0	4.50		o			o

[0134] No.2、3、6~10 為將本發明之第 1 氧化物半導體層中所包含的成分組成控制於規定範圍內之例，為具有優異的應力耐受性與蝕刻特性。

[0135] No.1 為 Zn 及 Sn 之含有量為少之例。Zn 含有量為少的 No.1 時，由於對於 IZTO 之蝕刻速度為慢，故對於氧化物半導體加工用濕式蝕刻液之濕式蝕刻性為差。又，由於 Sn 為少，故對於源極-汲極電極用濕式蝕刻液，第 1 氧化物半導體層會溶出。

[0136] No.4 為 Sn 含有量為少之例。與 No.1 相同地，由於 Sn 為少，故對於源極-汲極電極用濕式蝕刻液，第 1 氧化物半導體層會溶出。

[0137] No.5 為第 1 氧化物半導體層之 Zn 含有量為多、Sn 為少之例。由於 Zn 含有量為多，故相較於 IZTO，第 1 氧化物半導體層之蝕刻速度為快。又，由於 Sn 為少，故對於源極-汲極電極用濕式蝕刻液，第 1 氧化物半導體層會溶出。

[0138]

實施例 3(ESL 型)

製作具有氧化物半導體層之 TFT(圖 2、圖 4、圖 5)，並評估應力耐受性。

[0139] 首先，於玻璃基板 1(康寧公司製 EAGLE XG、直徑 100mm×厚度 0.7mm)上，依序使作為閘極電極 2 之 Mo 薄膜以 100nm、及作為閘極絕緣膜 3 之 SiO₂(200nm)成膜。閘極電極 2 為使用純 Mo 之濺鍍靶材，藉由直流濺鍍

法，在成膜溫度:室溫、成膜功率:300W、載子氣體:Ar、氣體壓力:2mTorr、Ar 氣體流量:20sccm 下成膜。又，閘極絕緣膜 3 為使用電漿 CVD，在載子氣體:SiH₄ 與 N₂O 之混合氣體、成膜功率:100W、成膜時氣體壓力:133Pa、成膜溫度:320℃ 下成膜。

[0140] 之後，將表 3 中所示之組成及構造的氧化物半導體層，使用組成為具有因應該氧化物半導體層之組成的氧化物濺鍍靶材，並藉由下述條件之濺鍍法以成膜為指定的膜厚。

[0141] 具體而言，表 3 中，No.1(以往例)為圖 2 之構成例，作為圖 2 之氧化物半導體層 4，係將非晶 IZTO 氧化物半導體層((In:Zn:Sn(原子%比)=20:56.7:23.3，單層)成膜於閘極絕緣膜 3 之上(未成膜第 1 氧化物半導體層 4A)。

[0142] No.2~5 為圖 4 之構成例，係在閘極絕緣膜 3 上成膜第 2 氧化物半導體層 4(IZTO:原子%比與 No.1 相同)後，再成膜第 1 氧化物半導體層 4A(原子%比 In:Ga:Zn:Sn=21.1:16.7:53.3:8.9)。

[0143] No.6 為圖 5 之構成例，係在閘極絕緣膜 3 上成膜第 1 氧化物半導體層 4A(IGZTO:原子%比與 No.2~5 相同)後，再成膜第 2 氧化物半導體層 4(原子%比與 No.1 相同)。

[0144] No.7 (以往例) 為圖 2 之構成例，係將作為圖 2 之氧化物半導體層 4 之與上述 No.1 為成分組成不同的非晶 IZTO 之氧化物半導體層(原子%比 In:Zn:Sn=30:49.6:20.4

，單層)成膜於閘極絕緣膜 3 上(未成膜第 1 氧化物半導體層 4A)。

[0145] 再者，No.8~19 為圖 4 之構成例，係在閘極絕緣膜 3 上成膜第 2 氧化物半導體層 4(IZTO:原子%比與 No.7 相同)後，再成膜如表 3 中所示成分組成的第 1 氧化物半導體層 4A。

[0146] 構成 No.2~6 及 8~19 之氧化物半導體層的第 2 氧化物半導體層 4 與第 1 氧化物半導體層 4A 之成膜，係在途中反應室不作大氣開放，連續地進行成膜。又，如此所得之氧化物半導體層中之金屬元素的各含有量，係藉著 XPS(X-ray Photoelectron Spectroscopy)法來進行分析。第 1、第 2 氧化物半導體層之金屬元素之含有量，與成膜時使用的氧化物濺鍍靶材中的金屬元素之含有量，組成比為相同。

[0147] 第 2 氧化物半導體層 4、第 1 氧化物半導體層 4A 之成膜，係皆使用直流濺鍍法來進行成膜。使用濺鍍之裝置為(股)ULVAC 公司製「CS-200」，濺鍍條件如下。

基板溫度:室溫

氣體壓力:1mTorr

氧分壓: $O_2/(Ar + O_2) \times 100 = 4\%$

成膜功率密度: $2.55 W/cm^2$

[0148] 如上述般，於氧化物半導體層成膜後，藉由光微影及濕式蝕刻來進行圖型化。作為濕式蝕刻液，係使

用關東化學公司製「ITO-07N」。此時，在第 1 與第 2 氧化物半導體層之間並無因濕式蝕刻速率差之顯著的斷差，在作為 TFT 裝置，確認到氧化物半導體層能適當地濕式蝕刻。

[0149] 氧化物半導體層於圖型化後，為使膜質提昇而進行前退火處理。前退火係在大氣氣氛下以 350°C 進行 1 小時。

[0150] 之後，作為蝕刻阻止層 8，使用電漿 CVD 法，將氧化矽膜(SiO_2)以 100nm 成膜於通道層(氧化物半導體層)上。具體而言，以基板溫度:200°C、成膜功率:100W、載子氣體: SiH_4 與 N_2O 之混合氣體下進行成膜。尚，蝕刻阻止層 8 為使用與閘極絕緣膜為相同的裝置來進行成膜。

[0151] 之後，使用純 Mo，藉由掀離法形成源極-汲極電極 5。具體而言，在使用光阻劑進行圖型化後，藉由直流濺鍍法使 Mo 薄膜成膜(膜厚 100nm)。源極-汲極電極用 Mo 薄膜之成膜條件，與上述閘極電極之情形相同。之後，在丙酮液中施予超音波洗淨器之洗淨，以除去不要的光阻劑，使 TFT 之通道長度成為 10 μm 、通道寬度成為 25 μm 。

[0152] 如此般形成源極-汲極電極 5 後，再於其上形成保護氧化物半導體層的保護膜 6。作為保護膜 6 為形成 SiO_2 (膜厚 100nm)與 SiN (膜厚 150nm)之層合膜(合計膜厚 350nm)。上述 SiO_2 及 SiN 之形成，係使用 SAMCO 公司

製「PD-220NL」，利用電漿 CVD 法來進行。本實施例中，藉由 N_2O 氣體進行電漿處理後，依序形成 SiO_2 膜及 SiN 膜。 SiO_2 膜之形成為使用 N_2O 及 SiH_4 之混合氣體， SiN 膜之形成為使用 SiH_4 、 N_2 、 NH_3 之混合氣體。不論何種情形皆設定為成膜功率 100W、成膜溫度 $150^\circ C$ 。

[0153] 之後，藉由光微影及乾蝕刻，在保護膜 6 上形成用來進行電晶體特性評估用針測 (probing) 的接觸孔 7。

[0154] 對於如此所得之各 TFT，以如下述般來評估光照射與外加負偏壓應力後之應力耐受性。

[0155] 本實施例中，係對於閘極電極施加負偏壓之同時進行光 (白色光) 照射，來進行外加應力試驗。外加應力條件如下。作為光之波長，為選擇接近氧化物半導體之能隙，且電晶體特性為容易變動之 400nm 左右者。

閘極電壓: -20V

基板溫度: $60^\circ C$

光應力

波長: 400nm

照度 (照射於 TFT 之光的強度): $0.1 \mu W/cm^2$

光源: OPTOSUPPLY 公司製 LED (藉由 ND 濾鏡來調整光量)

外加應力時間: 2 小時

[0156] 在本實施例中，將於 2 小時之外加應力之臨界值電壓的變動值，作為臨界值電壓位移量 ΔV_{th} ，並作

為 TFT 特性之應力耐受性之指標。然後，在 No.2~6 中，將 ΔV_{th} (絕對值)為 4.00V 以下(No.1 之 ΔV_{th} 以下之值)者判定為合格(判定:○)；將上述 ΔV_{th} 為超過 4.00 者判定為不合格(判定:x)。又，在 No.8~19 中，將 ΔV_{th} (絕對值)為 5.50V 以下(No.7 之 ΔV_{th} 以下之值)者判定為合格(判定:○)；將上述 ΔV_{th} 為超過 5.50V 者判定為不合格(判定:x)。

[0157]

表3

樣品No.	第1氧化物半導體層					第2氧化物半導體層				構成圖	Δ Vth (V)	判定
	In (at%)	Ga (at%)	Zn (at%)	Sn (at%)	膜厚 (nm)	In (at%)	Zn (at%)	Sn (at%)	膜厚 (nm)			
	1	-	-	-	-	0						
2					35				5	圖4	0.75	○
3					30				10	圖4	0.75	○
4	21.1	16.7	53.3	8.9	20	20	56.7	23.3	20	圖4	0.50	○
5					10				30	圖4	2.25	○
6					10				30	圖5	0.75	○
7	-	-	-	-	0				40	圖2	5.50	-
8					10				30	圖4	5.00	○
9	19.5	44.6	24.2	11.8	20				20	圖4	3.75	○
10					30				10	圖4	2.25	○
11					10				30	圖4	6.75	x
12	14	33	38	15	20	30	49.6	20.4	20	圖4	5.25	○
13					30				10	圖4	4.75	○
14					10				30	圖4	7.25	x
15	15	23	44	18	20				20	圖4	6.25	x
16					30				10	圖4	5.25	○
17	17	17	47	19	10				30	圖4	8.50	x
18					20				20	圖4	6.75	x
19					30				10	圖4	5.50	○

[0158] No.1 為以往例(圖 2)，外加應力開始後，臨界值電壓會往負側大幅地位移，經過 2 小時後之臨界值電壓的變化量(ΔV_{th})為 4.00V。另一方面，在 No.2~5(圖 4)、及 No.6(圖 5)，外加應力時間經過 2 小時後之臨界值電壓的變化量為低於 No.1 之值，顯示出較以往例為良好的應力耐受性。

[0159] 又，相較於 No.1~6 之第 2 氧化物半導體層(In 為 20%)，No.7~19 為在第 2 氧化物半導體層中，使用含有 In 30%之 In 含有量為更高的 IZTO 之例。No.7 為以往例(圖 2)，外加應力開始後，臨界值電壓會往負側大幅地位移，經過 2 小時後之臨界值電壓的變化量(ΔV_{th})為 5.50V。相較於此，使第 1 氧化物半導體層與第 2 氧化物半導體層層合時，較上述 No.7 之 ΔV_{th} 為變得更小，即，可得知應力耐受性有提昇之傾向。

[0160] 尚，僅以第 1 氧化物半導體組成所作成的薄膜電晶體，該薄膜電晶體之應力耐受性(ΔV_{th})，在藉由添加 Ga 15%以上而有改善，但若將第 2 氧化物半導體層層合於此第 1 氧化物半導體層時，應力耐受性會受到第 2 氧化物半導體之影響而變化。

[0161] 由 No.8~19 之結果可得知，作為第 2 氧化物半導體層，若將相較於 No.1~6 之第 2 氧化物半導體層為 In 含有量為更多的 IZTO(In 30%)層合之情形時，在第 1 氧化物半導體層的組成中，將 Ga 量提高至 33%以上時， ΔV_{th} 為容易變小，即，可容易得到較優異的應力耐受

性。

[0162] 又，由 No.1 與 No.7(第 2 氧化物半導體層皆以作為單層而形成)之比較，或第 1 氧化物半導體層之組成・膜厚為類似的 No.3~5(第 2 氧化物半導體層為包含 In 20%的 IZTO)與 No.17~19(第 2 氧化物半導體層包含 In 30%的 IZTO)之比較可得知，當第 2 氧化物半導體之組成富含 In(30%)時(即，上述 No.7，或上述 No.17~19)， ΔV_{th} 有變大之傾向。

[0163] 再者，由 No.8~19 之結果可得知，當第 2 氧化物半導體之組成為富含 In 之情形時，第 1 氧化物半導體之膜厚為與第 2 氧化物半導體之膜厚為同等級以上者， ΔV_{th} 有變小之傾向。

[0164] 由此等結果可得知，作為第 2 氧化物半導體為使用富含 In 的 IZTO 之情形時，較佳為第 1 氧化物半導體層之 Ga 含有量為 33%以上(如前述，考量正常的成膜，Ga 含有量之上限較佳為未滿 50at%)，且第 1 氧化物半導體之膜厚為與第 2 氧化物半導體之膜厚為同等級以上。

[0165]

實施例 4(ESL 型)

(濕式蝕刻特性之評估)

為了評估濕式蝕刻特性，以不使氧化物半導體層成為層合構造，對於第 1、第 2 氧化物半導體層測定分別的蝕刻速率，並評估對於氧化物半導體加工用蝕刻液之濕式蝕刻性(第 1 氧化物半導體層與第 2 氧化物半導體層間之蝕

刻速率差)。

[0166] 關於本發明之層合構造中所使用的第 1 氧化物半導體層，係以下述般製作樣品，並評估濕式蝕刻特性。

[0167] 與實施例 3 同樣地做法，於玻璃基板上依序成膜閘極電極(Mo)、閘極絕緣膜(SiO_2)。之後，將 In_2O_3 、 Ga_2O_3 、 ZnO 、及 SnO_2 的 4 個靶材配置於基板周圍，在靜止狀態之基板上，將第 1 氧化物半導體層(膜厚 40nm)，以與上述實施例 3 的第 1 氧化物半導體層之濺鍍條件為相同條件之濺鍍法來進行成膜。

[0168] 藉由如此的成膜方法，IGZTO 之組成比，可隨基板上位置而改變。即，隨著遠離靶材，膜中的靶材構成元素之比率會降低。例如，在接近 SnO_2 靶材之位置之組成為 $\text{In}:\text{Ga}:\text{Zn}:\text{Sn}=3.6:52.7:29.7:14.0$ (表 4 的 No.1)，在基板中央為 $\text{In}:\text{Ga}:\text{Zn}:\text{Sn}=5.0:35.3:49.1:10.6$ (No.10)。又，接近 ZnO 靶材位置為 $\text{In}:\text{Ga}:\text{Zn}:\text{Sn}=10.6:13.0:60.8:15.5$ (No.15)。

[0169] 尚，如此般之成膜方法，係以往以來在作為調查最佳之組成比之手法所確立者。

[0170] 又，於基板上製作相當於第 2 氧化物半導體層之 IZTO($\text{In}:\text{Zn}:\text{Sn}$ (原子%比)= 20:56.7:23.3)(成膜條件為與實施例 3 之第 2 氧化物半導體層相同)，並與上述 No.1~16 同樣地做法調查濕式蝕刻特性。

[0171] 上述各樣品之濕式蝕刻特性，係在(甲)氧化物

半導體加工用濕式蝕刻液〔關東化學公司製「ITO-07N」、液溫：室溫〕中，浸漬上述樣品後進行蝕刻。測定蝕刻前後之氧化物半導體層之膜厚變化(削減量)，並根據與蝕刻時間之關係而算出蝕刻速度。

[0172] 尚，對於氧化物半導體加工用濕式蝕刻液，相當於第 2 半導體層之 IZTO 膜之蝕刻速率為 49nm/分。

[0173] 相當於第 1 氧化物半導體層之 IGZTO 膜(No.1~16)，與相當於第 2 氧化物半導體層之 IZTO 膜之蝕刻速率比為 0.1~4 倍之情形時，將對於(甲)氧化物半導體加工用濕式蝕刻液之濕式蝕刻性評估為良好(○)；將上述蝕刻速率比為超出上述範圍外之情形評估為不良(x)。

[0174]

(應力耐受性之評估)

再者，除使用具有表 4 之各樣品之組成比之靶材來成膜第 1 氧化物半導體層以外，依據上述實施例 3 之製造方法來製作 TFT(圖 4:ESL 構造情形之型式)，並與上述實施例 3 為相同之基準下來評估應力耐受性。尚，將臨界值電壓之變化為 4.0V 以下之情形評估為應力耐受性良好。

[0175]

(綜合評估)

依據上述濕式蝕刻特性、及應力耐受性之結果，以下述基準來進行判定。

○：應力耐受性 $\Delta V_{th} \leq 4.0V$ ，且

濕式蝕刻特性 ○ 評估

x:上述○評估以外

尚，前述「 $\Delta V_{th} \leq 4.0V$ 」，係與第 2 氧化物半導體層單層之情形相比時，可評估應力耐受性為良好之基準。

[0176]

表4

樣品No.	In (at%)	Ga (at%)	Zn (at%)	Sn (at%)	ΔV_{th} (V)	氧化物半導體加工用蝕刻液		判定
						對於IZTO之比		
1	3.6	52.7	29.7	14.0	2.50		x	x
2	3.4	49.5	36.8	10.2	2.50		o	o
3	3.2	46.4	42.1	8.3	1.00		o	o
4	5.8	41.4	31.8	21.0	2.75		x	x
5	5.7	40.5	36.5	17.3	2.50		o	o
6	5.3	37.9	43.9	13.0	1.25		o	o
7	16.6	16.8	47.2	19.4	0.50		o	o
8	13.9	9.6	55.8	20.7	1.75		o	o
9	21.1	16.7	53.3	8.9	2.75		o	o
10	5.0	35.3	49.1	10.6	0.75		o	o
11	4.3	30.5	57.4	7.8	2.75		o	o
12	7.8	26.8	49.6	15.7	0.50		o	o
13	7.7	12.4	69.4	10.4	4.50		x	x
14	12.5	15.3	48.6	23.5	2.00		o	o
15	10.6	13.0	60.8	15.5	3.75		o	o
16	24.0	7.9	55.0	12.0	4.50		o	x

[0177] No.2、3、5~12、14、15 為將本發明之第 1 氧化物半導體層中所包含的成分組成控制於規定範圍內之例，為具有優異的應力耐受性與蝕刻特性。

[0178] No.1 為 Zn 含有量為少之例。Zn 含有量為少之 No.1 時，由於蝕刻速度慢，故濕式蝕刻特性為差。

[0179] No.13 為 Zn 含有量為多之例，相較於由 IZTO 所成的第 2 氧化物半導體層，由於第 1 氧化物半導體層之蝕刻速率過快，故側面蝕刻會變大，無法圖型化為所期望之形狀。

[0180] No.16 為第 1 氧化物半導體層中所包含的 Ga 含有量為低於規定之例，與由 IZTO 所成的第 2 氧化物半導體層之蝕刻速率比為良好，但應力耐受性並不充分。

[0181] 本申請案為基於 2012 年 6 月 6 日申請之日本發明專利申請號第 2012-129399 號主張優先權。將 2012 年 6 月 6 日申請之日本發明專利申請號第 2012-129399 號之說明書所有內容，援用為本申請案之參考。

【符號說明】

[0182]

1：基板

2：閘極電極

3：閘極絕緣膜

4：第 2 氧化物半導體層

4A：第 1 氧化物半導體層

- 5：源極-汲極電極
- 6：保護膜(絕緣膜)
- 7：接觸孔
- 8：蝕刻阻止層

申請專利範圍

1. 一種薄膜電晶體，其係於基板上依序具有至少閘極電極、閘極絕緣膜、氧化物半導體層、源極-汲極電極、及保護前述源極-汲極電極的保護膜之薄膜電晶體，

其特徵為

前述氧化物半導體層為具有由 In、Ga、Zn、Sn、及 O 所構成的第 1 氧化物半導體層，與由 In、Zn、Sn、及 O 所構成的第 2 氧化物半導體層之層合體，

前述第 2 氧化物半導體層為形成於前述閘極絕緣膜之上，

同時前述第 1 氧化物半導體層為形成於前述第 2 氧化物半導體層與前述保護膜之間，

且前述第 1 氧化物半導體層中，相對於除氧以外的全金屬元素之各金屬元素之含有量(原子%，以下亦同)為

In:25%以下(不包含 0%)、

Ga:5%以上、

Zn:35~65%、及

Sn:8~30%。

2. 如請求項 1 之薄膜電晶體，其中，前述第 1 氧化物半導體層中，相對於除氧以外的全金屬元素之各金屬元素之含有量為

In:20%以下(不包含 0%)、

Ga:15%以上且未滿 50%、

Zn:35~65%、及

Sn:8~30%。

3.如請求項 1 或 2 之薄膜電晶體，其中，前述第 1 氧化物半導體層之對於源極-汲極電極用濕式蝕刻液的蝕刻速率為前述源極-汲極電極的蝕刻速率的 1/2 以下。

4.如請求項 1 或 2 之薄膜電晶體，其中，前述第 2 氧化物半導體層之厚度為 0.5nm 以上。

5.一種顯示裝置，其係具備請求項 1 或 2 之薄膜電晶體。

6.一種薄膜電晶體，其係於基板上依序具有至少閘極電極、閘極絕緣膜、氧化物半導體層、蝕刻阻止層、源極-汲極電極、及保護前述源極-汲極電極的保護膜之薄膜電晶體，

其特徵為：

前述氧化物半導體層為具有由 In、Ga、Zn、Sn、及 O 所構成的第 1 氧化物半導體層，與由 In、Zn、Sn、及 O 所構成的第 2 氧化物半導體層之層合體，

同時前述第 1 氧化物半導體層中，相對於除氧以外的全金屬元素之各金屬元素之含有量(原子%，以下亦同)為

In:25%以下(不包含 0%)、

Ga:8.0%以上且未滿 50%(但不包含 30%以下)、

Zn:30.0~65%、及

Sn:5~30%。

7.如請求項 6 之薄膜電晶體，其中，前述第 1 氧化物半導體層中，相對於除氧以外的全金屬元素之各金屬元素

之含有量為

In:20%以下(不包含 0%)、

Ga:15%以上且未滿 50%(但不包含 30%以下)、

Zn:35~65%、及

Sn:8~30%。

8.如請求項 6 或 7 之薄膜電晶體，其中，前述第 2 氧化物半導體層為形成於前述閘極絕緣膜之上，同時前述第 1 氧化物半導體層為形成於前述第 2 氧化物半導體層與前述蝕刻阻止層之間。

9.如請求項 6 或 7 之薄膜電晶體，其中，前述第 2 氧化物半導體層之厚度為 0.5nm 以上。

10.一種顯示裝置，其係具備請求項 6 或 7 之薄膜電晶體。

圖式

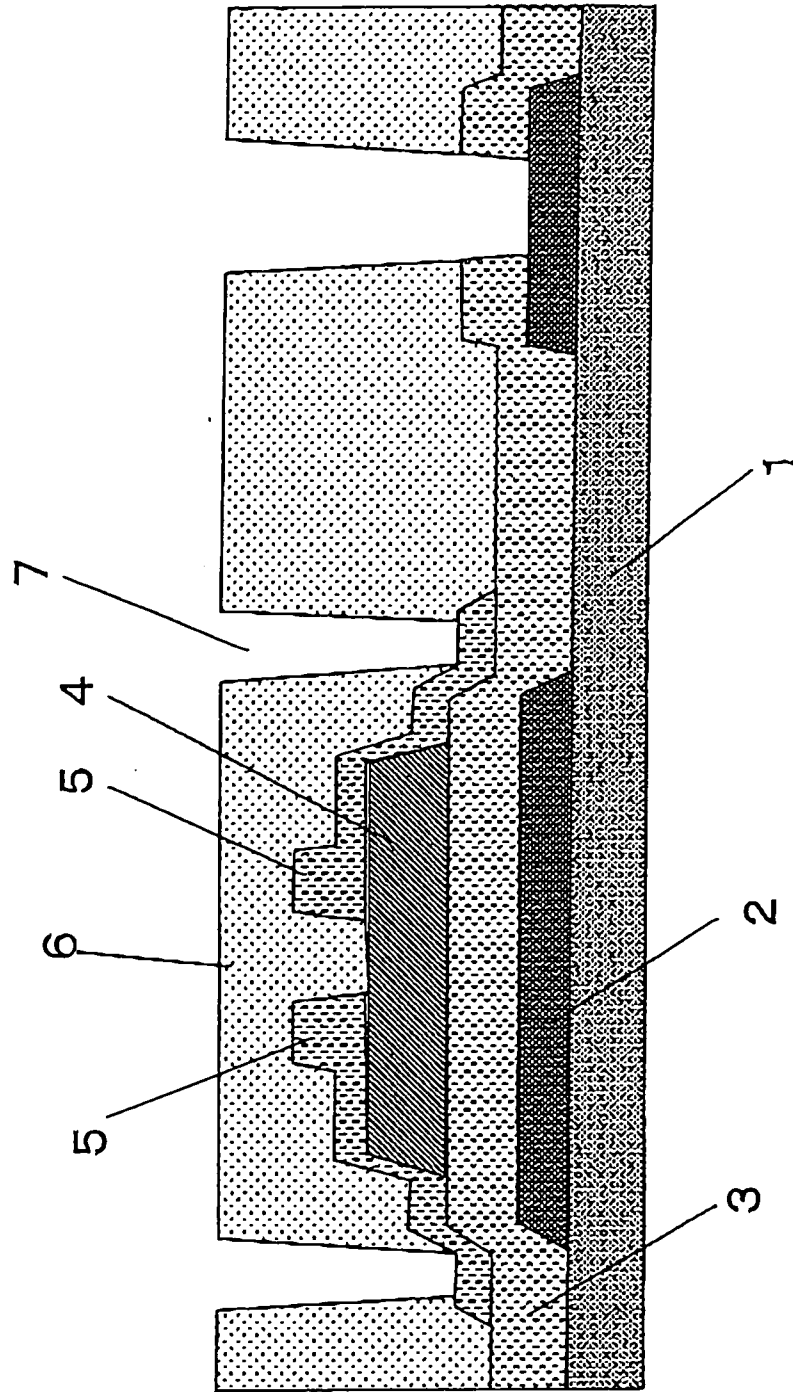


圖 1

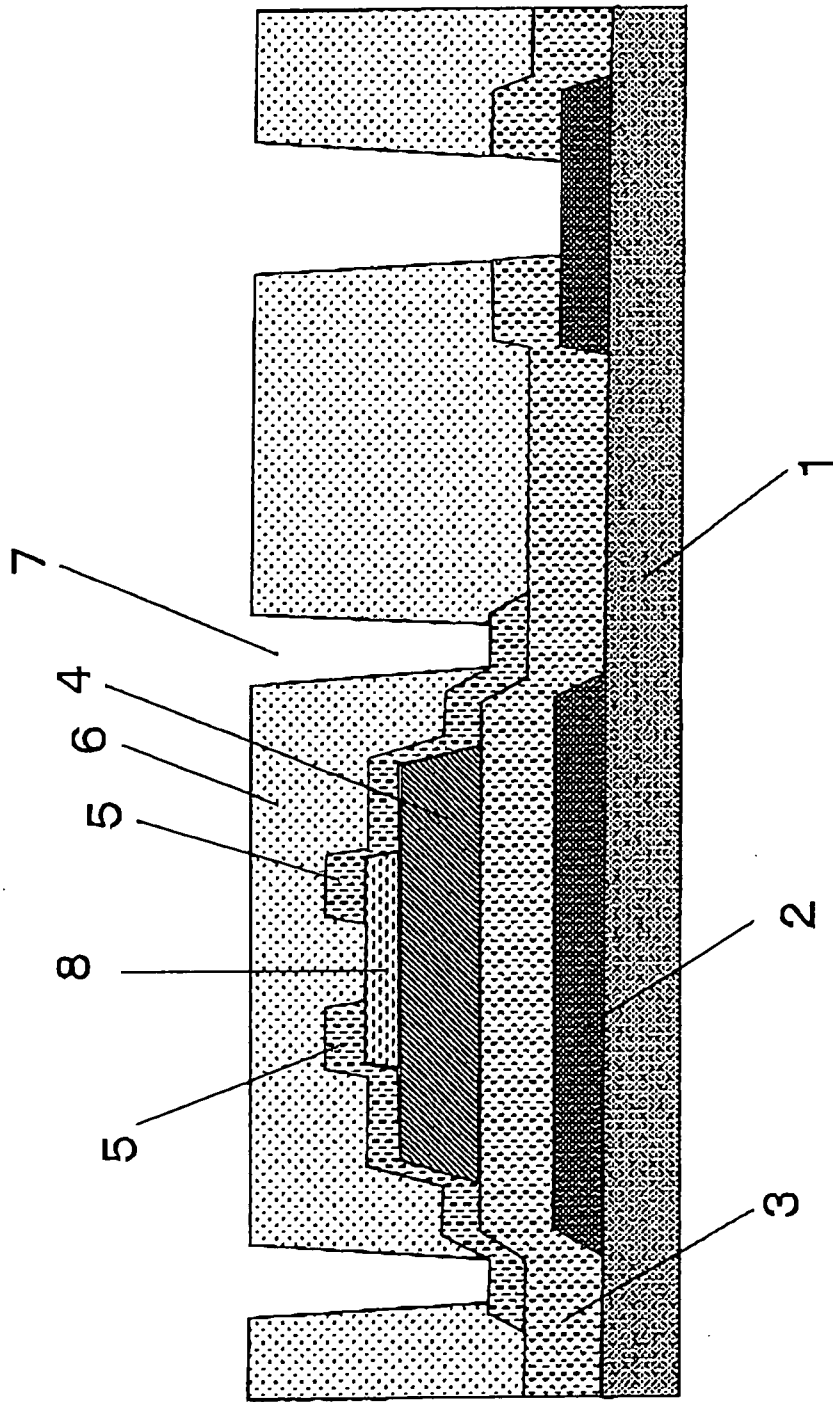


圖 2

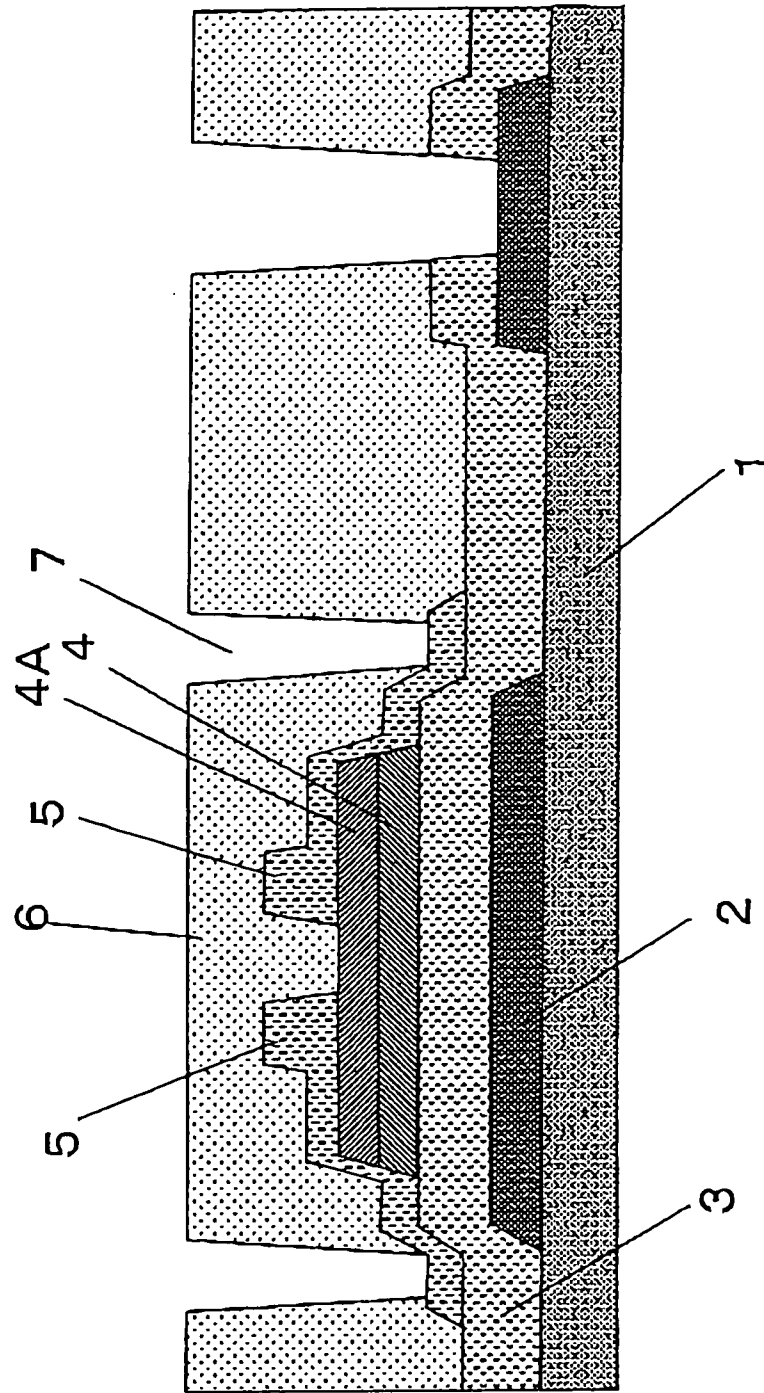


圖 3

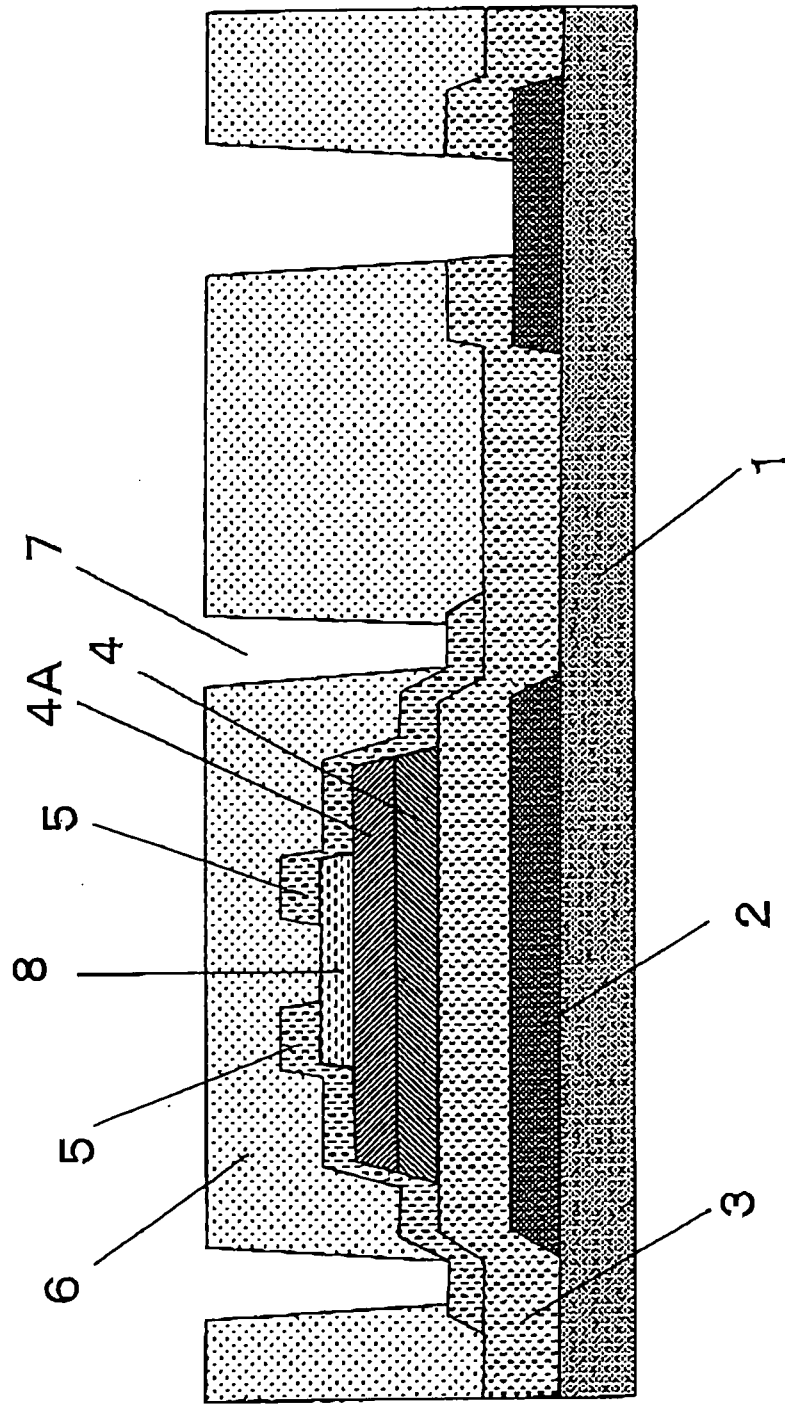


圖 4

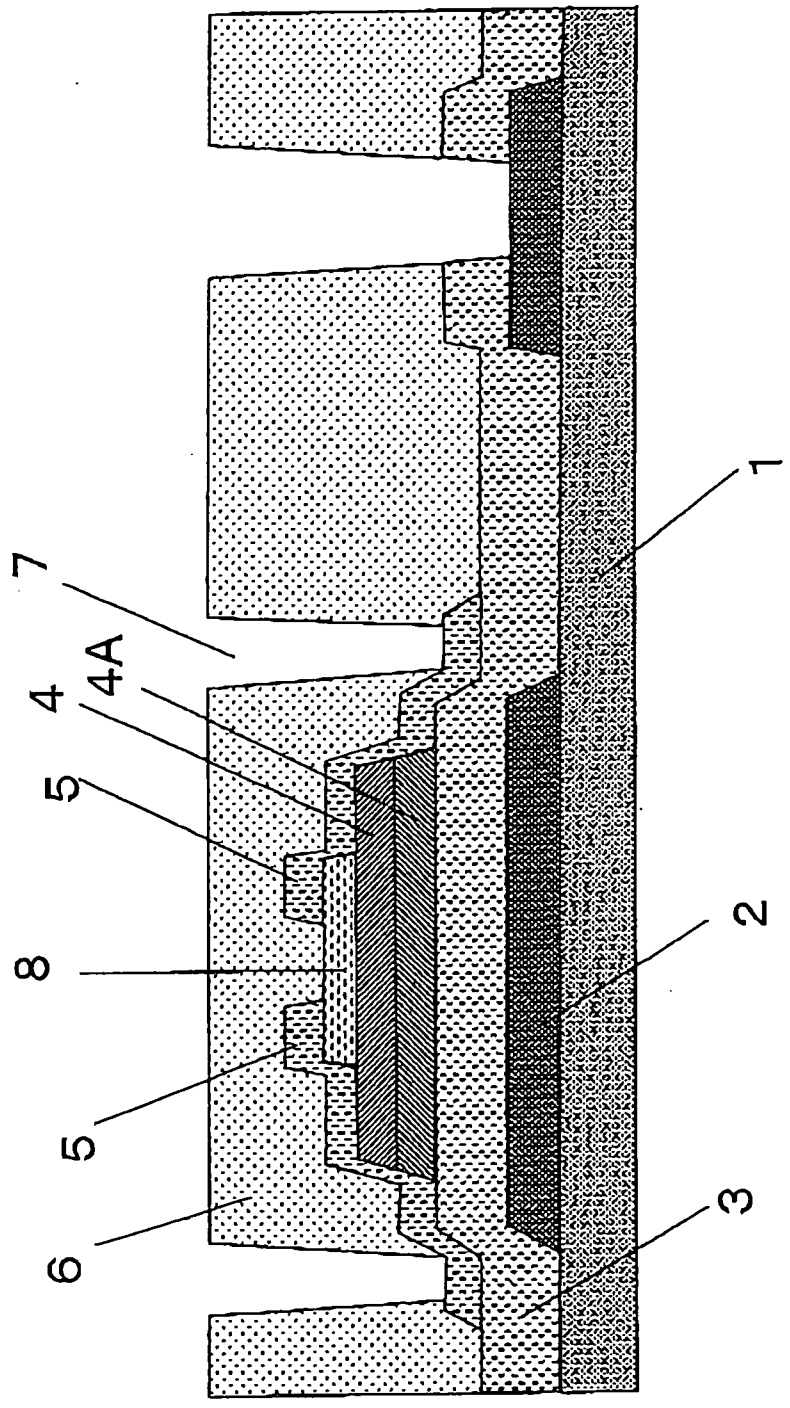


圖 5