(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G09G 5/10

(45) 공고일자 2004년08월12일
(11) 등록번호 10-0432599
(24) 등록일자 2004년05월12일

(21) 출원번호 10-1996-0005746
(22) 출원일자 1996년03월06일

(65) 공개번호 10-1996-0035414
(43) 공개일자 1996년10월24일

(30) 우선권주장 398,822 1995년03월06일 미국(US)

(73) 특허권자 톰슨
프랑스, 에프-92648 블롱 세덱스 꽈이 알폰스 르 갈로 46

(72) 발명자 앤드류 고르돈 프란시스 딩월
미국, 뉴저지 08540, 프린스턴, 프린스턴-로렌스빌로드 629

셔먼 와이스브로드
미국, 뉴져지 08558, 스킬맨 시커모어 레인 80

(74) 대리인 이병호

심사관 : 천대식

(54) 비디오장치

요약

액정 디스플레이는 행들과 열들로 배열된 화소들을 포함한다. 비디오 신호에 응답하는 데이타 라인 구동기들은 각각 열과 대응하는 데이타 라인들에서 출력 신호들을 발생한다. 조정 데이타 라인 구동기가 제공된다. 조정 데이타 라인 구동기는 비디오 신호의 중간 범위에서 기준 DC 일정 신호에 응답한다. 조정 데이타 라인 구동기들의 출력 신호가 다른 데이타 라인 구동기들의 출력 신호 변화를 보상하기 위해 부궤환 방식으로 다른 데이타 라인 구동기들에 연결된다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명의 한가지 양태(aspect)를 구현한, 디멀티플렉서 및 데이타 라인 구동기들을 포함하는 액정 디스플레이 장치의 블록도.
제 2 도는 제 1 도의 디멀티플렉서 및 데이타 라인 구동기를 보다 상세하게 나타낸 도면.
제 3a 도 내지 제 3h 도는 제 2 도의 회로의 동작을 설명하는데 유용한 파형들을 나타낸 도면.
도 4는 도 1의 디멀티플렉서 및 데이타 라인 구동기들 각각의 이득을 제어하기 위한, 본 발명의 특징을 구현한 이득 보상 장치를 나타낸 도면.
* 도면의 주요 부분에 대한 부호의 설명
11 : 아날로그 회로 14 : A/D 변환기

16 : 액정 어레이 17 : 데이타 라인
18 : 선택 라인 23 : D/A 변환기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 디스플레이 장치들을 위한 구동 회로들에 관한 것으 로, 특히 액정 디스플레이(LCD)와 같은 디스플레이 장치의 화소들에 휘도 신호(brightness signal)들을 인가하기 위한 시스템에 관한 것이다.
액정 디스플레이들과 같은 디스플레이 장치들은 수평 방향의 행들(rows)과 수직 방향의 열들(columns)에 배열된 화소들의 매트릭스(matrix) 또는 어레이(array)로 구성된다. 디스플레이될 비디오 정보는 화소들의 각각의 열에 개별적으로 연관된 데이타 라인들에 휘도(그레이 스케일: gray scale) 신호들로서 인가된다. 화소들의 행은 순차적으로 스캔되고, 활성화된 행 내의 화소들의 커패시턴스들은 개별적인 열들에 인가되는 휘도 신호들의 레벨들에 따라 여러 휘도 레벨들로 충전된다.
액티브 매트릭스 디스플레이(active matrix display)에서, 각각의 화소는 비디오 신호를 화소에 인가하는 스위칭 장치를 포함한다. 전형적으로, 스위칭 장치는 고체 상태 회로(solid state circuitry)로부터 휘도 정보를 수신하는 박막 트랜지스터(TFT)이다. TFT와 구동 회로는 둘 다 고체 상태 디바이스들로 구성되기 때문에, 비정질 실리콘 또는 폴리실리콘 기술을 이용하여 TFT와 구동 회로를 동시에 제조하는 것이 바람직하다.
액정 디스플레이들은 2 개의 기판들 사이에 샌드위치(sandwich)된 액정 재료로 구성된다. 그 기판들 중 적어도 하나, 전형적으로 둘 다는 광에 투명적(transparent)이며, 액정 재료에 인접하는 기판들의 표면들은 개개의 화소들을 형성하기 위한 패턴으로 배열된 투명 도전성 전극의 패턴들을 지지한다. 구동 회로를 TFT와 함께 디스플레이의 주변에 그리고 기판들 상에 제조하는 것이 바람직 할 수도 있다.
비정질 실리콘은 이 재료가 낮은 온도들에서 제조될 수 있기 때문에 액정 디스플레이들을 제조하기 위한 바람직한 기술이었다. 낮은 제조 온도는 쉽게 이용 가능하면서 저렴한 표준 기판 재료들의 사용을 허용하므로 중요하다. 그러나, 일체화된 주변 화소 구동기들에서의 비정질 실리콘 박막 트랜지스터(a-Si TFT)들의 사용은, 낮은 이동도(mobility), 임계 전압 드리프트(drift), 및 N-MOS 인헨스먼트 트랜지스터들만의 이용 가능성 때문에 제한되었다.
발명의 명칭이 '디스플레이 장치에 휘도 신호들을 인가하기 위한 시스템(System for Applying Brightness Signals To A Display Device And Comparator Therefore)'인, 플러스(Plus) 등의 이름으로 등록된 미국 특허 5,170,155호는, LCD의 데이타 라인 또는 열 구동기를 설명하고 있다. 플러스 등의 데이타 라인 구동기는 초핑 램프 증폭기(chopped ramp amplifier)로서 동작하며, TFT를 이용한다. 데이타 라인 구동기는 화상 정보를 포함하는 신호에 응답하여 소정의 열 데이타 라인에 화소 전압을 발생한다.
불리하게, 이러한 데이타 라인 구동기의 출력 전압은 입력 전압의 소정의 레벨에 대해 데이타 라인 구동기의 동작 시간들의 함수로서 변화할 수 있다. 이것은 예컨대 데이타 라인 구동기의 출력 트랜지스터의 게이트-소스 전압이 이러한 TFT에서 스트레스를 생성하기 때문이다. TFT의 스트레스는 데이타 라인 구동기의 이러한 TFT에서 임계 전압 드리프트 및 이동도의 저하를 일으킨다. 스트레스의 결과로서 변화하는 데이타 라인 구동기의 출력 전압의 경향을 보상하는 것이 바람직하다.
본 발명의 특징에 따라, 데이타 라인 구동기의 스트레스 관련 출력 전압 변화들을 나타내는 신호가 제공된다. 스트레스 관련 출력 전압을 나타내는 신호가, 출력 전압 변화를 줄이는 방식으로 스트레스 관련 출력 전압을 나타내는 신호에 따라 라인 구동기들 각각의 출력 전압을 변화시키기 위해, 데이타 라인 구동기들에 연결된다.
열들로 배열된 디스플레이 장치의 화소들에서 화상 정보를 포함하는 신호를 발생하기 위한 본 발명의 한가지 양태를 구현하는 비디오 장치는 비디오 신호의 소스를 포함한다. 복수의 데이타 라인 구동기들이 비디오 신호를 화소들에 인가하기 위해 비디오 신호에 응답한다. 복수의 라인 구동기들 중 소정의 데이타 라인 구동기가 비디오 신호의 대응 부분에 의해 결정되는 크기로 데이타 라인에서 출력 신호를 발생하기 위해 화소들의 대응하는 열과 연관된 대응하는 데이타 라인에 연결된다. 더미 데이타 라인 구동기가, 복수의 데이타 라인 구동기들 각각의 출력 신호를 제어하기 위해 복수의 데이타 라인 구동기들 각각에 연결되는 제어 신호를 발생하는데 사용된다. 비디오 신호 부분의 소정의 크기에 대해, 동작 수명에 걸쳐서 변화하는 소정의 데이타 라인 구동기의 출력 신호의 경향은 데이타 라인 구동기들 각각의 출력 신호의 변화를 감소시키는 방식으로 제어 신호에 의해 보상된다.
디멀티플렉서 및 데이타 라인 구동기들(100)을 포함하는 제 1 도에서, 아날로그 회로(11)는 예컨대 안테나(12)로부터 디스플레이될 화상 정보를 나타내는 비디오 신호를 수신한다. 아날로그 회로(11)는 라인(13) 상의 비디오 신호를 입력 신호로서 아날로그/디지탈(A/D) 변환기(14)에 제공한다.
아날로그 회로(11)로부터의 텔레비전 신호는 수평으로 m = 560 개의 행들에 그리고 수직으로 n = 960 개의 열들에 배열된, 액정 셀(16a)과 같은 다수의 화소들로 구성된 액정 어레이(16) 상에 디스플레이된다. 액정 어레이(16)는 데이타 라인들(17)의 n = 960 개의 열들과 m = 560 개의 선택 라인들(18)을 포함하고, 여기서 액정 셀들(16a)의 수직 열들의 각각에 대해 데이타 라인은 1개씩 배정되며, 액정 셀(16a)의 수평 행들의 각각에 대해 하나씩의 선택 라인이 배정된다.

A/D 변환기(14)는 휘도 레벨들, 즉 그레이 스케일 코드들을 출력 라인들(22)의 40 개의 그룹들을 가진 메모리(디지탈 저장부)(21)에 제공하기 위해 출력 버스 바(bar)(19)를 포함한다. 메모리(21)의 출력 라인들(22)의 각각의 그룹은 저장된 디지탈 정보를 대응하는 디지탈/아날로그(D/A) 변환기(23)에 인가한다. 라인들(22)의 40 개의 그룹들에 각각 대응하는 40 개의 D/A 변환기들(23)이 존재한다. 소정의 D/A 변환기(23)의 출력 신호(IN)가, 대응하는 데이타 라인(17)을 구동하는 대응하는 디멀티플렉서 및 데이타 라인 구동기(100)에 대응하는 라인(31)을 통해 연결된다. 선택 라인 스캐너(scanner)(60)가 종래 방식으로 어레이(16)의 소정의 행을 선택하기 위해 라인들(18)에서 행 선택 신호들을 생성한다. 960 개의 데이타 라인들(17)에서 발생된 전압들은 선택된 행의 화소들(16a)에 32 μsec의 라인 시간동안 인가된다.

소정의 디멀티플렉서 및 데이타 라인 구동기(100)는 대응하는 신호(IN)를 저장하고 저장된 입력 신호(IN)를 대응하는 데이타 라인(17)에 전송하기 위해, 예컨대, 1 pF보다 작은, 낮은 입력 커패시턴스를 가진, 제 1 도에 상세히 도시되지 않 은 초핑 램프 증폭기들을 이용한다. 각각의 데이타 라인(17)은 예컨대, 20 pF의 커패시턴스 부하를 형성하는 화소 셀들(16a)의 560 개의 행들에 인가된다.

제 2 도는 디멀티플렉서 및 데이타 라인 구동기들(100) 중의 소정의 구동기를 상세히 나타낸다. 제 3a 도 내지 제 3h 도는 제 2 도의 회로의 동작을 설명하기 위해 유용한 파형도들을 나타낸다. 제 1 도, 제 2 도 및 제 3a 도 내지 제 3h 도에서 동일한 부호들 및 번호들은 동일한 요소(item)들 또는 기능들을 나타낸다. 제 2 도의 디멀티플렉서 및 라인 구동기(100)의 모든 트랜지스터들은 NMOS형의 TFT이다. 그러므로, 유리하게, 이 TFT들은 제 1 도의 어레이(16)와 함께 하나의 집적 회로로서 형성될 수 있다.

제 2 도의 신호 라인(31)의 비디오 신호를 샘플링하기 전에, 커패시터(C43)의 단자(D)에서 발생된 전압이 초기화된다. 커패시터(C43)의 전압을 초기화하기 위해, D/A 변환기(23)는 비디오 신호(IN)의 최대치, 즉 풀 스케일(full scale) 전압과 같은 소정의 전압을 라인(31)에 발생한다. 트랜지스터(MN1)는 제 3a 도의 제어 펄스(PRE-DCTRL)가 트랜지스터(MN1)의 게이트에서 발생할 때 라인(31)의 초기화 전압을 커패시터(C43)에 인가한다. 이 방식으로, 커패시터(C43)의 전압은 각각의 화소 갱신 사이클 이전에는 동일하다. 펄스(PRE-DCTRL) 이후에, 신호(IN)는 현재 화소 갱신 사이클 동안에 사용되는 비디오 정보를 포함하도록 변환된다.

제 2 도의 디멀티플렉서(32)의 디멀티플렉서 트랜지스터(MN1)는 비디오 정보를 포함하는 신호 라인(31)에 발생되는 아날로그 신호(IN)를 샘플링한다. 샘플링된 신호는 디멀티플렉서(32)의 샘플링 커패시터(C43)에 저장된다. 라인(31)에서 발생 된 제 1 도의 한 그룹의 40 개의 신호들(IN)의 샘플링은 대응하는 펄스 신호 DCTRL(i)의 제어 하에 동시에 일어난다. 제 3a 도에 도시된 바와 같이, 24 개의 펄스 신호들(DCTRL(i))이 t5a t20 이후의 간격 동안에 연속적으로 발생한다. 제 2 도의 각 펄스 신호 DCTRL(i)는 대응하는 그룹의 40개의 디멀티플렉서들(32)의 디멀티플렉싱 동작을 제어한다. 960 개의 화소들의 전체 디멀티플렉싱 동작은 제 3a 도의 간격 t5a t20에서 일어난다.

효율적인 시간 활용을 제공하기 위해, 2단 파이프라인 사이클(two-stage pipeline cycle)이 이용된다. 이전에 설명된 바와 같이, 간격 t5a t20 동안에 신호들(IN)이 디멀티플렉싱되고 제 2 도의 960 개의 커패시터들(C43)에 저장된다. 제 3d 도의 간격 t3 t4 동안에, 제 3a 도의 펄스(PRE-DCTRL) 및 24 개의 펄스 신호들(DCTRL)의 발생 전에, 제 3d 도의 펄스 신호(DXFER)가 발생될 때 제 2 도의 각 커패시터들(C43)은 트랜지스터(MN7)를 통해 커패시터(C2)에 연결된다. 따라서, 커패시터(C43)에 저장된 신호(IN)의 일부가 제 2 도의 커패시터(C2)에 전달되고 전압(VC2)을 발생한다. 간격 t5a t20 동안에, 제 3a 도의 펄스 신호들(DCTRL)이 발생할 때, 커패시터(C2)의 제 2 도의 전압(VC2)이 이하에 설명되는 바와 같이, 대응하는 데이타 라인(17)을 통해 어레이(16)에 인가된다. 따라서, 신호들(IN)은 2단 파이프라인을 통해 어레이(16)에 인가된다.

기준 램프 발생기(33)는 기준 램프 신호(REF_RAMP)를 출력 도체(27) 상에 제공한다. 예컨대, 도체(27)는 각각의 디멀티플렉서 및 데이타 라인 구동기(100)의 제 2 도의 각 커패시터(C2)의 단자(E)에 공통 연결된다. 커패시터(C2)의 단자(A)는 비교기(24)의 입력 단자를 형성한다. 제 1 도의 데이타 램프 발생기(34)는 출력 라인(28)을 통해 데이타 램프 전압(DATA_RAMP)을 제공한다. 제 2 도의 디멀티플렉서 및 데이타 라인 구동기(100)에서, 트랜지스터(MN6)는 전압(VCOLUMN)을 발생하기 위해 데이타 라인(17)에 전압(DATA_RAMP)을 인가한다. 전압(VCOLUMN)이 인가되는 행은 행 선택 라인들(18)에서 발생된 행 선택 신호들에 따라 결정된다. 라인들(18)에서 발생된 신호와 같은 선택 신호들을 발생하기 위한 시프트 레지스터를 사용하는 디스플레이 장치가 예컨대 미국 특허 번호 4,766,430 호 및 4,742,346 호에 설명되어 있다. 트랜지스터(MN6)는 도체(29)에 의해 비교기(24)의 출력 단자(C)에 연결된 게이트 전극을 가진 TFT이다. 비교기(24)로부터의 출력 전압(VC)은 트랜지스터(MN6)의 도통 간격을 제어한다.

각각의 화소 갱신 기간에서, 트랜지스터(MN6)의 도통 간격을 제어하기 위해 트랜지스터(MN6)에 비교기(24)의 전압(VC)을 인가하기 전에, 비교기(24)는 자동으로 교정 또는 조절된다. 시간 t0에서(제 3b 도), 트랜지스터(MN10)는 신호(PRE_AUTOZ)에 의해 도통되고, 이에 의해 전압(VPRAZ)이 트랜지스터(MN5)의 드레인 전극 및 트랜지스터(NM6)의 게이트 전극에 부과된다. 예컨대, 트랜지스터(MN6)의 점선들로 나타낸 소스-게이트 커패시턴스(C24)와 같은 스트레이(stray) 커패시턴스들 상에 저장되는, VC로 표기된 이 전압은 트랜지스터(MN6)를 도통시킨다. 트랜지스터(MN10)가 커패시턴스(C24)를 프리차지할 때, 트랜지스터(MN5)는 비도통된다.

제 3b 도의 시간(t1)에서, 펄스 신호(PRE_AUTOZ)는 종료되고, 트랜지스터(MN10)가 턴오프된다. 시간(t1)에서, 트랜지스터(MN3)를 턴온시키기 위해, 트랜지스터(MN5)의 게이트 단자와 드레인 단자 사이에 연결된 트랜지스터(MN3)의 게이트 전극에 펄스 신호(AUTOZERO)가 인가된다. 동시에, 제 3g 도의 펄스 신호(AZ)가 트랜지스터(MN2)를 턴온시키기 위해 트랜지스터(MN2)의 게이트 전극에 인가된다. 트랜지스터(MN2)가 턴온되면, 전압(Va)이 트랜지스터(MN2)를 통해 커플링 커패시터(C1)의 단자(A)에 연결된다. 트랜지스터(MN2)는 단자(A)에 비교기(24)의 트리거 레벨(triggering level)을 설정하기 위해 전압(Va)의 레벨로 단자(A)에서 전압(VAA)을 발생한다. 비교기(24)의 트리거 레벨은 전압(Va)과 같다. 커패시터(C1)의 제 2 단자(B)는 트랜지스터(MN43), 및 트랜지스터(MN5)의 게이트에

연결된다.
도통 트랜지스터(MN3)는 트랜지스터(MN5)의 게이트 전극과 드레인 전극 사이에서 단자(C)의 전하를 균등화하고(equilibrate), 단자(B)에서 트랜지스터(MN5)의 게이트 전극 상에 게이트 전압(VG)을 발생한다. 초기에, 전압(VG)은 트랜지스터(MN5)의 임계 레벨(VTH)을 초과하고 트랜지스터(MN5)를 도통시킨다. 트랜지스터(MN5)의 도통은, 단자들(B, C) 각각의 전압들을, 이들 각각이 신호(AUTOZERO)의 펄스 동안 트랜지스터(MN5)의 임계 레벨(VTH)과 같아질 때까지 감소시킨다. 단자(B)에서의 트랜지스터(MN5)의 게이트 전극 전압(VG)은 단자(A)의 전압(VAA)이 전압(Va)과 같아질 때 임계 레벨(VTH)을 가진다. 제 3c 도 및 제 3f 도의 시간(t2)에서, 제 2 도의 트랜지스터들(MN3, MN2)은 턴오프되고, 비교기(24)는 교정 또는 조절된다. 따라서, 입력 단자(A)에 대한 제 2 도의 비교기(24)의 트 리거 레벨은 전압(Va)과 같다.
위에서 설명한 바와 같이, 트랜지스터(MN7)의 게이트에서 발생된, 시간(t3)에서 시작하는 펄스 신호(DXFER)는 디멀티플렉서(32)의 커패시터(C43)를 단자(A)를 통해 커패시터(C2)에 연결한다. 따라서, 커패시터(C2)에서 발생된 전압(VC2)은 커패시터(C43)의 샘플링된 신호(IN)의 레벨에 비례한다. 신호(IN)의 크기는, 펄스 신호(DXFER) 동안, 단자(A)에서 발생된 전압(VAA)이 비교기(24)의 트리거 레벨(Va)보다 작아지도록 하는 크기이다. 그러므로, 비교기 트랜지스터(MN5)는 시간(t3)직후에 비도통을 유지한다. 전압(Va)과 동일한 비교기(24)의 트리거 레벨과 전압(VAA)간의 전압차는 신호(IN)의 크기에 의해 결정된다.
단자(A)의 전압(VAA)이 전압(Va)을 초과하면, 트랜지스터(MN5)는 도통된다. 한편, 단자(A)의 전압(VAA)이 전압(Va)을 초과하지 않으면, 트랜지스터(MN5)는 비도통된다. 비교기(24)의 자동 교정 또는 조절은, 예컨대, 트랜지스터(MN5)에서의 임계 전압 드리프트를 보상한다.
제 2 도의 펄스(RESET)는 제 3c 도의 펄스 신호(AUTOZERO)의 것과 유사한 파형 및 타이밍을 가지고 있다. 펄스 전압(RESET)은 트랜지스터(MN9)를 턴온시키기 위해 트랜지스터(MN6)와 병렬 접속된 트랜지스터(MN9)의 게이트 전극에 연결된다. 트랜지스터(MN9)가 도통되면, 이 트랜지스터는 선택된 행의 제 1 도의 화소 셀(16a) 및 라인(17)에 전압(VCOLUMN)의 미리 결정된 초기 조건을 설정한다. 유리하게, 화소 셀(16a)에서의 초기 조건의 설정에 의해서, 화소 셀(16a)의 커패시턴스에 포함된, 이전에 저장된 화상 정보는 제 3b 도 내지 제 3g 도의 현재 갱신 기간 에 화소 전압(VCOLUMN)에 영향을 주지 않는다.
트랜지스터(MN9)는 시간(t6)에 앞서, 신호(DATA_RAMP)의 인액티브(inactive)레벨(VIAD)의 전압(VCOLUMN)을 설정한다. 데이타 라인(17)과 연관된 커패시턴스(C4)는 트랜지스터(MN10)가 턴 온된 직후 간격(t0-t1) 동안에 신호(DATA_RAMP)의 인액티브 레벨(VIAD)쪽으로 부분적으로 충전/방전되었다. 펄스 신호(AUTOZERO) 동안에, 트랜지스터(MN6)의 게이트 전압(VC)은 트랜지스터(MN5)의 임계 전압으로 감소된다. 따라서, 트랜지스터(MN6)는 실질적으로 턴 오프된다. 커패시턴스(C4)의 충전/방전은, 트랜지스터(MN9)가 턴 온될 때, 간격(t1-t2)동안 우선적으로 (predominantly) 수행된다. 유리하게는, 전압(VCOLUMN)의 초기 조건을 설정하기 위한 트랜지스터(MN9) 및 트랜지스터(MN6)의 이용은 트랜지스터(MN6)의 임계 전압 드리프트를 감소시킨다. 트랜지스터(MN6)의 임계 전압 드리프트는 트랜지스터(MN6)가 전압(VCOLUMN)의 초기 조건만을 설정해야 할 때보다 짧은 기간 동안 구동되기 때문에, 감소된다.
트랜지스터(MN6)는 트랜지스터(MN5)와 유사한 파라미터들과 스트레스(stress), 따라서 유사한 임계 전압 드리프트를 갖도록 설계된다. 그러므로, 유리하게, 트랜지스터(MN6)의 임계 전압 드리프트는 트랜지스터(MN5)의 임계 전압 드리프트를 추종한다.
후술되는 두 동작 모드들 중 하나의 동작 모드에서, 트랜지스터(MN5)의 소스 전압(Vss)은 0 V이다. 또한, 신호(DATA_RAMP)의 인액티브 레벨(VIAD)과 같은, 간격(t2-t4) 동안의 전압(VCOLUMN)은 1 V이다. 시간(t5)에 앞서, 단자(C)에서의 트 랜지스터(MN5)의 드레인 전압(VC)은 트랜지스터(MN5)의 임계 전압(VTH)과 같다. 전술한 추종 때문에, 트랜지스터(MN5)의 임계 전압(VTH)의 변화는 트랜지스터(MN6)의 게이트-소스 전압을 트랜지스터(MN6)의 임계 전압보다 1 V 낮은 레벨로 유지한다. 1 V의 차이는 트랜지스터들(MN5, MN6)의 소스 전극들 사이에 1 V의 전위차가 존재하기 때문에 발생한다.
유리하게, 제 3h 도의 펄스 전압(C-BOOT)은 트랜지스터(MN6)의 게이트에서, 단자(C)에 제 2 도의 커패시터(C5)를 통해 용량적으로 연결된다. 커패시터(C5)와 커패시턴스(C24)는 전압 디바이더(divider)를 형성한다. 전압(C-BOOT)의 크기는, 게이트 전압(VC)이 트랜지스터(MN6)를 도통 상태로 유지하기에 충분한 소정의 작은 양만큼, 펄스(AUTOZERO) 동안, 발생된 레벨에 대해 증가하도록 선택된다. 이전에 설명된 바와 같이, 트랜지스터(MN5)는 제 3d 도의 시간(t3) 이후에 비도통으로 된다. 따라서, 5 V 정도인 전압(VC)의 소정의 증가는 단자(C)의 전압(C-BOOT)에 대해 형성된 커패시턴스 전압 디바이더에 의해 결정된다. 전압(VC)의 증가는 임계 전압(VTH)과 무관하다. 그러므로, 동작 수명(operational life)에 걸친 트랜지스터(MN5 또는 MN6)의 임계 전압 드리프트는 전압(C-BOOT)에 의한 증가에 영향을 미치지 않는다. 이어서, 전압(VTH)이 크게 증가할 수 있는 동작 수명에 걸쳐서, 트랜지스터(MN6)는 제 3f 도의 시간(t6)에 앞서 작은 구동으로 도통이 유지된다.
트랜지스터(MN5)의 전압(VTH)의 어떤 임계 전압 드리프트는 단자(C)에서 전압(VC)의 동일한 변화를 초래하게 된다. 트랜지스터(MN6)의 임계 전압은 트랜지스 터(MN5)의 임계 전압을 추종하는 것으로 가정한다. 그러므로, 전압(C-BOOT)은 트랜지스터(MN6)의 임계 전압 드리프트를 보상할 필요가 없다. 트랜지스터(MN5 및 MN6)의 어떤 임계 전압 드리프트에 관계없이 트랜지스터(MN6)는 전압(C-BOOT)에 의해 턴 온되게 된다. 따라서, 트랜지스터(MN5)의 임계 전압 변화는 트랜지스터(MN6)의 임계 전압을 보상한다.
전압(C-BOOT)의 커패시턴스 결합(capacitance coupling)은, 단자(C)에서의 트랜지스터(MN6)의 게이트 전압(VC)을, 트랜지스터(MN6)의 임계 전압보다 단지 약간 높은 레벨로, 예컨대 트랜지스터(MN6)의 임계 전압보다 5 V 만큼 높은 레벨로 이용할 수 있도록 한다. 그러므로, 트랜지스터(MN6)는 크게 스트레스받지 않는다. 유리하게는, 트랜지스

터(MN6)의 게이트 전극에서 높은 구동 전압들을 회피함으로써, 동작 수명에 걸쳐서 일어날 수 있는 트랜지스터(MN6)에서의 임계 전압 드리프트는 실질적으로 트랜지스터(MN6)가 큰 구동 전압으로 구동되는 경우보다 실질적으로 작다.

전압(C-BOOT)은 제 3h 도의 간격(t5-t7) 동안에 램핑 방식(ramping manner)으로 발생된다. 전압(C-BOOT)의 비교적 느린 상승 시간은 트랜지스터(MN6)의 스트레스(stress)를 감소시키는데 도움을 준다. 트랜지스터(MN6)의 게이트 전압이 서서히 증가하면, 게이트-소스 전위차가 보다 긴 기간들 동안 보다 작게 유지되도록 트랜지스터(MN6)의 소스가 충전된다. 간격(t5-t7)은 4 μsec의 길이를 가지고 있다. 제 2f 도의 신호(DATA_RAMP)의 간격(t6-t8)의 길이의 약 20%, 즉 2μsec보다 긴 간격(t5-t7)의 길이를 유지함으로써, 트랜지스터(MN6)의 게이트-소스 전압간 전압차 는, 유리하게, 매우 긴 기간 동안 감소된다. 그러므로, TFT(MN6)에서 스트레스가 감소된다.

제 3e 도의 시간(t4)에서, 기준 램프 신호(REF_RAMP)는 업램핑(up-ramping)을 시작한다. 신호(REF_RAMP)는 비교기(24)의 입력 단자(A)로부터 떨어진 제 2 도의 커패시터(C2)의 단자(E)에 연결된다. 결과적으로, 비교기(24)의 입력 단자(A)의 전압(VAA)은 커패시터(C2)에서 생성된 전압(VC2)과 램핑 신호(REF_RAMP)의 합성 전압과 동일하다. 시간(t6) 이후에, 트랜지스터(MN6)의 드레인 전극에 연결된 데이타 램프 전압(DATA_RAMP)이 업램핑하기 시작한다. 트랜지스터(MN6)의 스트레이 게이트-소스 및 게이트-드레인 커패시턴스로부터 단자(C)로의 피드백 연결로, 단자(C)의 전압은 데이타 램프 신호(DATA_RAMP)의 모든 값들에 대해 도통되도록 트랜지스터(MN6)를 제어하기에 충분하게 된다. 시간(t4) 후, 단자(A)의 램핑 전압(VAA)이 비교기(24)의 전압(Va)과 동일한 트리거 레벨에 도달하지 않는 한, 트랜지스터(MN5)는 비도통 상태로 유지되고 트랜지스터(MN6)는 도통 상태로 유지된다. 트랜지스터(MN6)가 도통되는 한, 데이타 라인(17)의 전위(VCOLUMN), 따라서, 선택된 행의 화소 커패시턴스(CPIXEL)에 인가된 전위를 증가시키기 위해, 업램핑 전압(DATA_RAMP)이 트랜지스터(MN6)를 통해 열 데이타 라인(17)에 연결된다. 예컨대, 커패시턴스(24)를 통한 램프 전압(VCOLUMN)의 용량성 피드백은, 이전에 설명된 바와 같이, 트랜지스터(MN5)가 단자(C)에서 높은 임피던스를 보이는 한, 트랜지스터(MN6)를 도통 상태로 유지한다.

제 3e 도의 신호(REF_RAMP)의 업램핑(upramping) 부분(500) 동안에, 단자(A)의 합성 전압(VAA)은 비교기(24)의 트리거 레벨(Va)을 초과하고, 트랜지스터(MN5)는 도통된다. 트랜지스터(MN5)가 도통되는, 부분(500) 동안의 순간은 신호(IN)의 크기의 함수에 따라 변화된다.

트랜지스터(MN5)가 도통될 때, 트랜지스터(MN6)의 게이트 전압(VC)이 감소하고 트랜지스터(MN6)를 턴오프시킨다. 결과적으로, 트랜지스터(MN6)의 턴오프전에 발생하는 전압(DATA_RAMP)의 최종값은 다음 갱신 사이클까지 변하지 않고 유지되거나 화소 커패시턴스(CPIXEL)에 저장된다. 이 방식으로, 현재 갱신 사이클이 완료된다.

제 1 도의 액정 어레이(16)의 편광을 방지하기 위해, 도시되지 않은 이른바 어레이의 백플레인(backplane) 또는 공통 플레인(common plane)은 정전압(VBACKPLANE)으로 유지된다. 디멀티플렉서 및 데이타 라인 구동기(100)는, 하나의 갱신 사이클에서 전압(VBACKPLANE)에 대해 한 극성이고 교번의 갱신 사이클에서 반대 극성 및 동일 크기인 전압(VCOLUMN)을 발생한다. 교번의 극성들을 얻기 위해, 전압(DATA_RAMP)은, 하나의 갱신 사이클에서 1 V - 8.8 V의 범위로 그리고 교번의 갱신 사이클에서 9 V - 16.8 V의 범위로 발생된다. 반면에, 전압(VBACKPLANE)은 두 범위들 사이의 중간 레벨로 설정된다. 다른 두 전압 범위들 내의 전압(DATA_RAMP)을 발생할 필요가 있기 때문에, 신호들 또는 전압들(AUTOZERO, PRE_AUTOZ, Vss, RESET)은 전압(DATA_RAMP)의 설정된 범위에 따라 교번의 갱신 사이클들에서 변화하는 2 개의 상이한 피크 레벨들을 가지고 있다.

제 4 도는 본 발명의 한가지 양태를 구현하는 출력 전압 보상 회로(300)를 나타낸다. 제 1 도, 제 2 도, 제 3a-3h 도 및 제 4 도에서의 유사한 기호들과 숫자들은 유사한 항목들 또는 기능들을 나타낸다. 제 4 도의 회로(300)는 수정, 즉 제 1 도 및 제 2 도의 디멀티플렉서 및 데이타 라인 구동기(100)와 유사한 더미 디멀티플렉서 및 데이타 라인 구동기(100')를 포함하며, 아래에서 그 차이가 설명된다. 제 4 도의 회로(300)는 예컨대 제 1 도의 전압(VCOLUMN)의 스트레스 관련 변화를 보상한다. 전압(VCOLUMN)의 변화는 예컨대 트랜지스터(MN6)의 임계 전압의 변화로부터 초래될 수 있다.

제 4 도의 더미 디멀티플렉서 및 데이타 라인 구동기(100')는 제 1 도의 어레이(16)에서의 더미 데이타 라인(17')을 구동한다. 데이타 라인(17')은 디스플레이용이 아닌 출력 전압 보상용으로 제공된다. 그러므로, 데이타 라인(17')에 의해 제어되는 어레이(16)의 도시되지 않은 화소들(16a)은 사용자에게 보이는 이미지를 생성할 필요가 없다.

디멀티플렉서 및 데이타 라인 구동기(100)의 비디오 신호(IN)의 전압 범위는 0 V와 10 V 사이이다. 제 1 도 및 제 4 도의 더미 디멀티플렉서 및 데이타 라인 구동기(100')의 입력 신호(IN')는 제 1 도의 비디오 신호(IN)의 대략 중간 범위에 있는 5 V와 같은 일정한 DC 레벨이 되도록 선택된다. 결과적으로, 제 4 도의 더미 디멀티플렉서 및 데이타 라인 구동기(100')의 출력 전압(VCOLUMN')은 제 1 도의 전압(VCOLUMN)의 대략 중간 범위에 있다.

제 4 도의 더미 디멀티플렉서 및 데이타 라인 구동기(100')의 전압(VCOLUMN')은 한 쌍의 트랜지스터들(MN, MP)에 의해 형성된 종래의 전송 게이트를 통해 샘플링 커패시터(C1)에 연결된다. 트랜지스터들(MN, MP)의 게이트 단자들은 제 3f 도의 시간 t10에서 발생하는 상보 신호들(SAMP, SAMP')에 의해 각각 제어된다. 따라서, 제 4 도의 커패시터(C1)의 샘플링된 전압(VC1)은 신호(IN)의 중간 범위에 있는 제 1 도의 각각의 디멀티플렉서 및 데이타 라인 구동기(100)의 전압(VCOLUMN)의 크기를 나타낸다. 전압(VCOLUMN)의 스트레스 관련 변화는 제 4 도의 전압(VCOLUMN)의 스트레스 관련 변화와 대략 동일한 것으로 가정한다.

전압(VC1)은 1 이득(unity gain) 비반전 증폭기(301)를 통해 반전 증폭기(304)에 연결된다. 저항기(R3)는 증폭기(301)를 연산 증폭기(302)의 반전 입력 단자(305)에 연결한다. 증폭기(302)는 대략 1 이득을 가진 폐루프 반전 증폭기(304)에 포함된다. 증폭기(302)의 출력 단자(303)는 피드백 저항(R4)을 통해 단자(305)에 연결된다. 기준 전압(REF)은 저항(R1)과 저항(R2)에 의해 형성된 전압 분할기를 통해 증폭기(302)의 비반전 입력 단자(306)에 연결된다. 따라서, 전압(VREF)은 증폭기(302)의 출력 단자(303)에서 전압(Va)의 레벨을 설정하는 단자(306)에서 발생된다.

증폭기(304)는 반전 증폭기로서 동작한다. 증폭기(304)는 제 1 도의 디멀티플렉서 및 데이타 라인 구동기(100)의 비교기(24)에 연결되는 전압(Va)을 발생한다. 한편, 구성 요소의 트리거 레벨을 제어하는 더미 디멀티플렉서 및 데이타 라인 구동기(100')의 전압(Va')은 전압(VCOLUMN')이 변화할 때 변화되지 않는다. 따라서, 전압(Va)은 제 1 도의 각각의 디멀티플렉서 및 데이타 라인 구동기(100)에서 제 2 도의 비교기(24)의 트리거 레벨을 설정하며, 그러나 더미 디멀티플렉서 및 데이타 라인 구동기(100')의 트리거 레벨에 영향을 주지 않는다.
전압(VREF)은 제 1 도의 디멀티플렉서 및 데이타 라인 구동기들(100, 100')의 동작 수명의 시작에서 소정의 크기의 전압(Va)을 생성한다. 디멀티플렉서 및 데이타 라인 구동기(100)는 동작 수명의 시작에서 소정의 크기의 신호(IN)에 대해 대응하는 크기의 전압(VCOLUMN)을 생성한다. 스트레스의 결과로서, 예컨대, 디멀티플렉서 및 데이타 라인 구동기(100)의 동작 수명의 기간이 발생한 후, 저하가 발생할 수 있다. 저하는 제 1 도의 디멀티플렉서 및 데이타 라인 구동기들(100, 100')의 TFT에서, 예컨대 제 2 도의 트랜지스터(MN6)에서 발생할 수 있다.
이러한 저하는 동작 수명의 시작에서 생성되는 전압(VCOLUMN')의 크기에 대해 제 4 도의 전압(VCOLUMN')의 전압 변화(△V)를 생성하는 경향이 있는 것으로 가정한다. 따라서, 전압(Va)은 동일한 양의 전압 변화(△V)만큼 그러나 반대 방향으로 변화하게 된다.
본 발명에 따라, 전압(Va)의 전압 변화(△V)는 제 1 도의 각각의 디멀티플렉서 및 데이타 라인 구동기(100)의 전압(VCOLUMN)의 대략 동일한, 그러나 반대 방향으로, 보상 전압 변화(△V)를 일으킨다. 전압(Va)의 변화는 트랜지스터(MN6)의 임계 전압의 변화를 보상하며, 따라서 각각의 전압(VCOLUMN)은 연장된 동작 수명 동안에 트랜지스터(MN6)의 임계 전압의 변화에 의해 실질적으로 영향을 받지 않는다. 이 방식으로, 화소 밝기 및 색은 트랜지스터(MN6)의 임계 전압내의 변화에도 불구하고 감쇄되지 않는다. 그러므로, 유리하게, 수동 조정은 동작 기간 동안에 요구되 지 않는다.
전압(Va)의 변화는 신호(IN)가 제 2 도의 신호(IN)의 중간 범위에 있을 때 이상적인 것에 가까운 보상을 제공한다. 신호(IN)의 모든 다른 레벨들에서, 제 4 도의 회로(300)는 중간 범위에서와 대략 동일한 전압(Va)의 전압 변화(△V)를 생성한다. 따라서, 제 4 도의 회로(300)는 제 2 도의 비교기(24)의 오프셋(offset) 전압 변화를 생성한다. 동일한 오프셋 전압 변화의 생성은, 트랜지스터(MN6)의 임계 변화가 신호(IN)의 어떤 레벨에 대해 전압(VCOLUMN)의 동일한 변화를 초래하는 경향이 있기 때문에, 제공된다. 따라서, 동일한 크기의 전압 변화(△V)를 전압(Va)의 반대 방향으로 인가하면, 동작 수명에 걸쳐서 전압(VCOLUMN)이 일정하게 유지된다.
트랜지스터들(MP, NP) 및 증폭기들(301, 302)을 포함하는 제 4 도의 회로(300)의 부분은 LCD의 글래스(glass)의 외부로 형성될 수 있다. 그러므로, 그것은 임계 전압 드리프트(drift) 및 스트레스가 작용하지 않는 종래의 트랜지스터들로 제조될 수 있다. 반면에, 더미 디멀티플렉서 및 데이타 라인 구동기(100')는 LCD의 글래스 상에 형성될 수 있다.

(57) 청구의 범위

청구항 1.
열들(columns)로 배열된 디스플레이 장치의 화소들에서 화상 정보를 포함하는 신호를 발생하는 비디오 장치에 있어서,
비디오 신호의 소스와;
상기 비디오 신호를 상기 화소들에 인가하기 위해 상기 비디오 신호에 응답하는 복수의 데이타 라인 구동기들로서, 상기 복수의 데이타 라인 구동기들 중 소정의 데이타 라인 구동기가 상기 화소들의 대응하는 열에 연관된 대응 데이타 라인에 연결되어, 상기 비디오 신호의 대응하는 부분에 의해 결정되는 크기로 상기 연관된 데이타 라인에 출력 신호를 발생하는, 상기 복수의 데이타 라인 구동기들과;
상기 복수의 데이타 라인 구동기들 각각의 상기 출력 신호를 제어하기 위해 상기 복수의 데이타 라인 구동기들 각각에 연결되는 제어 신호를 발생하기 위한 더미 데이타 라인 구동기를 포함하는 증폭기 단으로서, 이에 의해 상기 비디오 신호 부분의 소정의 크기에 대해, 동작 수명에 걸쳐서 변화하는 상기 소정의 데이타 라인 구동기의 상기 출력 신호의 경향이 상기 복수의 데이타 라인 구동기들 각각의 상기 출력 신호의 상기 변화를 감소시키는 방식으로 상기 제어 신호에 의해 보상되는, 상기 증폭기단을 포함하는, 비디오 장치.

청구항 2.
제 1 항에 있어서,
상기 더미 데이타 라인 구동기는 일정한 기준 레벨에서의 입력 신호에 응답 하는, 비디오 장치.

청구항 3.
제 2 항에 있어서,
상기 기준 레벨은 대략 상기 비디오 신호의 중간 범위에 있도록 선택되는, 비디오 장치.

청구항 4.
제 1 항에 있어서,
상기 복수의 데이타 라인 구동기들 각각은 비교기를 포함하고, 또한 상기 제어 신호는 상기 비교기의 트리거 레벨을 변화시키는, 비디오 장치.

청구항 5.
제 4 항에 있어서,
상기 더미 데이타 라인 구동기는 상기 제어 신호에 의해 영향을 받지 않는 트리거 레벨을 가진 비교기를 포함하는, 비디오 장치.

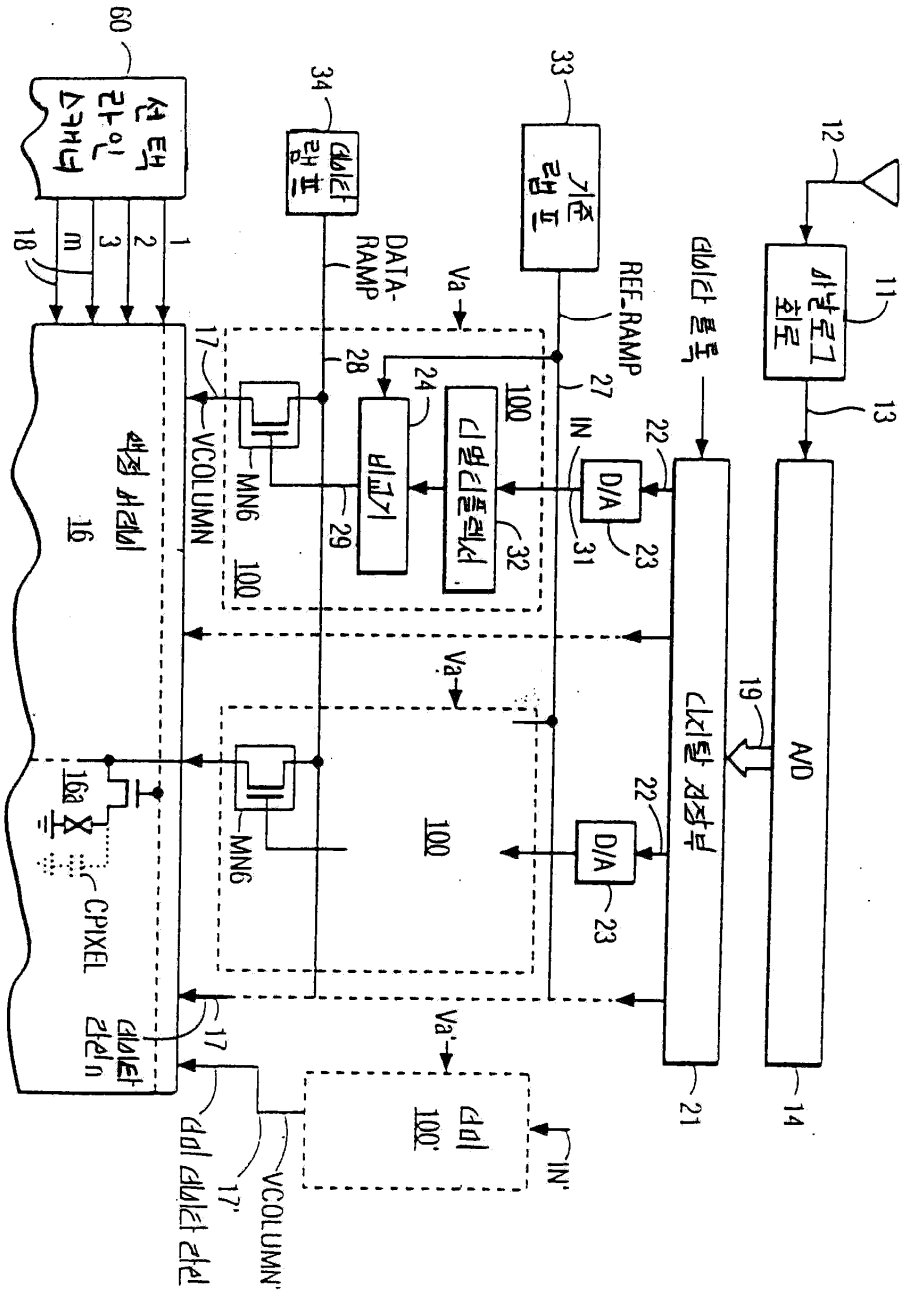
청구항 6.

제 5 항에 있어서,

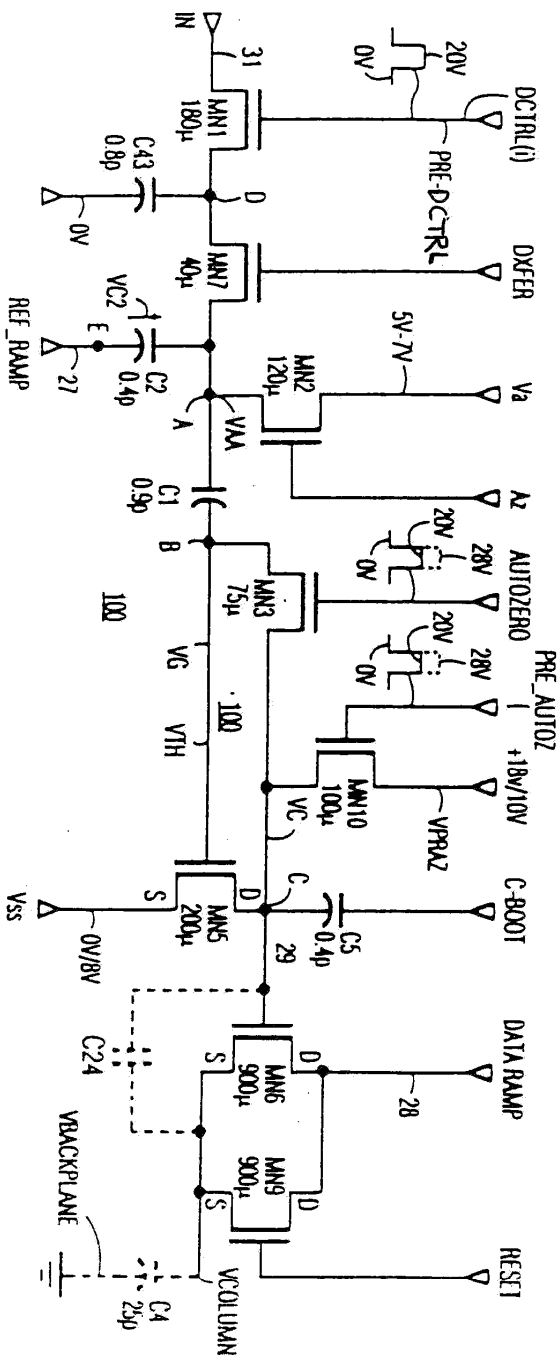
상기 비교기의 상기 트리거 레벨은 상기 비디오 신호와 독립적으로 동일한 양만큼 변화하는, 비디오 장치.

도면

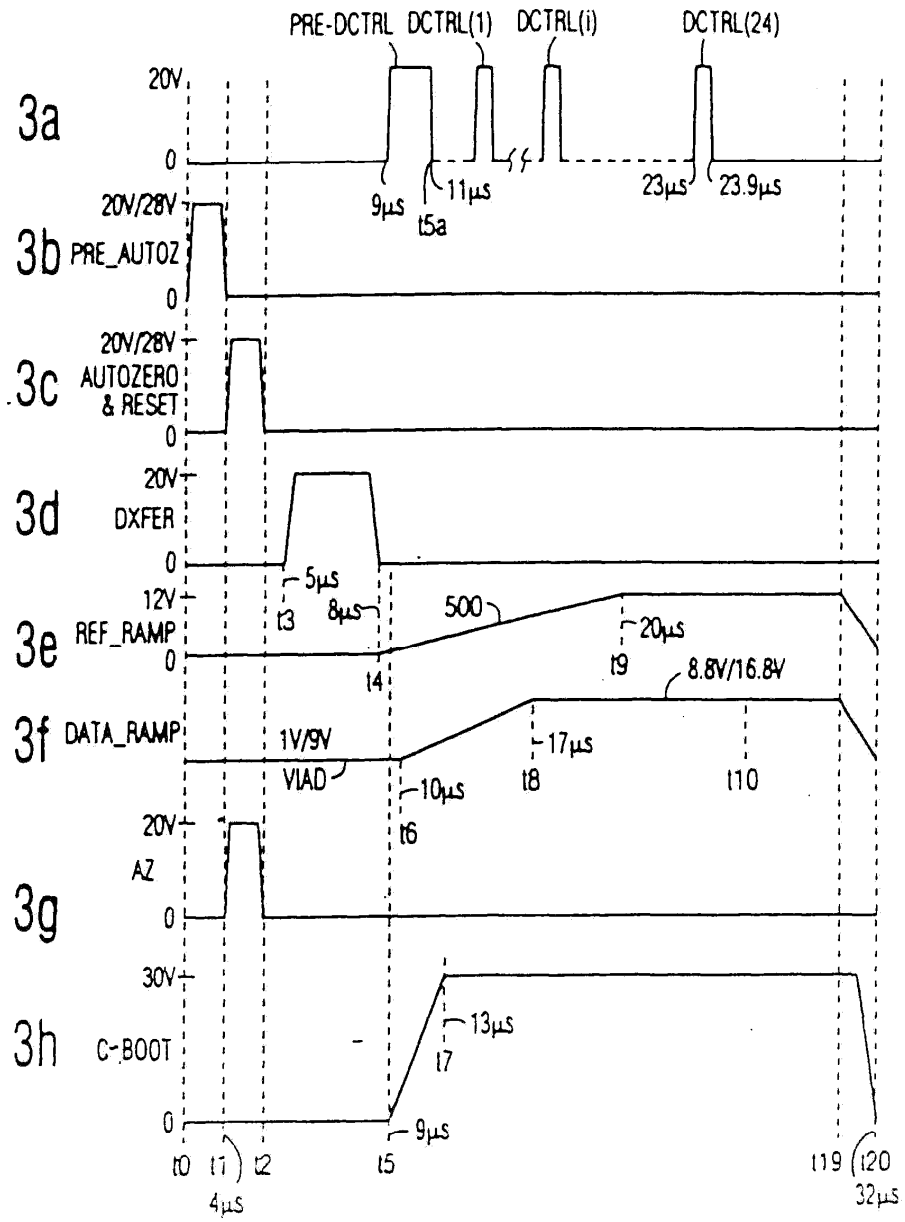
도면1



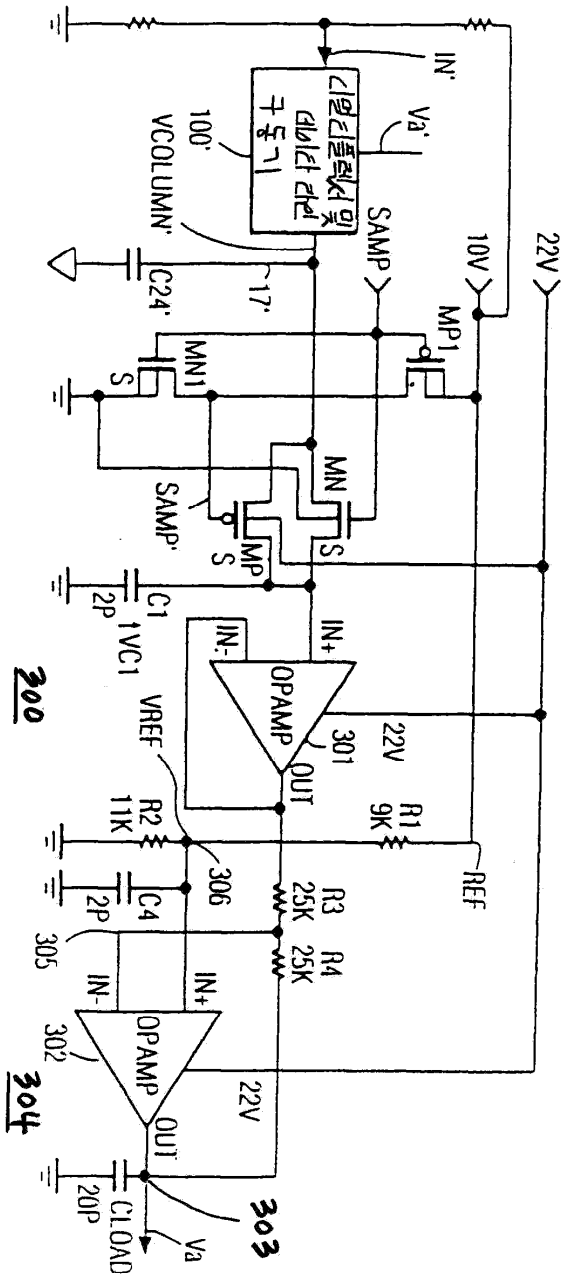
도면2


IN
31
MN1
180μ
C43
0.8p
0V
D
MN7
40μ
VC2
E
REF_RAMP
27
C2
0.4p
A
VA
MN2
120μ
5V-7V
Va
C1
0.9p
B
MN3
75μ
20V
0V
28V
AUTOZERO
PRE_AUTOZ
+18v/10V
100
VG
VTH
100
MN10
100μ
VC
VPRAZ
S
D
MN5
200μ
C
C5
0.4p
29
C-BOOT
Vss
0V/8V
C24
MN6
900μ
S
D
28
DATA RAMP
VBACKPLANE
MN9
900μ
S
D
RESET
C4
2.5p
VCOLUMN

도면3


PRE-DCTRL
DCTRL(1)
DCTRL(i)
DCTRL(24)
3a
20V
0
9μs
11μs
t5a
23μs
23.9μs
3b
PRE_AUTOZ
20V/28V
0
3c
AUTOZERO
& RESET
20V/28V
0
3d
DXFER
20V
0
5μs
t3
8μs
3e
REF_RAMP
12V
0
500
20μs
t9
t4
8.8V/16.8V
3f
DATA_RAMP
1V/9V
VIAD
17μs
t8
t10
10μs
t6
3g
AZ
20V
0
3h
C-BOOT
30V
0
13μs
t7
9μs
t0
t1
4μs
t2
t5
t19
t20
32μs

도면4


IN'
Va'
100'
VCOLUMN'
SAMP
10V
22V
C24'
17'
MP1
MN1
S
MN
SAMP'
MP
S
S
C1
2P
1VC1
IN-
IN+
OPAMP
301
22V
OUT
300
VREF
R2
11K
R1
9K
REF
306
C4
2P
R3
25K
R4
25K
305
IN-
IN+
OPAMP
302
22V
OUT
304
CLOAD
20P
Va
303