

公告本

申請日期	90. 5. 30
案 號	90113005
類 別	G11C 7/00 i606F11/60

A4
C4

587255

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	用於同時操作快閃記憶體之雙埠 CAMS
	英 文	DUAL-PORTED CAMS FOR A SIMULTANEOUS OPERATION FLASH MEMORY
二、發明 人	姓 名	1. 阿里·阿爾-夏瑪 ALI AL-SHAMMA 2. 李·克萊凡地 LEE CLEVELAND
	國 籍	1. 伊拉克 2. 美國
	住、居所	1. 美國·加州 95128·聖荷西市·摩爾公園 2966 號·#10 2966 Moorpark #10, San Jose, CA 95128, U.S.A. 2. 美國·加州 95051·聖克拉克市·瑪麗皇宮路 3428 號 3428 St. Mary's Place, Santa Clara, CA 95051, U.S.A.
三、申請人	姓 名 (名稱)	高級微裝置公司 ADVANCED MICRO DEVICES, INC.
	國 籍	美國
	住、居所 (事務所)	美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68· 郵政信箱 3453 號 One AMD Place, M/S 68, P.O. BOX 3453, SUNNYVALE, CALIFORNIA 94088-3453, U.S.A.
	代 表 人 姓 名	理查·J·諾迪 RICHARD J. RODDY

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

美 國 (地區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權
2000 年 5 月 31 日 60/208,449 (主張優先權)
2001 年 4 月 10 日 09/829,657 (主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[背景]

本發明主要係有關於半導體記憶元件。本發明尤其係有關於用於同時操作快閃記憶體之雙埠內容可定址記憶體。

快閃隨機存取記憶體(RAM)，更一般眾知為快閃記憶體，是一種非揮發性儲存之形式，係使用具有浮閘之記憶單元設計。高電壓作用在記憶單元輸入端以寫入或儲存電荷於浮閘上，或從浮閘抹拭或移除電荷。該寫入藉由熱電子轉移而發生，以置放電荷於浮閘上，而抹拭利用之Fowler-Nordheim穿隧，係由電子貫穿薄介電材料而減少電子電荷在浮閘上之數量。抹拭一個單元使得該單元之邏輯值成為“1”，而寫入該單元使得邏輯值成為“0”。除了寫入或抹拭操作之外，快閃記憶體同樣操作隨機存取唯讀記憶體(ROM)。習知上，包含快閃記憶體儲存單元及支援邏輯／電路之快閃記憶體晶片，係藉由製造複晶矽及第一和第二金屬層於基板上之半導體材料層及內連線層而產生。當眾多包含較多或較少層之積體電路製造技術可適用於此快閃記憶體製造時，將可提升該技術之價值。

多餘核心單元陣列用來代替主要或正規陣列之無效記憶核心單元。內容可定址記憶體(CAM)電路可用以輔助於多餘代替上。多餘內容可定址記憶體(CAM)單元儲存關於無效記憶單元之位置的資料，以便記憶單元之多餘陣列可用以代替主要陣列之無效記憶單元。

典型上在顧客或用戶使用前，記憶單元陣列之效能

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

及準確性乃經由製造業者所測試。當適當的依照該測試階段時，多餘內容可定址記憶體單元會抹拭及寫入無效記憶體單元之位置。

對於內容可定址記憶體電路及架構之重設計以處理日益增多之系統效能標準及元件密度，較新之技術，例如同時讀取及寫入操作快閃記憶體，則呈現有利的機會。在快閃記憶體方面，實現更多有效能的多餘內容可定址記憶體電路及架構將是合乎需要的。

[圖式之簡單說明]

第 1 圖為依據本較佳實施例之記憶體之方塊圖；

第 2 圖為依據第 1 圖之記憶體，包含主要陣列及多餘陣列之典型核心單元陣列；

第 3 圖為依據第 1 圖之記憶體之典型內容可定址記憶體(CAM)級及伴隨的輸出電路之電路圖；

第 4 圖為依據第 1 圖之記憶體及第 2 圖之典型核心單元陣列，說明典型內容可定址記憶體級陣列及伴隨的輸出電路之方塊圖；

第 5 圖為說明結合第 2 圖之典型核心單元陣列之垂直陣列之內容可定址記憶體級之典型群集之方塊圖；

第 6 圖為依據第 2 圖之記憶體之具有分享輸出電路之內容可定址記憶體級之典型群集之電圖路。

[元件符號之說明]

100 記憶體

102 核心單元陣列

104 解碼器

五、發明說明(3)

106	多餘內容可定址記憶體(CAM)電路		
108	位址緩衝電路	110	控制邏輯電路
112	感測放大器及輸出電路	114	上組
116	下組	118	上主要陣列
120	上主要陣列	122	上主要陣列
124	上主要陣列	126	上多餘陣列
128	上多餘陣列	130	上多餘陣列
132	上多餘陣列	134	下主要陣列
136	下主要陣列	138	下主要陣列
140	下主要陣列	142	下多餘陣列
144	下多餘陣列	146	下多餘陣列
148	下多餘陣列	200	雙埠內容可定址記憶體級
202	雙埠內容可定址記憶體單元		
204	寫入資料匯流排	206	讀取資料匯流排
208	p型通道偏壓電晶體	210	p型通道偏壓電晶體
212	節點	214	節點
216	節點	300	內容可定址記憶體級陣列
302	內容可定址記憶體級結合垂直陣列 CAM0/VERT0		
304	內容可定址記憶體級結合垂直陣列 CAM1/VERT0		
306	內容可定址記憶體級結合垂直陣列 CAM2/VERT0		
308	內容可定址記憶體級結合垂直陣列 CAM3/VERT0		
310	內容可定址記憶體級結合垂直陣列 CAM4/VERT0		
312	內容可定址記憶體級結合垂直陣列 CAM5/VERT0		
314	內容可定址記憶體級結合垂直陣列 CAM6/VERT0		

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

- 316 內容可定址記憶體級結合垂直陣列 CAM7/VERT0
- 318 內容可定址記憶體級結合垂直陣列 CAM0/VERT1
- 320 內容可定址記憶體級結合垂直陣列 CAM1/VERT1
- 322 內容可定址記憶體級結合垂直陣列 CAM2/VERT1
- 324 內容可定址記憶體級結合垂直陣列 CAM3/VERT1
- 326 內容可定址記憶體級結合垂直陣列 CAM4/VERT1
- 328 內容可定址記憶體級結合垂直陣列 CAM5/VERT1
- 330 內容可定址記憶體級結合垂直陣列 CAM6/VERT1
- 332 內容可定址記憶體級結合垂直陣列 CAM7/VERT1
- 334 內容可定址記憶體級結合垂直陣列 CAM0/VERT2
- 336 內容可定址記憶體級結合垂直陣列 CAM1/VERT2
- 338 內容可定址記憶體級結合垂直陣列 CAM2/VERT2
- 340 內容可定址記憶體級結合垂直陣列 CAM3/VERT2
- 342 內容可定址記憶體級結合垂直陣列 CAM4/VERT2
- 344 內容可定址記憶體級結合垂直陣列 CAM5/VERT2
- 346 內容可定址記憶體級結合垂直陣列 CAM6/VERT2
- 348 內容可定址記憶體級結合垂直陣列 CAM7/VERT2
- 350 內容可定址記憶體級結合垂直陣列 CAM0/VERT3
- 352 內容可定址記憶體級結合垂直陣列 CAM1/VERT3
- 354 內容可定址記憶體級結合垂直陣列 CAM2/VERT3
- 356 內容可定址記憶體級結合垂直陣列 CAM3/VERT3
- 358 內容可定址記憶體級結合垂直陣列 CAM4/VERT3
- 360 內容可定址記憶體級結合垂直陣列 CAM5/VERT3
- 362 內容可定址記憶體級結合垂直陣列 CAM6/VERT3

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

- 364 內容可定址記憶體級結合垂直陣列 CAM7/VERT3
- 366 讀取 p 型通道升壓低臨界電壓電晶體
- 368 讀取 p 型通道升壓低臨界電壓電晶體
- 370 讀取 p 型通道升壓低臨界電壓電晶體
- 372 讀取 p 型通道升壓低臨界電壓電晶體
- 374 讀取 p 型通道升壓低臨界電壓電晶體
- 376 讀取 p 型通道升壓低臨界電壓電晶體
- 378 讀取 p 型通道升壓低臨界電壓電晶體
- 380 讀取 p 型通道升壓低臨界電壓電晶體
- 382 寫入 p 型通道升壓低臨界電壓電晶體
- 384 寫入 p 型通道升壓低臨界電壓電晶體
- 386 寫入 p 型通道升壓低臨界電壓電晶體
- 388 寫入 p 型通道升壓低臨界電壓電晶體
- 390 寫入 p 型通道升壓低臨界電壓電晶體
- 392 寫入 p 型通道升壓低臨界電壓電晶體
- 394 寫入 p 型通道升壓低臨界電壓電晶體
- 396 寫入 p 型通道升壓低臨界電壓電晶體
- 400 內容可定址記憶體級群集
- 402 內容可定址記憶體級結合垂直陣列 CAM0/VERTm
- 404 內容可定址記憶體級結合垂直陣列 CAM1/VERTm
- 406 內容可定址記憶體級結合垂直陣列 CAM2/VERTm
- 408 內容可定址記憶體級結合垂直陣列 CAM3/VERTm
- 410 內容可定址記憶體級結合垂直陣列 CAM4/VERTm
- 412 內容可定址記憶體級結合垂直陣列 CAM5/VERTm

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

- 414 內容可定址記憶體級結合垂直陣列 CAM6/VERTm
 416 內容可定址記憶體級結合垂直陣列 CAM7/VERTm
 500 內容可定址記憶體級群集
 502 內容可定址記憶體級 CAMn/VERT0
 504 內容可定址記憶體級 CAMn/VERT1
 506 內容可定址記憶體級 CAMn/VERT2
 508 內容可定址記憶體級 CAMn/VERT3
 510 寫入升壓電晶體 512 分享輸出端
 514 讀取升壓電晶體 516 分享輸出端

[本較佳實施例之詳細說明]

多餘核心單元陣列用來代替主要或正規陣列之無效記憶核心單元。內容可定址記憶體(CAM)電路可用以輔助於多餘代替上。多餘內容可定址記憶體單元儲存關於無效記憶單元之位置的資料，以便記憶單元之多餘陣列可用以代替主要陣列之無效記憶單元。

典型上在客戶或使用者使用前，記憶單元陣列之效能及準確性乃經由製造業者所測試。當適當的依照該測試階段時，多餘內容可定址記憶體單元會抹拭及寫入無效記憶單元之位置。

在記憶體裡之核心單元可能是位元組或字元可定址。若特定操作在主要陣列執行，將提供該操作位址。在存取主要陣列之記憶體單元位置之前，該位址與關於無效記憶體單元位置之位址資料比較。若該位址符合無效記憶體單元群集之位置，該位址再指向多餘陣列。該操作接著

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

在多餘陣列執行。若該位址不符合無效記憶體單元之群集之位置，則該位址作用在主要陣列，並且該操作在主要陣列執行。典型上用多餘陣列記憶體單元代替主要陣列記憶體單元對記憶體的使用權是無接縫且透明化的。

對於內容可定址記憶體電路及架構之重設計以處理日益增多之系統效能標準及元件密度，較新之技術，例如同時讀取及寫入操作快閃記憶體，則呈現有利的機會。現今於此描述之較佳實施例在記憶體裡，例如快閃記憶體，實現更有效率的多餘內容可定址記憶體電路及架構。

內容可定址記憶體單元配置儲存關於無效記憶體單元在主要核心單元陣列之位置之資料。典型上，該無效記憶體單元需要藉由多餘陣列裡的記憶體單元來代替。如同主要核心單元陣列的操作位址所定址，儲存在內容可定址記憶體的資料也可相關聯而不論記憶體單元是否需要藉由多餘陣列裡的記憶體單元來代替。既然個別的內容可定址記憶體單元或內容可定址記憶體單元的群集能夠儲存資料以決定是否操作位址指向在核心單元陣列裡的無效記憶之位置，以及既然操作位址可以用於讀或寫之操作，那麼通常在預期上會要求個別的內容可定址記憶體單元或內容可定址記憶體單元的群集對特定區域的每個操作來各別儲存資料。

然而藉由同時操作，讀取及寫入之操作需避免在同一組同時執行。此外，同時讀取及寫入操作之限制基準也會使用。因此，依據所示之最佳實施例，儲存關於核心單

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(8)

元陣列之無效記憶體單元之位置之資料的個別雙埠內容可定址記憶體單元或內容可定址記憶體單元的群集，可以在讀取操作期間及寫入操作期間來存取。由於在同時讀取及寫入操作上受限制，內容可定址記憶體單元或單元組可以接受存取而無關於個別內容可定址記憶體單元或內容可定址記憶體單元群組之同時存取。藉由這項設計，內容可定址記憶體單元之雙重性質可以發揮同時操作以改善內容可定址記憶體單元佈局之效能並減少元件數目及週邊電路。

今參考第1圖，其為根據現今較佳實施例之記憶體100之方塊圖。在說明的實施例裡，用來儲存數位資料之記憶體100乃配置成由互補式金氧半導體(Metal-oxide-semiconductor, MOS)積體電路所形成之快閃記憶體。然而，記憶體100也可成為任何其它適當的形式，並且事實上於此描述之原理也可用於任何其它適當的電路在同時操作容許雙埠內容可定址的架構內。記憶體100包含核心單元陣列102、解碼器104、位址緩衝電路108、多餘內容可定址記憶體電路106、控制邏輯電路110以及感測放大器及輸出電路112。控制邏輯電路110連接解碼器104、位址緩衝電路108以及感測放大器及輸出電路112。控制邏輯電路110產生一系列讀取及寫入選擇操作訊號RSEL、WSEL,並且將訊號分送至解碼器104及多餘內容可定址記憶體電路106。最好，為了記憶體100，控制邏輯電路110分送時序及其它控制訊號。

核心單元陣列102包含多數記憶單元，每一個記憶

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

單元配置用以儲存資料。在某些應用上，每一個記憶單元可儲存單一資料位元；在其它應用上，每一個記憶單元可儲存兩個或兩個以上之資料位元。核心單元陣列 102 之記憶單元可為位元組或字元可定址，並且藉由在位址緩衝電路 108 之對應位址來存取。在現今較佳實施例裡，記憶單元依照資料字元存取，且該位址對應於唯一資料字元。在其它實施例裡，每一個記憶體單元具有唯一位址，該位址係由解碼器 104 來解碼。

最好，解碼器 104 包含列或 x-位址解碼邏輯及位元線或 y-位址解碼邏輯。最好，藉由觸發多數個字元線中的一個字元線，解碼器 104 之 x-位址解碼邏輯對於來自位址緩衝電路 108 所提供之位址訊號 ADD 產生回應，而每一個字元線則伴隨核心單元陣列 102 之一列。在回應字元線的觸發裡，伴隨該字元線之記憶體單元開啟並開始汲入電流。為了適當地開啟記憶體單元，字元線必須藉由相當的電位差來改變，例如 3.0 至 4.0V。

最好，解碼器 104 之 y-位址解碼邏輯將適當的核心單元陣列 102 之位元線與感測放大器及輸出電路 114 連接一起。y-位址解碼邏輯對於來自位址緩衝電路 108 之位址 ADD 產生回應，以解碼來自核心單元陣列 102 之多數位元線裡之選擇之位元線。感測放大器及輸出電路 114 感測位在核心單元陣列 102 之選擇記憶體單元裡的電流，並且決定一個或多個儲存在選擇記憶單元之資料位元之二位元狀態。藉由位在記憶體 100 之輸出以使用記憶體 100 外部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (10)

之感測放大器電路 114，電路 112 產生受感測之最好為資料字元之記憶體單元資料。其餘未呈現於第 1 圖之電路，提供寫入、讀取、檢驗及抹拭，並且執行其它在核心單元陣列 102 之個別記憶體單元之必要的操作。

記憶體 100 依照在第 1 圖標示為 V_{CC} 之供應電壓而操作。介於 V_{CC} 與接地之電位差為供應電壓，並且依例其範圍可為 0.8 至 3.3 伏特。供應電壓 V_{CC} 的適當性將有賴於因素變化，包含記憶體 100 製造技術。通常在先進的 CMOS 製程裡，供應電壓名義上為 1.8 伏特。在絕對條件下，對於 -0.9 伏特之 p 型通道電晶體，此電壓大於啟動或臨界電壓 V_{tp} 值，以及對於 +1.0 伏特之 n 型通道電晶體，此電壓大於啟動或臨界電壓 V_{tn} 值。

核心單元陣列 102 最好包含一系列主要陣列及多餘陣列。第 1 圖之多餘內容可定址記憶體電路 106 進一步包含內容可定址記憶體單元，係儲存關於無效記憶體單元或核心單元陣列 102 之主要單元陣列之一之無效位元線之位置資料。最好，相關聯之多餘陣列之位元線用作無效位元線之代替。多餘內容可定址記憶體電路 106 之內容可定址記憶體單元之寫入及抹拭位在第 1 圖顯示之 PROG/ERASE 輸入端。最好，內容可定址記憶體單元在終端使用者或客戶使該晶片前之舉行測試階段期間寫入及抹拭。

最好，當例如讀或寫之操作在核心單元陣列 102 執行時，該操作位址作用在多餘內容可定址記憶體電路 106，以將操作位址與儲存在內容可定址記憶體單元裡之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(II)

資料作比較。最好，若操作位址符合儲存在內容可定址記憶體單元裡之位置資料，則至少操作位址所指向之記憶體單元位置之一為無效的且需要一個多餘代替。

例如，若讀取操作在一般陣列裡執行，最好，符合組成資料字元之一系列記憶體單元之讀取位址將與位在多餘內容可定址記憶體單元之資料進行比較。若無效位元線發生包含無多餘代替之讀取位址將存取之系列記憶體單元之一，則多餘內容可定址記憶體電路將指示符合讀取位址之讀取。最好，解碼邏輯能確信多餘陣列之位元線為代替無效位元線，且讀取住址之無效記憶體單元將存取而無多餘代替。若無效位元線發生包含無多餘代替之寫入位址將存取之系列記憶體單元之一，則將發生相似的代替。

現參考第 2 圖，依據第 1 圖之記憶體 100，第 2 圖為說明典型的包含主要陣列及多餘陣列之核心單元陣列 102 之圖解。水平上，第 2 圖之典型核心單元陣列 102 分為上組 114 及下組 116。垂直上，陣列 102 分為四個垂直陣列 VERT0、VERT1、VERT2、VERT3，每一個垂直陣列包含一主要陣列及一個副多餘陣列。上組 114 包含上主要陣列 118、120、122、124 以及上多餘陣列 126、128、130、132。下組 116 包含下主要陣列 134、136、138、140 以及下多餘陣列 142、144、146、148。垂直陣列 VERT0 包含主要陣列 118、134 及多餘陣列 126、142。垂直陣列 VERT1 包含主要陣列 120、136 及多餘陣列 128、144。垂直陣列 VERT2 包含主要陣列 122、138 及多餘陣列 130、146。垂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (12)

直陣列 VERT3 包含主要陣列 124、140 及多餘陣列 132、148。

最好，記憶體 100 為同時操作記憶體。同時操作之限制之一，例如同時讀取及寫入操作，記憶體為讀取及寫入操作可以同時執行，但是在不同組裡。最好，關於第 2 圖之核心陣列 102 之額外限制為讀取及寫入操作僅可以在不同組裡同時執行而不是位在同樣地垂直陣列裡面。亦即，若寫入操作在垂直陣列 VERT0 之上主要陣列 118 裡執行，則讀取操可以分別在任何一个垂直陣列 VERT1、VERT2、VERT3 之下主要陣列 136、138、140 裡執行。然而，在此例中讀取操作不可以分別在任何一个垂直陣列 VERT0、VERT1、VERT2、VERT3 之上主要陣列 118、120、122、124 裡執行，或者在垂直陣列 VERT0 之下主要陣列 134 裡執行。

本較佳實施例裡，每一個垂直陣列分為九個記憶體單元之區段（未顯示於第 2 圖裡）。水平上，每一個區段最好分為一系列在主要陣列裡之欄區域。每一個欄區域依序包含許多記憶體單元。每一個欄區域之記憶體單元對於主要陣列最好符合唯一的位元線。如上所討論的，在主要陣列裡之無效記憶體單元之項目裡，無效記憶體之位置受檢驗。最好，擴展至垂直陣列之上及下多餘陣列部分之位元線代替符合無效記憶體單元之主要陣列之全部的位元線。最好，若位元線之記憶體單元為無效的，全部的位元線將由多餘位元線所代替，以便經由定義之無效位元線至

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (13)

少包含無效記憶體單元。在典型上及視核心陣列 102 之設計，有限數量之主要陣列之無效位元線可以藉由相關多餘陣列所代替。

本較佳實施例裡，藉由儲存唯一資料字元之記憶體單元之欄區域，記憶體單元以資料字元方式存取。例如，在一個實施例裡依據記憶體 100，當單筆 16 位元資料字元同時由輸出電路 112 產生時，讀取操作在內部二筆 16 位元資料字元同時受讀取的地方來執行。在此方式裡，二個欄區域將在一個讀取操作裡一起受到存取。相比起來，寫入操作與單筆 16 位元資料字元同時執行，並且一個欄區域將同時受到存取。當然，這些資料字元長度為典型的，並且其它字元長度可以適當地使用。

今參考第 3 圖，其為依據第 1 圖之記憶體典型雙埠內容可定址記憶體級 200 及伴隨的輸出電路之電路圖。在其它實施裡，雙埠內容可定址記憶體級 200 可以在無伴隨的輸出電路下使用以顯示多餘代替之必要性。典型的內容可定址記憶體級 200 包含雙埠內容可定址記憶體單元 202、寫入資料匯流排 204、及讀取資料匯流排 206。內容可定址記憶體單元 202 為電晶體，最好為 n 型通道金氧半導體場效電晶體 (MOSFET)。當內容可定址記憶體單元 202 最好為金氧半導體場效電晶體，以一種非揮發性記憶體單元使用時，任何適當的主動資料儲存元件可以用於該內容可定址記憶體單元 202。寫入資料匯流排 204 具有輸出埠以連接節 212 及輸入端以連接在節點 216 之內容可定址記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (14)

記憶體單元 202 之汲極。讀取資料匯流排 206 具有輸出埠以連接節點 214 及輸入端以連接在節點 216 之內容可定址記憶體單元 202 之汲極。寫入資料匯流排 204 及讀取資料匯流排 205 為電晶體，最好為 n 型通道金氧半導體場效電晶體 (MOSFET)。當然，任何適當的資料匯流排可以用於資料匯流排 204、205。寫入選擇訊號 WSEL_m 使用於寫入資料匯流排 204 之閘極，而讀取選擇訊號 ESEL_m 使用於讀取資料匯流排 205 之閘極。電壓 V_G 使用於內容可定址記憶體單元 202 之閘極輸入端，而電壓 V_s 使用於內容可定址記憶體單元 202 之源極輸入端。最好，在內容可定址記憶體單元 202 之正常操作期間，例如當內容可定址記憶體單元 202 受檢驗或存取時，電壓 V_s 將位在地電位。

用於典型的雙埠內容可定址記憶體級 200 之簡短名稱也呈現於第 3 圖裡。一般內容可定址記憶體級 200 可以稱為 CAM_n/VERT_m，其中 m 指的是 M 個垂直陣列 VERT₀、VERT₁、...、VERT_M 之任何一個，其中 n 指的是任何一個結合垂直陣列 VERT_m 之 N 個內容可定址記憶體級 200 CAM₀、CAM₁、...、CAM_N 之任何一個。最好，第 2 圖顯示之典型核心單元陣列 102 裡，具有 M=4 之垂直陣列 VERT₀、VERT₁、VERT₂、VERT₃。最好，每一個垂直陣列 VERT_m 具有 N=8 並且結合唯一的多餘雙埠內容可定址記憶體級 CAM₀、CAM₁、CAM₂、CAM₃、CAM₄、CAM₅、CAM₆、CAM₇。當然，核心單元陣列 102 為可調整的，並且可以由第 2 圖之典型的核心理單元陣列

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (15)

102 來分別地設計、尺寸化、排列或分類。結合每一個垂直陣列之多餘內容可定址記憶體單元 202 及級 200 也可以視實施例及特定設計及核心單元陣列 102 之佈局來做變化。亦即，更多多餘陣列可以提供或額外的內容可定址記憶體單元可以用以特定地辨識無效記憶體單元之位置、包含無效記憶體單元之無效位元線之位置、或者無效位元線所在處之欄面積。

最好，內容可定址記憶體單元 202 為一種非揮發性記憶體單元，係能夠抹拭資料或寫入資料。若內容可定址記憶體單元 202 為 n 型通道金氧半導體場效電晶體，可藉由電晶體之臨界電壓的變更來達成。訊號單元寫入／抹拭及伴隨的箭號意即顯示寫入／抹拭操作在內容可定址記憶體單元 202 上執行。視是否內容可定址記憶體單元 202 為寫入或抹拭，內容可定址記憶體單元 202 將分別回應作用之閘極電壓。

當內容可定址記憶體單元 202 為寫入時，調整電壓最好作用在汲極及電晶體單元 202 之閘極。與供給電壓 V_{CC} 相較，調整電壓相對為高電位。例如，在較佳實施例裡，近似 5 伏特之電壓 V_D 作用在汲極，而大約 8.5 伏特之電壓 V_G 作用在電晶體內內容可定址記憶體單元 202 之閘極輸入端。不管使用的電壓如何，在多餘內容可定址記憶體電路 106 之正常操作期間，在內容可定址記憶體單元 202 上之寫入操作之合成效應，增加了臨界電壓使其高於任何作用在內容可定址記憶體單元 202 之閘極之電壓，亦即高於

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明 (16)

供給電壓 V_{CC} 。

在正常操作期間，當閘極電壓 V_G 受到作用，最好為供給電壓 V_{CC} 時，一旦內容可定址記憶體單元 202 為寫入且單元 202 之汲極在地電位，則將無任何事情發生，即內容可定址記憶體單元將不啟動或導通。

典型上，所有內容可定址記憶體，包含在記憶體 100 裡之雙埠內容可定址記憶體單元 202，在抹拭前為寫入，並且一起抹拭。在那些如所知的技藝之技巧裡，內容可定址記憶體單元 202 可以利用紫外線抹拭步驟來抹拭。當然其它抹拭技術也可以使用。當單元 202 寫入至符合一般電晶體之正常值時，在內容可定址記憶體單元 202 上抹拭操作的效果在於從該值降低臨界電壓。最好，當內容可定址記憶體單元 202 為抹拭時，臨界電壓受調整以便單元 202 將表現像 n 型通道電晶體，即當作用在閘極之電壓 V_G 等於供給電壓 V_{CC} 時，電晶體將啟動並導通。

第 3 圖亦說明兩個 p 型通道偏壓電晶體 208、210，最好依照伴隨的典型內容可定址記憶體級 200 之輸出電路使用。相對於內容可定址記憶體單元 202，最好，電晶體 208、210 依照弱上拉電晶體來設計及尺寸化。在第 3 圖裡，p 型通道電晶體 208、210 最好為低臨界電壓電晶體。典型實施例裡，電晶體 208、210 每一個具有標稱的臨界電壓近似於 -0.5 伏特至 -0.8 伏特之範圍內。降至此範圍內之臨界電壓小於習知的 p 型通道電晶體的臨界電壓，其典型大約為 -1.2 伏特。在那些眾知的技藝之技巧裡，電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (17)

之臨界電壓，例如金氧半導體場效電晶體，在製造時受到控制。元件製造程序在選擇臨界電壓上允許某些彈性。然而，對於在特定製程裡之金氧半導體場效電晶體，標準值占了優勢且為普遍使用。應該瞭解的是這些臨界電壓僅為典型的。通常，電晶體設計參數可以藉以利用或在適當處加以代替，例如在臨界電壓及元件尺寸、其它電路組態、或其它那些在該技藝之技巧裡可獲得之應用設計技術。

p 型通道電晶體 208、210 可以參考關於該電晶體與寫入及讀取匯流排 204、206 之連接。寫入 p 型通道偏壓電晶體 208 在節點 212 處連接寫入資料匯流排 204 之輸出埠。一般內容可定址記憶體級 200 可稱之為 CAMn/VERTm，並且寫入 p 型通道偏壓電晶體 208 在節點 212 處產生訊號 CAMnW，其中，如同上述，n 指的是任何一個結合垂直陣列 VERTm 之 N 個內容可定址記憶體級 200 CAM0、CAM1、...、CAMN。W 定義在節點 212 處之訊號 CAMnW 為寫入操作內容可定址記憶體訊號。

同樣地，讀取 p 型通道偏壓電晶體 210 在節點 214 處連接讀取資料匯流排 206 之輸出埠。一般內容可定址記憶體級 200 稱之為 CAMn/VERTm，並且讀取 p 型通道偏壓電晶體 210 在節點 214 處產生訊號 CAMnR，其中，如同上述，n 指的是任何一個結合垂直陣列 VERTm 之 N 個內容可定址記憶體級 200 CAM0、CAM1、...、CAMN。R 定義在節點 214 處之訊號 CAMnR 為讀取操作內容可定址記憶體訊號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(18)

讀取之閘極輸入端及寫入 p 型通道偏壓電晶體 210、208 連接至地電位，而源極輸入端維持在供給電壓 V_{CC} 。因此，如同上述，因為電晶體 210、208 為低臨界電壓電晶體，在缺乏來自內容可定址記憶體級 200 之下拉作動下，電晶體 210、208 將導通並且相對節點 212、214 將維持在 V_{CC} 。

結合電晶體 208、210 之內容可定址記憶體級 200 之操作如下來進行。最好，當存取核心單元陣列之操作發生時，不管該操作是否為讀取或寫入，多餘內容可定址記憶體電路 106 之內容可定址記憶體單元 202 皆受到存取。決定在於是否上述之位址（讀取位址或寫入位址）包含多餘代替所需之無效記憶體單元之位置。最好在操作前將關於該位置之資料寫入內容可定址記憶體單元 202 裡。最好，當讀取或寫入操作或同時發生時，每一個內容可定址記憶體單元 202 之源極電壓 V_S 接地電位，並且每一個內容可定址記憶體單元 202 之閘極電壓 V_G 提升至供給電壓 V_{CC} 。

視是否內容可定址記憶體單元 202 為寫入或抹拭，內容可定址記憶體單元 202 將分別地回應所應用之閘極電壓。若寫入操作在垂直陣列 VERTm 上執行，則寫入選擇訊號 WSELm 將為高電位，並且寫入資料匯流排 204 將為開啟態。依照所作用之閘極電壓 V_G ，最好為供給電壓 V_{CC} 時，已寫入之內容可定址記憶體單元 202 將仍然為關閉態並且將不啟動或導通。在缺乏來自內容可定址記憶體級 200 之降壓作動下，寫入上拉電晶體 208 將導通並且節點

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

212 將維持在 V_{CC} 。因此，若內容可定址記憶體單元 202 為寫入態且寫入資料匯流排 204 為開啟態，則節點 212 依然為高電位或維持在 V_{CC} 。

若寫入操作在垂直陣列 VERTm 上執行，則寫入選擇訊號 WSELm 將為高電位並且寫入資料匯流排將為開啟態。抹拭內容可定址記憶體單元 202 將表現像 n 通道型電晶體並且將依照作用在閘極電壓 V_G ，最好為供給電壓 V_{CC} ，而啟動及導通。內容可定址記憶體單元 202 將拉升節點 216 至地電位。最好，內容可定址記憶體單元 202 在設計上較寫入上拉電晶體 208 強健，且因此，若內容可定址記憶體單元 202 受到抹拭且寫入資料匯流排 204 為開啟態，節點 212 將提升至地電位。

若寫入操作並未在垂直陣列 VERTm 上執行，則寫入資料匯流排 204 將為關閉態，並且內容可定址記憶體單元 202 未受檢驗。不論內容可定址記憶體單元 202 為寫入或抹拭態將不影響訊號 CAMnW 在節點 212 之值。

通常，若寫入操作在垂直陣列 VERTm 上執行，訊號 CAM0W...CAMNW 將在多餘代替組成處記載位元線之位置，若其中之一存在且若其中之一寫入內容可定址記憶體級 200 CAM0/VERTm...CAMN/VERTm 裡。最好，一個或一個以上之訊號 CAM0W...CAMNW 將與寫入位址進行比較以決定是否有寫入匹配。若對於無效位元線有寫入匹配，則從多餘陣列來之位元線將替代無效位元線。亦即若在寫入位址及結合寫入操作在其它處發生之主要陣列之內

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (20)

容可定址記憶體級 200 間呈現匹配時，則多餘位址線用來代替無效位址線。

同樣地，若讀取操作在垂直陣列 VERT_m 上執行，則讀取選擇訊號 RSEL_m 將為高電位，並且讀取資料匯流排 206 將為開啟態。依照所作用之閘極電壓 V_G ，最好為供給電壓 V_{CC} 時，已寫入之內容可定址記憶體單元 202 將仍然為關閉態並且將不啟動或導通。在缺乏來自內容可定址記憶體級 200 之下拉作動下，讀取升壓電晶體 210 將導通並且節點 214 將維持在 V_{CC} 。因此，若內容可定址記憶體單元 202 為寫入態且讀取資料匯流排 206 為開啟態，則節點 214 依然為高電位或維持在 V_{CC} 。

若讀取操作在垂直陣列 VERT_m 上執行，則讀取選擇訊號 RSEL_m 將為高電位並且讀取資料匯流排將為開啟態。抹拭內容可定址記憶體單元 202 將表現像 n 通道型電晶體並且將反應作用在閘極電壓 V_G ，最好為供給電壓 V_{CC} ，而啟動及導通。內容可定址記憶體單元 202 將拉升節點 216 至地電位。最好，內容可定址記憶體單元 202 在設計上較讀取升壓電晶體 210 強健，且因此，若內容可定址記憶體單元 202 受到抹拭且寫入資料匯流排 204 為開啟態，則節點 214 將提升至地電位。

若讀取操作並未在垂直陣列 VERT_m 上執行，則讀取資料匯流排 206 將為關閉態，並且內容可定址記憶體單元 202 將未受檢驗。不論內容可定址記憶體單元 202 為寫入或抹拭態將不影響訊號 CAM_nR 在節點 214 之值。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (21)

通常，若讀取操作在垂直陣列 VERTm 上執行，訊號 CAM0R...CAMNR 將在多餘代替組成處記載位元線之位置，若其中之一存在且若其中之一寫入內容可定址記憶體級 200 CAM0/VERTm...CAMN/VERTm 裡。最好，一個或一個以上之訊號 CAM0R...CAMNR 將與讀取位址進行比較以決定是否有讀取匹配。若對於無效位元線有讀取匹配，則從多餘陣列來之位元線將替代無效位元線。亦即若在讀取位址及結合讀取操作在其它處發生之主要陣列之內容可定址記憶體級 200 間呈現匹配時，則多餘位址線用來代替無效位址線。

第 4 圖為依據第 1 圖之記憶體及第 2 圖之典型核心單元陣列 102，說明典型的內容可定址記憶體級陣列 300 及伴隨的輸出電路之方塊圖。最好，第 1 圖之多餘內容可定址記憶體電路 106 包含典型的內容可定址記憶體級陣列 300。該內容可定址記憶體級陣列 300 包含下列內容可定址記憶體級 200：

結合垂直陣列 VERT0：

CAM0/VERT0 302、CAM1/VERT0 304、CAM2/VERT0 306、CAM3/VERT0 308、CAM4/VERT0 310、CAM5/VERT0 312、CAM6/VERT0 314 及 CAM7/VERT0 316；

結合垂直陣列 VERT1：

CAM0/VERT1 318、CAM1/VERT1 320、CAM2/VERT1 322、CAM3/VERT1 324、CAM4/VERT1 326、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (22)

CAM5 / VERT1 328、CAM6 / VERT1 330 及 CAM7 / VERT1 332；

結合垂直陣列 VERT2：

CAM0 / VERT2 334、CAM1 / VERT2 336、CAM2 / VERT2 338、CAM3 / VERT2 340、CAM4 / VERT2 342、CAM5 / VERT2 344、CAM6 / VERT2 346 及 CAM7 / VERT2 348；

結合垂直陣列 VERT3：

CAM0 / VERT3 350、CAM1 / VERT3 352、CAM2 / VERT3 354、CAM3 / VERT3 356、CAM4 / VERT3 358、CAM5 / VERT3 360、CAM6 / VERT3 362 及 CAM7 / VERT3 364。

內容可定址記憶體級陣列 300 進一步包含讀取 p 型通道上拉低臨界電壓電晶體 366、368、370、372、374、376、378、380，寫入 p 型通道上拉低臨界電壓電晶體 382、384、386、388、390、392、394、396。

所有結合垂直陣列 VERT0 之內容可定址記憶體級陣列 300 之內容可定址記憶體級 200 接收寫入及讀取選擇訊號 WSEL0、RSEL0。所有結合垂直陣列 VERT1 之內容可定址記憶體級陣列 300 之內容可定址記憶體級 200 接收寫入及讀取選擇訊號 WSEL1、RSEL1。所有結合垂直陣列 VERT2 之內容可定址記憶體級陣列 300 之內容可定址記憶體級 200 接收寫入及讀取選擇訊號 WSEL2、RSEL2。所有結合垂直陣列 VERT3 之內容可定址記憶體級陣列 300

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (23)

之內容可定址記憶體級 200 接收寫入及讀取選擇訊號 WSEL3、RSEL3。

內容可定址記憶體級 CAM0/VERT0 302、CAM0/VERT1 318、CAM0/VERT2 334 及 CAM0/VERT3 350 皆連接至位在具有訊號 CAM0R 之共享輸出端之讀取上拉電晶體 366，並且皆連接至位在具有訊號 CAM0W 之共享輸出端之寫入上拉電晶體 382。

內容可定址記憶體級 CAM1/VERT0 304、CAM1/VERT1 320、CAM1/VERT2 336 及 CAM1/VERT3 352 皆連接至位在具有訊號 CAM1R 之共享輸出端之讀取上拉電晶體 368，並且皆連接至位在具有訊號 CAM1W 之共享輸出端之寫入上拉電晶體 384。

內容可定址記憶體級 CAM2/VERT0 306、CAM2/VERT1 322、CAM2/VERT2 338 及 CAM2/VERT3 354 皆連接至位在具有訊號 CAM2R 之共享輸出端之讀取上拉電晶體 370，並且皆連接至位在具有訊號 CAM2W 之共享輸出端之寫入上拉電晶體 386。

內容可定址記憶體級 CAM3/VERT0 308、CAM3/VERT1 324、CAM3/VERT2 340 及 CAM3/VERT3 356 皆連接至位在具有訊號 CAM3R 之共享輸出端之讀取上拉電晶體 372，並且皆連接至位在具有訊號 CAM3W 之共享輸出端之寫入上拉電晶體 388。

內容可定址記憶體級 CAM4/VERT0 310、CAM4/VERT1 326、CAM4/VERT2 342 及 CAM4/VERT3 358

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明 (24)

皆連接至位在具有訊號 CAM4R 之共享輸出端之讀取上拉電晶體 374，並且皆連接至位在具有訊號 CAM4W 之共享輸出端之寫入上拉電晶體 390。

內容可定址記憶體級 CAM5/VERT0 312、CAM5/VERT1 328、CAM5/VERT2 344 及 CAM5/VERT3 360 皆連接至位在具有訊號 CAM5R 之共享輸出端之讀取上拉電晶體 376，並且皆連接至位在具有訊號 CAM5W 之共享輸出端之寫入上拉電晶體 392。

內容可定址記憶體級 CAM6/VERT0 314、CAM6/VERT1 330、CAM6/VERT2 346 及 CAM6/VERT3 362 皆連接至位在具有訊號 CAM6R 之共享輸出端之讀取上拉電晶體 378，並且皆連接至位在具有訊號 CAM6W 之共享輸出端之寫入上拉電晶體 394。

內容可定址記憶體級 CAM7/VERT0 316、CAM7/VERT1 332、CAM7/VERT2 348 及 CAM7/VERT3 364 皆連接至位在具有訊號 CAM7R 之共享輸出端之讀取上拉電晶體 380，並且皆連接至位在具有訊號 CAM7W 之共享輸出端之寫入上拉電晶體 396。

第 5 圖為說明結合第 2 圖之典型核心單元陣列 102 之垂直陣列 VERT_m 之內容可定址記憶體級 200 之典型群集 400 之方塊圖。該典型內容可定址記憶體級群集 400 包含下列皆結合垂直陣列 VERT_m 之內容可定址記憶體級 200：CAM0/VERT_m 402、CAM1/VERT_m 404、CAM2/VERT_m 406、CAM3/VERT_m 408、CAM4/VERT_m 410、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

CAM5 / VERTm 412、CAM6 / VERTm 414 及 CAM7 / VERTm 416。所有內容可定址記憶體級群集 400 之內容可定址記憶體級 200 接收寫入選擇訊號 WSELm 及符合垂直陣列 VERTm 之讀取選擇訊號 RSELm。

如上所討論的，既然記憶體 100 支援同時操作，多餘內容可定址記憶體電路 106 最好能夠保持兩個獨立發生操作的途徑，例如讀取及寫入操作。另外，在本最佳實施例裡，藉由儲存唯一資料字元之記憶體單元之欄區域，記憶體單元以資料字元方式存取。例如，在實施例裡依據記憶體 100，當單筆 16 位元資料字元同時由第 1 圖之輸出電路 112 產生時，讀取操作在內部二筆 16 位元資料字元同時受讀取的地方來執行。在此方式裡，二個欄區域將在一個讀取操作裡一起受到存取。相比起來，寫入操作與單筆 16 位元資料字元同時執行，並且一個欄區域將同時受到存取。當然，這些資料字元長度為典型的，並且其它字元長度可以適當的使用。

依據本較佳實施例，在垂直陣列 VERTm 之主要陣列裡之水平列將包含 p 個欄區域，每一個欄區域包含 q 個位元線。例如，對於全部為 256 個位元線在一個水平列，一個列可包含 p=16 個欄區域，同時 16 個中的每一個欄區域包含 q=16 個位元線。當然，這些值為典型的且意在解釋而非在限制本較佳實施例。

典型的八個內容可定址記憶體級 402、404、406、408、410、412、414、416 之內容可定址記憶體級群集 400 藉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (26)

由垂直陣列 VERT_m 之主要陣列之欄區域來記載無效位元線之位置。最好，多餘陣列之多餘位元線代替否則將藉由寫入或讀取操作來存取之無效位元線。

首先藉由定義包含無效位元線之 p 個欄區域裡之欄區域來定義無效位元線 BL_i 之位置。接著，定義符合無效位元線之欄區域之 q 個位元線裡之位元線。因此，典型的八個內容可定址記憶體級 402、404、406、408、410、412、414、416 之內容可定址記憶體級群集 400 最好儲存二筆資料以指向無效位元線 BL_i 之位置。

對於寫入操作，符合具有 q 位元線之欄區域之 f -位元 ($2^f=p$) 寫入位址與儲存在 f 位址之內容可定址記憶體級之群集之 f -位元 ($2^f=p$) 位址進行比較。欄區域最好儲存資料字元。特別是， f 位址之內容可定址記憶體級詳載包含無效位元線 BL_i 之欄區域之 f -位元 ($2^f=p$) 位址。若在 f -位元寫入位址與儲存在 f 位址之內容可定址記憶體級之 f -位元位址之間具有匹配，則無效位元線 BL_i 之位置乃藉由 g ($2^g=q$) I/O 之內容可定址記憶體級來定義。 f 及 g 之值通常將視 p 及 q 之值而定。

例如，依據本較佳實施例，寫入操作與單筆 16 位元資料字元同時執行，並且包含 $q=16$ 位元線之每一個欄區域之 $p=16$ 欄區域之一在同時受到存取。依據第 5 圖， $f=4$ ($2^4=16$) 位址之內容可定址記憶體級 410、412、414、416 儲存包含無效位址線 BL_i 之欄區域之 4-位元位址，並且 $g=4$ ($2^4=16$) I/O 內容可定址記憶體級 402、404、406、408

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (27)

在欄區域內儲存 16 位元線之無效位址線 BL_i 之位置。當寫入操作執行時，寫入位址與位址之內容可定址記憶體級 CAM4/VERTm 410、CAM5/VERTm 412、CAM6/VERTm 414 及 CAM7/VERTm 416 之寫入位址之內容可定址記憶體訊號 WRITEADD0、WRITEADD1、WRITEADD2 及 WRITEADD3 分別進行比較（關於位址匹配電路未在第 5 圖或第 1 圖說明）。若寫入位址與寫入位址之內容可定址記憶體訊號匹配，則 I/O 之內容可定址記憶體級 402、404、406、408 指出 16 位元線之那一個位元線為無效位元線 BL_i 。

對於讀取操作，符合具有 $2q$ 位元線之二個欄區域之 h -位元 ($2^h=p/2$) 讀取位址與儲存在 h 位址之內容可定址記憶體級之群集之 h -位元 ($2^h=p/2$) 位址進行比較。二個欄區域最好儲存二組資料字元。特別是， h 位址之內容可定址記憶體級詳載二個欄區之 h -位元 ($2^h=p/2$) 位址。二個欄區之一包含無效位元線 BL_i 。若在 h -位元讀取位址與儲存在 h 位址之內容可定址記憶體級之 h -位元位址之間具有匹配，則無效位元線 BL_i 之位置乃藉由 j ($2^j=2q$) I/O 之內容可定址記憶體級來定義。 h 及 j 之值通常將視 p 及 q 之值而定。

例如，依據本較佳實施例之讀取操作，當單筆 16 位元資料字元同時由第 1 圖之輸出電路 112 產生時，二筆 16 位元資料字元同時在內部受到讀取。在此方式裡，包含 $q=16$ 位元線之每一個欄區域之 $p=16$ 欄區域之二個在同時

（請先閱讀背面之注意事項再填寫本頁）

訂

裝

五、發明說明(28)

受到存取。依據第 5 圖， $h=3$ ($2^3=8$) 位址之內容可定址記憶體級 412、414、416 儲存二個欄區域之 3-位元位址，二個欄區域之一包含無效位址線 BL_i ，並且 $j=5$ ($2^5=32$) I/O 內容可定址記憶體級 402、404、406、408、410 在二個欄區域內儲存 32 位元線之無效位址線 BL_i 之位置。當讀取操作執行時，讀取位址與位址之內容可定址記憶體級 CAM5/VERTm 412、CAM6/VERTm 414 及 CAM7/VERTm 416 之讀取位址之內容可定址記憶體訊號 READADD0、READADD1 及 READADD2 分別進行比較(關於位址匹配電路未在第 5 圖或第 1 圖說明)。若讀取位址與讀取位址之內容可定址記憶體訊號匹配，則 I/O 之內容可定址記憶體級 402、404、406、408、410 指出二個欄區域之 32 位元線之那一個位元線為無效位元線 BL_i 。

即使位址之內容可定址記憶體級及 I/O 內容可定址記憶體級在讀取及寫入操作期間用在不同的方法，關於需要利用多餘陣列裡之位元線來代替之主要陣列裡之相同的無效位元線之位置，內容可定址記憶體級共同提供相同的資料。例如，參考第 5 圖，假設雙埠內容可定址記憶體級 402、404、406、408、410、412、414、416 之輸出分別為 00010001。

若寫入操作位在具有 0001 之寫入位址之欄區域執行，則這四個位元將與下列訊號進行比較：

來自(位址)內容可定址記憶體級 416 之

WRITEADD3=CAM7W=0；

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

五、發明說明 (29)

來自 (位址) 內容可定址記憶體級 414 之
WRITEADD2=CAM6W=0 ;

來自 (位址) 內容可定址記憶體級 412 之
WRITEADD1=CAM5W=0 ; 以及

來自 (位址) 內容可定址記憶體級 410 之
WRITEADD0=CAM4W=1 。

因為有寫入位址匹配，故 I/O 內容可定址記憶體級
之內容受到檢驗以決定位在具有 0001 位址之欄區域內之
無效位元線 BL_i 之位置。如下列所顯示之訊號：

來自 (I/O) 內容可定址記憶體級 408 之
WRITEIO3=CAM3W=0 ;

來自 (I/O) 內容可定址記憶體級 406 之
WRITEIO2=CAM2W=0 ;

來自 (I/O) 內容可定址記憶體級 404 之
WRITEIO1=CAM1W=0 ; 以及

來自 (I/O) 內容可定址記憶體級 402 之
WRITEIO0=CAM0W=1 。

若讀取操作位在共同具有 000 之讀取位址之二個欄
區域執行，則這三個位元將與下列訊號進行比較：

來自 (位址) 內容可定址記憶體級 416 之
READADD2=CAM7R=0 ;

來自 (位址) 內容可定址記憶體級 414 之
READADD1=CAM6R=0 ; 以及

來自 (位址) 內容可定址記憶體級 412 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (30)

READADD0=CAM5R=0。

因為有讀取位址匹配，故 I/O 內容可定址記憶體級之內容受到檢驗以決定位在具有 000 位址之二個欄區域內之無效位元線 BL_i 之位置。如下列所顯示之訊號：

來自 (I/O) 內容可定址記憶體級 410 之
READIO4=CAM3R=1；

來自 (I/O) 內容可定址記憶體級 408 之
READIO3=CAM3R=0；

來自 (I/O) 內容可定址記憶體級 406 之
READIO2=CAM2R=0；

來自 (I/O) 內容可定址記憶體級 404 之
READIO1=CAM1R=0；以及

來自 (I/O) 內容可定址記憶體級 402 之
READIO0=CAM0R=1。

第 6 圖為依據第 2 圖之記憶體之具有分享輸出電路之內容可定址記憶體級 200 之典型群集 500 之電路圖。典型的內容可定址記憶體級群集 500 包含下列內容可定址記憶體級 200：CAM_n/VERT0 502、CAM_n/VERT1 504、CAM_n/VERT2 506 及 CAM_n/VERT3 508。內容可定址記憶體級 CAM_n/VERT0 502 針對 VERT0 而接收寫入及讀取選擇訊號 WSEL0 及 RSEL0。內容可定址記憶體級 CAM_n/VERT1 504 針對 VERT1 而接收寫入及讀取選擇訊號 WSEL1 及 RSEL1。內容可定址記憶體級 CAM_n/VERT2 506 針對 VERT2 而接收寫入及讀取選擇訊號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

WSEL2 及 RSEL2。內容可定址記憶體級 CAMn/VERT3 508 針對 VERT3 而接收寫入及讀取選擇訊號 WSEL3 及 RSEL3。內容可定址記憶體級 200 之 CAMn 位在每一個垂直陣列上，並且關於在每一個個別的主要陣列之內之無效位址線之位置，每一個 CAMn 502、504、506、508 儲存個別的資料位元。

如同第 6 圖之說明，CAMn 級 502、504、506、508 在具有訊號 CAMnW 之分享輸出端 512 處皆連接寫入上拉電晶體 510，而此電晶體最好是 p 型通道電晶體，並且在具有訊號 CAMnR 之分享輸出端 516 處皆連接讀取上拉電晶體 514，而此電晶體最好是 p 型通道電晶體。

當寫入操作在 VERT0 執行時，例如寫入選擇訊號 WSEL0 將為主動態並且在雙埠內容可定址記憶體級 CAMn/VERT0 502 之內之內容可定址記憶體單元之內容將受到檢驗。當寫入操作在 VERT0 執行時，因為讀取操作可能不在該處執行，則讀取選擇訊號 RSEL0 將不為主動態。另外，其它寫入操作訊號 WSEL1、WSEL2 及 WSEL3 將不為主動態，並且視位在 CAMn/VERT0 502 之內之內容可定址記憶體單元之內容，在分享輸出端 512 處之訊號 CAMnW 將為低或高電位。

同樣地，當讀取操作在 VERT2 執行時，例如寫入選擇訊號 RSEL2 將為主動態並且在雙埠內容可定址記憶體級 CAMn/VERT2 506 之內之內容可定址記憶體單元之內容將受到檢驗。當讀取操作在 VERT2 執行時，因為寫入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

製

五、發明說明 (32)

操作可能不在該處執行，寫入選擇訊號 WSEL2 將不為主動態。另外，其它讀取操作訊號 RSEL0、RSEL1 及 WSEL3 將不為主動態，並且視位在 CAMn/VERT2 506 之內之內容可定址記憶體單元之內容，在分享輸出 516 處之訊號 CAMnR 將為低或高電位。

在一個實施例裡，第 1 圖之所有元件包含在單一積體電路晶片裡。注意在典型快閃記憶體晶片之位址及控制輸入端視記憶體密度及介面實現而定。應瞭解到，揭露之實施例適用於不同記憶體密度，以及以其伴隨之交替位址和控制輸入端配置而施行交替的界面。

於此所使用之術語位址泛意指唯一符合之任一位置識別器，或者一個或一個以上之記憶體單元之位置。於此所述之本較佳實施例呈現包含雙埠內容可定址記憶體級之多餘內容可定址記憶體電路。然而，除了無效記憶體單元之多餘代替外，實施例之觀點還能適用於操作方面。

於此所使用之術語及片語低電位、邏輯低電位、反確認、反主動態及非主動態泛意指數位訊號之邏輯低電位值，通常知悉以呈現 2 進位之零 (0) 值。

於此所使用的，術語及片語高電位、邏輯高電位、確認及主動態泛意指數位訊號之邏輯高電位值，通常知悉以呈現 2 進位之壹 (1) 值。

於此所使用之片語“A 與 B 連接”定義意指 A 直接連接至 B，或透過一種或一種以上之媒介元件，A 間接與 B 連接。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

於此所使用之術語使用者意指處理器，或其它元件，或請求存取記憶體之實體。

於此所使用之術語無效的(inoperative)，當與儲存元件或儲存元件群集一起使用時，泛指對於無效儲存元件之任何可能需要一個或一個以上之儲存元件之情況或狀態。例如，儲存元件可能包含一個或一個以上之記憶體單元，或位元線，或記憶體單元之界面電路。特別是，於此所使用之無效記憶體單元泛指具有或不具有伴隨電路之記憶體單元，例如連接記憶體單元之位元線，或包含記憶體單元之位元線。典型上，儲存元件機能性之缺乏將需要儲存元件之代替。該機能性之缺乏可能起因於在儲存元件裡或儲存元件之界面裡之損害或缺陷。

應該知悉的是於此所使用之術語訊號泛指類比或數位訊號及包含兩種訊號型式。

由前文，可以看出對於無效記憶體單元，本較佳實施例提供能夠代替第二記憶體單元之記憶體。該記憶體包含記憶體單元之主要陣列記憶體單元之多餘陣列及多餘內容可定址記憶體電路。多餘內容可定址記憶體電路包含多數雙埠內容可定址記憶體級。每一個內容可定址記憶體級包含內容可定址記憶體單元、連接內容可定址記憶體單元之寫入資料匯流排及連接內容可定址記憶體單元之讀取資料匯流排。內容可定址記憶體單元儲存關於在主要陣列裡之無效記憶體單元之位置之資料。最好，無效記憶體單元需要藉由在多餘陣列裡之第二記憶體單元之代替。寫入資

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (34)

料匯流排反應於寫入選擇訊號而產生來自內容可定址記憶體單元之資料。寫入選擇訊號表示寫入操作在主要陣列之記憶體單元位置上執行。讀取資料匯流排反應於讀取選擇訊號而產生來自內容可定址記憶體單元之資料。讀取選擇訊號表示讀取操作在主要陣列之記憶體單元位置上執行。

寫入操作及讀取操作宜不同時在主要陣列之記憶體單元位置執行。

最好，記憶體能夠對相關在主要陣列裡之第三記憶體單元之位置之操作位址與內容可定址記憶體單元之資料進行比較，以決定是否在主要陣列裡之第三記憶體單元需要藉由在多餘陣列裡之第二記憶體單元來代替。

在較佳實施例裡，雙埠內容可定址記憶體級包含第 2 圖之雙埠內容可定址記憶體級 200。當然，依據本較佳實施例，除了典型的內容可定址記憶體級 200 之外，其它雙埠內容可定址記憶體級也可以適當地使用。

另外，本較佳實施例於記憶體裡提供雙埠內容可定址記憶體級。內容可定址記憶體級包含內容可定址記憶體單元、連接內容可定址記憶體單元之寫入資料匯流排及連接內容可定址記憶體單元之讀取資料匯流排。內容可定址記憶體單元儲存關於在記憶體之主要陣列裡之無效記憶體單元之位置之資料。最好，無效記憶體單元需要藉由在記憶體之多餘陣列裡之第二記憶體單元之代替。寫入資料匯流排反應於寫入選擇訊號而產生來自內容可定址記憶體單

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

元之資料。寫入選擇訊號表示寫入操作在主要陣列之記憶體單元位置上執行。讀取資料匯流排反應於讀取選擇訊號而產生來自內容可定址記憶體單元之資料。讀取選擇訊號表示讀取操作在主要陣列之記憶體單元位置上執行。

最好，寫入操作及讀取操作不同時在主要陣列之記憶體單元位置執行。

最好，記憶體能夠對相關在主要陣列裡之第三記憶體單元之位置之操作位址與內容可定址記憶體單元之資料進行比較，以決定是否在主要陣列裡之第三記憶體單元需要藉由在多餘陣列裡之第二記憶體單元來代替。

在較佳實施例裡，雙埠內容可定址記憶體級包含第 2 圖之雙埠內容可定址記憶體級 200。當然，依據本較佳實施例，除了典型的內容可定址記憶體級 200 之外，其它雙埠內容可定址記憶體級也可以適當地使用。

此外，本較佳實施例提供能夠用第二記憶體單元代替第一記憶體單元之記憶體。該記憶體包含記憶體單元陣列、一個或一個以上之記憶體單元之多餘陣列及內容可定址記憶體單元。藉由第一個任務及第二個任務，記憶體單元陣列能夠操作。在其它實施例裡，記憶體單元陣列包含一個或一個以上之記憶體單元之多餘陣列。任務選擇性地藉彼此同時執行。記憶體單元陣列包含記憶體單元之第一主要陣列及記憶體單元之第二主要陣列。若第一任務在第一主要陣列執行，則第二任務不能在第一主要陣列同時執行。若第二任務在第二主要陣列執行，則第一任務不能在

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(36)

第二主要陣列同時執行。內容可定址記憶體單元儲存關於是否記憶體單元陣列之第一記憶體單元需要以一個或一個以上之多餘陣列之第二記憶體單元來代替。內容可定址記憶體單元在第一任務期間及第二任務期間能夠受到存取。

最好，內容可定址記憶體單元儲存記憶體單元陣列之無效記憶體單元之位置。最好，無效記憶體單元需要以一個或一個以上之多餘陣列之第二記憶體單元來代替。

另外，本較佳實施例提供能夠用第三記憶體單元代替第一記憶體單元之記憶體，並且能夠用第四記憶體單元代替第二記憶體單元之記憶體。該記憶體包含記憶體單元之第一主要陣列、結合記憶體單元之第一主要陣列之記憶體單元之第一多餘陣列、記憶體單元之第二主要陣列、結合記憶體單元之第一主要陣列之記憶體單元之第二多餘陣列及多餘內容可定址記憶體電路。第一主要陣列包含第一記憶體單元，並且第二主要陣列包含第二記憶體單元。多餘內容可定址記憶體電路包含雙埠內容可定址記憶體級之第一群集及雙埠內容可定址記憶體級之第二群集。雙埠內容可定址記憶體級之第一群集儲存第一記憶單元之第一位置資料。最好，第一記憶體單元需要以在第一多餘陣列裡之第三記憶體單元來代替。例如，第一記憶體單元可能受損害，或者在其它方面可能為無效的。雙埠內容可定址記憶體級之第二群集儲存第二記憶單元之第二位置資料。最好，第二記憶體單元需要以在第二多餘陣列裡之第四記憶體單元來代替。例如，第二記憶體單元可能受損害，或者

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(37)

在其它方面可能為無效的。內容可定址記憶體級之第一群集之第一初始內容可定址記憶體級包含第一內容可定址記憶體單元、第一寫入資料匯流排及第一讀取資料匯流排。第一寫入資料匯流排及第一讀取資料匯流排個別連接內容可定址記憶體單元。內容可定址記憶體級之第二群集之第二初始內容可定址記憶體級包含第二內容可定址記憶體單元、第二寫入資料匯流排及第二讀取資料匯流排。第二寫入資料匯流排及第二讀取資料匯流排個別連接內容可定址記憶體單元。第二寫入資料匯流排及第一寫入資料匯流排分享第一寫入輸出端。第二讀取資料匯流排及第一讀取資料匯流排分享第一讀取輸出端。

最好，在第一寫入輸出端上，反應於第一寫入選擇訊號，第一寫入資料匯流排從內容可定址記憶體級之第一群集產生第一位置資料之第一部分。最好，第一位置資料之第一部分包含單一位元資料。第一寫入選擇訊號表示寫入操作在第一主要陣列之記憶體單元位置來執行。最好，在第一寫入輸出端上，反應於第二寫入選擇訊號，第二寫入資料匯流排從內容可定址記憶體級之第二群集產生第二位置資料之第二部分。最好，第二位置資料之第二部分包含單一位元資料。第二寫入選擇訊號表示寫入操作在第二主要陣列之記憶體單元位置來執行。最好，記憶體進一步包含連接第一寫入輸出端之寫入偏壓電晶體以施電壓於第一寫入輸出端至第一值。最好，若寫入操作在第一主要陣列執行，並且第一寫入輸出端拉升至第二值，則第一內容

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(38)

可定址記憶體單元受到抹拭。最好，若寫入操作在第一主要陣列執行，並且第一寫入輸出端仍然在第一值，則第一內容可定址記憶體單元受到程式化。最好，若寫入操作在第二主要陣列執行，並且第一寫入輸出端拉升至第二值，則第二內容可定址記憶體單元受到抹拭。最好，若寫入操作在第二主要陣列執行，並且第一寫入輸出端仍然在第一值，則第二內容可定址記憶體單元受到程式化。

最好，在第一讀取輸出端上，反應於第一讀取選擇訊號，第一讀取資料匯流排從內容可定址記憶體級之第一群集產生第一位置資料之第一部分。最好，第一位置資料之第一部分包含單一位元資料。第一讀取選擇訊號表示讀取操作在第一主要陣列之記憶體單元位置來執行。最好，在第一讀取輸出端上，反應於第二讀取選擇訊號，第二讀取資料匯流排從內容可定址記憶體級之第二群集產生第二位置資料之第二部分。最好，第二位置資料之第二部分包含單一位元資料。第二讀取選擇訊號表示讀取操作在第二主要陣列之記憶體單元位置來執行。最好，記憶體進一步包含連接第一讀取輸出端之讀取偏壓電晶體以施電壓於第一讀取輸出端至第一值。最好，若讀取操作在第一主要陣列執行，並且第一讀取輸出端拉升至第二值，則第一內容可定址記憶體單元受到抹拭。最好，若讀取操作在第一主要陣列執行，並且第一讀取輸出端仍然在第一值，則第一內容可定址記憶體單元受到程式化。最好，若讀取操作在第二主要陣列執行，並且第一讀取輸出端拉升至第二值，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(39)

則第二內容可定址記憶體單元受到抹拭。最好，若讀取操作在第二主要陣列執行，並且第一讀取輸出端仍然在第一值，則第二內容可定址記憶體單元受到程式化。

此外，本較佳實施例對於在記憶體單元之主要陣列裡之無效記憶體單元，提供一種代替在記憶體單元之多餘陣列裡之第二記憶體單元之方法。資料儲存在一系列雙埠內容可定址記憶體級裡。該資料乃關於無效記憶體單元之位置。符合在主要陣列裡之一個或一個以上之記憶體單元之位置之操作位址將與一系列雙埠內容可定址記憶體級之資進行比較以決定是否一個或一個以上之記憶體單元之位置包括無效記憶體單元之位置。若一個或一個以上之記憶體單元之位置包含無效記憶體單元之位置，則第二記憶體單元之位置藉由操作位址而受到存取。若一個或一個以上之記憶體單元之位置並未包含無效記憶體單元之位置，則一個或一個以上之記憶體單元之位置藉由操作位址而受到存取。在單一較佳實施例裡操作位址為寫入位址。在單一較佳實施例裡操作位址為讀取位址。

應該知悉的是於此所列舉方法之步驟能夠在符合該列舉過程之情況下以任何次序執行。

當本發明特定的實施例呈現與描述後，可以實施修正。例如，個別的電晶體感測，p型通道及n型通道，在適合的應用下可以對換。該注意的是對於組成描繪電路之電晶體，詳載通道寬度對長度之比率（以微米量測）之適合的電晶體尺寸已由圖中所省略。應瞭解到適當的比率可

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (40)

以視設計需求，以及使用於電路實現及特定實施例之效能需求之特殊積體電路製造程序之能力與限制來選擇。此外，除了記憶體元件外，於此描述之本發明概念還可應用於電路上。

前文的詳細說明僅描述本發明能採行之諸多型式之少數。因此意即前文的詳細說明將視為解說而非限制，並且需瞭解的是下列專利申請，包含所有的均等，意在闡釋本發明之精神及範圍。因此，附加之專利申請意在包含所有這類處在本發明之精神及範圍之內之變更及修正。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要（發明之名稱： 用於同時操作快閃記憶體之雙埠 CAMS）

本發明說明具有多餘內容可定址記憶體(CAM)電路(106)之快閃記憶體。該快閃記憶體能夠用第二記憶體單元代替無效記憶體單元。快閃記憶體包含記憶體單元之主要陣列(118、120、122、124、134、136、138、140)、記憶體單元之多餘陣列(126、128、130、132、142、144、146、148)及多餘內容可定址記憶體電路(106)。多餘內容可定址記憶體電路(106)包含多數之雙埠內容可定址記憶體級(200)。每一個內容可定址記憶體級(200)包含內容可定址記憶體單元(202)、連接內容可定址記憶體單元(202)之寫入資料匯流排(204)及連接內容可定址記憶體單元(202)之讀取資料匯流排(206)。內容可定

英文發明摘要（發明之名稱：）

DUAL-PORTED CAMS FOR A SIMULTANEOUS OPERATION FLASH MEMORY

A flash memory having redundancy content addressable memory (CAM) circuitry (106) is described. The flash memory is capable of substituting a second memory cell for an inoperative memory cell. The flash memory includes a primary array (118, 120, 122, 124, 134, 136, 138, 140) of memory cells, a redundant array (126, 128, 130, 132, 142, 144, 146, 148) of memory cells, and the redundancy CAM circuitry (106). The redundancy CAM circuitry (106) includes a plurality of dual-ported CAM stages (200). Each CAM stage (200) includes a CAM cell (202), a write data bus (204) coupled to the CAM cell (202), and a read data bus (206) coupled to the CAM cell (202). The CAM cell (202) stores information regarding a location of an inoperative memory cell in the primary array (118, 120, 122, 124, 134, 138, 140). The inoperative memory cell requires a substitution with a second memory cell in the redundant array (126, 128, 130, 132, 142, 144, 146, 148). The write data bus (204) produces the information from the CAM cell (202) responsively to a write select signal (WSELm). The write select signal (WSELm) is indicative of a write operation to be performed at memory cell locations in the primary array (118, 120, 122, 124, 134, 136, 138, 140). The read data bus (206) produces the information from the CAM cell (202) responsively to a read select signal (RSELm). The read select signal (RSELm) is indicative of a read operation to be performed at memory cell locations in the primary array (118, 120, 122, 124, 134, 136, 138, 140).

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

四、中文發明摘要（發明之名稱：）

址記憶體單元（202）儲存關於主要陣列（118、120、122、124、134、138、140）裡之無效記憶體單元之位置之資料。無效記憶體單元需要以多餘陣列（126、128、130、132、142、144、146、148）裡之第二記憶體單元來代替。寫入資料匯流排（204）反應寫入選擇訊號（WSELM）產生來自內容可定址記憶體單元（202）之資料。該寫入選擇訊號（WSELM）表示寫入操作在主要陣列（118、120、122、124、134、138、140）裡之記憶體單元位置來執行。讀取資料匯流排（206）反應讀取選擇訊號（RSELM）產生來自內容可定址記憶體單元（202）之資料。該讀取選擇訊號（RSELM）表示讀取操作在主要陣列（118、120、122、124、134、138、140）裡之記憶體單元位置來執行。

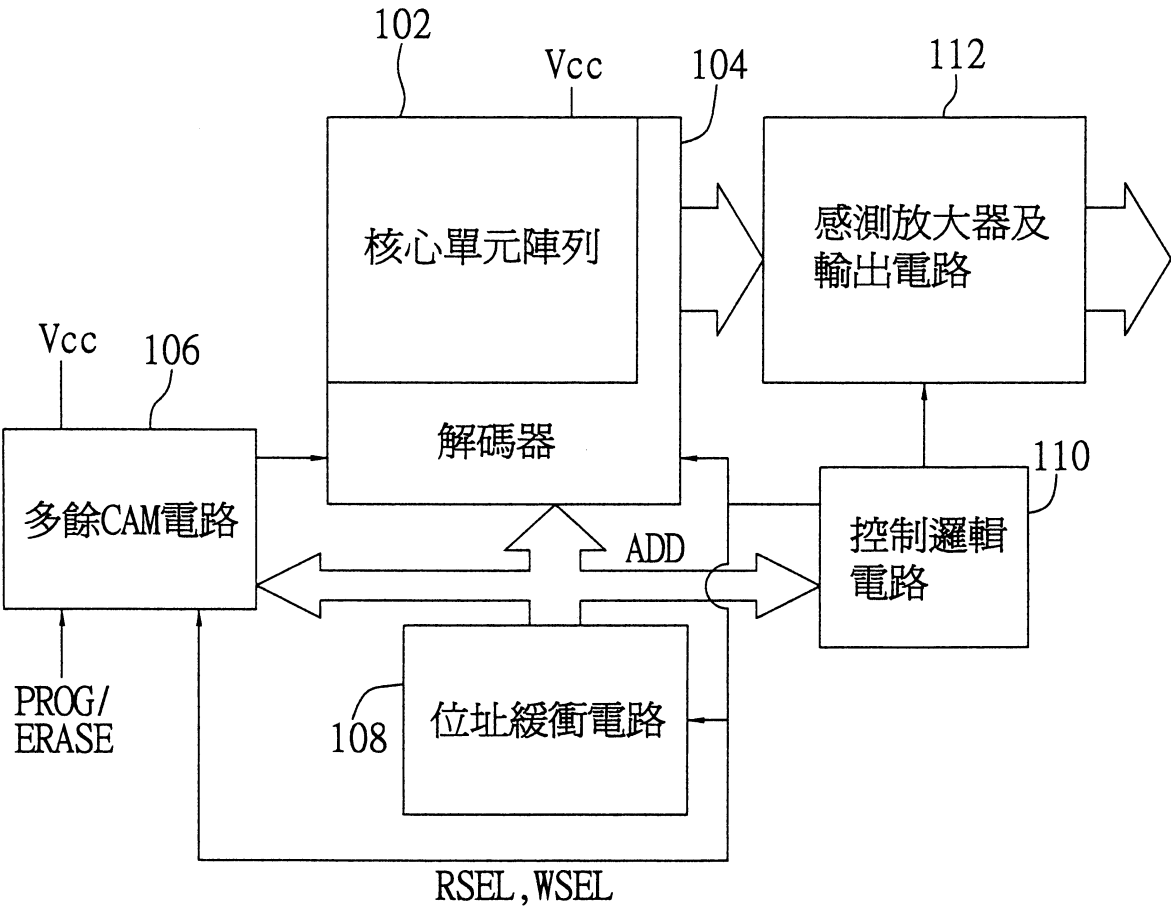
英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

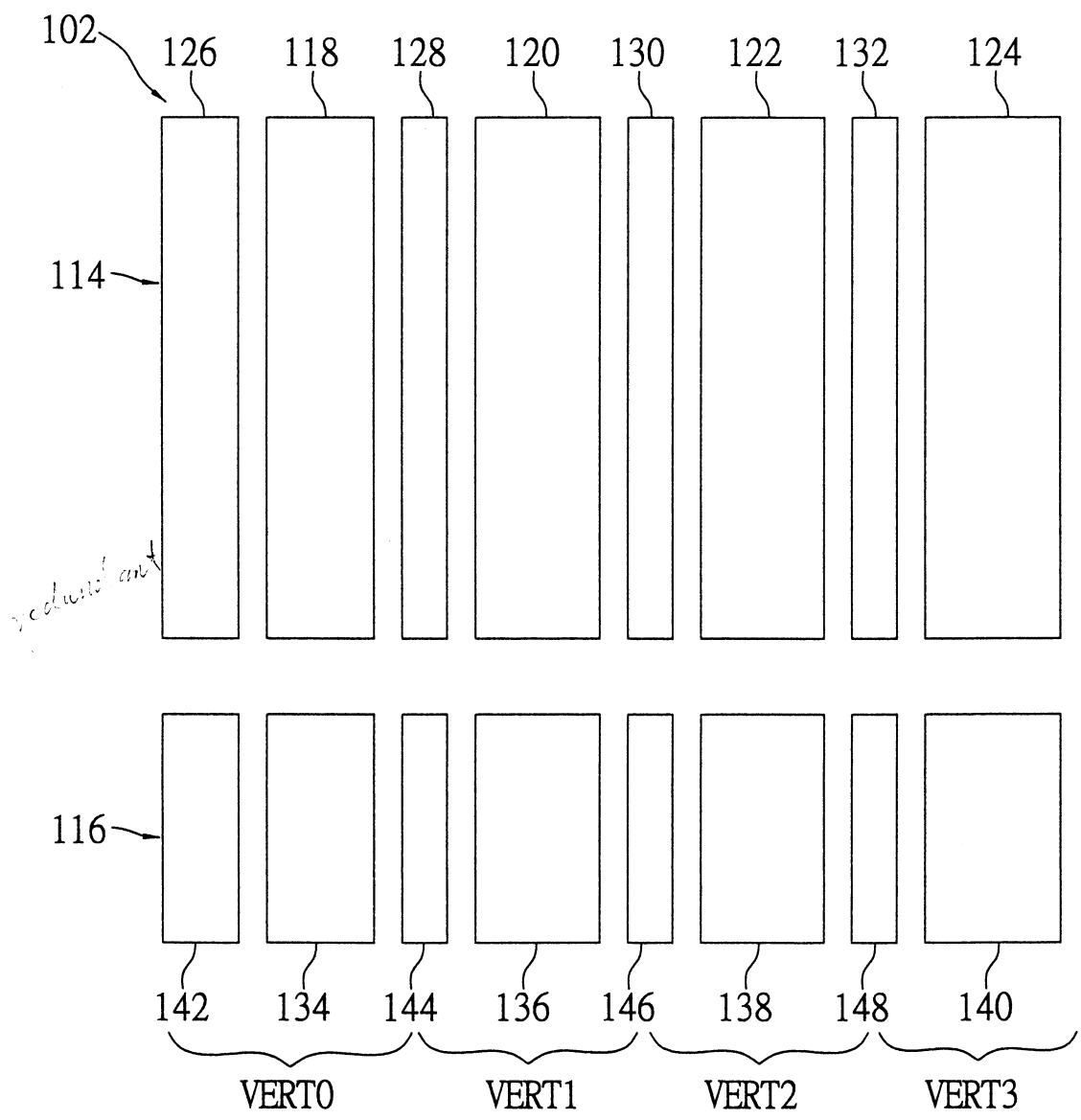
訂

線

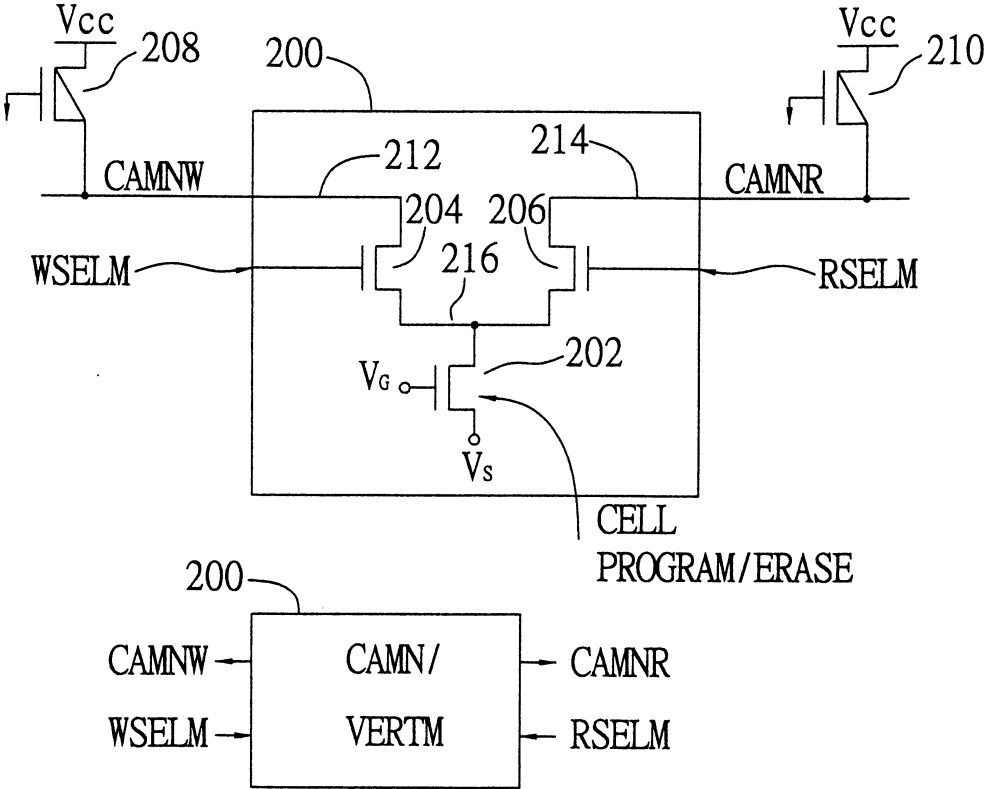


第 1 圖

91812

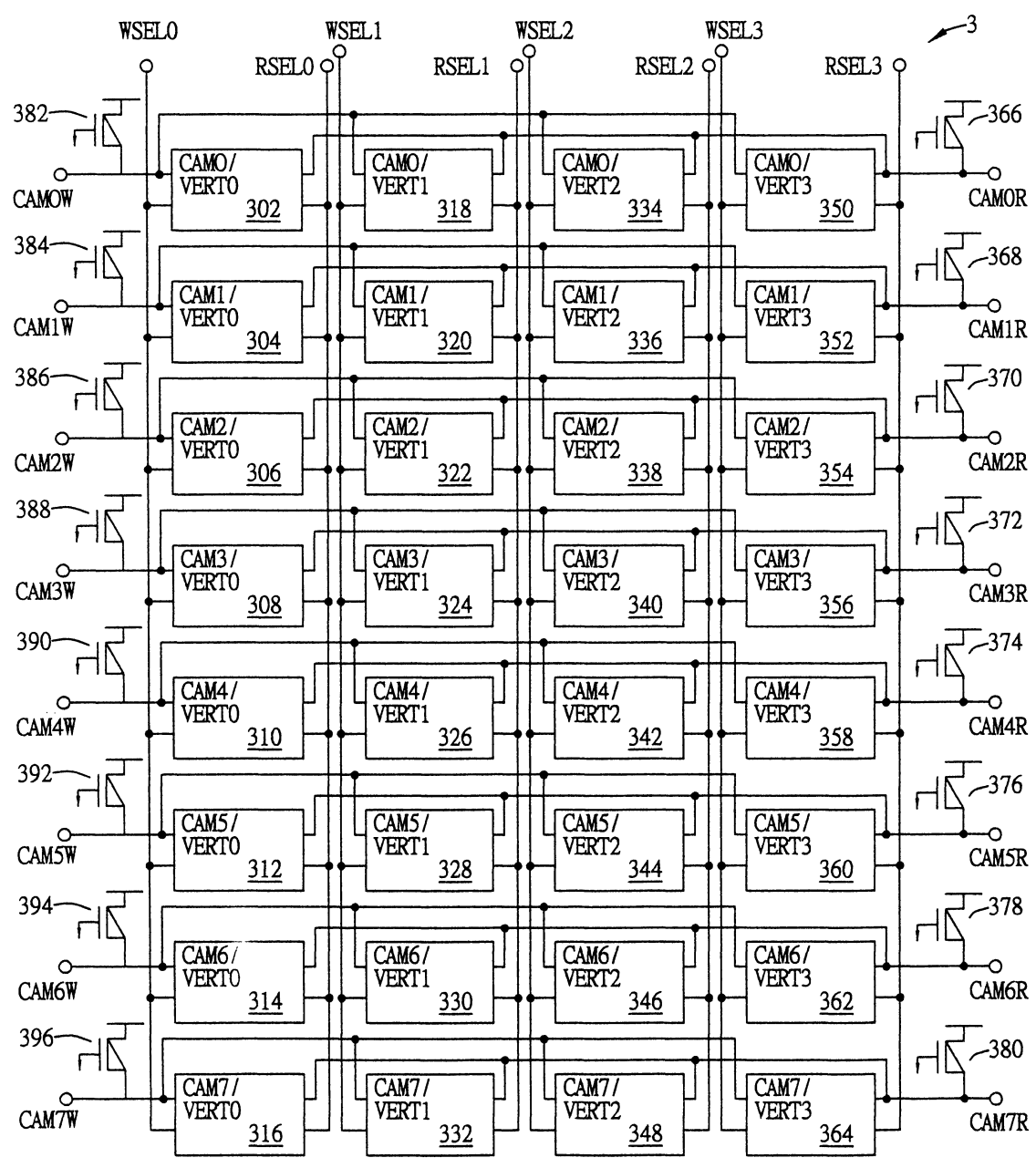


第 2 圖

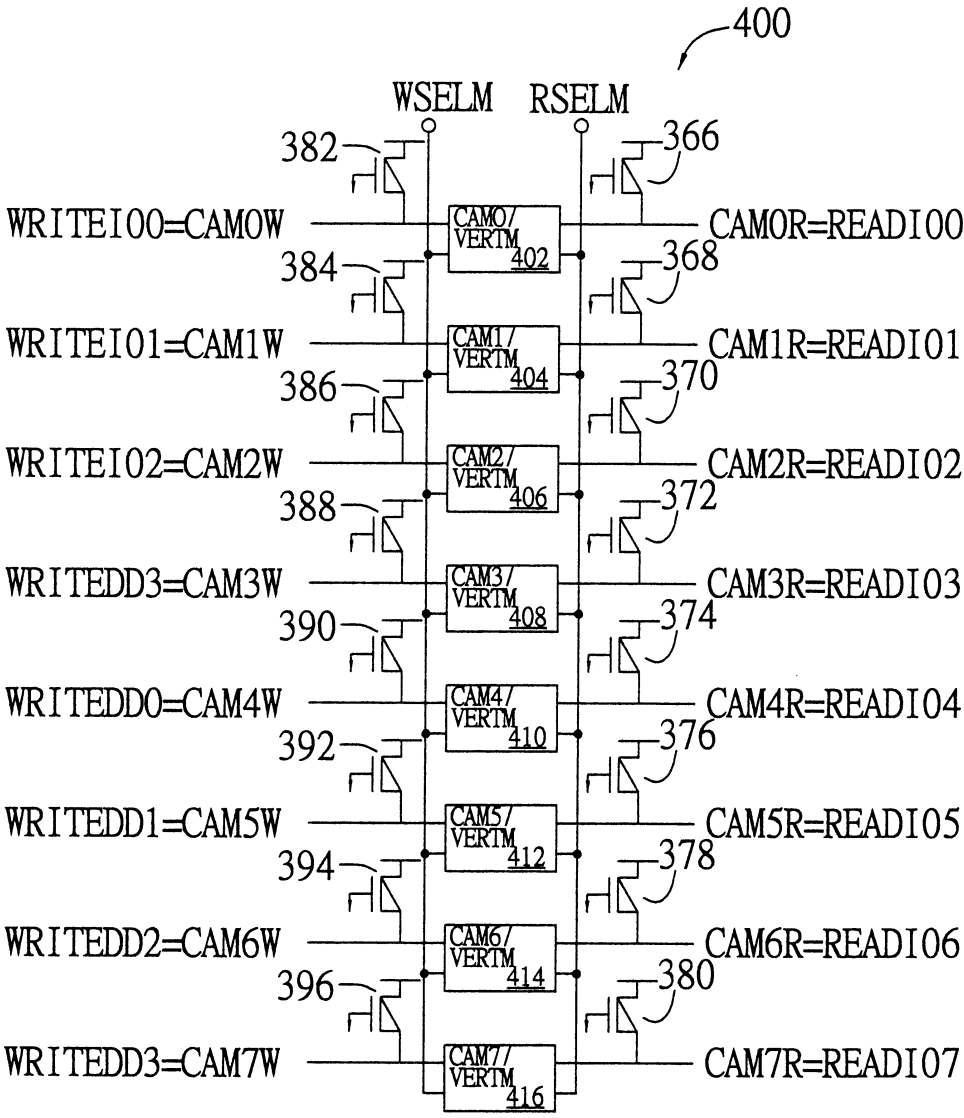


第 3 圖

91812

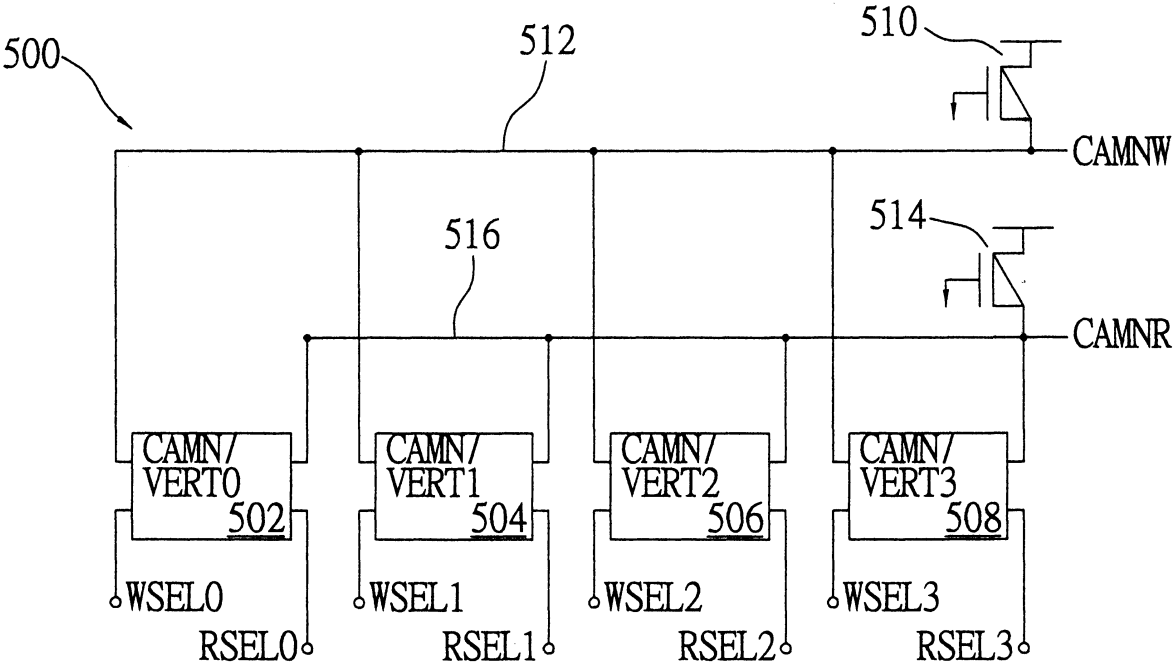


第 4 圖



第 5 圖

91812



第 6 圖

附件一



H3

第 90113005 號專利申請案

申請專利範圍修正本

(92 年 7 月 14 日)

1. 一種能夠用第二記憶體單元代替無效記憶體單元之記憶體，該記憶體包括：

記憶體單元之主要陣列；

記憶體單元之多餘陣列；以及

多餘內容可定址記憶體 (CAM) 電路，該電路包括多數雙埠內容可定址記憶體級，該每一內容可定址記憶體級包括：

內容可定址記憶體單元以儲存關於在主要陣列裡之無效記憶體單元之位置之資料，該無效記憶體單元需要以多餘陣列裡之第二記憶體單元來代替；

連接該內容可定址記憶體單元之寫入資料匯流排，以反應於寫入選擇訊號，產生來自內容可定址記憶體單元之資料，該寫入選擇訊號表示寫入操作在主要陣列裡之記憶體單元位置來執行；以及

連接該內容可定址記憶體單元之讀取資料匯流排，以反應於讀取選擇訊號，產生來自內容可定址記憶體單元之資料，該讀取選擇訊號表示讀取操作在主要陣列裡之記憶體單元位置來執行。

2. 如申請專利範圍第 1 項之記憶體，其中該寫入操作及讀取操作在不同時刻之主要陣列裡之記憶體單元位置來執行。

3. 如申請專利範圍第 1 項之記憶體，其中該記憶體能夠對相關於主要陣列裡之第三記憶體單元之位置之操作位址與內容可定址記憶體單元之資料進行比較，以決定是否在主要陣列裡之第三記憶體單元需要以多餘陣列裡之第二記憶體單元來代替。
4. 一種在記憶體內之雙埠內容可定址記憶體級，該雙埠內容可定址記憶體級包括：

內容可定址記憶體單元以儲存關於在該記憶體之主要陣列裡之無效記憶體單元之位置之資料，該無效記憶體單元需要以記憶體之多餘陣列裡之第二記憶體單元來代替；

連接內容可定址記憶體單元之寫入資料匯流排，以反應於寫入選擇訊號產生來自該內容可定址記憶體單元之資料，該寫入選擇訊號表示寫入操作在主要陣列裡之記憶體單元位置來執行；以及

連接內容可定址記憶體單元之讀取資料匯流排，以反應於讀取選擇訊號產生來自該內容可定址記憶體單元之資料，該讀取選擇訊號表示讀取操作在主要陣列裡之記憶體單元位置來執行。

5. 如申請專利範圍第 4 項之雙埠內容可定址記憶體級，其中該寫入操作及讀取操作由在不同時刻之主要陣列裡之記憶體單元位置來執行。
6. 如申請專利範圍第 4 項之雙埠內容可定址記憶體級，其中該記憶體能夠對相關於主要陣列裡之第三記憶體單



元之位置之操作位址與內容可定址記憶體單元之資料進行比較，以決定是否在主要陣列裡之第三記憶體單元需要以多餘陣列裡之第二記憶體單元來代替。

7. 一種能夠用第二記憶體單元代替第一記憶體單元之記憶體，該記憶體包括：

記憶體單元陣列，其中該記憶體單元陣列能夠藉由第一任務及第二任務來操作，該任務同時藉彼此選擇性地執行，並且其中該記憶體單元陣列包括：

記憶體單元之第一主要陣列，其中若第一任務在第一主要陣列執行，則第二任務不能同時在第一主要陣列執行；

記憶體單元之第二主要陣列，其中若第二任務在第二主要陣列執行，則第一任務不能同時在第二主要陣列執行；

一種或一種以上之記憶體單元之多餘陣列；以及

內容可定址記憶體單元以儲存關於是否記憶體單元陣列之第一記憶體單元需要以一個或一個以上之多餘陣列之第二記憶體單元來代替之資料，該內容可定址記憶體單元在第一任務期間及第二任務期間能夠受到存取。

8. 如申請專利範圍第 7 項之記憶體，其中該內容可定址記憶體單元儲存記憶體單元陣列之無效記憶體單元之位置，該無效記憶體單元需要以一個或一個以上之多餘陣列之第二記憶體單元來代替。

9. 一種能夠用第三記憶體單元代替第一記憶體單元，以及能夠用第四記憶體單元代替第二記憶體單元之記憶體，該記憶體包括：

包含第一記憶體單元之記憶體單元之第一主要陣列；

結合記憶體單元之第一主要陣列之記憶體單元第一多餘陣列；

包含第二記憶體單元之記憶體單元之第二主要陣列；

結合記憶體單元之第二主要陣列之記憶體單元第二多餘陣列；以及

多餘內容可定址記憶體電路，該電路包括：

雙埠內容可定址記憶體級之第一群集以儲存第一記憶體單元之第一位置資料，該第一記憶體單元需要以第一多餘陣列裡之第三記憶體單元來代替，內容可定址記憶體級之第一群集之第一初始內容可定址記憶體級包括：

第一內容可定址記憶體單元、第一寫入資料匯流排及第一讀取資料匯流排，該第一寫入資料匯流排及第一讀取資料匯流排個別連接內容可定址記憶體單元；以及

雙埠內容可定址記憶體級之第二群集以儲存第二記憶體單元之第二位置資料，該第二記憶體單元需要以第二多餘陣列裡之第四記憶體單元來代替，內容可定址記憶體級之第二群集之第二初始內容可定址記憶體級



包括：

第二內容可定址記憶體單元、第二寫入資料匯流排及第二讀取資料匯流排，該第二寫入資料匯流排及第二讀取資料匯流排個別連接內容可定址記憶體單元，該第二寫入資料匯流排及第一寫入資料匯流排分享第一寫入輸出端，並且該第二讀取資料匯流排及第一讀取資料匯流排分享第一讀取輸出端。

- 10.如申請專利範圍第9項之記憶體，其中該第一記憶體單元為無效的。
- 11.如申請專利範圍第9項之記憶體，其中該第二記憶體單元為無效的。
- 12.如申請專利範圍第9項之記憶體，其中在第一寫入輸出端上，反應於個別之第一及第二寫入選擇訊號，該第一寫入資料匯流排從內容可定址記憶體級之第一群集產生第一位置資料之第一部分並且第二寫入資料匯流排從內容可定址記憶體級之第二群集產生第二位置資料之第二部分，該第一及第二寫入選擇訊號表示寫入操作個別在第一及第二主要陣列裡之記憶體單元位置來執行。
- 13.如申請專利範圍第12項之記憶體，其中該第一位置資料之第一部分包括單一位元資料。
- 14.如申請專利範圍第12項之記憶體，其中該第二位置資料之第二部分包括單一位元資料。
- 15.如申請專利範圍第12項之記憶體，進一步包括：

連接第一寫入輸出端之寫入偏壓電晶體，以施電壓於第一寫入輸出端至第一值。

- 16.如申請專利範圍第 15 項之記憶體，其中若寫入操作在第一主要陣列執行並且第一寫入輸出端拉升至第二值，則第一內容可定址記憶體單元受到抹拭。
- 17.如申請專利範圍第 15 項之記憶體，其中若寫入操作在第一主要陣列執行並且第一寫入輸出端仍然在第一值，則第一內容可定址記憶體單元受到寫入。
- 18.如申請專利範圍第 15 項之記憶體，其中若寫入操作在第二主要陣列執行並且第一寫入輸出端拉升至第二值，則第二內容可定址記憶體單元受到抹拭。
- 19.如申請專利範圍第 15 項之記憶體，其中若寫入操作在第二主要陣列執行並且第一寫入輸出端仍然在第一值，則第二內容可定址記憶體單元受到寫入。
- 20.如申請專利範圍第 9 項之記憶體，其中在第一讀取輸出端上，反應於個別的第一及第二讀取選擇訊號，該第一讀取資料匯流排從內容可定址記憶體級之第一群集產生第一位置資料之第一部分，並且該第二讀取資料匯流排從內容可定址記憶體級之第二群集產生第二位置資料之第二部分，該第一及第二讀取選擇訊號表示讀取操作個別在第一及第二主要陣列裡之記憶體單元位置來執行。
- 21.如申請專利範圍第 20 項之記憶體，其中該第一位置資料之第一部分包括單一位元資料。

22.如申請專利範圍第 20 項之記憶體，其中該第二位置資料之第二部分包括單一位元資料。

23.如申請專利範圍第 20 項之記憶體，進一步包括：

連接第一讀取輸出端之讀取偏壓電晶體，以施電壓於第一讀取輸出端至第一值。

24.如申請專利範圍第 23 項之記憶體，其中若讀取操作在第一主要陣列執行並且第一讀取輸出端拉升至第二值，則第一內容可定址記憶體單元受到抹拭。

25.如申請專利範圍第 23 項之記憶體，其中若讀取操作在第一主要陣列執行並且第一讀取輸出端仍然在第一值，則第一內容可定址記憶體單元受到寫入。

26.如申請專利範圍第 23 項之記憶體，其中若讀取操作在第二主要陣列執行並且第一讀取輸出端拉升至第二值，則第二內容可定址記憶體單元受到抹拭。

27.如申請專利範圍第 23 項之記憶體，其中若讀取操作在第二主要陣列執行並且第一讀取輸出端仍然在第一值，則第二內容可定址記憶體單元受到寫入。

28.一種於記憶體中，用記憶體單元之多餘陣列裡之第二記憶體單元代替記憶體單元之主要陣列裡之無效記憶體單元之方法，該方法包括：

儲存資料於一系列雙埠內容可定址記憶體級裡，該資料係關於無效記憶體單元之位置；

將對應於一個或一個以上之主要陣列裡之記憶體單元之位置之操作位址與該系列之雙埠內容可定址記

記憶體級之資料進行比較，以決定是否一個或一個以上記憶體單元之位置包含無效記憶體單元之位置；

若一個或一個以上之記憶體單元之位置包含無效記憶體單元之位置，則用操作位址存取第二記憶體單元之位置；以及

若一個或一個以上之記憶體單元之位置並未包含無效記憶體單元之位置，則用操作位址存取該一個或一個以上之記憶體單元之位置。

29.如申請專利範圍第 28 項之方法，其中該操作位址為寫入位址。

30.如申請專利範圍第 28 項之方法，其中該操作位址為讀取位址。