

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5010708号
(P5010708)

(45) 発行日 平成24年8月29日(2012.8.29)

(24) 登録日 平成24年6月8日(2012.6.8)

(51) Int.Cl.

H02M 1/08 (2006.01)

F 1

H02M 1/08

A

請求項の数 21 (全 15 頁)

(21) 出願番号 特願2010-98365 (P2010-98365)
 (22) 出願日 平成22年4月22日 (2010.4.22)
 (65) 公開番号 特開2010-259324 (P2010-259324A)
 (43) 公開日 平成22年11月11日 (2010.11.11)
 審査請求日 平成23年6月29日 (2011.6.29)
 (31) 優先権主張番号 61/173, 201
 (32) 優先日 平成21年4月27日 (2009.4.27)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 12/495, 048
 (32) 優先日 平成21年6月30日 (2009.6.30)
 (33) 優先権主張国 米国 (US)

早期審査対象出願

(73) 特許権者 390041542
 ゼネラル・エレクトリック・カンパニイ
 アメリカ合衆国、ニューヨーク州、スケネ
 クタディ、リバーロード、1番
 (74) 代理人 100137545
 弁理士 荒川 智志
 (74) 代理人 100105588
 弁理士 小倉 博
 (74) 代理人 100129779
 弁理士 黒川 俊久
 (72) 発明者 アントニオ・カニアファ
 アメリカ合衆国、ニューヨーク州、ニスカ
 ユナ、ヒルクレスト・ヴィレッジ・ウェス
 ト、30番、アパートメント・ビー4

最終頁に続く

(54) 【発明の名称】非絶縁ゲート半導体デバイスのゲート駆動回路

(57) 【特許請求の範囲】

【請求項 1】

非絶縁入力を有する半導体デバイス(62)をスイッチングするためのゲート駆動回路(60)であって、

半導体デバイス(62)の本来性寄生ダイオードを順バイアスするように半導体デバイス(62)のゲート上に該寄生ダイオードの寄生ゲート対エミッタダイオード特性に応じた可変の電圧値で電流を印加することによって半導体デバイス(62)をターンオンするように構成された第1の回路(64)と、

半導体デバイス(62)の寄生ダイオードを該寄生ダイオードの寄生ゲート対エミッタダイオード特性に応じた可変の電圧値で逆バイアスするように半導体デバイス(62)のゲート上に電流を印加することによって半導体デバイス(62)をターンオフするように構成された第2の回路(66)と、を備えており、

前記第1の回路(64)及び第2の回路(66)はそれぞれ第1のスイッチ及び第2のスイッチを通して半導体デバイス(62)に結合されており、前記第1の回路(64)及び前記第2の回路(66)の各々はダイオードを通してコンデンサに結合された電流源を含み、

前記第1の回路(64)及び第2の回路(66)の前記電流源は周囲温度で動作し、前記ダイオード及び前記コンデンサは前記半導体デバイス(62)にごく接近して配置されると共に前記半導体デバイス(62)の動作温度で動作される、

ゲート駆動回路(60)。

10

20

【請求項 2】

前記第1の回路(64)及び第2の回路(66)の各々は、対応する第1のスイッチ及び対応する第2のスイッチが閉じている限りその間半導体デバイス(62)のゲート上に電流を印加する、請求項1に記載のゲート駆動回路(60)。

【請求項 3】

前記第2のスイッチは通常閉じてあり、前記第1のスイッチは通常開いている、請求項1に記載のゲート駆動回路(60)。

【請求項 4】

前記第1の回路(64)は、コンデンサを寄生ダイオードのしきい電圧VTHより大きい電圧VONまで充電し、該電圧VONが半導体デバイス(62)のゲート電圧限界を超えないようにする、請求項1に記載のゲート駆動回路(60)。10

【請求項 5】

前記第2の回路(66)は、コンデンサを半導体デバイス(62)のしきい電圧VTH(OFF)より低くかつ寄生ダイオードの破壊電圧VBVより高い電圧VOFFまで充電させる、請求項1に記載のゲート駆動回路(60)。

【請求項 6】

前記電流源は周囲温度で動作し、前記ダイオード及び前記コンデンサは半導体デバイス(62)にごく接近して配置されると共に半導体デバイス(62)の動作温度で動作される、請求項1に記載のゲート駆動回路(60)。

【請求項 7】

半導体デバイス(62)をその寄生ゲート対エミッタダイオード特性と独立に動作させるように適合されている請求項1に記載のゲート駆動回路(60)。20

【請求項 8】

半導体デバイス(62)の最適な動作状態を該半導体デバイス(62)の仕様と独立に自動的に決定する、請求項1に記載のゲート駆動回路(60)。

【請求項 9】

半導体デバイス(62)のオン電圧が寄生ダイオードのしきい電圧VD(TH)を若干上回る範囲にあり、かつ半導体デバイス(62)のオフ電圧が寄生ダイオードの破壊電圧VBVを若干上回る範囲にあるか、絶対値では寄生ダイオードの破壊電圧VBVと比べて低くなる、請求項8に記載のゲート駆動回路(60)。30

【請求項 10】

半導体デバイス(62)の前記オン電圧が寄生ダイオードのしきい電圧VD(TH)を5%~10%上回る範囲にあり、かつ半導体デバイス(62)の前記オフ電圧が寄生ダイオードの破壊電圧VBVを5%~10%上回る範囲にある、請求項9に記載のゲート駆動回路(60)。

【請求項 11】

前記半導体デバイス(62)がノーマリーオン型半導体デバイスであると共に、該ゲート駆動回路(60)は定格パワーを超えるパワーでノーマリーオン型半導体デバイスを動作させるように適合されている、請求項1に記載のゲート駆動回路(60)。

【請求項 12】

前記半導体デバイス(62)がノーマリーオフ型半導体デバイスであると共に、該ゲート駆動回路(60)はノーマリーオフ型半導体デバイスを動作させるように適合されている、請求項1に記載のゲート駆動回路(60)。

【請求項 13】

非絶縁入力を有する前記半導体デバイス(62)は広バンドギャップの半導体接合ゲート型トランジスタを含む、請求項1に記載のゲート駆動回路(60)。

【請求項 14】

前記広バンドギャップの半導体接合ゲート型トランジスタはショットキーゲート型やPN接合ゲート型のトランジスタを含む、請求項13に記載のゲート駆動回路(60)。

【請求項 15】1020304050

前記広バンドギャップの半導体接合ゲート型トランジスタは炭化ケイ素、窒化ガリウム及びダイアモンドを含む、請求項13に記載のゲート駆動回路(60)。

【請求項16】

非絶縁入力を有する前記半導体デバイス(62)はバイポーラ接合トランジスタ(BJT)、接合型電界効果トランジスタ(JFET)、垂直型JFET(VJFET)、静電誘導型トランジスタ(SIT)、及び金属半導体電界効果トランジスタ(MESFET)を含む、請求項1に記載のゲート駆動回路(60)。

【請求項17】

前記第1のスイッチ及び前記第2のスイッチの各々が電子制御式半導体デバイスを含む、請求項1に記載のゲート駆動回路(60)。 10

【請求項18】

非絶縁入力を有する半導体デバイス(62)と、

第1のスイッチまたは第2のスイッチのそれぞれを通して半導体デバイス(62)のゲート上に前記半導体デバイス(62)の寄生ダイオードの寄生ゲート対エミッタダイオード特性に応じた可変の電圧値で正電流と負電流のいずれかを印加することによって半導体デバイス(62)をその寄生ゲート対エミッタダイオード特性と独立に動作させるためのゲート駆動回路(60)であって、第1の回路(64)及び第2の回路(66)を含み、該第1の回路(64)及び該第2の回路(66)が第1のスイッチまたは第2のスイッチのそれぞれを通して前記半導体デバイス(62)に結合され、該第1の回路(64)及び該第2の回路(66)の各々がダイオードを通してコンデンサに結合された電流源を含む、ゲート駆動回路(60)と、 20

を備え、

前記第1の回路(64)及び第2の回路(66)の前記電流源は周囲温度で動作し、前記ダイオード及び前記コンデンサは前記半導体デバイス(62)にごく接近して配置されると共に前記半導体デバイス(62)の動作温度で動作される、
電子回路。

【請求項19】

非絶縁入力を有するノーマリーオン型半導体デバイス(62)と、

第1のスイッチまたは第2のスイッチのそれぞれを通して半導体デバイス(62)のゲート上に前記半導体デバイス(62)の寄生ダイオードの寄生ゲート対エミッタダイオード特性に応じた可変の電圧値で正電流と負電流のいずれかを印加することによってノーマリーオン型半導体デバイス(62)を定格パワーを超えるパワーで動作させるためのゲート駆動回路(60)であって、第1の回路(64)及び第2の回路(66)を含み、該第1の回路(64)及び該第2の回路(66)が第1のスイッチまたは第2のスイッチのそれぞれを通して前記ノーマリーオン型半導体デバイス(62)に結合され、該第1の回路(64)及び該第2の回路(66)の各々がダイオードを通してコンデンサに結合された電流源を含む、ゲート駆動回路(60)と、 30

を備え、

前記第1の回路(64)及び第2の回路(66)の前記電流源は周囲温度で動作し、前記ダイオード及び前記コンデンサは前記半導体デバイス(62)にごく接近して配置されると共に前記半導体デバイス(62)の動作温度で動作される、
電子回路。

【請求項20】

非絶縁入力を有するノーマリーオフ型半導体デバイス(62)と、

第1のスイッチまたは第2のスイッチのそれぞれを通して半導体デバイス(62)のゲート上に前記半導体デバイス(62)の寄生ダイオードの寄生ゲート対エミッタダイオード特性に応じた可変の電圧値で正電流と負電流のいずれかを印加することによってノーマリーオフ型半導体デバイス(62)を動作させるためのゲート駆動回路(60)であって、第1の回路(64)及び第2の回路(66)を含み、該第1の回路(64)及び該第2の回路(66)が第1のスイッチまたは第2のスイッチのそれぞれを通して前記ノーマリー 40

オフ型半導体デバイス(62)に結合され、該第1の回路(64)及び該第2の回路(66)の各々がダイオードを通してコンデンサに結合された電流源を含む、ゲート駆動回路(60)と、

を備え、

前記第1の回路(64)及び第2の回路(66)の前記電流源は周囲温度で動作し、前記ダイオード及び前記コンデンサは前記半導体デバイス(62)にごく接近して配置されると共に前記半導体デバイス(62)の動作温度で動作される、

電子回路。

【請求項21】

非絶縁入力を有する半導体スイッチデバイスを動作させる方法であって、

10

1つまたは複数のスイッチを介して半導体デバイスをターンオンとターンオフの間でスイッチングする工程と、

ゲート駆動回路(60)の第1の回路(64)を用いて半導体デバイスの寄生ダイオードを順バイアスすることによって半導体デバイスをターンオンさせるように半導体デバイスのゲート上に該寄生ダイオードの寄生ゲート対エミッタダイオード特性に応じた可変の電圧値で正の電流を印加する工程と、

ゲート駆動回路(60)の第2の回路(66)を用いて半導体デバイスの寄生ダイオードを該寄生ダイオードの寄生ゲート対エミッタダイオード特性に応じた可変の電圧値で逆バイアスすることによって半導体デバイスをターンオフさせるようにデバイスのゲート上に負の電流を印加する工程と、

20

を含む方法であって、前記第1の回路(64)及び第2の回路(66)は前記1つまたは複数のスイッチを通して前記半導体スイッチデバイスに結合され、前記第1の回路(64)及び第2の回路(66)の各々がダイオードを通してコンデンサに結合された電流源を含み、

前記第1の回路(64)及び第2の回路(66)の前記電流源は周囲温度で動作し、前記ダイオード及び前記コンデンサは前記半導体デバイス(62)にごく接近して配置されると共に前記半導体デバイス(62)の動作温度で動作される、

方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

(関連出願の相互参照)

本発明は全般的にはゲート駆動回路に関し、またさらに詳細には、Si及びSiC半導体デバイスの動作性能を向上させたゲート駆動回路に関する。

【背景技術】

【0002】

より高周波数、より大パワー、より高温度、並びに過酷な環境で動作する電子デバイスが広範な用途で必要とされている。例えば、深宇宙空間用途、高温用途、放射能汚染環境用途、ジェットエンジン、機上マイクロ波デバイスで利用される電子デバイスやセンサが、こうした耐久性が高くかつ動作性能が高いデバイスを必要とする。ケイ素(Si)、炭化ケイ素(SiC)、窒化ガリウム(GaN)、ダイアモンドなどバンドギャップが広い半導体材料を用いて製作されたデバイスがこうした特性を示す。一般に、価電子帯の最上位と伝導帯の最下位の間に典型的には2電子ボルト(eV)を超えるエネルギー差すなわちエネルギーギャップを有する半導体はバンドギャップが広い半導体と見なされる。こうした材料は一般に、高温で化学的に安定であり、熱伝導率が良く、破壊電界が高く、かつ電子飽和速度が大きい。

40

【0003】

例えば炭化ケイ素(SiC)ベースの半導体デバイスは、ケイ素(Si)ベースの半導体デバイスと比較するとその幾つかの特性が優れているため、例えば広範囲のパワーエレ

50

クトロニクス用途で益々利用されるようになっている。具体的にはSiCベースの半導体デバイスは、熱抵抗、スイッチングまたは動作速度、電圧阻止能力、並びにオン状態電圧降下が優れており、これらはすべて従来のSiCベースの半導体デバイスでは得ることができない。さらに、広いバンドギャップ及び/または阻止能力のために、SiCベースの半導体デバイスは高電圧用途に適している。

【0004】

こうした半導体デバイスには、接合ゲート型トランジスタ（その一例として、接合型電界効果トランジスタ（JFET）、静電誘導型トランジスタ（SiT）、バイポーラ接合トランジスタ（BJT）、及び金属半導体電界効果トランジスタ（MESFET）を含む）などの非絶縁入力を有する半導体デバイスが含まれており、これらを適正に動作させるには特殊なゲート駆動または制御回路が必要である。従来のゲート駆動回路は典型的には、非絶縁入力デバイスの駆動を要する場合に十分な動作をしていない。例えば、金属酸化物半導体電界効果トランジスタ（MOSFET）や絶縁ゲート型バイポーラトランジスタ（IGBT）に利用可能な回路などの従来のゲート駆動回路を利用することは、広バンドギャップの半導体デバイスを含め非絶縁入力を有するデバイスでは制御された低いゲート電圧を必要とするため非絶縁入力には最適ではない。

【0005】

幾つかのパワーエレクトロニクス用途ではノーマリーオン型SiC JFETが使用されてきたが、ノーマリーオン型SiC JFETが取り扱える最大電流はゲート駆動によって制限される。さらに目下のゲート駆動やノーマリーオン型SiC JFET向けに開発されたゲート駆動は、ノーマリーオフ型SiC JFETの動作では適正に動作しないか動作に制限がある。広バンドギャップの半導体デバイスで稼働できるようなゲート駆動を開発するための幾つかの努力がなされてきている。しかし現在利用可能な周知のゲート駆動はノーマリーオフ型SiC JFETを動作させることができなく、かつ/またはノーマリーオン型SiC JFETも有意の時間期間にわたってその定格パワーを超えて動作させることができない。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許出願第20080265980号

30

【発明の概要】

【発明が解決しようとする課題】

【0007】

本システムの一実施形態は、広バンドギャップの半導体デバイス及び/または非絶縁入力を有する半導体デバイス向けにカスタマイズした効率がよくかつ費用対効果がよいゲート駆動回路を提供する。さらに、ノーマリーオン型SiC JFETを有意の時間期間にわたりその定格パワーを超えて動作させること及び/またはノーマリーオフ型SiC JFETを動作させることが可能なゲート駆動を提供できることが望ましい。

【課題を解決するための手段】

【0008】

一実施形態は、非絶縁入力を有する半導体デバイスのスイッチングのためのゲート駆動回路であって、該ゲート駆動回路は半導体デバイスの本来性の（inherent）寄生ダイオードを順バイアスするように半導体デバイスのゲート上に電流を印加することによって半導体デバイスをターンオンするように構成させた第1の回路を有する。半導体デバイスの寄生ダイオードを逆バイアスさせるように半導体デバイスのゲート上に電流を印加することによって半導体デバイスをターンオフするように構成された第2の回路を存在させており、これら第1の回路及び第2の回路は第1のスイッチと第2のスイッチのそれぞれを通して半導体デバイスに結合されている。

【0009】

別の実施形態は、非絶縁入力を有する半導体デバイスと、第1のスイッチまたは第2の

10

20

30

40

50

スイッチのそれぞれを通して半導体デバイスのゲート上に正電流と負電流のうちの一方を印加することによって半導体デバイスをその寄生ゲート対エミッタダイオード特性と独立に動作させるためのゲート駆動回路と、を備える電子回路である。

【0010】

さらに別の実施形態は、非絶縁入力を有するノーマリーオン型半導体デバイスと、第1のスイッチまたは第2のスイッチのそれぞれを通して半導体デバイスのゲート上に正電流と負電流のうちの一方を印加することによって定格パワーを超えるパワーでノーマリーオン型半導体デバイスを動作させるためのゲート駆動回路と、を備える電子回路である。

【0011】

また別の実施形態は、非絶縁入力を有するノーマリーオフ型半導体デバイスと、第1のスイッチまたは第2のスイッチのそれぞれを通して半導体デバイスのゲート上に正電流と負電流のうちの一方を印加することによってノーマリーオフ型半導体デバイスを動作させるためのゲート駆動回路と、を備える電子回路である。

【0012】

非絶縁入力を有する半導体スイッチデバイスを動作させる方法は、1つまたは複数のスイッチを介して半導体デバイスをターンオンとターンオフの間でスイッチングする工程と、半導体デバイスの寄生ダイオードを順バイアスすることによって半導体デバイスをターンオンさせるように半導体デバイスのゲート上に正の電流を印加する工程と、半導体デバイスの寄生ダイオードを逆バイアスすることによって半導体デバイスをターンオフさせるようにデバイスのゲート上に負の電流を印加する工程と、を含む。

【0013】

本発明に関するこれらの特徴、態様及び利点、並びにその他の特徴、態様及び利点については、同じ参照符号が図面全体を通じて同じ部分を表している添付の図面を参照しながら以下の詳細な説明を読むことによってより理解が深まるであろう。

【図面の簡単な説明】

【0014】

【図1】負荷に接続したJ F E Tの図である。

【図2A】ノーマリーオン型J F E Tの静電流電圧特性を表したグラフである。

【図2B】ノーマリーオン型J F E Tの入力真性ダイオードの静電流電圧特性を表したグラフである。

【図3A】ノーマリーオフ型J F E Tの電流電圧特性を表したグラフである。

【図3B】ノーマリーオフ型J F E Tの入力真性ダイオードの電流電圧特性を表したグラフである。

【図4】非絶縁入力を有する半導体デバイスのスイッチングのためのゲート駆動回路の回路図である。

【図5】本技法の態様による図4のゲート駆動回路をより詳細に表した回路図である。

【図6】本技法の態様による図4のゲート駆動回路をより詳細に表した回路図である。

【図7】本技法の態様による図4のゲート駆動回路をより詳細に表した回路図である。

【発明を実施するための形態】

【0015】

本デバイス及び技法の実施形態は一般に、バイポーラ接合トランジスタ(B J T)、接合型電界効果トランジスタ(J F E T)、垂直型J F E T(V J F E T)、静電誘導型トランジスタ(S I T)、金属半導体電界効果トランジスタ(M E S F E T)(ただしこれらに限らない)など、横型(l a t e r a l)、縦型(v e r t i c a l)、ケイ素または広バンドギャップの材料を含む非絶縁入力を有する半導体デバイス向けのゲート駆動回路を目的とする。ある種の実施形態では、その非絶縁入力を有する半導体デバイスは広バンドギャップの半導体である。接合ゲート型トランジスタは、ショットキーゲート型やP N接合ゲート型のトランジスタとすることができます。広バンドギャップの半導体は、炭化ケイ素(S i C)、窒化ガリウム(G a N)、ダイアモンド、または別の任意のI I I - V化合物による広バンドギャップ半導体とすることができます。本検討はJ F E Tのコンテ

10

20

30

40

50

キストにおける例を提供しているが、別のデバイスにおけるこれらの実施形態の利用も同様に本発明の趣旨域内にある。

【0016】

ここで図1を参照すると、本来性の寄生特性を伴うJFETデバイス10を図示している。ここで指摘したように、JFETは非絶縁入力を有する半導体デバイスである。図示した実施形態ではJFET12は、ドレインD、ゲートG及びソースSを有するnチャンネルJFETである。ドレインDは抵抗性負荷RL16を通して電圧供給源Vに結合されている。典型的にはゲート端子Gに対してしきい電圧を超えるようなバイアス電圧が印加されると、ソース端子Sとドレイン端子Dの間の半導体チャンネルを通過して電荷が流れれる。したがってゲート端子Gにより、JFET12の動作が制御される。ある種の実施形態ではそのドレインDとソースSが相互に置き換え可能であることに留意すべきである。さらにJFET12はノーマリーオン型JFETやノーマリーオフ型JFETとなるよう製作できることに留意すべきである。

【0017】

動作性能に影響を及ぼすJFETの本来性寄生特性が存在することは当業者であれば理解されよう。この例では、ゲート端子Gとソース端子Sの間の寄生ダイオードを用いて本来性寄生特性に関する通常動作下にあるJFETの入力端子動作をモデル化している。半導体デバイスでは、デバイスを理想的なデバイスと異なった動作実行とさせる寄生特性が存在するのが一般的である。幾つかのケースではその寄生は、動作性能が何らかの応答を前提とするようにシミュレーションされる一方、別のケースではその限界が実験的に導出される。例えば、nチャンネルJFETの入力の内部構造はゲートとソースの端子間に接続されたPN接合ダイオードに類似する。ゲートとソースの端子間に十分な順バイアスまたは逆バイアスが加えられると、寄生ダイオードが重大な機能不良を生じさせことになる。

【0018】

ここで図2A及び図2Bを参照すると、ノーマリーオン型JFET及びノーマリーオン型JFET構造の寄生ダイオード構造に関する電圧-電流特性のグラフを図示している。図2Aは、ノーマリーオン型JFET (JFET12など、図1参照) のドレイン-ソース間電圧-電流特性を電圧供給源 (電圧供給源Vなど、図1参照) と直列接続された抵抗器 (抵抗器RL16など、図1参照) のV-I特性の上に重ね合わせて表したグラフ20である。図2Aでは、参照番号22が電流Iを表しており、また参照番号24が幾つかのゲート電圧Vgに関する電圧Vを表している。

【0019】

図示したように、加えられたゲート電圧VgがJFETのしきい電圧VTH(OFF)を超えるとノーマリーオン型JFETは導通する。VTH(OFF)はJFETのしきい電圧を表すことに留意されたい。ゲートに発生する電圧がしきい値VTH(OFF)より低ければ、JFETデバイスはOFFモードで動作する。しかしゲートに発生する電圧の値がしきい電圧VTH(OFF)より大きければ、JFETデバイスはONモードで動作する。このゲートレベルが負であれば、JFETはノーマリーオンである。さらに、ゲートに発生する電圧が正であれば、JFETはノーマリーオフモードで動作する。ゲートに加えられた電圧が大きいほど、デバイスを通る電流がそれだけ大きくなる。ノーマリーオン型JFETは、加えられたゲート電圧VgがJFETのしきい電圧VTH(OFF)を下回ったときに導通を停止する。

【0020】

図2Bは、ノーマリーオン型JFETのゲート寄生ダイオード構造の電圧-電流特性のグラフ30を表している。図2Bでは、参照番号32が電流Iを表しており、また参照番号34は電圧Vを表している。参照番号36は、電圧-電流特性上の寄生ダイオード構造に関するしきい電圧VD(TH)に対応する領域を表している。電圧VD(TH)は寄生ダイオードのしきい電圧を意味している。

【0021】

10

20

30

40

50

さらに、 V_{ON} 及び対応する電流 I_{ON} は、寄生ダイオード構造が導通が保証されるような境界電圧レベルで動作している順バイアスの間の寄生ダイオード構造の電圧及び電流である。より具体的には、 I_{ON} は J F E T を ON モードで動作させることができ望ましいときに印加される電流を表しており、また V_{ON} は寄生ダイオード J F E T を ON モードで動作させることができ望ましいときに発生させる電圧を表している。

【0022】

J F E T のしきい電圧を $V_{TH(OFF)}$ で表している。 V_{BV} は寄生ダイオード構造の破壊電圧であり、またこの電圧がゲートに印加されたときにゲート電圧は J F E T のオフしきい電圧より確実に低くなる。換言すると V_{BV} は寄生ダイオードの破壊電圧を表している。 V_{OFF} は、デバイスをオフにすることができ望ましいときにゲートに印加される電圧を表している。一例では V_{OFF} は、寄生ダイオードの破壊電圧と実質的に等しい。 I_{OFF} は J F E T を OFF モードで動作させることができ望ましいときに印加される電流を表しており、一方 V_{OFF} は J F E T を ON モードで動作させることができ望ましいときに寄生ダイオードにより発生させる電圧を表していることに留意されたい。

10

【0023】

本技法の態様では、デバイスの最適な動作性能を容易にするような寄生ダイオード構造の V_{ON} を表す領域 36 を画定している $V_{D(TH)}$ を約 5 % ~ 約 10 % (あるいは、 $V_{D(TH)}$ を若干超える) 範囲でデバイスを動作させることができ望ましい。寄生ダイオード構造に関するしきい電圧 $V_{D(TH)}$ を若干超える領域でデバイスを動作させることによって、デバイス内のノイズレベルをかなり低下させることができる。

20

【0024】

図 3 A 及び 3 B は同様に、ノーマリーオフ型 J F E T とノーマリーオフ型 J F E T の寄生ダイオード構造のそれぞれに関する電圧 - 電流特性のグラフを表している。図 3 A は、ノーマリーオフ型 J F E T のドレイン - ソース間の電圧 - 電流特性のグラフ 40 を表している。図 3 A では、参照番号 42 が電流 I を表しており、また参照番号 44 が電圧 V を表している。さらに図 3 B は、ノーマリーオフ型 J F E T の寄生ダイオード構造の電圧 - 電流特性のグラフ 50 を表している。図 3 B では、参照番号 52 が電流 I を表しており、また参照番号 54 が電圧 V を表している。参照番号 56 は、電圧 - 電流特性上の寄生ダイオード構造に関するしきい電圧 $V_{D(TH)}$ に対応する領域を表している。ノーマリーオフ型のケースでは正のゲート電圧だけが J F E T デバイスをターンオンすることができ、またデバイスをオフにするにはゼロゲート電圧で十分であることを除けば、ノーマリーオフ型 J F E T の特性はノーマリーオン型 J F E T の特性と同様であることは当業者であれば理解されよう。J F E T のしきい電圧は $V_{TH(OFF)}$ で表される。この場合も同様に、 V_{ON} 及び対応する電流 I_{ON} は、寄生ダイオード構造が導通を保証されるように境界電圧レベルで動作している順バイアスの間の寄生ダイオード構造の電圧及び電流である。さらに V_{OFF} 及び対応する電流 I_{OFF} は、デバイスをノーマリーオフ型モードで動作させるのに使用される寄生ダイオード構造の電圧及び電流である。ある種の用途では、寄生ダイオードのオン電圧 $V_{D(TH)}$ より小さいか等しい値にオン電圧 V_{ON} を制御し維持することが望ましいことに留意されたい。

30

【0025】

ここで図 4 を見ると、非絶縁入力を有する半導体デバイス 62 をスイッチングするためのゲート駆動回路の回路図 60 を図示している。図示した実施形態では、半導体デバイス 62 は J F E T デバイスである。ゲート駆動回路は、第 1 のスイッチ S_1 及び第 2 のスイッチ S_2 のそれぞれを通じて半導体デバイス 62 に結合させた第 1 の回路 64 及び第 2 の回路 66 を含む。第 2 のスイッチ S_2 は通常は閉じており(すなわち、ノーマリーオンであり)、また第 1 のスイッチ S_1 は通常は開いている(すなわち、ノーマリーオフである)。スイッチ S_1 、 S_2 はその動作に基づいて、互いに排他式に閉じた状態と開いた状態となる。さらに第 1 のスイッチ S_1 及び第 2 のスイッチ S_2 は、MOSFET、J F E T 、その他など任意の電子制御式半導体デバイスとすることによって留意すべきである。

40

50

【0026】

第1の回路64は、半導体デバイスの寄生ダイオード62を順バイアスするように半導体デバイス62のゲート上に電流を印加することによって半導体デバイス62をターンオンするように構成されている。同様に第2の回路66は、半導体デバイス62の寄生ダイオードを逆バイアスさせるように半導体デバイス62のゲート上に電流を印加することによって半導体デバイス62をターンオフするように構成されている。換言すると半導体デバイス62のゲートの位置に、第1の回路64は正のターンオン電流を印加しており、また第2の回路66は負のターンオフ電流を印加している。第1の回路64及び第2の回路66はそれぞれの第1のスイッチS₁及び第2のスイッチS₂が閉じている限りその間半導体デバイスのゲート62上に電流を印加することは当業者であれば理解されよう。

10

【0027】

第1の回路64及び第2の回路66の各々は、ダイオードを通してコンデンサに結合された電流源を含む。例えば第1の回路64は、ダイオードD₁を通してコンデンサC₁に結合された電流源I_{ON}68を含むことがある。同様に第2の回路66は、ダイオードD₂を通してコンデンサC₂に結合された電流源I_{OFF}70を含むことがある。第1の回路64はコンデンサC₁を、JFETのしきい電圧より大きい電圧V_{ON}まで充電する。電圧V_{ON}は寄生ダイオードにより印加される半導体デバイス62のゲート電圧限界を超えないことが望ましい。電圧V_{ON}は寄生ダイオードのしきい電圧V_{D(TH)}を若干超えることになることに留意すべきである。一実施形態ではその電圧V_{ON}は、寄生ダイオードのしきい電圧V_{D(TH)}を約5%~10%超える領域にあることが望ましい。同様に第2の回路66はコンデンサC₂を、半導体デバイス62のしきい電圧V_{TH(OFF)}より低くかつ寄生ダイオードの破壊電圧V_{BV}より高い(すなわち、絶対値が低い)電圧V_{OFF}まで充電させる。この場合も同様に一実施形態ではその電圧V_{OFF}を、寄生ダイオードのしきい電圧V_{TH(OFF)}より約5%~10%低い領域とすることが望ましいことがある。さらに一実施形態ではその電圧V_{OFF}は、寄生ダイオードの破壊電圧V_{BV}より(V_{BV}の)約5%~10%だけ高い領域とすることが望ましいことがある。V_{ON}及びV_{OFF}電圧は、ONモードとOFFモードのそれぞれで動作するようにデバイスを制御するための寄生ダイオード特性に対応する。さらにI_{ON}及びI_{OFF}の値は、無用あるいは過剰な電流を伴うことなくONモードまたはOFFモードでのデバイス動作を保証するように本明細書で提示した回路実現形態によって限定される。

20

【0028】

ある種の実施形態ではその電流源I_{ON}及びI_{OFF}は周囲温度で動作する一方、ダイオードD₁及びD₂並びにコンデンサC₁及びC₂は半導体デバイス62にごく接近して配置されると共に半導体デバイス62の動作温度で動作される。こうした配置のために、ゲート駆動及び対応する半導体デバイスの過酷な環境での高速動作が可能となる。

30

【0029】

図5~7は、本技法の態様に従ったゲート駆動回路の回路図80、90、120をより詳細に表している。さらに詳細には図5は、図4のゲート駆動回路60に関する一実施形態80を表した回路図である。さらに図6は、図4のゲート駆動回路60に関する別の実施形態90を表した回路図である。図7は、図4のゲート駆動回路60に関するさらに別の実施形態120を表した回路図である。

40

【0030】

例えばスイッチS₁及びS₂は、制御回路(図5では図示せず)から制御論理信号を受け取るように構成されることがある。ある種の実施形態ではその制御回路は、マイクロプロセッサ、FPGA、その他を含むことがある。この制御信号は、スイッチS₁及びS₂の開放及び閉鎖を制御するように構成されることがある。さらに詳細には制御信号は、第1のスイッチS₁が開いているときに第2のスイッチS₂を閉じるように構成されることがある。制御信号はさらに同様の方式で、第1のスイッチS₁が閉じているときに第2のスイッチS₂を開くように構成されることがある。

【0031】

50

図5～7に示したように、電流源 $I_{ON}68$ 及び $I_{OFF}70$ をより詳細に図示している。さらに図5～7に図示したように、電流源 $I_{ON}68$ 及び $I_{OFF}70$ の各々は、非絶縁入力を有する半導体デバイスのゲートに対して印加用の電流及び電圧を提供するよう構成させた、ソース、複数の抵抗器及び半導体デバイスを含む。ゲート回路80、90、120によってさらに、可能な別の電流源が利用されることがあることは当業者であれば理解されよう。さらに、ゲート駆動回路80、90、120は追加の制御回路（図示せず）を含むことがあることに留意すべきである。

【0032】

ここで本技法の例示的な態様による図6～7を参照すると、第1及び第2の回路64、66（図4参照）を調節する第1及び第2のスイッチ S_1 、 S_2 を動作させるための絶縁信号制御伝送を含むようにゲート駆動回路90、120の実施形態を図示している。図6ではその絶縁信号制御伝送は第1の同軸ケーブル92及び第2の同軸ケーブル94を含む。第1の同軸ケーブル92は第1のスイッチ S_1 を動作させるように構成されることがある一方、第2の同軸ケーブル94は第1のスイッチ S_2 を動作させるように制御されることがある。図6の目下企図されている構成では、第1及び第2の同軸ケーブル92、94は2ワイヤ型シールドケーブルまたはデュアルワイヤ型ケーブルを含むことがある。

【0033】

第1の同軸ケーブル92は、第1のワイヤ96及び第2のワイヤ98を含む。参考番号100は第1の同軸ケーブル92のシールドを表すことがある。目下企図されている構成では、第1の同軸ケーブル92内の第1のワイヤ96は絶縁接触点102と動作可能に結合される一方、第2のワイヤ98は基準電圧bに結合されている。シールド100もまた基準電圧bに結合せることがあることに留意されたい。さらに絶縁接触点102は、開いた状態と閉じた状態の間での第1のスイッチ S_1 のスイッチングを制御するための絶縁信号を提供するように構成されることがある。この絶縁信号はクリーンでより低雑音の信号であり、このため第1のスイッチ S_1 の高度なスイッチングが容易になる。さらに、第2のワイヤ98はデバイスのゲートGと動作可能に結合されることがある。コンデンサ C_2 はさらに、第1の同軸ケーブル92の第2のワイヤ98と動作可能に結合されることがある。

【0034】

同様に、第2の同軸ケーブル94は第1のワイヤ104及び第2のワイヤ106を含む。参考番号108は第1の同軸ケーブル94のシールドを表すことがある。第2の同軸ケーブル94内の第1のワイヤ104は絶縁接触点110と動作可能に結合される一方、第2のワイヤ106は基準電圧bに結合せることがある。シールド108もまた基準電圧bに結合せることがある。さらに、絶縁接触点110は、開いた状態と閉じた状態の間での第2のスイッチ S_2 のスイッチングを制御するための絶縁信号を提供するように構成されることがある。この絶縁信号はクリーンでより低雑音の信号であり、このため第2のスイッチ S_2 の高度なスイッチングが容易になる。第2の同軸ケーブル94の第2のワイヤ106はデバイスのソースSと動作可能に結合されることにあることに留意されたい。コンデンサ C_1 はさらに、第2の同軸ケーブル94の第2のワイヤ106と動作可能に結合せることがある。

【0035】

引き続き図6を参照すると、ゲート駆動回路はさらに電磁気干渉を低減するように構成した別の構成要素を含むことがある。一実施形態ではこうした別の構成要素には、電流源68、70及び同軸ケーブル92、94に結合させたインダクタ及びダイオードを含むことがある。

【0036】

ここで図7を見ると、ゲート駆動回路120のさらに別の実施形態を提示しており、ここでこのゲート駆動回路は、第1及び第2の回路64、66（図4参照）を調節する第1及び第2のスイッチ S_1 、 S_2 を動作させるための絶縁信号制御伝送を含むように図示している。この絶縁信号制御伝送は第1のケーブル122及び第2のケーブル124を含む

10

20

30

40

50

。第1のケーブル122は第1のスイッチS₁を動作するように構成される一方、第2の同軸ケーブル124は第2のスイッチS₂を動作させるように制御される。目下企図されている構成では、第1及び第2のケーブル122、124はシングルワイヤ型シールドケーブルを含むことがある。

【0037】

さらに、第1のケーブル122はワイヤ126及びシールド128を含む。目下企図されている構成では、第1のケーブル122内のワイヤ126は絶縁接觸点130と動作可能に結合される一方、シールド128は基準電圧bに結合させることがある。この絶縁接觸点130は、開いた状態と閉じた状態の間での第1のスイッチS₁のスイッチングを制御するための絶縁信号を提供するように構成されることがある。この絶縁信号はクリーンでより低雑音の信号であり、このため第1のスイッチS₁の高度なスイッチングが容易になる。さらに、シールド128はデバイスのゲートGと動作可能に結合されることがある。コンデンサC₂はさらに、第1のケーブル122のシールド128と動作可能に接続されることがある。

【0038】

同様に、第2のケーブル124はワイヤ132及びシールド134を含む。第2のケーブル124内のワイヤ132は絶縁接觸点136と動作可能に結合されている一方、シールド134は基準電圧bに結合させることがある。さらに接觸点136は、開いた状態と閉じた状態の間での第2のスイッチS₂のスイッチングを制御するための絶縁信号を提供するように構成されることがある。この絶縁信号はクリーンで無雑音の信号であり、このため第2のスイッチS₂の高度なスイッチングが容易になる。シールド134はデバイスのソースSと動作可能に結合させることに留意されたい。コンデンサC₂はさらに、第1のケーブル122のシールド128と動作可能に接続されることがある。図6を参照しながら上で言及したように、図7のゲート駆動回路はさらに、電磁気干渉を低減するように構成した別の構成要素を含むことがある。一実施形態ではこうした別の構成要素には、電流源68、70及びシングルワイヤケーブル122、124に結合させたインダクタ及びダイオードを含むことがある。

【0039】

上で検討した様々な実施形態で説明したゲート駆動回路によれば、定格パワーを超えるパワーでのノーマリーオン型半導体デバイスの動作が可能となることは当業者であれば理解されよう。さらに、例示的なゲート駆動回路はノーマリーオフ型半導体デバイスの動作を可能とする。さらに、ゲート駆動回路は半導体デバイスをその寄生ゲート対エミッタダイオード特性と独立に動作させるように適合させていることに留意すべきである。このゲート駆動回路は、半導体デバイスの最適な動作状態をその半導体デバイスの仕様と独立に自動的に決定する。このゲート駆動回路によれば、半導体デバイスのオン電圧が寄生ダイオードのしきい電圧V_{D(TH)}と比べて若干高くなりかつ半導体デバイスのオフ電圧が寄生ダイオードの破壊電圧V_{BV}と比べて若干高くなる（すなわち、絶対値では低くなる）ことが保証される。

【0040】

本発明のある種の特徴についてのみ本明細書において図示し説明してきたが、当業者によって多くの修正や変更がなされるであろう。したがって添付の特許請求の範囲が、本発明の真の精神の範囲に属するこうした修正や変更のすべてを包含させるように意図したものであることを理解されたい。

【符号の説明】

【0041】

10 負荷に接続したJFETデバイス

12 JFET

14 寄生ダイオード

20 ノーマリーオン型JFETのドレイン-ソース間電圧-電流特性のグラフ

22 電流

10

20

30

40

50

2 4	電圧	
3 0	ノーマリーオン型 J F E T の寄生ダイオード構造の電圧 - 電流特性のグラフ	
3 2	電流	
3 4	電圧	
3 6	寄生ダイオードのしきい電圧	
4 0	ノーマリーオフ型 J F E T のドレイン - ソース間電圧 - 電流特性のグラフ	
4 2	電流	
4 4	電圧	
5 0	ノーマリーオフ型 J F E T の寄生ダイオード構造の電圧 - 電流特性のグラフ	10
5 2	電流	
5 4	電圧	
5 6	寄生ダイオードのしきい電圧	
6 0	非絶縁入力を有する半導体デバイスのスイッチングのためのゲート駆動回路の回路図	
6 2	半導体デバイス	
6 4	第 1 の回路	
6 6	第 2 の回路	
6 8	電流源 I_{O_N}	
7 0	電流源 I_{O_F}	
8 0	図 4 のゲート駆動回路の一実施形態	20
9 0	図 4 のゲート駆動回路の別の実施形態	
9 2	第 1 の同軸ケーブル	
9 4	第 2 の同軸ケーブル	
9 6	第 1 の同軸ケーブルの第 1 のワイヤ	
9 8	第 1 の同軸ケーブルの第 2 のワイヤ	
1 0 0	第 1 の同軸ケーブルのワイヤのシールド	
1 0 2	第 1 の同軸ケーブルの接触点	
1 0 4	第 2 のワイヤ同軸ケーブルの第 1 のワイヤ	
1 0 6	第 2 のワイヤ同軸ケーブルの第 2 のワイヤ	
1 0 8	第 2 のワイヤ同軸ケーブルのシールド	30
1 1 0	第 2 のワイヤ同軸ケーブルの接触点	
1 2 0	図 4 のゲート駆動回路の別の実施形態	
1 2 2	第 1 のシングルワイヤケーブル	
1 2 4	第 2 のシングルワイヤケーブル	
1 2 6	第 1 のシングルワイヤケーブルのワイヤ	
1 2 8	第 1 のシングルワイヤケーブルのシールド	
1 3 0	第 1 のシングルワイヤケーブルの接触点	
1 3 2	第 2 のシングルワイヤケーブルのワイヤ	
1 3 6	第 2 のシングルワイヤケーブルのシールド	
1 3 8	第 2 のシングルワイヤケーブルの接触点	40

【図1】

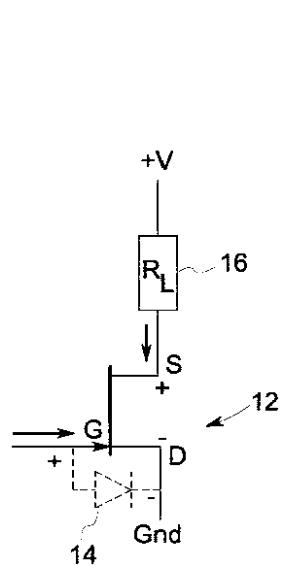


FIG. 1

【図2A】

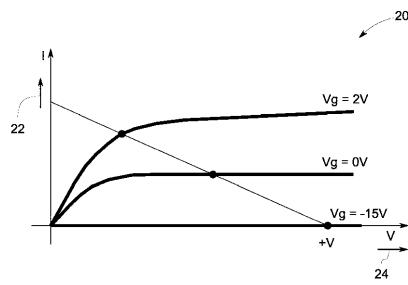


FIG. 2A

【図2B】

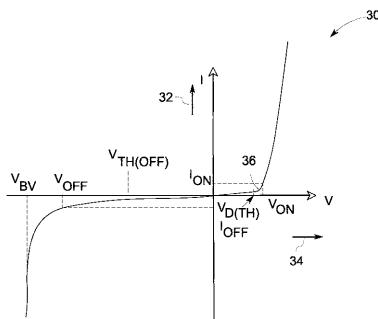


FIG. 2B

【図3A】

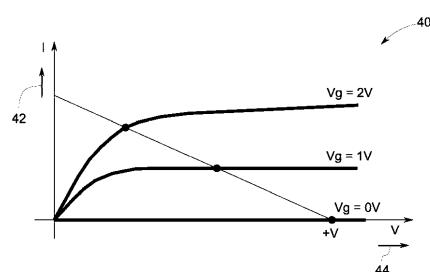


FIG. 3A

【図4】

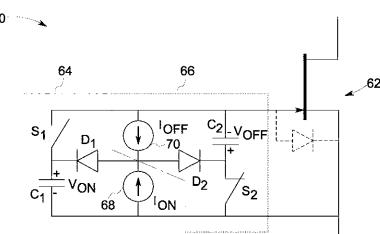


FIG. 4

【図3B】

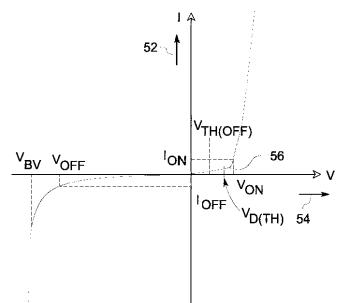


FIG. 3B

【図5】

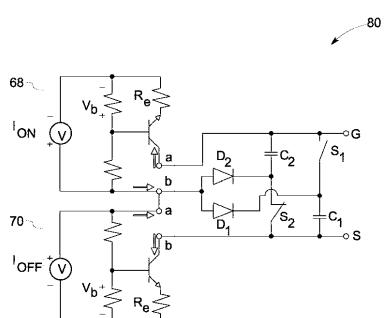


FIG. 5

【図6】

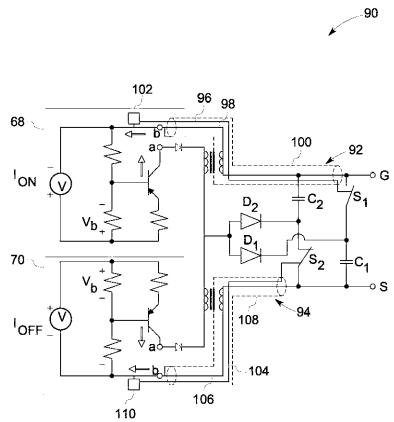


FIG. 6

【図7】

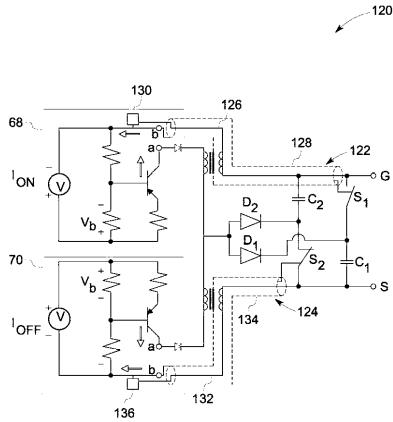


FIG. 7

フロントページの続き

(72)発明者 ジェフリー・ジョセフ・ナサドスキ

アメリカ合衆国、ニューヨーク州、グローヴァーズヴィル、ウィリー・ロード、388番

(72)発明者 ジョン・スタンレー・グレイザー

アメリカ合衆国、ニューヨーク州、ニスカユナ、ウェンブル・レーン、1361番

(72)発明者 ホアン・アントニオ・サバテ

アメリカ合衆国、ニューヨーク州、ガンスバート、ハースストーン・ドライブ、31番

(72)発明者 リチャード・アルフレッド・ビュープレ

アメリカ合衆国、マサチューセッツ州、ピツツフィールド、コネチカット・アベニュー、151番

審査官 今井 貞雄

(56)参考文献 特開昭62-144564(JP,A)

国際公開第2008/137625(WO,A1)

特開2007-006658(JP,A)

特開2007-174134(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 1/08