

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294940
(P2005-294940A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03F 3/45	H03F 3/45	5J500
H03F 3/08	H03F 3/08	
H03F 3/34	H03F 3/34	

審査請求 未請求 請求項の数 16 O L (全 18 頁)

(21) 出願番号	特願2004-103290 (P2004-103290)	(71) 出願人	302000346 NEC化合物デバイス株式会社 神奈川県川崎市中原区下沼部1753
(22) 出願日	平成16年3月31日(2004.3.31)	(74) 代理人	100103894 弁理士 冢入 健
		(72) 発明者	貴志 元晴 神奈川県川崎市中原区下沼部1753 NEC化合物デバイス株式会社内
		Fターム(参考)	5J500 AA01 AA47 AC13 AF00 AH02 AH25 AK01 AK02 AK03 AK05 AK09 AM01 AQ03 AS08 AT01 LU02

(54) 【発明の名称】 半導体回路装置及び演算増幅装置

(57) 【要約】

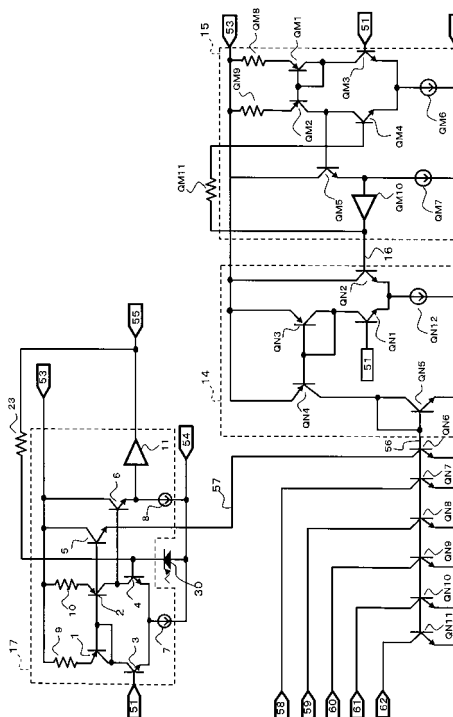
【課題】

品質及び素子特性が異なるトランジスタを使用した演算増幅器であってもそのオフセットを補償することができる半導体回路装置を提供する。

【解決手段】

PDI Cには、オペアンプ17と、オペアンプ17と同様の構成とされ同様のオフセットを生じてモニタ電位を出力するオフセットモニタ回路15と、このモニタ電位と基準電位との差動入力に応じてオペアンプのオフセットを調整するオフセット補償回路14とを有する。オフセット補償回路14は、基準電位、モニタ電位にそれぞれ接続されたトランジスタQN1、QN2からなる差動対と、差動対の差動入力結果に応じたコレクタ電流が流れるカレント・ミラー回路を構成するトランジスタQN5、QN6とを有し、トランジスタQN6と、オペアンプ17の能動負荷となっているトランジスタ1のコレクタに接続されたトランジスタ5とがカスケード接続される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基準電位と比較電位との差に基づき出力信号を出力する演算増幅器の該出力信号に対応したモニタ電位と、基準電位とを比較する比較回路と、

前記比較回路の比較結果に基づき前記演算増幅器のオフセットを補償するように当該演算増幅器に含まれる差動増幅回路の動作電流を調整する電流調整回路と

を有することを特徴とする半導体回路装置。

【請求項 2】

前記電流調整回路は、前記差動増幅回路に含まれる差動対のテール電流に流れる電流量を調整する

ことを特徴とする請求項 1 記載の半導体回路装置。

10

【請求項 3】

前記電流調整回路は、前記差動増幅回路に含まれる差動対の負荷側に流れる負荷電流の電流量を調整する

ことを特徴とする請求項 1 記載の半導体回路装置。

【請求項 4】

前記電流調整回路は、前記差動対の基準電位が入力される側の前記負荷電流を調整することを特徴とする請求項 3 記載の半導体回路装置。

【請求項 5】

前記電流調整回路は、前記差動対の負荷として設けられたカレント・ミラー回路と前記差動対との間のノードに流れる前記負荷電流の電流量を調整する

ことを特徴とする請求項 3 記載の半導体回路装置。

20

【請求項 6】

前記モニタ電位は、前記比較回路が比較する基準電位との差が、前記演算増幅器のオフセットと同一極性である

ことを特徴とする請求項 1 記載の半導体回路装置。

【請求項 7】

前記比較回路は、一方のトランジスタの制御端子が前記基準電位に接続され他方のトランジスタの制御端子が前記モニタ電位に接続される差動対と、前記差動対に接続された定電流源とを有する

ことを特徴とする請求項 1 記載の半導体回路装置。

30

【請求項 8】

前記電流調整回路は、ダイオード接続されたトランジスタと、当該トランジスタと前記比較回路の出力に応じて電流量が変化するカレント・ミラー回路を構成する調整電流出力用トランジスタとを有する

ことを特徴とする請求項 7 記載の半導体回路装置。

【請求項 9】

前記電流調整回路は、前記ダイオード接続されたトランジスタと前記カレント・ミラー回路を構成する複数の前記調整電流出力用トランジスタを有し、各調整電流出力用トランジスタは、複数の演算増幅器のオフセットを個別に補償するようにそれぞれ複数の演算増幅器に含まれる差動増幅回路の動作電流を調整する

ことを特徴とする請求項 8 記載の半導体回路装置。

40

【請求項 10】

前記モニタ電位を出力するオフセットモニタ回路を有し、

前記比較回路は、前記基準電位と前記モニタ回路の出力とを比較する

ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体回路装置。

【請求項 11】

前記オフセットモニタ回路は、前記演算増幅器の前記差動増幅回路に含まれる差動対及び該差動対の負荷として設けられるカレント・ミラー回路と同一導電性のトランジスタを有する差動増幅回路を有する

50

ことを特徴とする請求項 10 記載の半導体回路装置。

【請求項 12】

前記オフセットモニタ回路は、前記演算増幅器に含まれる前記差動増幅回路の出力と当該演算増幅器の出力との間に設けられる帰還回路に対応する帰還回路を有する

ことを特徴とする請求項 11 記載の半導体回路装置。

【請求項 13】

前記演算増幅器を有する

ことを特徴とする請求項 1 記載の半導体回路装置。

【請求項 14】

前記演算増幅器を有し、

前記演算増幅器は、

一方のトランジスタの制御端子に基準電位が接続され他方のトランジスタの制御端子に比較電位が接続される差動対と、

前記差動対に負荷として接続されるカレント・ミラー回路と、

前記差動対に接続された定電流源と、

前記差動対と前記カレント・ミラー回路との間のノードに制御端子が接続されたオフセット補償用トランジスタとを有し、

前記調整電流出力用トランジスタは、前記オフセット補償用トランジスタと直列に接続される

ことを特徴とする請求項 8 記載の半導体回路装置。

【請求項 15】

前記演算増幅器を有し、

前記演算増幅器は、

一方のトランジスタの制御端子に基準電位が接続され他方のトランジスタの制御端子に比較電位が接続される差動対と、

前記差動対に負荷として接続されたカレント・ミラー回路とを有し、

前記調整電流出力用トランジスタは、前記差動対に接続され、該調整電流出力用トランジスタを出力する調整電流をテール電流とする

ことを特徴とする請求項 8 記載の半導体回路装置。

【請求項 16】

受光量に応じた電圧を前記比較電位として出力するフォトダイオードを有する

ことを特徴とする請求項 13 記載の半導体回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば光学式メディア用の記録再生装置の 1 つとして使用される光ピックアップに搭載される光ピックアップ用受光素子 (Photo Detect Integrated Circuit: PDIC) などに使用される演算増幅器のオフセットを補償することができる半導体回路装置に関する。

【背景技術】

【0002】

従来、光ピックアップに搭載される PDIC の電圧出力値、及びその和・差の結果は、光学式メディアのトラック追従 (トラックング)、及び光学式メディアとの距離 (フォーカス) 制御信号として使用されている。

【0003】

通常、PDIC は 1 チップ IC と 1 つ以上の出力端子と 1 つ以上の電源端子とから構成され、この PDIC には 1 つ以上のフォトダイオードとフォトダイオードに接続された 1 つ以上のオペアンプとが内蔵され、オペアンプの出力は出力端子に接続される。

【0004】

図 7 は、代表的な再生用 PDIC を示すブロック図である。通常、PDIC 229 は、

10

20

30

40

50

複数のフォトダイオード 230 ~ 235 と、このフォトダイオード 230 ~ 235 に接続されたオペアンプ 217 ~ 222 とを有し、これら各オペアンプ 217 ~ 222 がそれぞれ各フォトダイオード 230 ~ 235 に照射した光量に応じて発生する電流信号を電圧信号に変換増幅する。

【0005】

すなわち、図 7 に示すように、P D I C 229 は、フォーカス信号用フォトダイオード 230 ~ 233 と、このフォーカス信号用フォトダイオード 230 ~ 233 とその反転入力端子とが接続されたそれぞれフォーカス信号用オペアンプ 217 ~ 220 とを有する。各フォーカス信号用オペアンプ 217 ~ 220 は、それぞれ負帰還回路 223 ~ 226 を有し、その非反転入力端子は基準電位 (Vc) 251 を供給する基準電源端子 V C に接続され、それぞれ入力オフセット電圧を 0 に調整するためのオフセット電圧調整用入力 257 ~ 260 を入力する図示せぬ端子を有する。そして、各フォーカス信号用アペアンプ 217 ~ 220 の出力はフォーカス信号用出力端子 A ~ D を介して出力される。以下、フォーカス信号用出力端子 A ~ D を介して出力されるオペアンプ 217 ~ 220 の出力を A ~ D 出力という。

10

【0006】

また、P D I C 229 には、トラッキング信号用フォトダイオード 234、235 と、このトラッキング信号用フォトダイオード 234、235 とその反転入力端子とが接続されたそれぞれトラッキング信号用オペアンプ 221、222 とを有する。各トラッキング信号用オペアンプ 221、222 は、それぞれ負帰還回路 227、228 を有し、その非反転入力端子は基準電位 (Vc) 251 を供給する基準電源端子 V C に接続され、それぞれ入力オフセット電圧を 0 に調整するためのオフセット電圧調整用入力 261、262 を入力する図示せぬ端子を有する。そして、各トラッキング信号用アペアンプ 221、222 の出力は、トラッキング信号用出力端子 E、F を介して出力される。以下、トラッキング信号用出力端子 E、F を介して出力されるオペアンプ 221、222 の出力を E、F 出力という。

20

【0007】

P D I C 229 には、その他、I C 内部で接続していない Non-connection 端子 N C、電源電位 (Vcc) 253 を供給するための電源端子 V C C、基準電源電位 (Vc) 251 を供給するための基準電源端子 V C、G N D 電位 254 を供給するための G N D 端子 G N D などを備える。

30

【0008】

このような P D I C 229 においては、内蔵された各オペアンプ 217 ~ 222 は各フォトダイオード 230 ~ 235 に照射された光量に応じて発生する電流信号を電圧信号に変換増幅している。これが P D I C 229 の A ~ E 出力となる。ここで、P D I C 229 内のオペアンプ 217 ~ 222 がオフセット電圧を有すると、P D I C 229 の出力が誤差を持つことになり、フォーカス制御やトラッキング制御が不完全で、正しくデータを読み出せないという不具合が発生してしまう。またオフセット電圧が温度変化、電源電圧変動に対して敏感であると同様の不具合の原因となりうる。

【0009】

また、最近の P D I C に求められる技術動向として、広帯域化、ゲイン切り替え機能化が挙げられる。これらの機能実現のためには、オペアンプの多段化が必須技術としてあげられるが、多段化とオフセット電圧のばらつきとはトレードオフの関係がある。

40

【0010】

以上のことから、特に影響が大きい初段のオペアンプにおける素子のばらつきによるオフセットの低減を図る必要がある。オペアンプのオフセット電圧を低減するための方法として、オペアンプ内の差動増幅器に対してオフセット補償回路を設ける方法がある (例えば特許文献 1 など)。

【0011】

図 8 は、従来の差動回路を示す回路図である。図 8 に示すように、従来の差動回路は、

50

非反転入力端子にベースが接続されるNPNトランジスタ203及び反転入力端子にベースが接続されるNPNトランジスタ204からなる差動対トランジスタと、トランジスタ203のコレクタにコレクタが接続されベースとコレクタとが短絡されたPNPトランジスタ201及びこのトランジスタ201のベースにベースが接続されたPNPトランジスタからなるアクティブ・ロードと、一端がトランジスタ201及び202のエミッタにそれぞれ接続され、他端が電源電位(V_{cc})253に接続されたそれぞれ抵抗209、210と、バイアス電流源207とにより差動アンプ部DAが構成される。また、ドライブトランジスタ206と、このトランジスタ206のベース電流をモニタするモニタトランジスタ205と、ドライブ電流源208とからドライバ部DVが構成される。ここで、バイアス電流源207、208は、通常カレント・ミラー回路から構成される。

10

【0012】

トランジスタ205は、トランジスタ206とカスケード接続して、トランジスタ206のベース電流をモニタする。トランジスタ205のベース電流を、アクティブ・ロードを構成するカレント・ミラー回路のトランジスタ201のエミッタ側へ帰還すると、トランジスタ201のエミッタ電位はトランジスタ205のベース電流×抵抗209の抵抗Rの電位分だけ下がる。この電位分はトランジスタ202及び抵抗210によって電流に変換され、抵抗209及び抵抗210の抵抗値を同一としたときトランジスタ202のコレクタにはトランジスタ205のベース電流の分だけ多く電流が流れる。トランジスタ205、206はカスケード接続してそれらのベース電流をほぼ等しくしていることから、トランジスタ206のベースにはトランジスタ202のコレクタ電流の増加分、すなわち

20

、トランジスタ205のベース電流のみ流れ込む。これより、トランジスタ204に流れ込む電流はトランジスタ206のベース電流の影響を受けることなく、オフセット補償を施すことができる。

【0013】

すなわち、従来の差動回路においては、非反転入力端子及び反転入力端子から入力されたそれぞれ+端子入力251及び-端子入力252よりなる差動入力、NPNトランジスタ203及び204の差動対を介して増幅され、その出力はNPNトランジスタ204のコレクタより取出され、更に、NPNトランジスタ206によるエミッタフォロアを介して、出力端子から出力255として出力される。NPNトランジスタ206のベース電流により、NPNトランジスタ203、204のコレクタ電流に差異が生じ、ベース・エ

30

ミッタ電圧に差が生じて入力に対するオフセット電圧を生ずるが、このオフセット電圧が、NPNトランジスタ205を付加することにより補償される。すなわち、このトランジスタ205がオフセット補償回路を構成する。

【特許文献1】特開平4-299605号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、この従来の差動回路においては、PNPトランジスタ201、202のベース電流によるトランジスタ203のコレクタ電流増分はPNPトランジスタ201、202の直流電流増幅率 h_{FE} に依存し、トランジスタ205、206のベース電流は205、206及び208のNPNトランジスタの h_{FE} に依存している。通常PNPの h_{FE} とNPNの h_{FE} の間に相関はないため、このような固定電流源ではオフセット電圧のばらつきを完全に補償できない場合がある。

40

【0015】

また、電源電圧変動、温度変動特性に関しても同様に、PNPトランジスタのアーリ電圧とNPNトランジスタのアーリ電圧に相関はない。更に、抵抗についてもNPNトランジスタ、PNPトランジスタの品質及び素子特性に相関がない。以上のことから、上述の従来の差動回路においては、オフセット電圧のばらつきを完全に補償することができないという問題点がある。

【0016】

50

本発明は、このような問題点を解決するためになされたものであり、品質及び素子特性が異なるトランジスタを使用した演算増幅器であってもそのオフセットを補償することができる半導体回路装置を提供することを目的とする。

【課題を解決するための手段】

【0017】

本発明にかかる半導体回路装置は、基準電位と比較電位との差に基づき出力信号を出力する演算増幅器の該出力信号に対応したモニタ電位と、基準電位とを比較する比較回路と、前記比較回路の比較結果に基づき前記演算増幅器のオフセットを補償するように当該演算増幅器に含まれる差動増幅回路の動作電流を調整する電流調整回路とを有することを特徴とする。

10

【0018】

本発明においては、モニタ電位と基準電位とを比較した比較結果に基づき演算増幅器に含まれる差動増幅回路の動作電流を調整するため、差動増幅回路に含まれる素子のバラツキなどによって生じるオフセットを補償することができる。

【0019】

この場合、前記電流調整回路は、例えば、前記差動増幅回路に含まれる差動対のテール電流に流れる電流量を調整することができ、差動増幅回路の動作電流としてのテール電流の電流量を調整することでオフセットを補償することができる。

【0020】

また、前記電流調整回路は、例えば、前記電流調整回路は、前記差動増幅回路に含まれる差動対の負荷側に流れる負荷電流の電流量を調整することができ、この場合、前記差動対の基準電位が入力される側の負荷電流、又は前記差動対の負荷として設けられたカレント・ミラー回路と前記差動対との間のノードに流れる負荷電流の電流量を調整してもよく、差動増幅回路の動作電流としての負荷電流の電流量を調整することでオフセットを補償してもよい。

20

【0021】

ここで、前記モニタ電位は、前記比較回路が比較する基準電位との差が、前記演算増幅器のオフセットと同一極性とすることができ、モニタ電位は、演算増幅回路のオフセットが正のオフセットである場合には、基準電位より大きく、オフセットが負のオフセットである場合は、基準電位より小さい電位とされる。

30

【0022】

また、前記比較回路は、一方のトランジスタの制御端子が前記基準電位に接続され他方のトランジスタの制御端子が前記モニタ電位に接続される差動対と、前記差動対に接続された定電流源とを有することができ、比較回路は、差動回路として構成することができる。

【0023】

更に、前記電流調整回路は、前記電流調整回路は、ダイオード接続されたトランジスタと、当該トランジスタと前記比較回路の出力に応じて電流量が変化するカレント・ミラー回路を構成する調整電流出力用トランジスタとを有することができ、調整電流出力用トランジスタにモニタ電位に応じて自動調整可能な調整電流を流す電流源を構成することができる。

40

【0024】

更にまた、前記電流調整回路は、前記ダイオード接続されたトランジスタと前記カレント・ミラー回路を構成する複数の前記調整電流出力用トランジスタを有し、各調整電流出力用トランジスタは、複数の演算増幅器のオフセットを個別に補償するようにそれぞれ複数の演算増幅器に含まれる差動増幅回路の動作電流を調整してもよく、調整電流出力用トランジスタを複数設けることで、複数の演算増幅器を個別に補償することができる。

【0025】

更にまた、前記モニタ電位を出力するオフセットモニタ回路を有し、前記比較回路は、前記基準電位と前記モニタ回路の出力とを比較することができ、モニタ回路を内蔵した半

50

導体回路装置とすることができる。

【0026】

また、前記オフセットモニタ回路は、前記演算増幅器の前記差動増幅回路に含まれる差動対及び該差動対の負荷として設けられるカレント・ミラー回路と同一導電性のトランジスタを有する差動増幅回路を有することができ、更に、前記演算増幅器に含まれる前記差動増幅回路の出力と当該演算増幅器の出力との間に設けられる帰還回路に対応する帰還回路を有することができ、演算増幅器と同一導電性のトランジスタ、帰還回路を有するものとすれば、演算増幅器と同様のオフセットを正確に生じさせることができる。

【0027】

また、前記演算増幅器を有し、前記演算増幅器は、一方のトランジスタの制御端子に基準電位が接続され他方のトランジスタの制御端子に比較電位が接続される差動対と、前記差動対に負荷として接続されるカレント・ミラー回路と、前記差動対に接続された定電流源と、前記差動対と前記カレント・ミラー回路との間のノードに制御端子が接続されたオフセット補償用トランジスタとを有し、前記調整電流出力用トランジスタは、前記オフセット補償用トランジスタと直列に接続されることができ、上述したオフセット補償回路としての半導体回路装置を演算増幅器と共に搭載した半導体回路装置を提供することができ、この場合、調整電流出力用トランジスタはカレント・ミラー回路と差動対との間のノードに接続されたオフセット補償用トランジスタと直列に接続されることで、調整電流出力用トランジスタが出力する調整電流をオフセット補償用トランジスタに流すことで演算増幅器のカレント・ミラー回路に流れる負荷電流を調整してオフセットを吸収することができる。

【0028】

また、前記演算増幅器を有し、前記演算増幅器は、前記演算増幅器は、一方のトランジスタの制御端子に基準電位が接続され他方のトランジスタの制御端子に比較電位が接続される差動対と、前記差動対に負荷として接続されたカレント・ミラー回路とを有し、前記調整電流出力用トランジスタは、前記差動対に接続され、該調整電流出力用トランジスタを出力する調整電流をテール電流とすることができ、調整電流をテール電流とすることで差動対に流れる電流を調整してオフセットを吸収することができる。

【0029】

更に、受光量に応じた電圧を前記比較電位として出力するフォトダイオードを有することができ、フォトダイオードの検出出力を比較電位として出力する演算増幅器及びそのオフセットを補償する受光検出回路としての半導体回路装置を提供することができる。

【発明の効果】

【0030】

本発明に係る半導体回路装置によれば、品質及び素子特性が異なるトランジスタを使用した演算増幅器のオフセットを補償することができる。

【発明を実施するための最良の形態】

【0031】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。この実施の形態は、本発明を、演算増幅器と、演算増幅器に含まれるNPNトランジスタ、PNPトランジスタ、及び抵抗などの素子特性の影響を演算増幅器と同様に受け、同様のオフセットを生じるようなオフセットモニタ回路と、このオフセットモニタ回路を使用して上記演算増幅器のオフセットを間接的にモニタし、このモニタ結果に基づき演算増幅回路のオフセットを自動調整することができるオフセット補償回路用電流源としてのオフセット補償回路とを有する半導体回路装置に適用したものである。

【0032】

発明の実施の形態1

先ず、本発明の実施の形態1について説明する。演算増幅器、オフセットモニタ回路及びオフセット補償回路を搭載した半導体回路装置の一例としてPDI Cがある。PDI Cは1チップICと1つ以上の出力端子と1つ以上の電源端子とから構成され、ICには1

10

20

30

40

50

つ以上のフォトダイオードとフォトダイオードに接続された1つ以上のオペアンプとが内蔵され、オペアンプの出力は出力PINに接続されている。本実施の形態は、P D I Cなどに含まれる演算増幅器(以下、オペアンプという。)のオフセット電圧を補償するためのオフセット電圧補償回路をオペアンプと共に搭載した回路装置である。なお、以下の実施の形態においては、半導体回路装置をP D I Cとして説明するが、本実施の形態におけるオフセット補償回路が補償するオフセットは、P D I Cに搭載されるオペアンプに限らず、他の用途のオペアンプを有する回路であってもよい。

【0033】

図1は、本発明の実施の形態1にかかるオフセット補償回路を搭載した半導体回路装置の一例であるP D I Cを示すブロック図である。P D I C 29は、複数のフォトダイオード30~35と、このフォトダイオード30~35に接続された複数のオペアンプ17~22とを有し、これら各オペアンプ17~22がそれぞれ各フォトダイオード30~35に照射した光量に応じて発生する電流信号を電圧信号に変換増幅する。

10

【0034】

すなわち、図1に示すように、P D I C 29は、フォーカス信号用フォトダイオード30~33と、このフォーカス信号用フォトダイオード30~33にその反転入力端子が接続されたそれぞれフォーカス信号用オペアンプ17~20とを有する。各フォーカス信号用オペアンプ17~20は、それぞれ負帰還回路23~26を有し、その非反転入力端子は基準電位(Vc)51に接続され、それぞれ入力オフセット電圧を0に調整するためのオフセット電圧調整用入力57~60を入力する図示せぬ端子が設けられる。そして、各フォーカス信号用オペアンプ17~20の出力は、フォーカス信号用出力A~Dが端子を介して出力される。以下、フォーカス信号用出力端子A~Dを介して出力されるオペアンプ17~22の出力をA~D出力という。

20

【0035】

また、P D I C 29には、トラッキング信号用フォトダイオード34、35と、このトラッキング信号用フォトダイオード34、35にその反転入力端子が接続されたそれぞれトラッキング信号用オペアンプ21、22とを有する。各トラッキング信号用オペアンプ21、22は、それぞれ負帰還回路27、28を有し、その非反転入力端子は基準電位(Vc)51に接続され、それぞれ入力オフセット電圧を0に調整するためのオフセット電圧調整用入力61、62を入力する図示せぬ端子が設けられる。そして、各トラッキング信号用オペアンプ21、22の出力は、トラッキング信号用出力端子E、Fを介して出力される。以下、トラッキング信号用出力端子E、Fを介して出力されるオペアンプ221、222の出力をE、F出力という。

30

【0036】

そして、このP D I C 29には更に、オフセット電圧調整用入力57である調整電流を出力するオフセット補償回路14と、これに接続されたオフセットモニタ用オペアンプであるオフセットモニタ回路15とを有する。オフセットモニタ回路15は、その非反転入力端子に基準電位(Vc)51が供給され、その出力と反転入力端子とに接続されたオフセットモニタ用帰還回路Q M 12を有する。そして、このオフセット補償回路14のトランジスタQ N 5のベース電流56が、カレント・ミラー回路を介してオフセット電圧調整用入力57~62用の端子に入力されることで、フォーカス信号用、トラッキング信号用のオペアンプ17~22のオフセットを調整する。

40

【0037】

P D I C 29には、その他、I C内部で接続していないNon-connection端子N C、電源電位(Vcc)53を供給するための電源端子V C C、基準電位(Vc)51を供給するための基準電源端子V C、G N D電位54を供給するためのG N D端子G N Dなどを備える。

【0038】

図2は、図1に示すP D I C 29のうち、オフセット補償回路14及びオフセットモニタ回路15を示す回路図である。図2には、このオフセット補償回路14に接続されるフ

50

フォーカス信号用オペアンプ 17 (以下、A出力オペアンプともいう。)も合わせて示す。オフセットモニタ回路 15 は、フォーカス信号、トラッキング信号用オペアンプと同じオペアンプ回路形式を取っており、例えばフォーカス信号用オペアンプ 17 のオフセットと同様のオフセットを生じるような回路となっている。オフセット補償回路 14 は、このオフセットモニタ回路 15 に生じるオフセットに基づき、図 1 に示したフォーカス信号用オペアンプ 17 ~ 20、トラッキング信号用オペアンプ 21、22 などのオフセットを補償するものである。

【0039】

例えばフォーカス信号用オペアンプである A 出力オペアンプ 17 は、基準電位 (V_c) 51 にベースが接続された NPN トランジスタ 3、及びフォトダイオード 30 のカソード 10 にベースが接続された NPN トランジスタ 4 からなる差動対と、一端が電源電位 (V_{cc}) 53 に接続された抵抗 9、10 と、トランジスタ 3 のコレクタにコレクタが接続され、エミッタに抵抗 9 の他端が接続されベースとコレクタとが短絡された PNP トランジスタ 1、及びエミッタに抵抗 10 の他端が接続され、ベースがトランジスタ 1 のベースと接続されコレクタがトランジスタ 4 のコレクタに接続された NPN トランジスタ 2 からなり、前記差動対の負荷となるカレント・ミラー回路と、トランジスタ 3、4 のエミッタに接続されたテール電流を流す定電流源 7 と、トランジスタ 4 のコレクタにベースが接続されたエミッタフォロア回路 (NPN トランジスタ) 6 と、トランジスタ 6 のエミッタに接続された出力バッファ回路 11 と、出力バッファ回路 11 の出力とトランジスタ 4 のベースとの間に設けられた、抵抗及びコンデンサを有する帰還回路 23 と、トランジスタ 1 のコレクタに制御端子であるベースが接続されたオフセット補償用トランジスタとしての NPN トランジスタ 5 とを有する。このトランジスタ 5 のエミッタ電流を後述する調整電流とすることにより、A 出力オペアンプ 17 のオフセットを補償することができる。

【0040】

この A 出力オペアンプ 17 のオフセットは、この A 出力オペアンプ 17 を構成する例えば、PNP トランジスタ 1、2、NPN トランジスタ 3、4、帰還回路 23 の素子バラツキなどによって生じ、A 出力 55 が例えば基準電位 (V_c) より大きくなったり、小さくなったりするものである。これを防止するためには、トランジスタ 5 に適当な電流を流してオフセットを吸収する必要があるが、オフセットによる A 出力は、上記の素子特性によって一定とはならないため、オフセットに応じた調整電流を流してオフセットを吸収する必要がある。この調整電流を流すためのオフセット補償回路 14 は、基準電位 (V_c) と A 出力 55 に対応するモニタ電位とを比較する比較回路としての差動増幅器 (差動回路) と、比較回路の比較結果に応じて、オフセットを補償するように A 出力オペアンプの差動増幅器の動作電流を調整する電流調整回路とを有している。

【0041】

ここで、オフセットモニタ回路 15 は、オフセット補償回路 14 のトランジスタ QN2 のベースへの出力 16 を、オペアンプ 17 の A 出力と同様のオフセットを生じさせるためのダミー回路として機能する。このため、本実施の形態におけるオフセットモニタ回路 15 は、オペアンプ 17 と、オフセット補償用トランジスタ 5 以外は同様の構成とする。これにより、オペアンプ 17 のオフセットを間接的にモニタすることができる。

【0042】

すなわち、本実施の形態におけるオフセットモニタ回路 15 は、差動対トランジスタを構成する PNP トランジスタ QM3、QM4 と、アクティブ・ロード (能動負荷) となる NPN トランジスタ QM1、QM2 と、抵抗 QM8、QM9 と、定電流源 QM7 とから差動アンプ DA と、ドライブトランジスタ QM5 と、ドライブ電流源となる定電流源 QM7 とからドライバ部 DV とを有している。

【0043】

このように、オフセットモニタ回路 15 を、A 出力オペアンプ 17 と同様の構成とすることで、A 出力オペアンプ 17 と同様のオフセットを生じさせるものである。ここで、A 出力オペアンプと同じ大きさのオフセットを生じさせる回路として、本実施の形態におけ

るオフセットモニタ回路15は、少なくともA出力オペアンプ17と以下の構成を同様とするものとする。すなわち、A出力オペアンプ17の差動増幅器3、4に対応するトランジスタQM3、4、カレント・ミラー回路を構成するトランジスタ1、2に対応するトランジスタQM1、QM2、帰還回路23に対応するQM12である。また、この場合、オフセットモニタ回路15とオペアンプとにおいて、差動対、カレント・ミラー回路などを構成するトランジスタを同一導電性にし、同一プロセスで製造されたものとするれば、極めて高精度にオペアンプ17のオフセットをモニタできるものとなる。すなわち、オフセットモニタ回路15は、A出力オペアンプ17とほぼ同様のオフセットを生じさせることができる。

【0044】

次に、オフセット補償回路14について説明する。オフセット補償回路14は、基準電位(Vc)とオフセットモニタ回路15の出力16とを比較する比較回路と、この比較結果に応じた調整電流を出力してオフセットの原因となっているオペアンプ17の差動増幅器に流れる動作電流を調整する電流調整回路とからなり、調整電流と同一の電流をA出力オペアンプ17のトランジスタ5に流すことにより、A出力オペアンプ17のオフセットを補償するものである。

【0045】

このため、オフセット補償回路14は、比較回路として、基準電位(Vc)にベースが接続されたNPNトランジスタQN1、及びモニタ電位を出力する出力16にベースが接続されたNPNトランジスタQN2からなる差動対と、これらトランジスタ対のエミッタに接続された定電流源QN12とからなるNPN型差動増幅器を有する。

【0046】

また、比較結果に応じて調整電流を出力する電流調整回路として、トランジスタQN1のコレクタの電流を増幅するためのPNPトランジスタQN3、QN4からなるPNP型カレント・ミラー回路と、このカレント・ミラー回路に接続されるダイオード接続されたNPNトランジスタ(エミッタ接地回路)5と、NPNトランジスタ5と共にNPN型カレント・ミラー回路を構成する調整電流出力用トランジスタとしてのNPNトランジスタQN6~QN11とを有し、トランジスタQN6~QN11に流れるコレクタ電流が調整電流となっている。

【0047】

ここで、トランジスタQN5のベース端子は、トランジスタQN1、QN2から構成される差動アンプの基準電圧側に接続され、トランジスタQN5のエミッタ端子はQN6、7、8、9、10、11のいずれか1以上のエミッタ端子と接続され、ベースとコレクタとが短絡されてダイオード接続されている。このトランジスタQN5とカレント・ミラー回路を構成するトランジスタQN6は、エミッタが接地され、ベースがトランジスタQN5と接続され、更にA出力オペアンプ17のトランジスタ5と直列に接続されている。すなわち、トランジスタQN6のコレクタ電流は、調整電流として、A出力オペアンプ17のトランジスタ5のコレクタ電流(57)となるよう構成されている。

【0048】

トランジスタQN1のコレクタ側に接続されるカレント・ミラー回路は、トランジスタQN1のコレクタにコレクタが接続されエミッタにトランジスタQN2のコレクタが接続され、ベースとコレクタとが短絡されたPNPトランジスタQN3と、トランジスタQN3とベース同士が接続されたPNPトランジスタQN4とから構成され、トランジスタQN4のコレクタと第3のトランジスタとしてのトランジスタQN5のコレクタとが接続される。

【0049】

オフセットは、オペアンプ17を構成するNPNトランジスタ3、4、PNPトランジスタ1、2、及び帰還回路23などの素子特性のバラツキにより、差動増幅器に流れる電流(動作電流)のバランスがくずれて生じるものである。差動増幅器に流れる電流としては、トランジスタ1、2からなるカレント・ミラー回路に流れる電流、すなわち、トラン

10

20

30

40

50

ジスタ 3, 4 のコレクタ電流、トランジスタ 3, 4 からなる差動対に流れる電流、すなわち、トランジスタ 3, 4 のコレクタ電流、エミッタ電流、電流源 7 に流れるテール電流などである。

【0050】

本実施の形態においては、これらの電流のうち、カレント・ミラー回路を構成するトランジスタ 3 の差動対の入力側のトランジスタ 1 との間のノードに接続されたトランジスタ 5 のエミッタ電流を調整電流とすることでトランジスタ 1 のコレクタ電流の電流量を調整してオフセットを補償するものである。なお、後述するように、上記テール電流を調整してオフセットを補償するように構成することも可能である。

【0051】

ここで、通常、1チップ内の複数のオペアンプ、すなわち、本実施の形態においては、オペアンプ 17 ~ 22、及びオフセットモニタ回路 15 のオペアンプは、同じオフセット電圧を出力し、電源電圧変動、温度変動特性も等しくなる。すなわち、このように構成された A 出力オペアンプ 17、オフセットモニタ回路 15 及びオフセット補償回路 14 においては、例えば出力 A のオペアンプ 17 と、これと同様に構成されたオフセットモニタ回路 15 とは、同様の動作をすることで、オフセット補償回路 14 は、オフセットモニタ回路 15 のオフセットを補償するように動作することで、A 出力オペアンプ 17 のオフセットを補償することができる。

【0052】

次に、これらの回路の動作について説明する。ここでは、例えば、ロットバラツキなどによって、直流電流増幅率 h_{FE} が目的の値よりも低い PNP トランジスタが製造された場合の動作について説明する。すなわち、図 2 に示す A 出力オペアンプ 17 において、PNP トランジスタ 1、2 の h_{FE} が目的の値より小さい場合、PNP トランジスタ 1、2 のベース電流が増加する。PNP トランジスタ 1 は、ベースとコレクタとが短絡されているため、PNP トランジスタ 1 のベース電流が増加すればそのコレクタ電流も増加することとなる。これにより、トランジスタ 3 のベース - エミッタ間電圧がトランジスタ 4 のベース - エミッタ間電圧より大きくなる。これにより、トランジスタ 4 のベース電位が低下し、帰還回路 23 を介して A 出力 55 は、基準電圧 (V_c) 51 よりも低い電圧 (負のオフセット電圧) を出力しようとする。

【0053】

このとき、同一チップ内にて同様の構成を有するオフセットモニタ回路 15 においても、A 出力オペアンプ 17 と同様の現象が生じる。すなわち、同じくトランジスタ QM1、2 の h_{FE} が小さいものとなっており、トランジスタ QM4 のベース電位が基準電位 (V_c) より低くなってしまい、したがって帰還回路 QM12 を介した出力 16 の電位も基準電位 (V_c) より低下して負のオフセットを生じる。これにより、オフセット補償回路 14 の入力に、オフセットモニタ回路 15 からの出力 16 が負のオフセット電圧として入力されることになる。

【0054】

オフセット補償回路 14 に負のオフセット電圧が入力されるとトランジスタ QN2 のコレクタ電流が増加し、あわせて QN5 のベース電流も増え、カレント・ミラー回路で増幅された QN6 ~ QN11 のコレクタ電流 (57 ~ 62) も増加することになる。この増幅された調整電流 57 は、トランジスタ 5 のエミッタ電流となる。これにより、トランジスタ 5 のベース電流が増加し、PNP トランジスタの h_{FE} の低下によるトランジスタ 2 へのコレクタ電流の増加を防ぐことができる。こうして、A 出力 55 は、ほぼ基準電圧 (V_c) を出力するようになり、オフセットを吸収することができる。

【0055】

同様にして、その他のオペアンプ 18 ~ 22 も、トランジスタ QN7 ~ QN11 に流れる調整電流によりオフセットが吸収され、B ~ F 出力が基準電圧 (V_c) を出力するようになり、オフセット電圧、オペアンプの和及び差の出力特性も改善することができる。また、電源電圧変動、温度変動に対しても同様のオフセット電圧低減効果を奏する。ここで

10

20

30

40

50

、トランジスタQ N 3、Q N 4 からなるカレント・ミラー回路のカレント・ミラー回路比を適宜設定して出力電流5 6を所望の値に調整することができ、また、トランジスタQ N 5 ~ Q N 1 1 からなるカレント・ミラー回路のカレント・ミラー回路比を適宜設定することにより、出力電流（調整電流）5 7 ~ 6 2の大きさを適宜設定することができ、1つのオフセット補償回路により、オフセット補償をするオペアンプ1 7 ~ 2 2毎に個別に調整電流を設定することができる。なお、オペアンプ毎にオフセット補償回路を設けてもよく、オペアンプ毎に異なる構成である場合や異なる素子特性の素子を使用している場合などにおいては、オフセットモニタ回路を設けてもよい。

【0056】

なお、A出力オペアンプ1 7と同種の極性のオフセットを生じさせることができれば、オフセットモニタ回路1 5の構成はこれに限るものではなく、オフセットモニタ回路1 5は、少なくともA出力オペアンプ1 7の基準電位（ V_c ）に対するA出力の極性と同一となる出力1 6となるものであってもよい。この場合、本実施の形態におけるオフセット補償回路1 4の比較回路は、一方のトランジスタQ N 1のベースには基準電位（ V_c ）5 1が接続され、他方のトランジスタQ N 2のベースにはオフセットモニタ回路1 5の出力（モニタ電位）1 6に接続される差動対を有するものであるが、この差動対が少なくとも、オフセットによりA出力オペアンプ1 7のA出力が基準電位（ V_c ）より高いか低いかを比較できればよい。すなわち、トランジスタQ N 2に入力されるモニタ電位（出力1 6）は、トランジスタQ N 1に入力される基準電位との差が、オペアンプ1 7に入力される基準電位とそのA出力との差と同一極性となっていればよく、オペアンプ1 7のA出力が基準電位（ V_c ）5 1より高いときは、オフセット補償回路1 4の他方のトランジスタQ N 2のベースを基準電位（ V_c ）5 1より高い電位とし、オペアンプ1 7のA出力が基準電位（ V_c ）5 1より低い場合には、他方のトランジスタQ N 2のベースも基準電位（ V_c ）5 1より低い電位とすることができればよい。

【0057】

従って、例えば、図2に示すオフセットモニタ回路1 5には、上述した従来の演算増幅器のように、トランジスタQ M 5のベース電流をモニタする、トランジスタQ M 6とカスケード接続された図示せぬ従来のオフセット補償回路としてのトランジスタを設けてもよい。このトランジスタは、トランジスタQ M 6のベース電流をモニタしてオフセットを吸収するものであるが、上述したように、このような従来のオフセット補償回路としてのトランジスタを設けたとしても、オフセットが完全に補償することはできず、結果的にオフセットモニタ回路1 5にはオフセットが生じてオフセットモニタ回路1 5としての機能を果たすことができる。

【0058】

このようにオフセットモニタ回路1 5が、オペアンプ1 7のA出力の基準電位からのオフセット量の極性のみに対応するモニタ電位を出力する場合、すなわちオフセットの極性は認識できてもその大きさを認識できない場合は、例えば正のオフセットであれば、それに対応する調整電流を出力し、その間のオペアンプ1 7のA出力を外部などでモニタするなどして調整電流を制御するようにするなどすればよい。

【0059】

本実施の形態においては、従来のオペアンプにおいて設けられていたオフセット補償回路では、モニタトランジスタ2 0 5におけるベース電流値であったのに対し、オフセットモニタ回路が生成する電圧（出力1 6）と基準電源（ V_c ）の差電圧に基づき得られる調整電流によって制御することができるために、製造ばらつき、温度変動、電源電圧変動に強い回路を提供することができる。すなわち、オフセット補償回路1 4は、上述したようにA出力が負のオフセットを出力する場合は、A出力を増大させるべくトランジスタ5、トランジスタQ N 6に流れる調整電流（5 7）を増加させ、反対にA出力が正のオフセットを出力する場合（A出力 > 基準電位（ V_c ））、A出力を減少させるべく、調整電流5 7が小さくなるよう動作する。

【0060】

10

20

30

40

50

このように、オフセット補償回路14は、トランジスタ205のような固定電流源ではなく、A出力オペアンプを含めPDI C 29に含まれるオペアンプに生じるオフセットに応じて自動調整可能な電流源として作用する。これにより、ICの素子変動、電源電圧変動、ばらつきに対してロバストなオフセット補償を行うことができる。

【0061】

発明の実施の形態2

次に、本発明の実施の形態2について説明する。上述の実施の形態1においては、図2に示すオフセット補償回路14における差動回路は、NPNトランジスタからなる入力差動増幅器(NPN型差動増幅器)であったのに対し、本実施の形態におけるオフセット補償回路74では、PNP型入力差動増幅器としたものである。

10

【0062】

図3は、本実施の形態におけるオフセット補償回路及びオフセットモニタ回路を示す回路図である。なお、この図3及び後述する図4乃至図6において、図1及び図2に示す実施の形態1と同一構成要素には同一の符号を付してその詳細な説明は省略する。

【0063】

図3に示すように、本実施の形態におけるオフセット補償回路74は、ベースが基準電位(Vc)51に接続されたPNPトランジスタQN21と、ベースがオフセットモニタ回路15の出力16に接続されたPNPトランジスタQN22とからなる入力差動増幅器と、これらのエミッタに接続された定電流源QN32とから比較回路が構成され、PNPトランジスタQN21に接続されたコレクタ接地回路QN5及びこれとカレント・ミラー回路を構成するトランジスタQN6~QN11とから電流調整回路が構成されている。

20

【0064】

上述した図2に示す実施の形態1において、オフセット補償回路14における定電流源QN12としては、通常、NPN型カレント・ミラー回路が使用される。ここで、例えば、基準電圧(Vc)をGND電位近傍まで下げて使用する場合、図2に示すNPN型差動増幅器を使用すると、差動増幅器におけるトランジスタの十分なベース-エミッタ間電圧や、カレント・ミラー回路における十分なコレクタ-エミッタ間電圧を確保することができなくなり、不具合を生じる場合がある。そこで、本実施の形態においては、図3に示すように、オフセット補償回路74の入力をPNP型差動回路とする。

【0065】

すなわち、差動対を構成するトランジスタQN21、QN22がPNPトランジスタである場合、電流調整回路は、トランジスタQN21のコレクタにコレクタが接続され、トランジスタQN22のコレクタにエミッタが接続され、ベースとコレクタとが短絡されたNPNトランジスタQN5と、このトランジスタQN5とカレント・ミラー回路を構成し、そのコレクタ電流が調整電流となるNPNトランジスタQN6~QN11とを有する。

30

【0066】

このように、基準電位(Vc)がGND電位近傍である場合には、PNP型差動増幅器とすることで、トランジスタQN21、QN22のベース-エミッタ間電圧、定電流源QN32におけるコレクタ-エミッタ間電圧を確保することができ、動作を補償することができる。その他の構成、及び動作については、図2に示す実施の形態1と同様である。本実施の形態においても、オフセット補償回路74を、オフセットモニタ回路15の出力と基準電位(Vc)との差動電位に応じてオペアンプ17などのオフセットに応じた調整電流を自動統制して出力する電流源として構成したため、実施の形態1と同様の効果を奏し、ICの素子変動、電源電圧変動、ばらつきに対してロバストなオフセット補償を行うことができる。

40

【0067】

発明の実施の形態3

次に、本発明の実施の形態3について説明する。上述の実施の形態1、2においては、調整電流を流すトランジスタQN6とトランジスタ5とをカスケード接続して、A出力オペアンプの差動増幅器を構成するトランジスタ1のコレクタ電流を調整することでオフセ

50

ットを補償するものであったが、本実施の形態においては、差動増幅器を構成する入力差動電流源に流れるテール電流をコントロールすることで、差動増幅器を構成するNPNトランジスタ3、4のコレクタ電流を制御可能とするものである。

【0068】

図4は、本実施の形態におけるPDI Cのうち、オフセット補償回路14、オフセットモニタ回路15、A出力オペアンプ87を示す回路図である。図4に示すように、オフセット補償回路14及びオフセットモニタ回路15の構成は、図2に示すオフセット補償回路14及びオフセットモニタ回路15の構成と同様とする。ここで、オフセット補償回路14においてトランジスタQN6に流れるコレクタ電流(調整電流)をA出力オペアンプ87の差増増幅器の電流源として使用する。

10

【0069】

すなわち、A出力オペアンプ87は、基準電位(V_c)にベースが接続されたNPNトランジスタ3と、フォトダイオード30にベースが接続されたPNPトランジスタ4とからなる差動対トランジスタのエミッタにトランジスタQN6のコレクタが接続され、トランジスタ3、4のコレクタ電流が調整電流57となるよう構成されている。

【0070】

この場合においても、例えばトランジスタ1、2の h_{FE} が目的の値より小さい場合、トランジスタ3のコレクタ電流が増加する。これにより、トランジスタ4のベース電位が下がり、A出力55は基準電位(V_c)51より低下し、負のオフセットを有するようになるが、これをモニタするオフセットモニタ回路15の出力16からも同様に負のオフセット電位が出力され、基準電位(V_c)と出力16との差動入力に応じた調整電流57を出力する。すなわち、A出力オペアンプ87にて負のオフセットが発生した場合は、調整電流57を増やすように動作し、正のオフセットが発生した場合には調整電流を増大させるように動作する。そして、例えば負のオフセットが生じた場合に調整電流57が増大することで、トランジスタ4の電圧低下を防止し、よってA出力55の電圧低下を防止することができる。一方、正のオフセットが生じた場合には、調整電流が減少し、トランジスタ4のベース-エミッタ間電圧の上昇を抑制し、よってA出力55の電圧上昇を防止することができる。

20

【0071】

本実施の形態においては、差動増幅器の入力差動電流源を調整電流にて調整することにより、トランジスタ3、4両方のコレクタ電流を調整することができ、これにより、ICの素子変動、電源電圧変動、ばらつきに対してロバストなオフセット補償を行うことができる。

30

【0072】

また、本実施の形態においては、オフセット補償回路14は、図2に示すオフセット補償回路と同様、PNP型差動回路としたが、図3に示すようにPNP型差動回路として構成してもよいことは勿論である。

【0073】

発明の実施の形態4

次に、本発明の実施の形態4について説明する。本実施の形態においては、オフセットモニタ回路をICに内蔵するのではなく、PDI Cの外部端子からオフセット補償対象のオペアンプに生じているオフセットのモニタ結果を入力することで、PDI C外からオフセットを制御する方法である。

40

【0074】

図5は、本実施の形態におけるPDI Cを示すブロック図、図6は、図5におけるA出力オペアンプ17及びオフセット補償回路94を示す回路図である。図5に示すように、本実施の形態におけるPDI C129は、オフセット補償する対象となるA~F出力オペアンプと、これらのオフセットを補償するオフセット補償回路94とを有する。オフセット補償回路94は、外部端子NCに接続され、この外部端子NCからオフセット補償対象となる各オペアンプの出力の基準電位(V_c)からのオフセットと同一極性となる制御電

50

位 6 3 が入力され、オフセット調整用の電流を出力する。

【 0 0 7 5 】

すなわち、オフセット補償回路 9 4 は、図 6 に示すように、基準電位 (V c) 5 1 と入力電位 6 3 との差動入力により調整電流 5 7 を出力することで、A 出力オペアンプ 1 7 のオフセットを補償するものである。ここで、入力電位 6 3 を供給する方法としては、例えば、オフセット補償対象となるオペアンプ 1 7 の出力を一端取り出し、オペアンプ 1 7 の A 出力 5 5 が基準電位 (V c) より高い電位である正のオフセットであるか、基準電位 (V c) より低い電位である負のオフセットであるかを外部でモニタする機能を設け、正のオフセットであれば、基準電位 (V c) より大きい電位を制御電位 6 3 とし、負のオフセットであれば、基準電位 (V c) より小さい電位を制御電位 6 3 とするなどすればよい。

10

【 0 0 7 6 】

本実施の形態においては、オフセットモニタ回路を設けず、オフセット補償対象のオペアンプのオフセットを外部からモニタにてオフセット補償回路 9 4 に入力できるようにしたので、例えば図 1 に示す P D I C 2 9 のようにオフセットモニタ回路を設けた場合に比して P D I C における消費電流を低減することができる。

【 0 0 7 7 】

また、例えば、基準電圧 (V c) 5 1 の値は変えずに、オフセット補償回路 9 4 の出力のダイナミックレンジを広くしたい場合、又は出力のダイナミックレンジを狭めたい場合 (振幅リミットをかけた場合等) において、制御電位 6 3 としてオフセット補償回路 9 4 に任意の電圧を与えることで、ダイナミックレンジを任意に調整することができる。

20

【 0 0 7 8 】

更に、上述の実施の形態 1 乃至実施の形態 3 と同様に、P D I C 1 2 9 のオフセット電圧、その和、差を小さくするため、各オペアンプの入力差動回路に、従来のオフセット補償回路として使用される固定電流源ではなく、自動調整可能な電流源となるオフセット補償回路 9 4 を接続することにより、I C の素子変動、電源電圧変動、ばらつきにより生じるオフセットをロバストに補償することができる。

【 0 0 7 9 】

なお、本発明は上述した実施の形態のみに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能であることは勿論である。例えば、P D I C 内に設けられたオフセットモニタ回路と接続された例えば実施の形態 1 に示すオフセット補償回路と、外部からオフセット補償対象のオフセットをモニタした結果が与えられる実施の形態 4 に示すオフセット補償回路とを 1 つの P D I C 内に共存させてもよい。また、上述の実施の形態 1 乃至実施の形態 4 においては、オペアンプを構成するトランジスタをバイポーラトランジスタとして説明したが、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) などの F E T で構成してもよい。

30

【 図面の簡単な説明 】

【 0 0 8 0 】

【 図 1 】本発明の実施の形態 1 にかかるオフセット補償回路を搭載した P D I C の一例を示すブロック図である。

【 図 2 】図 1 に示す P D I C のうち、オフセット補償回路、オフセットモニタ回路及びオフセット補償対象の 1 つである A 出力オペアンプを示す回路図である。

40

【 図 3 】本発明の実施の形態 2 における P D I C のうち、オフセット補償回路、オフセットモニタ回路及びオフセット補償対象の 1 つである A 出力オペアンプを示す回路図である。

。

【 図 4 】本発明の実施の形態 3 における P D I C のうち、オフセット補償回路、オフセットモニタ回路及びオフセット補償対象の 1 つである A 出力オペアンプを示す回路図である。

。

【 図 5 】本発明の実施の形態 4 における P D I C を示すブロック図である。

【 図 6 】本発明の実施の形態 4 における P D I C のうち、オフセット補償回路、オフセットモニタ回路及びオフセット補償対象の 1 つである A 出力オペアンプを示す回路図である

50

【図7】従来の代表的な再生用PDI Cのブロック図である。

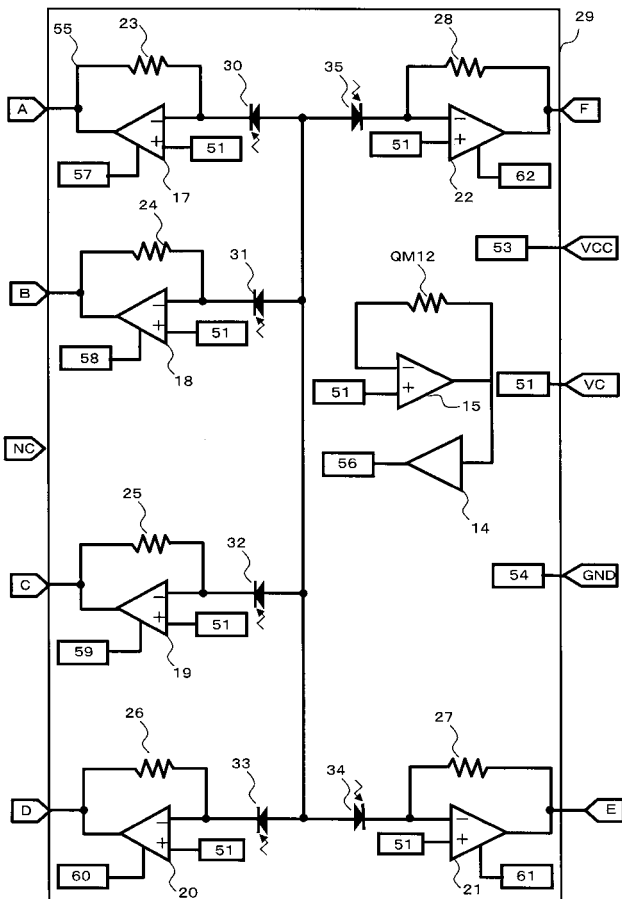
【図8】オフセット補償機能を有する従来の演算増幅回路を示す回路図である。

【符号の説明】

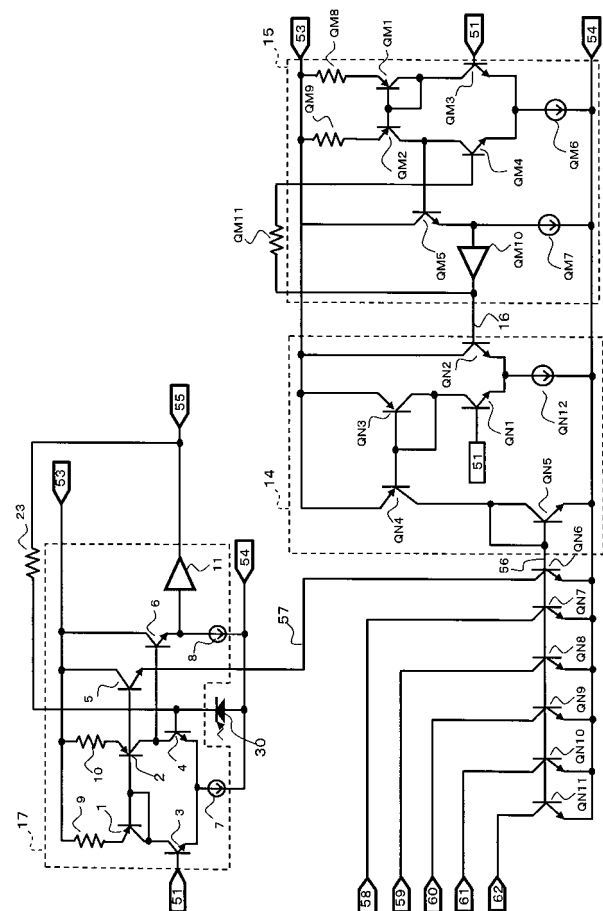
【0081】

7, 8, QM7, QM7, QM12, QM32 定電流源 9, 10, QM9, QM9
 抵抗 1, 2, 3, 4, 5, 6, QN1, QN2, QN3, QN4, QM1, QM2, Q
 M3, QM4, QM5 トランジスタ 11 出力バッファ回路 14, 74, 94 オ
 フセット補償回路 15 オフセットモニタ回路 17~22, 87 オペアンプ 23
 ~28 帰還回路 30~35 フォトダイオード 57~62 オフセット電圧調整用
 入力 51 基準電位 53 電源電位 54 グラウンド電位 57 調整電流 VC
 基準電源端子 VCC 電源ピン GND GND端子

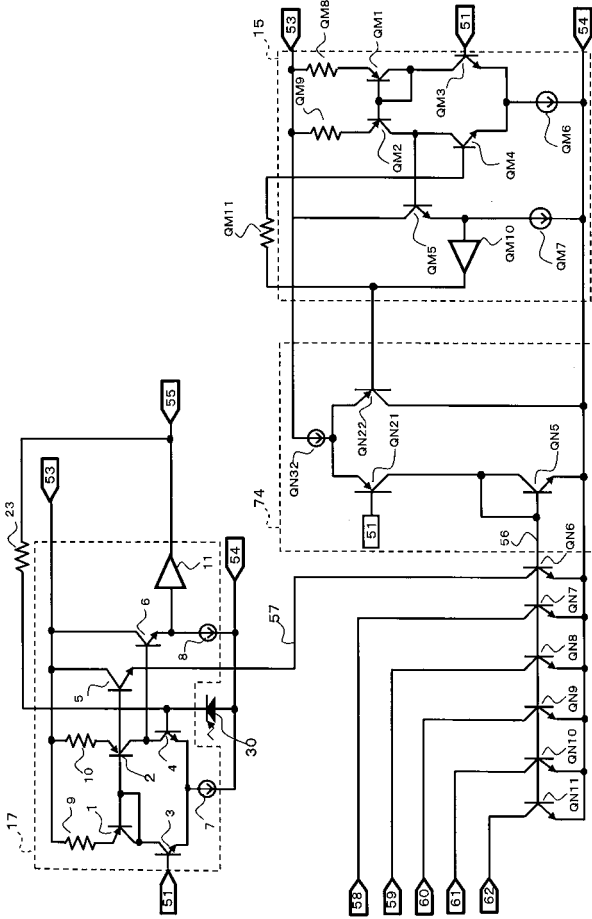
【図1】



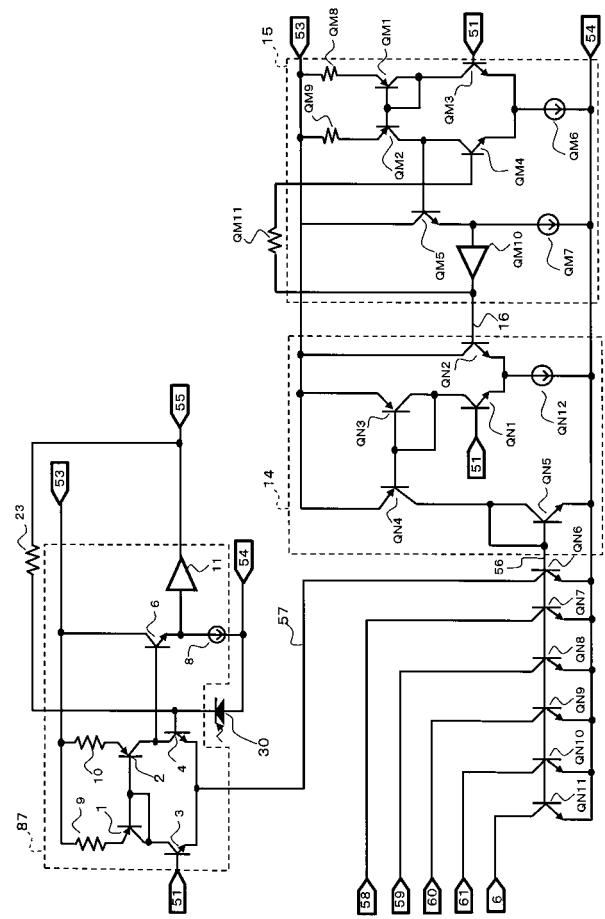
【図2】



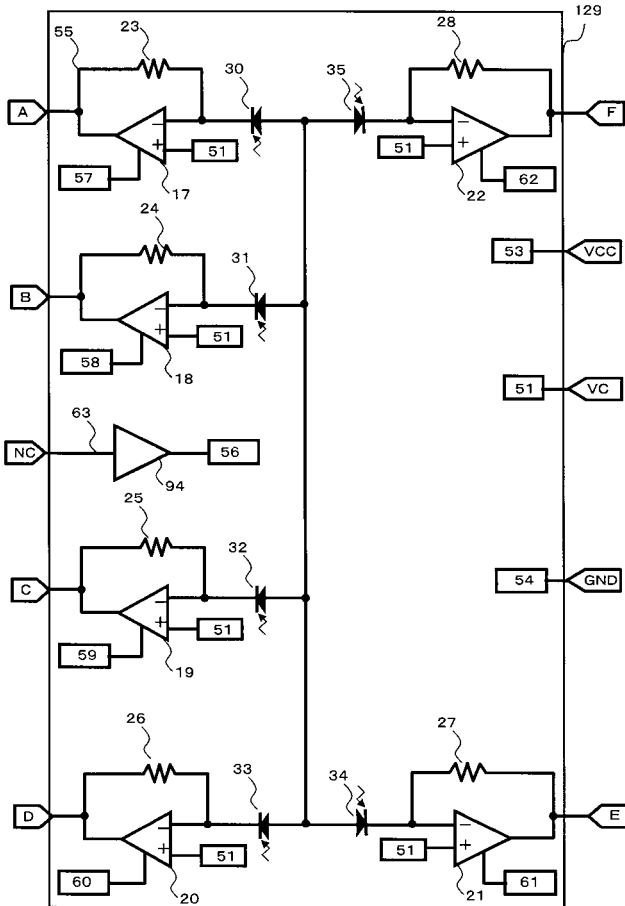
【 図 3 】



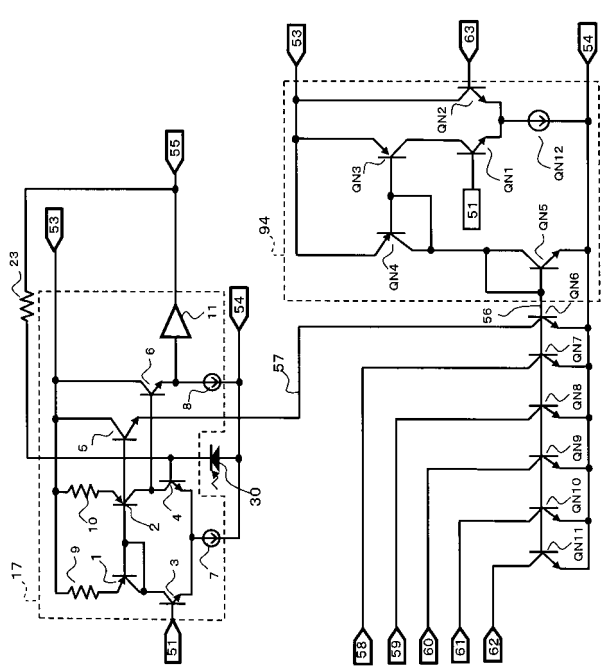
【 図 4 】



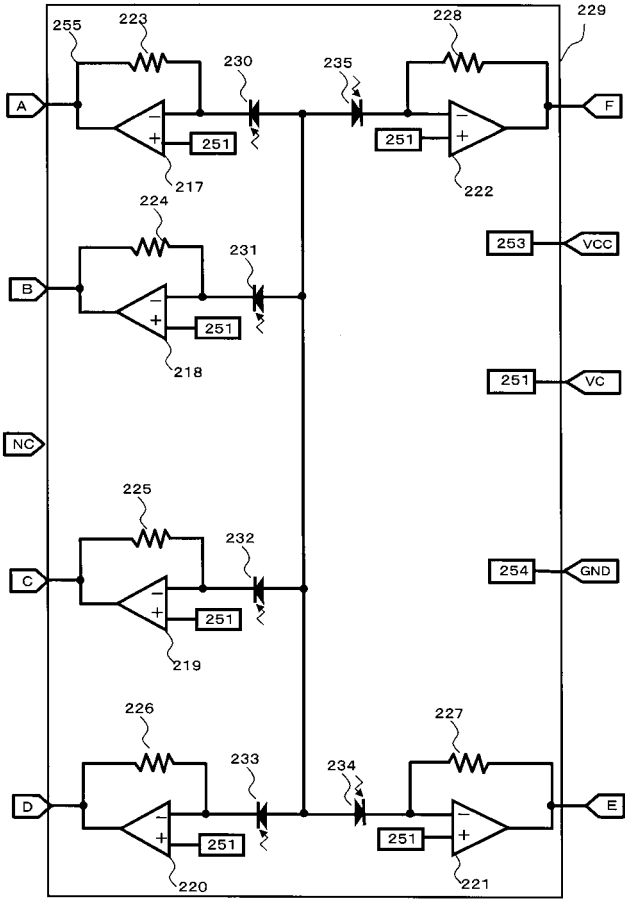
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

