

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成19年4月5日(2007.4.5)

【公開番号】特開2007-47664(P2007-47664A)

【公開日】平成19年2月22日(2007.2.22)

【年通号数】公開・登録公報2007-007

【出願番号】特願2005-234352(P2005-234352)

【国際特許分類】

G 02 F 1/1343 (2006.01)

G 02 F 1/133 (2006.01)

G 02 F 1/1368 (2006.01)

G 09 F 9/30 (2006.01)

【F I】

G 02 F 1/1343

G 02 F 1/133 5 5 0

G 02 F 1/1368

G 09 F 9/30 3 3 8

【手続補正書】

【提出日】平成19年2月15日(2007.2.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

TFT素子および画素電極が画素単位で配置された表示パネルを有する表示装置であって

、前記表示パネルは、

有効表示領域の端部のうち、ゲート電極線の延在方向の一方の端部の外側に位置するドレイン電極線において、当該ドレイン電極線の延在方向の一方の端部から数えて偶数本目のゲート電極線に接続されたTFT素子を有する第1のダミー画素が配置され、

有効表示領域の端部のうち、前記ゲート電極線の延在方向の他方の端部の外側に位置するドレイン電極線において、当該ドレイン電極線の延在方向の前記一方の端部から数えて奇数本目のゲート電極線に接続されたTFT素子を有する第2のダミー画素が配置されており、

各ドレイン電極線は、当該ドレイン電極線に接続された各画素のTFT素子が、延在方向に沿って交互に配置されており、

前記ゲート電極線の延在方向の端部の各ドレイン電極線は、有効表示領域内に配置された複数のTFT素子と、前記有効表示領域外に配置された複数の第1または第2のダミー画素とに接続されており、前記各ドレイン電極線に接続された前記複数のTFT素子と前記複数の第1または第2のダミー画素は、前記各ドレイン電極線の延在方向に沿って交互に配置されていることを特徴とする表示装置。

【請求項2】

前記第1のダミー画素が配置された端部が、前記ゲート電極線の入力端側であることを特徴とする請求項1に記載の表示装置。

【請求項3】

前記第1および第2のダミー画素は、有効表示領域内の画素と同じ構成であることを特

徴とする請求項 1 または請求項 2 に記載の表示装置。

【請求項 4】

前記第 1 および第 2 のダミー画素は、TFT 素子のみを有することを特徴とする請求項 1 または請求項 2 に記載の表示装置。

【請求項 5】

前記第 1 または第 2 のダミー画素の外側に、ダミーのドレイン電極線を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記複数の第 1 のダミー画素の間、または前記複数の第 2 のダミー画素の間に、第 3 のダミー画素が配置されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記第 3 のダミー画素は、前記有効表示領域内の画素の画素電極と同じ導電層にダミーの電極層を有することを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記第 3 のダミー画素は、前記ダミーのドレイン電極線および前記ダミーの電極層と接続された TFT 素子を有することを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

複数のドレイン電極線と複数のゲート電極線がマトリクス状に配置され、

前記ドレイン電極線の隣接する 2 本と前記ゲート電極線の隣接する 2 本で囲まれて形成される画素領域を有し、各画素領域は TFT 素子を有し、

前記画素領域の集合として表示領域が設定された表示装置において、

前記ゲート電極線の一方側で前記ドレイン電極線に接続する TFT 素子と該ゲート電極線の他方側で該ドレイン電極線に接続する TFT 素子とは、該ドレイン電極線を介して互いに反対側に配置され、

かつ前記表示領域の外側に、2 本の前記ゲート電極線を隔てて TFT 素子が配置されたダミー領域を有することを特徴とする表示装置。

【請求項 10】

前記ダミー領域は、遮光されていることを特徴とする請求項 9 に記載の表示装置。

【請求項 11】

前記表示領域の左外側の前記ダミー領域に配置される TFT 素子と前記表示領域の右外側の前記ダミー領域に配置される TFT 素子は、前記ドレイン電極線の延在方向に、前記画素領域の前記ドレイン電極線の延在方向の長さ分ずれていることを特徴とする請求項 9 または請求項 10 に記載の表示装置。

【請求項 12】

前記ドレイン電極線には、1 フレーム期間中、同じ極性の信号が加わることを特徴とする請求項 9 乃至請求項 11 のいずれか 1 項に記載の表示装置。

【請求項 13】

前記ドレイン電極線の隣接する 2 本には、互いに逆の極性の信号が加わることを特徴とする請求項 12 に記載の表示装置。

【請求項 14】

複数のドレイン電極線と複数のゲート電極線がマトリクス状に配置され、

前記ドレイン電極線の隣接する 2 本と前記ゲート電極線の隣接する 2 本で囲まれて形成される画素領域を有し、各画素領域は TFT 素子を有し、

前記画素領域の集合として表示領域が設定された表示装置において、

前記ゲート電極線の一方側で前記ドレイン電極線に接続する TFT 素子と該ゲート電極線の他方側で該ドレイン電極線に接続する TFT 素子とは、該ドレイン電極線を介して互いに反対側に配置され、

前記ドレイン電極線には、1 フレーム期間中、同じ極性の信号が加わり、かつ隣接する 2 本に互いに逆の極性の信号が加わることを特徴とする表示装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

(1) TFT素子および画素電極が画素単位で配置された表示パネルを有する表示装置であって、前記表示パネルは、有効表示領域の端部のうち、ゲート電極線の延在方向の一方の端部の外側に位置するドレイン電極線において、当該ドレイン電極線の延在方向の一方の端部から数えて偶数本目のゲート電極線に接続されたTFT素子を有する第1のダミー画素が配置され、有効表示領域の端部のうち、前記ゲート電極線の延在方向の他方の端部の外側に位置するドレイン電極線において、当該ドレイン電極線の延在方向の前記一方の端部から数えて奇数本目のゲート電極線に接続されたTFT素子を有する第2のダミー画素が配置されており、各ドレイン電極線は、当該ドレイン電極線に接続された各画素のTFT素子が、延在方向に沿って交互に配置されており、前記ゲート電極線の延在方向の端部の各ドレイン電極線は、有効表示領域内に配置された複数のTFT素子と、前記有効表示領域外に配置された複数の第1または第2のダミー画素とに接続されており、前記各ドレイン電極線に接続された前記複数のTFT素子と前記複数の第1または第2のダミー画素は、前記各ドレイン電極線の延在方向に沿って交互に配置されている表示装置である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

(5) 前記(1)において、前記第1または第2のダミー画素の外側に、ダミーのドレイン電極線を有する表示装置である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

(6) 前記(1)において、前記複数の第1のダミー画素の間、または前記複数の第2のダミー画素の間に、第3のダミー画素が配置されている表示装置である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

(9) 複数のドレイン電極線と複数のゲート電極線がマトリクス状に配置され、前記ドレイン電極線の隣接する2本と前記ゲート電極線の隣接する2本で囲まれて形成される画素領域を有し、各画素領域はTFT素子を有し、前記画素領域の集合として表示領域が設定された表示装置において、前記ゲート電極線の一方側で前記ドレイン電極線に接続するTFT素子と該ゲート電極線の他方側で該ドレイン電極線に接続するTFT素子とは、該ドレイン電極線を介して互いに反対側に配置され、かつ前記表示領域の外側に、2本の前記ゲート電極線を隔ててTFT素子が配置されたダミー領域を有する表示装置である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

(10) 前記(9)において、前記ダミー領域は、遮光されている表示装置である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

(11) 前記(9)または(10)において、前記表示領域の左外側の前記ダミー領域に配置されるTFT素子と前記表示領域の右外側の前記ダミー領域に配置されるTFT素子は、前記ドレイン電極線の延在方向に、前記画素領域の前記ドレイン電極線の延在方向の長さ分ずれている表示装置である。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

(12) 前記(9)から(11)のいずれかにおいて、前記ドレイン電極線には、1フレーム期間中、同じ極性の信号が加わる表示装置である。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

(14) 複数のドレイン電極線と複数のゲート電極線がマトリクス状に配置され、前記ドレイン電極線の隣接する2本と前記ゲート電極線の隣接する2本で囲まれて形成される画素領域を有し、各画素領域はTFT素子を有し、前記画素領域の集合として表示領域が設定された表示装置において、前記ゲート電極線の一方側で前記ドレイン電極線に接続するTFT素子と該ゲート電極線の他方側で該ドレイン電極線に接続するTFT素子とは、該ドレイン電極線を介して互いに反対側に配置され、前記ドレイン電極線には、1フレーム期間中、同じ極性の信号が加わり、かつ隣接する2本に互いに逆の極性の信号が加わる表示装置である。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

本実施例のTFT基板1は、たとえば、図3に示すように、水平方向に延在し、上下方向に並んで配置されたn+1本のゲート電極線GLと、上下方向に延在し、水平方向に並んで配置された3m+1本のドレイン電極線DLと、水平方向に延在し、上下方向に並んで配置された共通信号線CLとを有する。なお、以下の説明は共通信号線CLを持つ例を挙げて行うが、持たない例でもそのまま適用できる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

また、各ゲート電極線 G L と各ドレイン電極線 D L の交点には、ゲート電極線 G L およびドレイン電極線と接続されたTFT素子が配置されている。このとき、TFT素子のソース電極は、画素電極 P X と接続されている。また、画素電極 P X と、共通信号線 C L に接続されたコモン電極（図示しない）との間に容量素子が形成されている。共通信号線 C L に接続されたコモン電極が無い例としては、TFT基板 1 に対向する基板 2 にコモン電極を形成し、そのコモン電極と画素電極 P X の間に容量素子が形成される、いわゆる縦電界方式の構成が一例として上げられる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

有効表示領域 L では、TFT素子がドレイン電極線 D L に交互に接続している。すなわち、奇数番のゲート電極線 G L により制御される画素のTFT素子は、当該画素を構成する左側のドレイン電極線 D L に接続し、偶数番のゲート電極線 G L により制御される画素のTFT素子は、当該画素を構成する右側のドレイン電極線 D L に接続している。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

また、各ドレイン電極線 D L に右側から接続するTFT素子と、当該ドレイン電極線 D L に左側から接続するTFT素子とが、当該ドレイン電極線 D L の延在方向に沿って交互に配置されている。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

【0050】

TFT基板 1 に、図 3 に示したような構成の回路を設けた場合、第 1 のダミー画素 D P 1 が配置された端部側のドレイン電極線 D L<sub>1</sub>には、当該ドレイン電極線 D L<sub>1</sub>の一方側（右側）から有効表示領域 L 内の R 画素のTFT素子が接続されており、かつ当該ドレイン電極線 D L<sub>1</sub>の他方側（左側）から第 1 のダミー画素 D P 1 のTFT素子が接続されている。また、当該 R 画素のTFT素子と当該第 1 のダミー画素 D P 1 のTFT素子は、ドレイン電極線 D L<sub>1</sub>の延在方向に沿って交互に配置されている。このとき、ドレイン電極線 D L<sub>1</sub>に、紙面上方側から書き込み信号を印加するとすれば、印加する信号は、たとえば、図 4 に示すように、奇数本目のゲート電極線 G L<sub>1</sub> , G L<sub>3</sub> , G L<sub>5</sub>にゲート信号が印加されるタイミングで R 画素に書き込む信号が印加され、偶数本目のゲート電極線 G L<sub>2</sub> , G L<sub>4</sub>にゲート信号が印加されるタイミングでダミー画素 D P 1 を黒色表示させる信号が印加されるようになる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

## 【補正の内容】

## 【0056】

また図6や図7は、有効表示領域の他のドレイン電極線に加えられる一般的信号の例として説明に用いることもできる。特徴的なことは1フレーム期間中極性が一定であることである。その上で、ドレイン電極線延在方向に隣接する任意の2つの画素間で、画素中のTFT素子が接続するドレイン電極線を異ならせる、すなわち一方の画素のTFT素子を右側のドレイン電極線に接続し、他方の画素のTFT素子を左側のドレイン電極線に接続することにより、表示としてはドット反転が実現する。このように信号自体の極性反転の回数が、1フレーム毎に1回となるため、ライン毎に反転する従来のドット反転に比べ信号の極性反転の回数を数百分の1、たとえばXGAでは768分の1に激減することができる。ドレイン電極線の信号が極性反転すると、ドレイン電極線の充放電に伴いドレイン電極線の電位が安定化するまで時間を要するため、この時間分、実効的な書き込み時間が減少してしまう。このため従来のドット反転では100Hz以上の高周波数での書き込みは困難であった。これに對し本願では、フレーム中に極性反転が無くなるため充放電時間がそのまま書き込みに寄与できるため、100Hz以上の高周波数、たとえば120Hzのような、入力信号60Hzに対し倍速となる駆動が実現できるようになる。そしてその際、表示画像としてはドット反転が維持されるため、フリッカのような弊害も生じないものとなっている。

## 【手続補正16】

## 【補正対象書類名】明細書

## 【補正対象項目名】0067

## 【補正方法】変更

## 【補正の内容】

## 【0067】

前記実施例では、図3に示したように、第1および第2のダミー画素D P 1, D P 2として、有効表示領域L内の画素と同じ構成のダミー画素を配置したが、これに限らず、たとえば、図11に示すように、TFT素子のみを配置してもよい。これは、ドレイン電極線の主な負荷容量が、TFT素子による容量であるためである。なお、図11に示した回路構成は、第1および第2のダミー画素D P 1, D P 2をTFT素子のみにした点以外は、図3に示した回路構成と同じである。

## 【手続補正17】

## 【補正対象書類名】明細書

## 【補正対象項目名】0069

## 【補正方法】変更

## 【補正の内容】

## 【0069】

図14乃至図18は、前記実施例の第3の変形例を説明するための模式図であり、図14乃至図16はそれぞれTFT基板の回路構成を示す図、図17は図15の回路構成を適用したTFT基板の構成例を示す拡大平面図、図18は図17のD-D'線断面図である。

## 【手続補正18】

## 【補正対象書類名】明細書

## 【補正対象項目名】0071

## 【補正方法】変更

## 【補正の内容】

## 【0071】

このような構成、たとえば、図15に示したような回路構成にする場合の一例を図17および図18に示す。第3のダミー画素D P 3には、たとえば、図17および図18に示すように、コモン電位の電極U Cと一体的として、有効表示領域内の画素の画素電極P Xと同じ層にダミーの画素電極を設けることができる。これにより、有効表示領域の左側にある第1のダミー画素D P 1と第3のダミー画素D P 3が交互に並んでいる列の最上層には、画素電極とコモン電極とが交互に配置される。

## 【手続補正 1 9】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 3

【補正方法】変更

【補正の内容】

【0 0 7 3】

図 1 9 乃至図 2 5 は、前記実施例の第 4 の変形例を説明するための模式図であり、図 1 9 乃至図 2 1 はそれぞれTFT基板の回路構成を示す図、図 2 2 は図 2 0 の回路構成を適用したTFT基板の構成例を示す拡大平面図、図 2 3 は図 2 2 の E - E' 線断面図、図 2 4 は図 2 0 の回路構成を適用したTFT基板の他の構成例を示す拡大平面図、図 2 5 は図 2 4 の F - F' 線断面図である。