



(12)发明专利



(10)授权公告号 CN 104124280 B

(45)授权公告日 2017. 10. 27

(21)申请号 201410347324.2

(22)申请日 2010.03.12

(65)同一申请的已公布的文献号

申请公布号 CN 104124280 A

(43)申请公布日 2014.10.29

(30)优先权数据

2009-061607 2009.03.13 JP

(62)分案原申请数据

201010146957.9 2010.03.12

(73)专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72)发明人 大原宏树 佐佐木俊成

(74)专利代理机构 中国专利代理(香港)有限公司 72001

代理人 李啸 汤春龙

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 27/12(2006.01)

H01L 21/77(2017.01)

审查员 黄宝莹

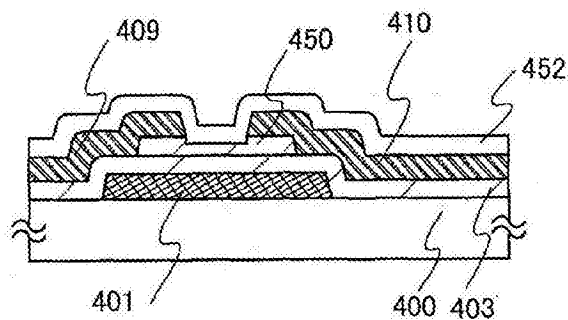
权利要求书2页 说明书18页 附图23页

(54)发明名称

半导体装置及其制造方法

(57)摘要

若不由无机绝缘膜覆盖氧化物半导体层情况下进行加热处理而使氧化物半导体层晶化,则因晶化而形成表面凹凸,可能会产生电特性的不均匀。通过如下顺序进行工序:在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成包含氧化硅的无机绝缘膜之前的期间一次也不进行加热处理,在接触于衬底上的氧化物半导体层上地形成第二绝缘膜之后进行加热处理。此外,在包含氧化硅的无机绝缘膜中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上,或其氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上。



1. 一种半导体装置的制造方法,包括步骤:

在以第一温度加热衬底时,在所述衬底上形成第一无机绝缘膜;

在所述第一无机绝缘膜上形成氧化物半导体层;

在以第二温度加热所述衬底时,在所述氧化物半导体层上形成包含氧化硅的第二无机绝缘膜;以及

在形成所述第二无机绝缘膜之后以大于或等于300℃进行加热处理,

其中,所述第二温度低于或等于300℃,

其中,在形成所述氧化物半导体层之后并且在形成所述第二无机绝缘膜之前的时期期间,所述氧化物半导体层没有被以大于或等于300℃加热,

其中,通过所述加热处理降低所述第二无机绝缘膜中的氮密度,

其中在所述第二无机绝缘膜中的氢密度为大于或等于 $5 \times 10^{20}/\text{cm}^3$,以及

其中在所述第二无机绝缘膜中的所述氮密度为大于或等于 $1 \times 10^{19}/\text{cm}^3$ 。

2. 根据权利要求1所述的半导体装置的制造方法,其中所述第二无机绝缘膜至少使用 N_2O 气体形成。

3. 根据权利要求1所述的半导体装置的制造方法,还包括在所述加热处理之后在所述第二无机绝缘膜上形成布线的步骤。

4. 根据权利要求1所述的半导体装置的制造方法,其中,所述第二温度低于所述第一温度。

5. 根据权利要求1所述的半导体装置的制造方法,其中,其中在大气气氛下或氮气气氛下进行所述加热处理。

6. 根据权利要求1所述的半导体装置的制造方法,

其中,所述氧化物半导体层是由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的薄膜,

并且其中,M表示选自Ga、Fe、Ni、Mn或Co中的一种或多种金属元素。

7. 根据权利要求1所述的半导体装置的制造方法,其中,所述氧化物半导体层包含铟、镓以及锌。

8. 一种半导体装置的制造方法,包括步骤:

在具有绝缘表面的衬底上形成栅电极;

在以第一温度加热所述衬底时,在所述栅电极上形成栅极绝缘层;

在所述栅极绝缘层上形成氧化物半导体层;

在所述氧化物半导体层上形成源电极及漏电极;

在以第二温度加热所述衬底时,在所述氧化物半导体层上形成包含氧化硅的无机绝缘膜;以及

在形成所述无机绝缘膜之后进行大于或等于300℃且小于或等于所述衬底的应变点的加热处理,

其中,所述第二温度低于或等于300℃,

其中,在形成所述氧化物半导体层之后并且在形成所述无机绝缘膜之前的时期期间,所述氧化物半导体层没有被以大于或等于300℃加热,

其中,通过所述加热处理降低所述无机绝缘膜中的氮密度,

其中在所述无机绝缘膜中的氢密度为大于或等于 $5 \times 10^{20}/\text{cm}^3$,以及

其中在所述无机绝缘膜中的所述氮密度为大于或等于 $1 \times 10^{19}/\text{cm}^3$ 。

9. 根据权利要求8所述的半导体装置的制造方法, 其中所述无机绝缘膜至少使用 N_2O 气体形成。

10. 根据权利要求8所述的半导体装置的制造方法, 还包括在所述加热处理之后在所述无机绝缘膜上形成布线的步骤。

11. 根据权利要求8所述的半导体装置的制造方法, 其中, 所述第二温度低于所述第一温度。

12. 根据权利要求8所述的半导体装置的制造方法, 其中, 其中在大气气氛下或氮气气氛下进行所述加热处理。

13. 根据权利要求8所述的半导体装置的制造方法,

其中, 所述氧化物半导体层是由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的薄膜,

并且其中, M表示选自Ga、Fe、Ni、Mn或Co中的一种或多种金属元素。

14. 根据权利要求8所述的半导体装置的制造方法, 其中, 所述氧化物半导体层包含铟、镓以及锌。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及使用氧化物半导体的半导体装置及其制造方法。

背景技术

[0002] 金属氧化物的种类繁多且其用途广泛。氧化铟为较普遍的材料而被用作液晶显示器等中所需要的透明电极材料。

[0003] 在金属氧化物中存在呈现半导体特性的金属氧化物。作为呈现半导体特性的金属氧化物,例如有氧化铟、氧化锡、氧化铟、氧化锌等,已知将这些呈现半导体特性的金属氧化物用作沟道形成区的薄膜晶体管(专利文献1至4、非专利文献1)。

[0004] 另外,已知金属氧化物不仅有一元氧化物还有多元氧化物。例如,作为具有In、Ga及Zn的多元氧化物半导体已知具有同源相(homologous phase)的 $\text{InGaO}_3(\text{ZnO})_m$ (m :自然数)(非专利文献2至4)。

[0005] 并且,已经确认可以将使用上述那样的In-Ga-Zn类氧化物形成的氧化物半导体应用于薄膜晶体管的沟道层(专利文献5、非专利文献5及6)。

[0006] 此外,使用氧化物半导体制造薄膜晶体管,并且将该薄膜晶体管应用于电子器件和光器件的技术受到关注。例如,专利文献6及专利文献7公开作为氧化物半导体膜使用氧化锌、In-Ga-Zn-O类氧化物半导体来制造薄膜晶体管,并将该薄膜晶体管用于图像显示装置的开关元件等的技术。

[0007] [专利文献1]日本专利申请公开昭60-198861号公报

[0008] [专利文献2]日本专利申请公开平8-264794号公报

[0009] [专利文献3]日本PCT国际申请翻译平11-505377号公报

[0010] [专利文献4]日本专利申请公开2000-150900号公报

[0011] [专利文献5]日本专利申请公开2004-103957号公报

[0012] [专利文献6]日本专利申请公开2007-123861号公报

[0013] [专利文献7]日本专利申请公开2007-096055号公报

[0014] [非专利文献1]M.W.Prins,K.O.Grosse-Holz,G.Muller,J.F.M.Cillessen,J.B.Giesbers,R.P.Weening,and R.M.Wolf,"A ferroelectric transparent thin-film transistor"(透明铁电薄膜晶体管),Appl.Phys.Lett.,17June1996,Vol.68pp.3650-3652

[0015] [非专利文献2]M.Nakamura,N.Kimizuka,and T.Mohri,"The Phase Relations in the $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ System at1350°C"($\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ 类在1350°C时的相位关系),J.Solid State Chem.,1991,Vol.93,pp.298-315

[0016] [非专利文献3]N.Kimizuka,M.Isobe,and M.Nakamura,"Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3,4$,and5), $\text{InGaO}_3(\text{ZnO})_3$,and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7,8,9$,and16) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System"(同系物的合成和单晶数据, $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ 类的 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3,4$,及5), $\text{InGaO}_3(\text{ZnO})_3$,及 $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7,8,9$,及16)),J.Solid State Chem.,1995,Vol.116,pp.170-178

[0017] [非专利文献4]中村真佐樹、君塚昇、毛利尚彦、磯部光正,“ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$ (m : 自然数) とその同型化合物の合成および結晶構造”(同系物、钢铁锌氧化物($\text{InFeO}_3(\text{ZnO})_m$) (m 为自然数) 及其同晶型化合物的合成以及结体结构), 固体物理 (SOLID STATE PHYSICS), 1993, Vol. 28, No. 5, pp. 317-327

[0018] [非专利文献5]K.Nomura, H.Ohta, K.Ueda, T.Kamya, M.Hirano, and H.Hosono, “Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor”(由单晶透明氧化物半导体制造的薄膜晶体管), SCIENCE, 2003, Vol. 300, pp. 1269-1272

[0019] [非专利文献6]K.Nomura, H.Ohta, A.Takagi, T.Kamiya, M.Hirano, and H.Hosono, “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors”(室温下的使用非晶氧化物半导体的透明柔性薄膜晶体管的制造), NATURE, 2004, Vol. 432 pp. 488-492

[0020] 在氧化物半导体中设置沟道形成区的薄膜晶体管的场效应迁移率高于使用非晶硅的薄膜晶体管的场效应迁移率。使用这种氧化物半导体在玻璃衬底、塑料衬底等上形成薄膜晶体管, 该薄膜晶体管被期待应用于液晶显示器、电致发光显示器或电子纸等的显示装置。

发明内容

[0021] 本发明提供使用氧化物半导体且可靠性高的半导体装置。

[0022] 在具有绝缘表面的衬底上形成成为薄膜晶体管的沟道区的氧化物半导体层, 由包含氧化硅的绝缘膜覆盖该氧化物半导体层之后, 对该氧化物半导体层进行加热处理。此外, 进行加热处理之前的氧化物半导体层具有非晶结构, 进行加热处理之后的氧化物半导体层也具有非晶结构。

[0023] 通过在由包含氧化硅的无机绝缘膜覆盖氧化物半导体层之后进行 300°C 以上的加热处理, 可以抑制氧化物半导体层的晶化。加热处理的温度范围为 300°C 以上且具有绝缘表面的衬底的应变点以下, 优选为高于形成包含氧化硅的无机绝缘膜时的衬底温度的温度且低于加热处理后的氧化物半导体层具有非晶结构的温度。

[0024] 若不由无机绝缘膜覆盖氧化物半导体层的情况下进行加热处理而使氧化物半导体层晶化, 则因晶化而形成表面凹凸等, 会产生电特性的不均匀。

[0025] 此外, 使氧化物半导体层包含氧化硅, 也能抑制氧化物半导体的晶化。

[0026] 此外, 通过不仅对氧化物半导体层进行加热处理而且对包含氧化硅的无机绝缘膜进行加热处理, 可以减少包含氧化硅的无机绝缘膜中的缺陷等, 并实现具有良好的电特性的薄膜晶体管。

[0027] 在覆盖氧化物半导体层的包含氧化硅的无机绝缘膜中, 在膜中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上, 该密度基于使用SIMS(次级离子质谱仪)的分析。此外, 在覆盖氧化物半导体层的包含氧化硅的无机绝缘膜中, 在膜中含有的氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上, 该密度同样基于使用SIMS的分析。覆盖氧化物半导体层的包含氧化硅的无机绝缘膜若满足上述氢密度或上述氮密度, 则不局限于其成膜方法, 例如利用等离子体CVD法或溅射法形成。

[0028] 此外, 本说明书中的密度是指根据使用SIMS的分析的密度的平均值。SIMS是指从

密度低一侧朝着密度高一侧在深度方向上进行分析的值。

[0029] 在形成与氧化物半导体层上接触地设置的包含氧化硅的无机绝缘膜时,若将衬底温度设定为比300℃还要高,则在减压下露出的氧化物半导体层表面上的氧密度降低,从而氧化物半导体层表面的导电率升高,而得到截止时的TFT特性变得困难。

[0030] 在此,以下示出在形成与氧化物半导体层上接触地设置的包含氧化硅的无机绝缘膜时,在衬底温度不同的条件下制造TFT,对其电特性进行比较的实验结果。此外,在以下所示的任何条件下,所制造的薄膜晶体管的沟道长度为100μm,其沟道宽度为100μm,并对Vd电压为1V时的特性以及Vd电压为10V时的特性进行测定。

[0031] 图6A示出作为与氧化物半导体层上接触地设置的包含氧化硅的无机绝缘膜的成膜时的条件,使用在如下条件下形成的膜而制造的TFT的测定结果:衬底温度为200℃,硅烷气体的流量为25sccm,一氧化二氮(N₂O)的流量为1000sccm,压力为133.3Pa,电功率为35W,电源频率为13.56MHz。

[0032] 此外,图6B示出作为与氧化物半导体层上接触地设置的包含氧化硅的无机绝缘膜的成膜时的条件,使用在如下条件下形成的膜而制造的TFT的测定结果:衬底温度为300℃,硅烷气体的流量为30sccm,一氧化二氮(N₂O)的流量为700sccm,压力为133.32Pa,电功率为80W,电源频率为60MHz。在对图6A和6B进行比较时,与在衬底温度为300℃下形成的TFT的S值相比,在衬底温度为200℃下形成的TFT的S值良好。

[0033] 此外,图7示出作为比较条件,使用在如下条件下形成的膜而制造的TFT的测定结果:衬底温度为325℃,硅烷气体的流量为27sccm,一氧化二氮(N₂O)的流量为1000sccm,压力为133.3Pa,电功率为35W,电源频率为13.56MHz。如图7所示,在与300℃相比高的衬底温度的325℃时,氧化物半导体层变为呈现高导电率的层,不能得到TFT特性,具体地不能得到导通/截止特性。

[0034] 此外,虽然在此未图示,但在衬底温度为100℃下进行实验的结果也可以得到与衬底温度为200℃时同样地结果。

[0035] 从而,根据这些实验结果,与氧化物半导体层上接触地设置的包含氧化硅的无机绝缘膜的成膜时的衬底温度为300℃以下,优选为100℃以上且150℃以下。

[0036] 此外,在氧化物半导体层的下方也设置有包含氧化硅的无机绝缘膜,在用包含氧化硅的无机绝缘膜上下夹住氧化物半导体层的状态下,对氧化物半导体层进行热处理,该热处理的温度为高于接触于氧化物半导体层上地形成的无机绝缘膜的成膜时的衬底温度的温度,优选为300℃以上。另外,设置在氧化物半导体层的上方的包含氧化硅的无机绝缘膜的成膜时的衬底温度低于设置在氧化物半导体层的下方的包含氧化硅的无机绝缘膜的成膜时的衬底温度。此外,设置在氧化物半导体层的上方和下方的包含氧化硅的无机绝缘膜都能够采用至少使用N₂O气体进行成膜的等离子体CVD法。

[0037] 在对由上述包含满足氢密度或氮密度的氧化硅的绝缘膜覆盖氧化物半导体层进行300℃以上的热处理时,通过进行一次该热处理,可以提高TFT的电特性并减少TFT的电特性的衬底面内的不均匀。在一次也不进行300℃以上的热处理时,难以得到均匀的TFT的电特性。此外,在覆盖氧化物半导体层的绝缘膜的成膜之前,即在氧化物半导体层的至少一部分露出的状态下进行第一次热处理,在绝缘膜的成膜之后进行第二次热处理时,TFT的电特性的衬底面内的不均匀增大。换言之,在与氧化物半导体层上接触地设置上述包含满足氢

密度或氮密度的氧化硅的绝缘膜时,在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成包含氧化硅的绝缘膜前的期间,至少一次进行300℃以上的热处理,会增大TFT特性的不均匀。

[0038] 上述的这些方法不仅是设计的问题,而且是本发明人的发明,本发明人对进行热处理的时序及次数进行一些实验,而对那些实验结果进行了充分的研究。

[0039] 此外,晶体管的结构没有特别的限制,例如,在将氧化物半导体层用作薄膜晶体管的沟道区时,若将栅电极形成在氧化物半导体层的下方,则晶体管成为底栅型晶体管,而若将栅电极形成在氧化物半导体层的上方,则晶体管成为顶栅型晶体管。另外,若在将栅电极形成在氧化物半导体层的下方并形成源电极之后形成氧化物半导体层,则晶体管成为底接触型(也称为反共面型(inverted coplanar))晶体管。

[0040] 此外,通过采用在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成包含氧化硅的绝缘膜之前的期间一次也不进行加热处理,在与衬底上的氧化物半导体层上接触地形成包含氧化硅的绝缘膜之后进行加热处理的工序顺序,可以进行即将晶化之前的温度(小于700℃)的加热处理。此外,该加热处理不超过所使用的衬底的耐热温度。

[0041] 此外,通过采用在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成包含氧化硅的绝缘膜之前的期间一次也不进行加热处理,与衬底上的氧化物半导体层上接触地形成包含氧化硅的绝缘膜之后进行加热处理的工序顺序,即使在形成包含氧化硅的绝缘膜之后多次进行300℃以上的加热处理,也可以得到稳定的TFT特性。

[0042] 作为本说明书中所使用的氧化物半导体,形成由 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 表示的薄膜,来制造将该薄膜作为半导体层的薄膜晶体管。此外,M表示选自Ga、Fe、Ni、Mn和Co中的一种金属元素或多种金属元素。例如,作为M,除了包含Ga之外,还有Ga和Ni或Ga和Fe等包含Ga以外的上述金属元素的情况。另外,在上述氧化物半导体中,除了包含作为M的金属元素之外,作为杂质元素有时包含Fe、Ni以及其他过渡金属或该过渡金属的氧化物。在本说明书中将该薄膜也称为In-Ga-Zn-O类非单晶膜。

[0043] In-Ga-Zn-O类非单晶膜的结构即使通过溅射法形成然后例如在200℃至500℃下,典型地在300℃至400℃下进行10分钟到100分钟的加热处理,也在XRD分析中观察到非晶结构。此外,若不由绝缘膜覆盖In-Ga-Zn-O类非单晶膜进行700℃以上的加热处理,则在膜中形成单晶。从而,在In-Ga-Zn-O类非单晶膜中,即将晶化之前的温度的加热处理是指通过进行该加热处理不在膜中形成单晶的范围的加热处理。

[0044] 加热处理利用在炉中的热处理(小于700℃,优选为300℃至550℃、0.1小时至5小时的热处理)或快速热退火法(RTA法)。RTA法有如下方法:使用灯光源的方法;将衬底移动到加热的气体中在短时间内进行热处理的方法。通过使用RTA法,可以使热处理所需要的时间为短于0.1小时的时间。此外,在使用玻璃衬底作为衬底时,进行300℃以上且玻璃衬底的应变点以下温度的加热处理。

[0045] 此外,作为包含氧化硅的绝缘膜使用上述满足膜中的氢密度及氮密度的无机材料,根据该无机材料可以利用等离子体CVD法等。

[0046] 根据本说明书所公开的半导体装置的制造方法的发明之一包括如下步骤:在具有绝缘表面的衬底上形成栅电极,覆盖栅电极地形成第一绝缘膜,隔着第一绝缘膜与栅电极重叠地形成氧化物半导体层,覆盖氧化物半导体层地形成第二绝缘膜,然后进行300℃以上

的热处理。

[0047] 在上述制造方法中,第二绝缘膜至少包含氧化硅,在膜中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上。此外,在第二绝缘膜中含有的氢密度与在氧化物半导体层中含有的氢密度大致相同。

[0048] 此外,在上述制造方法中,第二绝缘膜至少包含氧化硅,在膜中含有的氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上。

[0049] 此外,在上述制造方法中,至少使用 N_2O 气体形成第二绝缘膜。

[0050] 此外,在形成与第二绝缘膜上接触的绝缘膜之前或在形成与第二绝缘膜上接触的导电膜之前进行热处理。此外,在进行一次 300°C 以上的热处理之后,即使在后面的工序进行 300°C 以上的热处理也TFT特性几乎没有变化。换言之,通过采用在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成第二绝缘膜之前的期间一次也不进行加热处理,与衬底上的氧化物半导体层上接触地形成第二绝缘膜之后进行加热处理的工序顺序,在形成第二绝缘膜之后的工序中,可以多次进行 300°C 以上的热处理。

[0051] 此外,为方便起见附加了第一、第二等序数词,但其并不表示工序顺序或层叠顺序。另外,在本说明书中序数词不表示用来特定发明的事项的固有名词。

[0052] 通过在形成在氧化物半导体层上的无机绝缘膜的成膜之后进行一次加热处理的工序,可得到良好的TFT特性,与在无机绝缘膜的成膜之前及之后进行两次加热处理的情况相比可抑制TFT特性的不均匀。

附图说明

[0053] 图1A至图1D是示出本发明的一个方式的截面工序图;

[0054] 图2是示出本发明的一个方式的薄膜晶体管的电特性的图;

[0055] 图3是示出第一比较例的薄膜晶体管的电特性的图;

[0056] 图4是示出第二比较例的薄膜晶体管的电特性的图;

[0057] 图5是示出绝缘层中的氢密度、氮密度的SIMS分析结果的图;

[0058] 图6A和图6B是示出本发明一个方式的薄膜晶体管的电特性的图;

[0059] 图7是示出比较例的薄膜晶体管的电特性的图;

[0060] 图8A和图8B是说明示出本发明的一个方式的半导体装置的制造方法的图;

[0061] 图9A至图9C是说明示出本发明的一个方式的半导体装置的制造方法的图;

[0062] 图10是说明示出本发明一个方式的半导体装置的制造方法的图;

[0063] 图11是说明示出本发明一个方式的半导体装置的制造方法的图;

[0064] 图12是说明示出本发明的一个方式的半导体装置的图;

[0065] 图13是说明示出本发明一个方式的半导体装置的制造方法的图;

[0066] 图14A1、图14A2、图14B1及图14B2是说明示出本发明的一个方式的半导体装置的图;

[0067] 图15是说明示出本发明的一个方式的半导体装置的图;

[0068] 图16是示出本发明的一个方式的像素电路的图;

[0069] 图17A至图17C是示出本发明的一个方式的截面图;

[0070] 图18A和图18B分别是示出本发明一个方式的截面图及外观图;

[0071] 图19A和图19B是示出本发明的一个方式的外观图；

[0072] 图20A和图20B是示出本发明的一个方式的外观图。

具体实施方式

[0073] 以下参照附图详细说明本发明的实施方式。此外，本发明不局限于以下说明，所属技术领域的普通技术人员可以很容易地理解一个事实，就是其方式和详细内容可以被变换为各种各样的形式。此外，本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0074] 实施方式1

[0075] 首先，在具有绝缘表面的衬底400上形成栅电极层401，并形成覆盖栅电极层401的栅极绝缘层403。

[0076] 栅电极层401可以通过使用铝、铜、钼、钛、铬、钽、钨、钕、铈等金属材料；或以这些材料为主要成分的合金材料；或以这些金属材料为成分的氮化物的单层或叠层形成。

[0077] 例如，作为栅电极层401的叠层结构，优选采用在铝层上层叠有钼层的双层结构、在铜层上层叠钼层的双层的叠层结构、或在铜层上层叠氮化钛层或氮化钼层的双层结构、层叠氮化钛层和钼层的双层结构。作为三层的叠层结构，优选采用层叠钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、及氮化钛层或钛层的结构。

[0078] 在本实施方式中通过使用钨靶材的溅射法形成150nm的导电膜。

[0079] 栅极绝缘层403通过等离子体CVD法或溅镀法而形成。栅极绝缘层403可以通过CVD法或溅射法等使用氧化硅层、氮化硅层、氧氮化硅层或氮氧化硅层的单层或叠层形成。在采用叠层时，优选至少包含氧化硅的膜成为与后面形成的氧化物半导体层接触的栅极绝缘层403。另外，作为栅极绝缘层403，还可以通过使用有机硅烷气体的CVD法而形成氧化硅层。

[0080] 在本实施方式中，通过等离子体CVD法形成200nm的绝缘膜。成膜条件为如下条件：硅烷流量为4sccm；一氧化二氮(N_2O)的流量为800sccm；衬底温度为400℃。

[0081] 接着，如图1A所示那样，隔着栅极绝缘膜在与栅电极重叠的位置上形成氧化物半导体层405。在利用溅射法形成之后，通过使用选择性地曝光来形成的抗蚀剂掩模选择性地蚀刻而得到氧化物半导体层405。作为氧化物半导体层405，可以应用In-Ga-Zn-O类、In-Sn-Zn-O类、Sn-Ga-Zn-O类、In-Zn-O类、Sn-Zn-O类、In-O类、Sn-O类、Zn-O类氧化物半导体。此外，为了使氧化物半导体层405阻挡晶化，使用包含 SiO_x 的氧化物半导体靶材形成包含氧化硅的氧化物半导体层。

[0082] 在本实施方式中，作为氧化物半导体层405，使用通过使用包含In(铟)、Ga(镓)及Zn(锌)的氧化物半导体靶材(摩尔比为 $In_2O_3:Ga_2O_3:ZnO=1:1:1$)的溅射法来得到的50nm厚的In-Ga-Zn-O类非单晶膜。在本实施方式中，利用DC溅射法，氩的流量为30sccm，氧的流量为15sccm，衬底温度为室温。

[0083] 接着，在栅极绝缘层403及氧化物半导体层405上形成导电膜。作为导电膜的材料，可以举出选自Al、Cr、Ta、Ti、Mo、W中的元素；或者以上述元素为成分的合金；或者组合上述元素的合金膜等。此外，在导电膜中包含Nd(钕)或Se(硒)或Si(硅)。另外，导电膜使用以上述元素为成分的氮化物形成。

[0084] 在本实施方式中，作为导电膜采用钛膜和铝膜的叠层结构。此外，导电膜也可以采

用单层结构,还可以采用在铝膜上层叠的三层以上的叠层。在本实施方式中,采用50nm厚的钛膜、200nm厚的纯铝膜、50nm厚的铝合金膜的三层。此外,形成导电膜时的衬底温度为室温。

[0085] 在形成导电膜之后进行光刻工序形成抗蚀剂掩模,通过蚀刻去除不需要的部分来形成源电极层409及漏电极层410。

[0086] 此外,进行形成源电极层409及漏电极层410时的蚀刻或以源电极层409及漏电极层410为掩模对氧化物半导体层405进行蚀刻。通过对氧化物半导体层405的露出区的一部分进行蚀刻,能够得到图1B的状态。

[0087] 接着,如图1C所示,在源电极层409及漏电极层410上形成包含氧化硅的绝缘膜452。包含氧化硅的绝缘膜452与氧化物半导体层405的一部分(露出区)接触。在包含氧化硅的绝缘膜452中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上,该密度是基于SIMS分析得到的。此外,在覆盖氧化物半导体层的包含氧化硅的绝缘膜452中含有的氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上。覆盖氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上或氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上的氧化物半导体层的包含氧化硅的绝缘膜452通过CVD法或溅射法等形成。此外,包含氧化硅的绝缘膜452也可以采用叠层膜。

[0088] 在本实施方式中,作为包含氧化硅的绝缘膜452,通过等离子体CVD法形成300nm的包含氧化硅的绝缘膜。包含氧化硅的绝缘膜452的形成条件为如下条件:硅烷流量为25sccm;一氧化二氮(N_2O)的流量为1000sccm;压力为133Pa;衬底温度为200℃。

[0089] 在形成包含氧化硅的绝缘膜452之后,如图1D所示,进行300℃至600℃的热处理(包括光退火)。在此放置在炉中,在大气气氛下以350℃进行1个小时的热处理。此外,通过该热处理,进行In-Ga-Zn-O类非单晶膜的原子级的重新排列,而成为氧化物半导体层450。另外,通过该热处理减少在包含氧化硅的绝缘膜452中的缺陷。

[0090] 图2示出经过上述工序得到的薄膜晶体管的电特性。

[0091] 此外,表1示出包含氧化硅的绝缘膜452的SIMS分析所得到的氢密度和氮密度。

[0092] 表1

[0093]

350℃的1个小时的热处理	氧化物半导体层中的氢密度 [cm^3]	绝缘膜中的氢密度 [cm^3]	氧化物半导体层中的氮密度 [cm^3]	绝缘膜中的氮密度 [cm^3]
不进行	1×10^{21}	2×10^{21}	2×10^{19}	1.5×10^{21}
进行	1×10^{21}	2×10^{21}	1.5×10^{19}	6×10^{20}

[0094] 如表1所示,包含氧化硅的绝缘膜452的SIMS分析所得到的氢密度的平均值为 $2 \times 10^{21}/\text{cm}^3$,其氮密度为 $1.5 \times 10^{21}/\text{cm}^3$ 。如表1所示,在形成包含氧化硅的绝缘膜452之后不管进行350℃的1个小时的热处理还是不进行该热处理,包含氧化硅的绝缘膜452中的氢密度都没有大的变化。此外,在形成包含氧化硅的绝缘膜452之后以350℃进行1个小时的热处理的包含氧化硅的绝缘膜452中的氮密度为 $6 \times 10^{20}/\text{cm}^3$ 。另外,在形成包含氧化硅的绝缘膜452之后进行350℃的1个小时的热处理的氧化物半导体层450的SIMS分析所得到的氢密度的平均值为 $1 \times 10^{21}/\text{cm}^3$,其氮密度为 $1.5 \times 10^{19}/\text{cm}^3$ 。如表1所示随着进行热处理还是不进行

热处理,氧化物半导体层中的氢密度及氮密度没有大的变化。

[0095] 此外,图5示出利用次级离子质谱法测定的绝缘层(样品1)中的氢密度及氮密度的分布。在图5中,横轴表示深度(nm),而纵轴表示密度(atoms/cm³)。另外,在图5中,实线表示氢密度的分布,而虚线表示氮密度的分布。

[0096] 此外,图3示出作为第一比较例,在形成包含氧化硅的绝缘膜452之后不进行热处理时的薄膜晶体管的电特性。另外,其他制造工序与具有图2所示的特性的薄膜晶体管的制造方法相同。如图3所示,即使在不进行热处理时使栅电压变化也难以使薄膜晶体管截止,将上述那样的电特性的薄膜晶体管难以用作开关元件。

[0097] 此外,图4示出作为第二比较例在形成包含氧化硅的绝缘膜452之前在350℃进行1个小时的加热处理,在形成包含氧化硅的绝缘膜452之后还以350℃进行1个小时的加热处理,一共进行两次加热处理的情况的电特性。另外,其他制造工序与具有图2所示的特性的薄膜晶体管的制造方法相同。如图4所示,在进行了两次加热处理时,TFT特性的不均匀增大,此外,在一共进行两次加热处理时,截止电流也增大。另外,在一共进行两次加热处理时,总工序数增加,总工序所需的时间也增长。

[0098] 从而,在形成覆盖氧化物半导体层的包含氧化硅的绝缘膜452之后,进行一次加热处理来实现提高氧化物半导体层405及包含氧化硅的绝缘膜452的质量是很有用的。

[0099] 此外,第二比较例中的包含氧化硅的绝缘膜的SIMS分析所得到的氢密度的平均值为 $2 \times 10^{21}/\text{cm}^3$,其氮密度为 $1.5 \times 10^{21}/\text{cm}^3$ 。

[0100] 实施方式2

[0101] 在本实施方式中示出使用灯光源进行加热处理的例子。

[0102] 由于在热处理的工序中使用灯光源以外的工序与实施方式1相同,所以省略详细说明。

[0103] 在形成覆盖氧化物半导体层的包含氧化硅的绝缘膜452之后,使用灯光源进行加热处理。此外,在覆盖氧化物半导体层的包含氧化硅的绝缘膜452中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上,其氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上。该加热处理在大气气氛下或在氮气下进行。此外,在反复进行多次灯光源的点亮和熄灭时也进行一次加热处理。

[0104] 作为灯光源使用卤素灯、卤化金属灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯。以上述灯光源为光源的强光的加热处理法被称为快速热退火(Rapid Thermal Anneal;以下称为RTA),是在几十秒至几微秒之间瞬间进行加热的热处理技术。

[0105] 通过使用灯光源,与使用炉或热板相比能够在更短时间内进行加热处理。在使用灯光源时,氧化物半导体层的温度和包含氧化硅的绝缘膜452的温度都设定为在300℃至600℃这样的温度范围内。

[0106] 此外,由于是短时间的加热,所以难以产生氧化物半导体层的晶化,可以保持氧化物半导体层的非晶结构。另外,由于在由包含氧化硅的绝缘膜452覆盖氧化物半导体层的状态下进行加热,所以难以产生氧化物半导体层的晶化。

[0107] 此外,与氧化物半导体层上接触地设置上述满足氢密度或氮密度的包含氧化硅的绝缘膜452,在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成包含氧化硅的绝缘膜452之前的期间一次也不进行300℃以上的加热处理,因此在形成包含氧化硅的绝缘膜452之后进行300℃至600℃的加热处理也可抑制TFT特性的不均匀。

[0108] 本实施方式可以与实施方式1自由地组合。

[0109] 实施方式3

[0110] 在本实施方式中,参照图8A至图14说明薄膜晶体管及其制造工序。

[0111] 在图8A中,作为具有透光性的衬底100,可以使用钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等的玻璃衬底。

[0112] 接着,在衬底100的整个表面上形成导电层,然后进行第一光刻工序,形成抗蚀剂掩模,通过蚀刻去除不需要的部分来形成布线及电极(包括栅电极101的栅极布线、电容布线108及第一端子121)。此时,进行蚀刻以至少在栅电极101的端部形成锥形形状。图8A示出这个阶段的截面图。另外,这个阶段的俯视图相当于图10。

[0113] 包括栅电极101的栅极布线、电容布线108和端子部的第一端子121通过使用选自钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、铝(Al)、铜(Cu)中的元素;或以上述元素为成分的合金;或组合上述元素的合金膜;或者以上述元素为成分的氮化物膜而形成。

[0114] 接着,在栅电极101的整个表面上形成栅极绝缘层102。通过溅射法等,形成50nm至250nm厚的栅极绝缘层102。

[0115] 例如,通过PCVD法或溅射法并使用氧化硅膜来形成100nm厚的栅极绝缘层102。当然,栅极绝缘层102不局限于这种氧化硅膜,也可以使用氧氮化硅膜、氮化硅膜、氧化铝膜、氧化钽膜等的其他绝缘膜来形成由这些材料构成的单层或叠层结构作为栅极绝缘层102。但是,在栅极绝缘层102为单层时,优选使用氧化硅膜或氧氮化硅膜,以便与后面形成的氧化物半导体层接触。此外,在栅极绝缘层102为叠层时,与后面形成的氧化物半导体层接触的层优选使用氧化硅膜或氧氮化硅膜。

[0116] 接着,通过溅射法或真空蒸镀法在栅极绝缘层102上形成由金属材料构成的导电膜。作为导电膜的材料,可以举出选自Al、Cr、Ta、Ti、Mo、W中的元素;或以上述元素为成分的合金;或组合上述元素的合金膜等。在此,作为导电膜,层叠铝(Al)膜和在该铝膜上重叠的钛(Ti)膜。此外,导电膜也可以采用双层结构,也可以在钨膜上层叠钛膜。另外,导电膜也可以采用包含硅的铝膜的单层结构、或钨膜的单层结构。

[0117] 接着,通过溅射法在导电膜上形成第一氧化物半导体膜(在本实施方式中为第一In-Ga-Zn-O类非单晶膜)。在此,使用摩尔比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 的靶材并在如下成膜条件下进行溅射成膜:压力为0.4Pa;电力为500W;成膜温度为室温;所引入的氩气体流量为40sccm。尽管有意使用摩尔比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 的靶材,但有时在刚成膜后形成有包含尺寸为1nm至10nm的晶粒的In-Ga-Zn-O类非单晶膜。此外,可以认为通过适当地调节靶材的成分比、成膜压力(0.1Pa至2.0Pa)、电力(250W至3000W:8英寸)、温度(室温至100℃)、反应性溅射的成膜条件等,可以调节是否有晶粒、或晶粒的密度、或直径尺寸为1nm至10nm的范围内。第一In-Ga-Zn-O类非单晶膜的厚度为5nm至20nm。当然,当在膜中包含晶粒时,所包含的晶粒的尺寸不超过膜厚度。在本实施方式中,第一In-Ga-Zn-O类非单晶膜的厚度为5nm。

[0118] 接着,进行第二光刻工序形成抗蚀剂掩模,而对第一In-Ga-Zn-O类非单晶膜进行蚀刻。在此,通过使用ITO-07N(日本关东化学株式会社制造)的湿蚀刻,去除不需要的部分形成第一In-Ga-Zn-O类非单晶膜111a、111b。另外,在此的蚀刻不局限于湿蚀刻,也可以利用干蚀刻。

[0119] 接着,使用与用于第一In-Ga-Zn-O类非单晶膜的蚀刻相同的抗蚀剂掩模,通过蚀刻去除不需要的部分来形成源电极层105a及漏电极层105b。作为此时的蚀刻方法,利用湿蚀刻或干蚀刻。在此,通过利用将SiCl₄、Cl₂、BCl₃的混合气体用作反应气体的干蚀刻,对层叠Al膜、Ti膜的导电膜进行蚀刻而形成源电极层105a及漏电极层105b。图8B示出这个阶段的截面图。另外,这个阶段的俯视图相当于图11。

[0120] 此外,在该第二光刻工序中,将与源电极层105a及漏电极层105b相同的材料的第二端子122残留在端子部。另外,第二端子122与源极布线(包括源电极层105a的源极布线)电连接。另外,在端子部存在于第二端子122的上方且与第二端子122重叠的第一In-Ga-Zn-O类非单晶膜123残留。

[0121] 此外,将与源电极层105a及漏电极层105b相同的材料的电容电极层124残留在电容部。另外,在电容部存在于电容电极层124的上方且与电容电极层124重叠的第一In-Ga-Zn-O类非单晶膜111c残留。

[0122] 接着,在去除抗蚀剂掩模之后,不暴露于大气地形成第二氧化物半导体膜(在本实施方式中为第二In-Ga-Zn-O类非单晶膜)。在进行等离子体处理之后,以不暴露于大气的方式形成第二In-Ga-Zn-O类非单晶膜来防止尘屑等附着在栅极绝缘层和半导体膜的界面,因此是有用的。在此,使用直径为8英寸的包含In、Ga及Zn的氧化物半导体靶材(In₂O₃:Ga₂O₃:ZnO=1:1:1),衬底和靶材之间的距离为170mm,压力为0.4Pa,直流(DC)电源为0.5kW,在氩或氧气氛下形成第二In-Ga-Zn-O类非单晶膜。此外,通过使用脉冲直流(DC)电源,可以减少尘屑(在成膜时形成的粉状或片状的物质),膜厚度分布也成为均匀,因此是优选的。第二In-Ga-Zn-O类非单晶膜的厚度为5nm至200nm。在本实施方式中,第二In-Ga-Zn-O类非单晶膜的厚度为100nm。

[0123] 通过使第二In-Ga-Zn-O类非单晶膜的成膜条件与第一In-Ga-Zn-O类非单晶膜的成膜条件不同,第二In-Ga-Zn-O类非单晶膜的电阻高于第一In-Ga-Zn-O类非单晶膜的电阻。例如,采用如下条件:第一In-Ga-Zn-O类非单晶膜的成膜条件中的对于氩气体流量的氧气体流量的比率高于第二In-Ga-Zn-O类非单晶膜的成膜条件中的对于氩气体流量的氧气体流量的比率。具体而言,第一In-Ga-Zn-O类非单晶膜的成膜条件是在稀有气体(氩或氦等)气氛下(或将氧气体设定为10%以下,将氩气体设定为90%以上),第二In-Ga-Zn-O类非单晶膜的成膜条件是在氧混合气氛下(氧气体流量多于稀有气体流量)。

[0124] 接着,进行第三光刻工序形成抗蚀剂掩模,并且通过蚀刻去除不需要的部分来形成半导体层103。在此通过使用ITO-07N(日本关东化学株式会社制造)的湿蚀刻去除第二In-Ga-Zn-O类非单晶膜来形成半导体层103。另外,由于对第一In-Ga-Zn-O类非单晶膜和第二In-Ga-Zn-O类非单晶膜使用相同的蚀刻剂进行蚀刻,因此通过在此的蚀刻去除第一In-Ga-Zn-O类非单晶膜。由此,虽然覆盖有第二In-Ga-Zn-O类非单晶膜的第一In-Ga-Zn-O类非单晶膜的一部分受到保护,但是如图9A所示,露出的第一In-Ga-Zn-O类非单晶膜111a、111b受到蚀刻而形成源区104a、漏区104b。另外,半导体层103的蚀刻不局限于湿蚀刻,也可以利用干蚀刻。通过上述工序可以制造将半导体层103用作沟道形成区的薄膜晶体管170。图9A示出这个阶段的截面图。另外,这个阶段的俯视图相当于图12。

[0125] 接着,去除抗蚀剂掩模,形成覆盖半导体层的保护绝缘膜107。此外,与半导体层接触的保护绝缘膜107中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上。或者,与半导体层接触的保护绝缘

膜107中含有的氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上。保护绝缘膜107若满足上述氢密度或上述氮密度,则不局限于形成方法,例如利用等离子体CVD法或溅射法形成。保护绝缘膜107使用氧化硅膜、氮化硅膜。此外,形成保护绝缘膜107时的衬底温度为 300°C 以下。

[0126] 接着,在形成保护绝缘膜107之后优选进行 300°C 至 600°C 的,典型为 300°C 至 500°C 的热处理。在此放置在炉中,在氮气气氛下或大气气氛下以 350°C 进行1个小时的热处理。通过该热处理,进行In-Ga-Zn-O类非单晶膜的原子级的重新排列。由于通过该热处理释放阻挡载流子的迁移的应变,因此在此进行的热处理(包括光退火)很重要。

[0127] 接着,进行第四光刻工序形成抗蚀剂掩模,并且通过保护绝缘膜107的蚀刻形成到达漏电极层105b的接触孔125。此外,通过在此的蚀刻还形成到达第二端子122的接触孔127。此外,通过在此的蚀刻,还形成到达电容电极层124的接触孔109。另外,为了减少掩模数,优选使用同一抗蚀剂掩模对栅极绝缘层进行蚀刻并且使用同一抗蚀剂掩模形成到达栅电极的接触孔126。图9B示出这个阶段的截面图。

[0128] 接着,在去除抗蚀剂掩模之后,形成透明导电膜。作为透明导电膜的材料,利用溅射法或真空蒸镀法等由氧化铟(In_2O_3)、或氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$ 、缩写为ITO)等形成透明导电膜。使用盐酸类的溶液进行对这些材料的蚀刻处理。然而,由于对ITO的蚀刻特别容易产生残渣,因此也可以使用氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$),以便改善蚀刻加工性。

[0129] 接着,进行第五光刻工序形成抗蚀剂掩模,并且通过蚀刻去除不需要的部分来形成像素电极110。

[0130] 此外,在该第五光刻工序中,以在电容部中的栅极绝缘层102为电介质,并由电容电极层124和电容布线108形成存储电容。像素电极110通过接触孔109与电容电极层124电连接。

[0131] 此外,在该第五光刻工序中,使用抗蚀剂掩模覆盖第一端子及第二端子并使形成在端子部的透明导电膜128、129残留。透明导电膜128、129成为用来与FPC连接的电极或布线。形成在第二端子122上的透明导电膜129是用作源极布线的输入端子的连接用端子电极。

[0132] 接着,去除抗蚀剂掩模。图9C示出这个阶段的截面图。另外,这个阶段的俯视图相当于图13。

[0133] 此外,图14A1和图14A2分别示出这个阶段的栅极布线端子部的截面图及俯视图。图14A1相当于沿着图14A2中的C1-C2线的截面图。在图14A1中,形成在保护绝缘膜154上的透明导电膜155是用作输入端子的连接用端子电极。另外,在图14A1中,在端子部使用与栅极布线相同的材料形成的第一端子151和使用与源极布线相同的材料形成的连接电极153隔着栅极绝缘层152重叠,利用透明导电膜155导通。此外,图9C所示的透明导电膜128和第一端子121接触的部分对应于图14A1的透明导电膜155和第一端子151接触的部分。

[0134] 另外,图14B1及图14B2分别示出与图9C所示的源极布线端子部不同的源极布线端子部的截面图及俯视图。此外,图14B1相当于沿着图14B2中的D1-D2线的截面图。在图14B1中,形成在保护绝缘膜154上的透明导电膜155是用作输入端子的连接用端子电极。另外,在图14B1中,在端子部使用与栅极布线相同的材料形成的电极156隔着栅极绝缘层152重叠在与源极布线电连接的第二端子150的下方。电极156不与第二端子150电连接,通过将电极156设定为与第二端子150不同的电位,例如浮动状态、GND、0V等,可以形成作为对噪声的措

施的电容或作为对静电的措施的电容。此外,第二端子150隔着保护绝缘膜154与透明导电膜155电连接。

[0135] 根据像素密度设置多个栅极布线、源极布线及电容布线。此外,在端子部排列地配置多个具有与栅极布线相同的电位的第一端子、多个具有与源极布线相同的电位的第二端子、多个具有与电容布线相同的电位的第三端子等。各端子的数量可以是任意的,而实施者适当地决定各端子的数量,即可。

[0136] 像这样,通过五次的光刻工序,使用五个光掩模来可以完成包括底栅型的n沟道型薄膜晶体管的薄膜晶体管170的像素部、存储电容。再者,通过对应于每一个像素将该像素部、存储电容配置为矩阵状来构成像素部,可以形成用来制造有源矩阵型显示装置的一个衬底。在本说明书中,为方便起见将这种衬底称为有源矩阵衬底。

[0137] 当制造有源矩阵型液晶显示装置时,在有源矩阵衬底和设有对置电极的对置衬底之间设置液晶层,固定有源矩阵衬底和对置衬底。另外,在有源矩阵衬底上设置与设置在对置衬底上的对置电极电连接的共同电极,在端子部设置与共同电极电连接的第四端子。该第四端子是用来将共同电极设定为固定电位例如GND、0V等的端子。

[0138] 此外,本发明不局限于图13的像素结构。图15示出与图13不同的俯视图的例子。图15示出例子,其中不设置电容布线,而是将栅极绝缘层用作电介质,由第一像素的栅极布线和隔着栅极绝缘层重叠的第一像素相邻的第二像素的电容电极层,来形成存储电容。此时,可以省略电容布线及与电容布线连接的第三端子。另外,第二像素的电容电极层与第二像素的像素电极电连接。此外,在图15中,使用相同的附图标记说明与图13相同的部分。

[0139] 在有源矩阵型液晶显示装置中,通过驱动配置为矩阵状的像素电极,在屏幕上形成显示图案。详细地说,通过在所选择的像素电极和对应于该像素电极的对置电极之间施加电压,进行配置在像素电极和对置电极之间的液晶层的光学调制,该光学调制以显示图案的方式观察者确认。

[0140] 当液晶显示装置显示动态图像时,由于液晶分子本身的响应慢,所以有产生余像或动态图像模糊的问题。有一种被称作黑插入的驱动技术,其中为了改善液晶显示装置的动态图像特性,在每隔一帧进行整个面的黑显示。

[0141] 此外,还有一种被称为倍速驱动的驱动技术,该倍速驱动是指通过将垂直同步频率设定为通常的1.5倍以上,优选设定为通常的2倍以上来改善动态图像特性。

[0142] 另外,还有如下驱动技术:为了改善液晶显示装置的动态图像特性,作为背光灯使用多个LED(发光二极管)光源或多个EL光源等构成面光源,并使构成面光源的各光源独立地在一个帧期间内进行间歇点亮驱动。作为面光源,可以使用三种以上的LED,也可以使用白色发光的LED。由于可以独立地控制多个LED,因此也可以按照液晶层的光学调制的切换时序使LED的发光时序同步。因为在这种驱动技术中可以局部地熄灭LED,所以特别在进行一个屏幕中的黑色显示区所占的比率高的图像显示的情况下,可以得到耗电量的减少效果。

[0143] 通过组合这些驱动技术,可以与现有的液晶显示装置相比进一步改善液晶显示装置的动态图像特性等的显示特性。

[0144] 由于本实施方式所得到的n沟道型晶体管将In-Ga-Zn-O类非单晶膜的半导体层用于沟道形成区并具有良好的动态特性,所以可以组合这些驱动技术。

[0145] 此外,在制造发光显示装置的情况下,因为将有机发光元件的一个电极(也称为阴极)设定为低电源电位,例如GND、0V等,所以在端子部设置用来将阴极设定为低电源电位,例如GND、0V等的第四端子。此外,在制造发光显示装置的情况下,除了源极布线及栅极布线之外还设置电源供给线。由此,在端子部设置与电源供给线电连接的第五端子。

[0146] 在本实施方式中采用有栅电极层、栅极绝缘层、源电极层及漏电极层、源区或漏区(包含In、Ga及Zn的氧化物半导体层)、半导体层(包含In、Ga及Zn的氧化物半导体层)的叠层结构的薄膜晶体管,在形成保护绝缘膜之后进行热处理来可以减少电特性的不均匀。

[0147] 根据本实施方式可以得到导通截止比高的薄膜晶体管,而可以制造具有良好的动态特性的薄膜晶体管。因此,可以提供具有电特性高且可靠性高的薄膜晶体管的半导体装置。

[0148] 实施方式4

[0149] 在本实施方式中示出发光显示装置的一例作为半导体装置。在此,示出利用电致发光的发光元件作为显示装置所具有的显示元件。对利用电致发光的发光元件根据其发光材料是有机化合物还是无机化合物来进行区别,前者被称为有机EL元件,而后者被称为无机EL元件。

[0150] 在有机EL元件中,通过对发光元件施加电压,电子和空穴从一对电极分别注入到包含发光有机化合物的层,以产生电流。然后,由于这些载流子(电子和空穴)重新结合,发光有机化合物处于激发态,并且当该激发态恢复到基态时,得到发光。根据这种机理,这种发光元件被称为电流激发型发光元件。

[0151] 根据其元件的结构,将无机EL元件分类为分散型无机EL元件和薄膜型无机EL元件。分散型无机EL元件包括在粘合剂中分散有发光材料的粒子的发光层,并且其发光机理是利用供体能级和受体能级的供体-受体重新结合型发光。薄膜型无机EL元件具有由电介质层夹住发光层并还利用电极夹住该夹住发光层的电介质层的结构,并且其发光机理是利用金属离子的内层电子跃迁的定域型发光。另外,在此使用有机EL元件作为发光元件而进行说明。

[0152] 图16示出可以使用数字时间灰度驱动的像素结构的一例作为半导体装置的例子。

[0153] 对可以应用数字时间灰度驱动的像素的结构以及像素的工作进行说明。在此示出在一个像素中使用两个n沟道型晶体管的例子,该n沟道型晶体管中将氧化物半导体层(典型为In-Ga-Zn-O类非单晶膜)用于沟道形成区。

[0154] 像素6400包括开关晶体管6401、驱动晶体管6402、发光元件6404以及电容元件6403。在开关晶体管6401中,栅极与扫描线6406连接,第一电极(源电极及漏电极中的一方)与信号线6405连接,第二电极(源电极及漏电极中的另一方)与驱动晶体管6402的栅极连接。在驱动晶体管6402中,栅极通过电容元件6403与电源线6407连接,第一电极与电源线6407连接,第二电极与发光元件6404的第一电极(像素电极)连接。发光元件6404的第二电极相当于共同电极6408。共同电极6408与形成在同一衬底上的共同电位线电连接,将该连接部分用作公共连接部。

[0155] 另外,将发光元件6404的第二电极(共同电极6408)设定为低电源电位。另外,低电源电位是指以设定于电源线6407的高电源电位为基准并低电源电位低于高电源电位的电位,作为低电源电位例如可以设定为GND、0V等。将该高电源电位与低电源电位的电位差施

加到发光元件6404上,为了使发光元件6404产生电流以使发光元件6404发光,以高电源电位与低电源电位的电位差为发光元件6404的正向阈值电压以上的方式分别设定其电位。

[0156] 此外,还可以使用驱动晶体管6402的栅极电容代替电容元件6403而省略电容元件6403。至于驱动晶体管6402的栅极电容,可以在沟道区与栅电极之间形成电容。

[0157] 在此,在采用电压输入电压驱动方式的情况下,对驱动晶体管6402的栅极输入能够使驱动晶体管6402成为充分地导通或截止的两个状态的电压信号。即,驱动晶体管6402在线形区域进行工作。由于驱动晶体管6402在线形区域进行工作,将比电源线6407的电压高的电压施加到驱动晶体管6402的栅极上。另外,对信号线6405施加(电源线电压+驱动晶体管6402的 V_{th})以上的电压。

[0158] 另外,当进行模拟灰度驱动而代替数字时间灰度驱动时,通过使信号的输入不同,可以使用与图16相同的像素结构。

[0159] 当进行模拟灰度驱动时,对驱动晶体管6402的栅极施加(发光元件6404的正向电压+驱动晶体管6402的 V_{th})以上的电压。发光元件6404的正向电压是指设定为所希望的亮度时的电压,至少包含正向阈值电压。另外,通过输入使驱动晶体管6402在饱和区域工作的电压信号,可以在发光元件6404中产生电流。为了使驱动晶体管6402在饱和区域进行工作,使电源线6407的电位比驱动晶体管6402的栅极电位还要高。通过将电压信号设定为模拟方式,可以在发光元件6404中产生响应电压信号的电流,而进行模拟灰度驱动。

[0160] 另外,图16所示的像素结构不局限于此。例如,还可以对图16所示的像素新添加开关、电阻元件、电容元件、晶体管或逻辑电路等。

[0161] 下面,参照图17A至图17C说明发光元件的结构。在此,以驱动TFT是n型的情况为例子来说明像素的截面结构。可以与实施方式3所示的薄膜晶体管170同样地制造用于图17A、图17B和图17C的半导体装置的驱动TFT的TFT7001、7011、7021,这些TFT是作为半导体层包含氧化物的薄膜晶体管。

[0162] 为了取出发光,发光元件的阳极或阴极的至少一方是透明的即可。又,在衬底上形成薄膜晶体管及发光元件,并且有如下结构的发光元件,即从与衬底相反的面取出发光的顶部发射、或从衬底一侧的面取出发光的底部发射、或从衬底一侧及与衬底相反的面取出发光的双面发射。像素结构可以应用于任何发射结构的发光元件。

[0163] 参照图17A说明顶部发射结构的发光元件。

[0164] 在图17A中示出当驱动TFT的TFT7001为n型且从发光元件7002发射的光穿过阳极7005一侧时的像素的截面图。在TFT7001中,作为半导体层使用包含氧化硅的In-Ga-Zn-O类非单晶膜。通过包含氧化硅等的杂质,即使进行300℃至600℃的热处理,也可以防止该氧化物半导体的晶化或微晶粒的产生。在图17A中,发光元件7002的阴极7003和驱动TFT的TFT7001电连接,在阴极7003上按顺序层叠有发光层7004、阳极7005。至于阴极7003,只要是功函数小且反射光的导电膜,就可以使用各种材料。例如,优选采用Ca、Al、MgAg、AlLi等。再者,发光层7004可以由单层或多层的叠层构成。在由多层构成时,在阴极7003上按顺序层叠电子注入层、电子传输层、发光层、空穴传输层、空穴注入层。另外,不需要设置所有这些层。使用具有透光性的导电材料形成阳极7005,也可以使用具有透光性的导电膜例如包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、氧化铟氧化锡合金、铟锌氧化物、添加有氧化硅的铟锡氧化物等。

[0165] 由阴极7003及阳极7005夹有发光层7004的区域相当于发光元件7002。在图17A所示的像素中,从发光元件7002发射的光如箭头所示那样发射到阳极7005一侧。

[0166] 接着,参照图17B说明底部发射结构的发光元件。图17B示出在驱动TFT7011是n型,并且从发光元件7012发射的光发射到阴极7013一侧的情况下的像素的截面图。在TFT7011中,作为半导体层使用包含氧化硅的Zn-O类氧化物半导体。通过包含氧化硅等的杂质,即使进行300℃至600℃的热处理,也可以防止该氧化物半导体的晶化或微晶粒的产生。在图17B中,在与驱动TFT7011电连接的具有透光性的导电膜7017上形成有发光元件7012的阴极7013,在阴极7013上按顺序层叠有发光层7014、阳极7015。另外,在阳极7015具有透光性的情况下,也可以覆盖阳极上地形成有用来反射光或遮光的屏蔽膜7016。与图17A的情况同样地,至于阴极7013,只要是功函数小的导电材料,就可以使用各种材料。但是,将其厚度设定为透过光的程度(优选为5nm至30nm程度)。例如,可以将膜厚度为20nm的铝膜用作阴极7013。又,与图17A同样地,发光层7014可以由单层或多个层的叠层构成。阳极7015不需要透过光,但是可以与图17A同样地使用具有透光性的导电材料形成。并且,虽然屏蔽膜7016例如可以使用反射光的金属等,但是不局限于金属膜。例如,也可以使用添加有黑色的颜料的树脂等。

[0167] 由阴极7013及阳极7015夹有发光层7014的区域相当于发光元件7012。在图17B所示的像素中,从发光元件7012发射的光如箭头所示那样发射到阴极7013一侧。

[0168] 接着,参照图17C说明双面发射结构的发光元件。在图17C中,在与驱动TFT7021电连接的具有透光性的导电膜7027上形成有发光元件7022的阴极7023,在阴极7023上按顺序层叠有发光层7024、阳极7025。在TFT7021中,作为半导体层使用In-Ga-Zn-O类非单晶膜。与图17A的情况同样地,至于阴极7023,只要是功函数小的导电材料,就可以使用各种材料。但是,将其厚度设定为透过光的程度。例如,可以将膜厚度为20nm的Al膜用作阴极7023。再者,与图17A同样地,发光层7024可以由单层或多个层的叠层构成。阳极7025可以与图17A同样地使用透过光的具有透光性的导电材料形成。

[0169] 阴极7023、发光层7024和阳极7025重叠的区域相当于发光元件7022。在图17C所示的像素中,从发光元件7022发射的光如箭头所示那样发射到阳极7025一侧和阴极7023一侧的双方。

[0170] 另外,虽然在此描述了有机EL元件作为发光元件,但是也可以设置无机EL元件作为发光元件。

[0171] 另外,在本实施方式中示出了控制发光元件的驱动的薄膜晶体管(驱动TFT)和发光元件电连接的例子,但是也可以采用在驱动TFT和发光元件之间连接有电流控制TFT的结构。

[0172] 此外,在本实施方式中,通过在形成保护绝缘膜之后进行热处理(300℃至600℃),在设置隔壁以防止相邻的发光元件的阳极的短路时,即使将使用聚酰亚胺等的隔壁的焙烧温度设定为300℃并进行加热处理,也可以抑制对薄膜晶体管的电特性的影响,并降低电特性的不均匀。

[0173] 通过上述步骤,可以制造减少电特性的不均匀的发光显示装置(显示面板)作为半导体装置。

[0174] 实施方式5

[0175] 在本实施方式中,作为半导体装置示出一例电子纸。

[0176] 图18A示出有源矩阵型电子纸的截面图。可以与实施方式3所示的薄膜晶体管170同样地制造配置在用于半导体装置的显示部的薄膜晶体管581,该薄膜晶体管581是包括将氧化物半导体膜用作半导体层的电特性高的薄膜晶体管。在本实施方式中,使用包括将Sn-Zn-O类氧化物半导体用作半导体层的电特性高的薄膜晶体管。

[0177] 图18A的电子纸是采用扭转球(twisting ball)显示方式的显示装置的例子。扭转球显示方式是指一种方法,其中将分开涂敷有白色和黑色的球形粒子配置在用于显示元件的电极层的第一电极层及第二电极层之间,并在第一电极层及第二电极层之间产生电位差来控制球形粒子的方向,以进行显示。

[0178] 薄膜晶体管581是底栅结构的薄膜晶体管,并通过源电极层或漏电极层与第一电极层587在形成在绝缘层583、584、585的开口互相接触而电连接。在第一电极层587和第二电极层588之间存在有空腔594。在空腔594内充满着具有黑色区590a及白色区590b的球形粒子和液体。此外,空腔594的周围被树脂等的填充材料595填充(参照图18A)。

[0179] 在本实施方式中,第一电极层587相当于像素电极,第二电极层588相当于公共电极。第二电极层588与设置在与薄膜晶体管581同一衬底上的公共电位线电连接。在公共连接部可以通过配置在一对衬底580、596之间的导电粒子,使第二电极层588与公共电位线电连接。

[0180] 此外,还可以使用电泳元件来代替扭转球。使用直径为10 μ m至200 μ m程度的微囊,该微囊中封入有透明液体、带有正电的白色微粒以及带有负电的黑色微粒。当对于设置在第一电极层和第二电极层之间的微囊由第一电极层和第二电极层施加电场时,白色微粒和黑色微粒移动到相反方向,从而可以显示白色或黑色。应用这种原理的显示元件就是电泳显示元件,被称为电子纸。电泳显示元件具有比液晶显示元件高的反射率,因而不需要辅助灯。此外,其耗电量低,并且在昏暗的地方也能够辨别显示部。另外,即使不给显示部供应电源,也能够保持显示过一次的图像,因此,即使使具有显示功能的半导体装置(简单地称为显示装置,或称为具备显示装置的半导体装置)远离电波发射源,也能够保存显示过的图像。

[0181] 通过使用由实施方式3所示的工序来得到的电特性良好的薄膜晶体管170,可以制造电子纸。电子纸可以用于用来显示信息的各种领域的电子设备。例如,可以将电子纸应用于电子书籍(电子书)、招贴、电车等的交通工具的车内广告、信用卡等的各种卡片中的显示等。图18B示出电子设备的一例。

[0182] 图18B示出电子书籍2700的一例。例如,电子书籍2700由两个框体,即框体2701及框体2703构成。框体2701及框体2703由轴部2711形成为一体,并且可以以该轴部2711为轴进行开闭动作。通过采用这种结构,可以进行如纸的书籍那样的动作。

[0183] 框体2701组装有显示部2705,而框体2703组装有显示部2707。显示部2705及显示部2707的结构既可以是显示连屏画面的结构,又可以是显示不同的画面的结构。通过采用显示不同的画面的结构,例如在右边的显示部(图18B中的显示部2705)中可以显示文章,而在左边的显示部(图18B中的显示部2707)中可以显示图像。

[0184] 此外,在图18B中示出框体2701具备操作部等的例子。例如,在框体2701中,具备电源2721、操作键2723、扬声器2725等。利用操作键2723可以翻页。另外,也可以采用在与框体

的显示部同一面上具备键盘或指示装置等的结构。另外,也可以采用在框体的背面或侧面具备外部连接用端子(耳机端子、USB端子或可与AC适配器及USB电缆等的各种电缆连接的端子等)、记录介质插入部等的结构。再者,电子书籍2700也可以具有电子词典的功能。

[0185] 此外,电子书籍2700也可以采用以无线的方式收发信息的结构。还可以采用以无线的方式从电子书籍服务器购买所希望的书籍数据等,然后下载的结构。

[0186] 本实施方式可与其他实施方式所记载的结构适当地组合而实施。

[0187] 实施方式6

[0188] 包括使用氧化物半导体层的薄膜晶体管的半导体装置可以应用于各种电子设备(包括游戏机)。作为电子设备,例如可以举出电视装置(也称为电视或电视接收机)、用于计算机等的监视器、数码相机、数码摄像机、数码相框、移动电话机(也称为移动电话、移动电话装置)、便携式游戏机、便携式信息终端、声音再现装置、弹珠机等的大型游戏机等。

[0189] 图19A示出电视装置9601的一例。在电视装置9601中,框体组装有显示部9603。利用显示部9603可以显示映像。此外,在此示出固定在墙9600上支撑框体的背面的结构。

[0190] 可以通过利用框体所具备的操作开关、或另外提供的遥控操作机9610进行电视装置9601的操作。通过利用遥控操作机9610所具备的操作键9609,可以进行频道或音量的操作,并可以对在显示部9603上显示的映像进行操作。此外,也可以采用在遥控操作机9610中设置显示从该遥控操作机9610输出的信息的显示部9607的结构。

[0191] 另外,电视装置9601采用具备接收机及调制解调器等的结构。可以通过利用接收机接收一般的电视广播。再者,通过调制解调器连接到有线或无线方式的通信网络,从而也可进行单向(从发送者到接收者)或双向(在发送者和接收者之间或在接收者之间等)的信息通信。

[0192] 图19B示出一种便携式游戏机,其由框体9881和框体9891这两个框体构成,并且通过连接部9893可以开闭地连接。框体9881安装有显示部9882,并且框体9891安装有显示部9883。另外,图19B所示的便携式游戏机还具备扬声器部9884、记录介质插入部9886、LED灯9890、输入单元(操作键9885、连接端子9887、传感器9888(包括测定如下因素的功能:力量、位移、位置、速度、加速度、角速度、转动数、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)以及麦克风9889)等。当然,便携式游戏机的结构不局限于上述结构,只要采用至少具备半导体装置的结构即可,并且可以采用适当地设置有其它附属设备的结构。图19B所示的便携式游戏机具有如下功能:读出存储在记录介质中的程序或数据并将其显示在显示部上;或与其他便携式游戏机进行无线通信而实现信息共享。另外,图19B所示的便携式游戏机所具有的功能不局限于此,而可以具有各种各样的功能。

[0193] 图20A示出移动电话机1000的一例。移动电话机1000除了安装在框体1001的显示部1002之外还具备操作按钮1003、外部连接端口1004、扬声器1005、麦克风1006等。

[0194] 图20A所示的移动电话机1000可以用手指等触摸显示部1002来输入信息。此外,可以用手指等触摸显示部1002来打电话或进行电子邮件的输入等的操作。

[0195] 显示部1002的画面主要有三个模式。第一是以图像的显示为主的显示模式,第二是以文字等的信息的输入为主的输入模式,第三是显示模式和输入模式这两个模式混合的显示+输入模式。

[0196] 例如,在打电话或制作电子邮件的情况下,将显示部1002设定为以文字输入为主的文字输入模式,并进行在画面上显示的文字的输入操作,即可。在此情况下,优选的是,在显示部1002的画面的大部分中显示键盘或号码按钮。

[0197] 此外,通过在移动电话机1000的内部设置具有陀螺仪和加速度传感器等检测倾斜度的传感器的检测装置,来判断移动电话机1000的方向(纵向还是横向),从而可对显示部1002的画面显示进行自动切换。

[0198] 通过触摸显示部1002或对框体1001的操作按钮1003进行操作,切换画面模式。还可以根据显示在显示部1002上的图像种类切换画面模式。例如,当显示在显示部上的图像信号为动态图像的数据时,将画面模式切换成显示模式,而当显示在显示部上的图像信号为文字数据时,将画面模式切换成输入模式。

[0199] 另外,当在输入模式中通过探测出显示部1002的光传感器所检测的信号并在一定期间中没有显示部1002的触摸操作输入时,也可以以将画面模式从输入模式切换成显示模式的方式来进行控制。

[0200] 还可以将显示部1002用作图像传感器。例如,通过用手掌或手指触摸显示部1002,来拍摄掌纹、指纹等,而可以进行身份识别。此外,通过在显示部中使用发射近红外光的背光灯或发射近红外光的感测光源,也可以拍摄手指静脉、手掌静脉等。

[0201] 图20B也是移动电话机的一例。图20B的移动电话机,在框体9411中具有包括显示部9412以及操作钮9413的显示装置9410,在框体9401中具有包括操作钮9402、外部输入端子9403、麦克风9404、扬声器9405以及来电话时发光的发光部9406的通信装置9400,具有显示功能的显示装置9410与具有电话功能的通信装置9400可以沿着箭头所指的两个方向拆装。所以可以将显示装置9410和通信装置9400的短轴互相连接,或将显示装置9410和通信装置9400的长轴互相连接。另外,当仅需要显示功能时,可以将显示装置9410从通信装置9400分开而单独使用显示装置9410。通信装置9400和显示装置9410可以通过无线通信或有线通信来进行图像或输入信息的接收,并分别具有可进行充电的电池。

[0202] 本实施方式可与其他实施方式所记载的结构适当地组合而实施。

[0203] 符号说明

[0204] 100 衬底;101 栅电极;102 栅极绝缘层;103 半导体层;104a 源区;104b 漏区;105a 源电极层;105b 漏电极层;107 保护绝缘膜;108 电容布线;109 接触孔;110像素电极;111a、111b、111c In-Ga-Zn-O类非单晶膜;121 端子;122 端子;123 In-Ga-Zn-O类非单晶膜;124 电容电极层;125 接触孔;126 接触孔;127 接触孔;128 透明导电膜;150 端子;151 端子;152 栅极绝缘层;153 连接电极;154 保护绝缘膜;155 透明导电膜;156 电极;170薄膜晶体管。

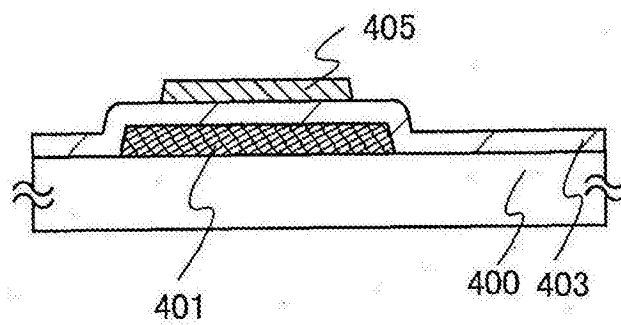


图1A

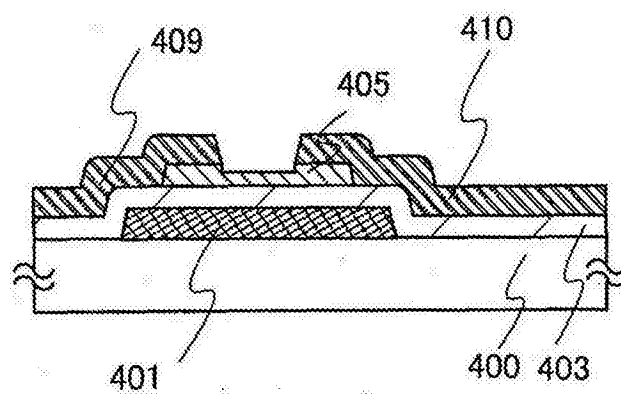


图1B

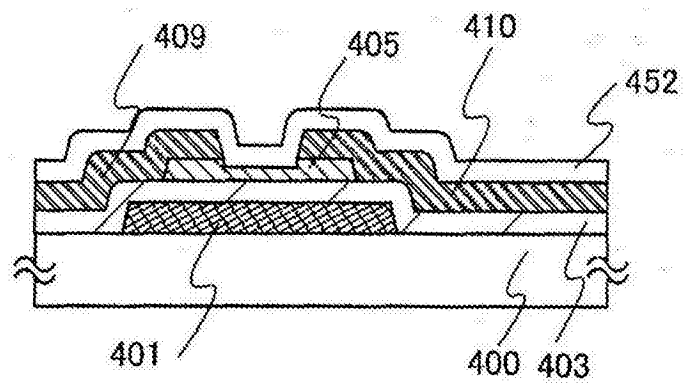


图1C

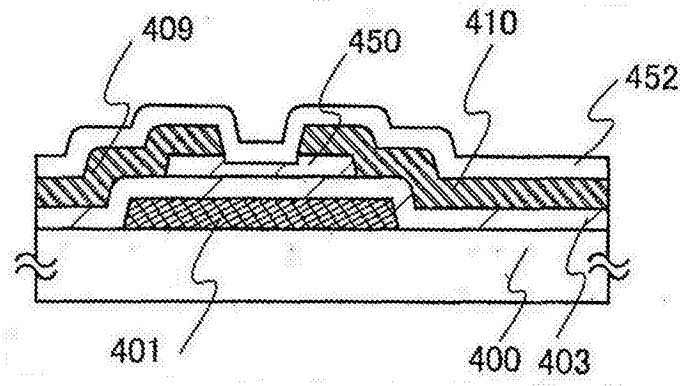


图1D

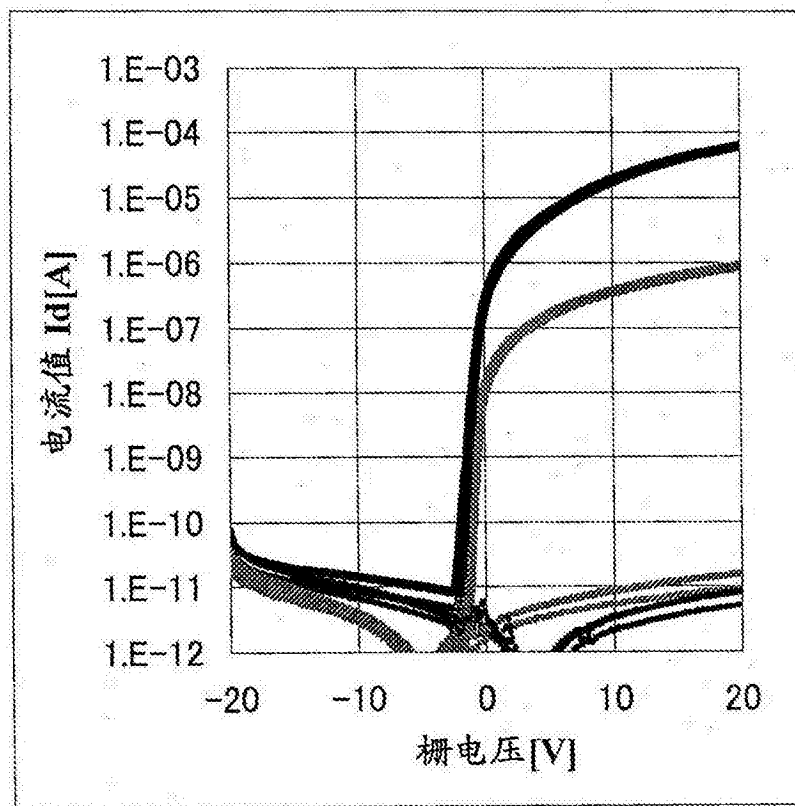


图2

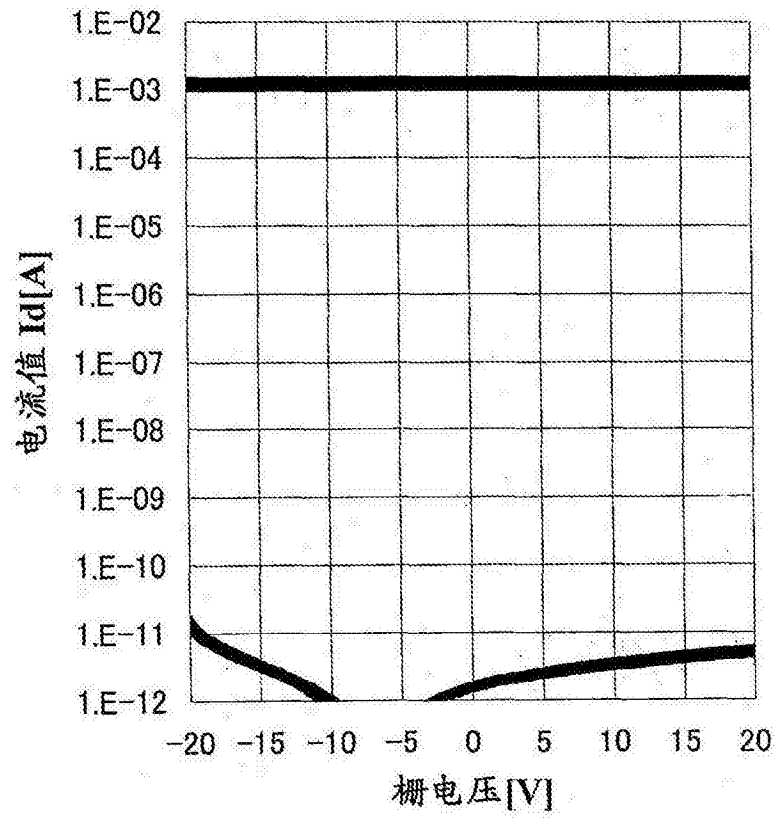


图3

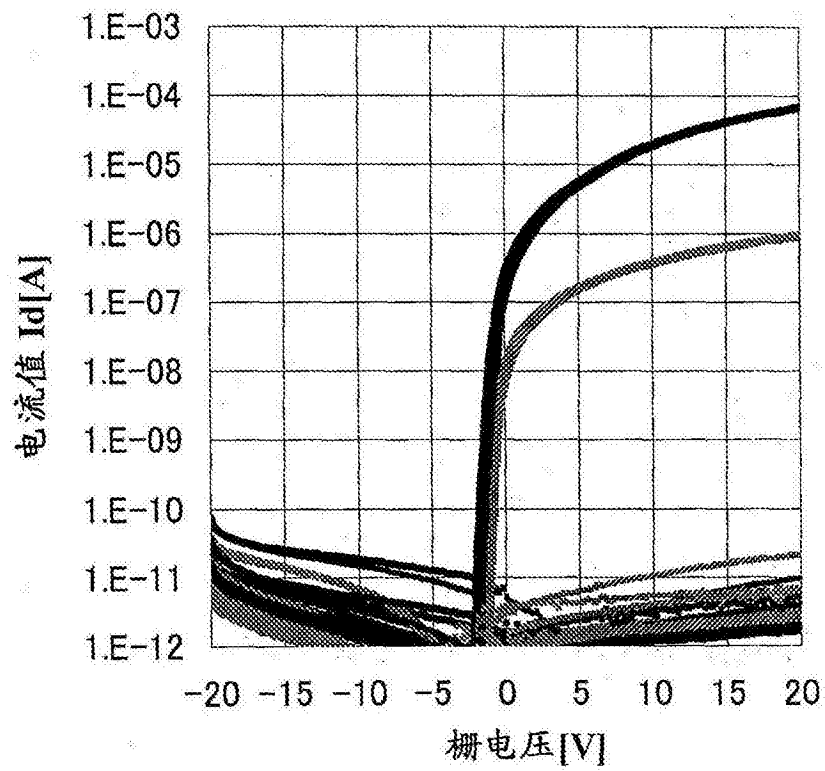


图4

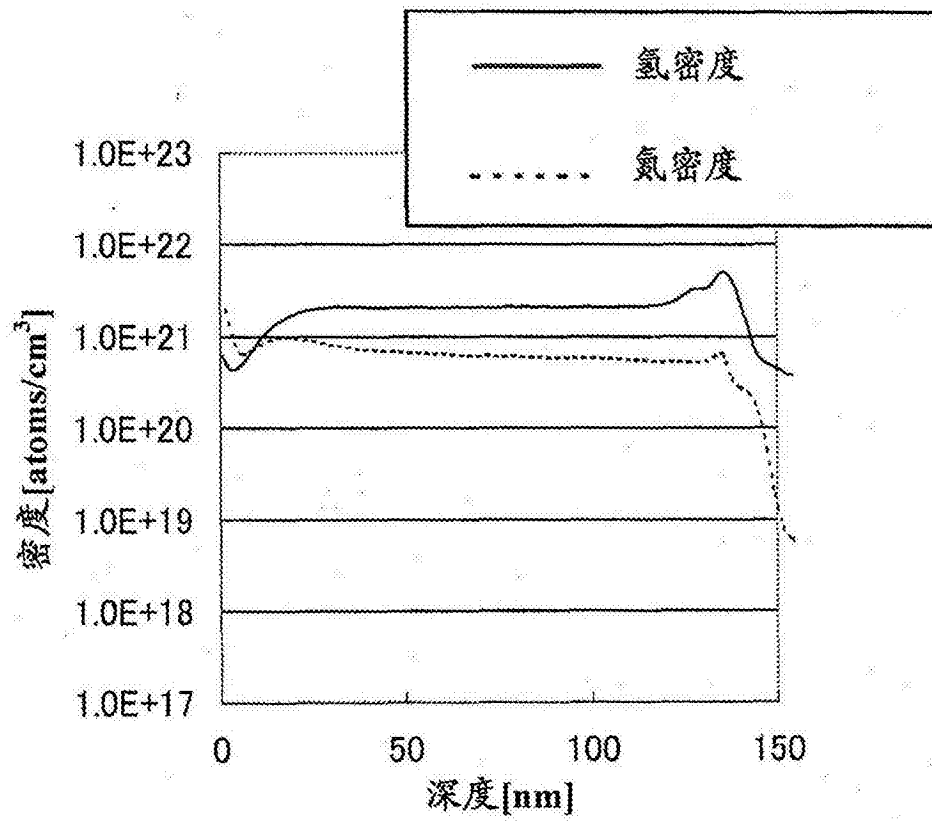


图5

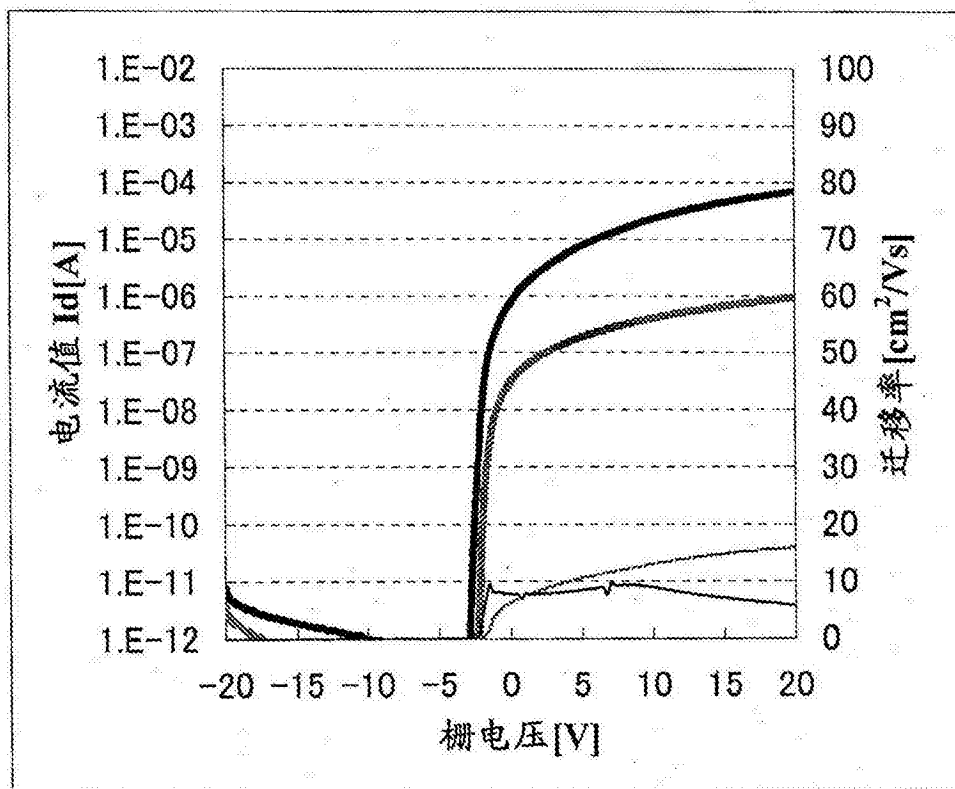


图6A

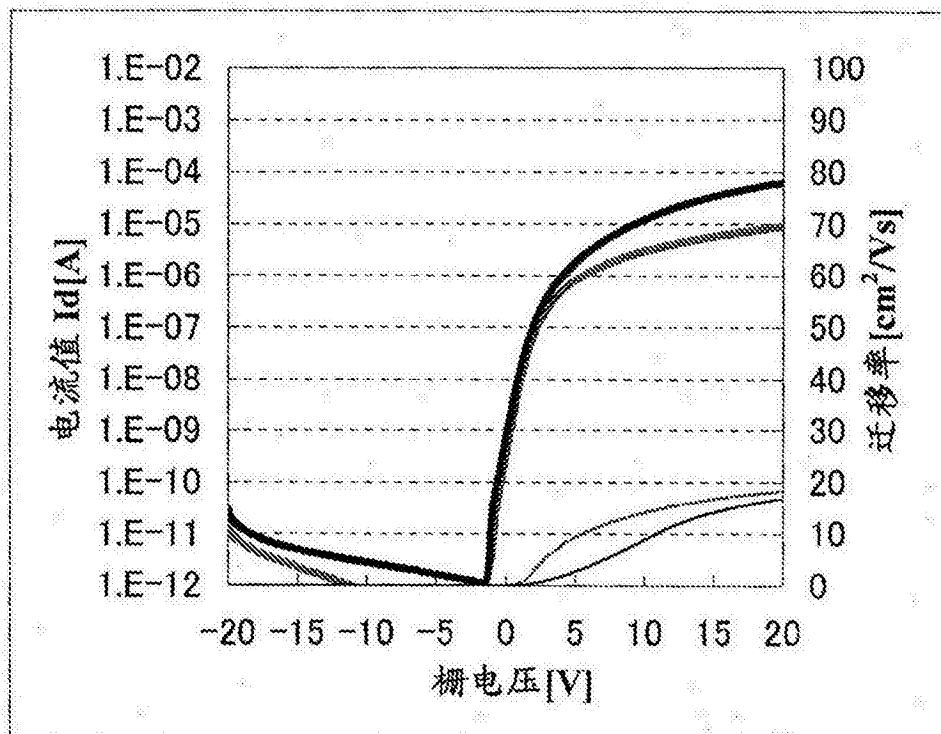


图6B

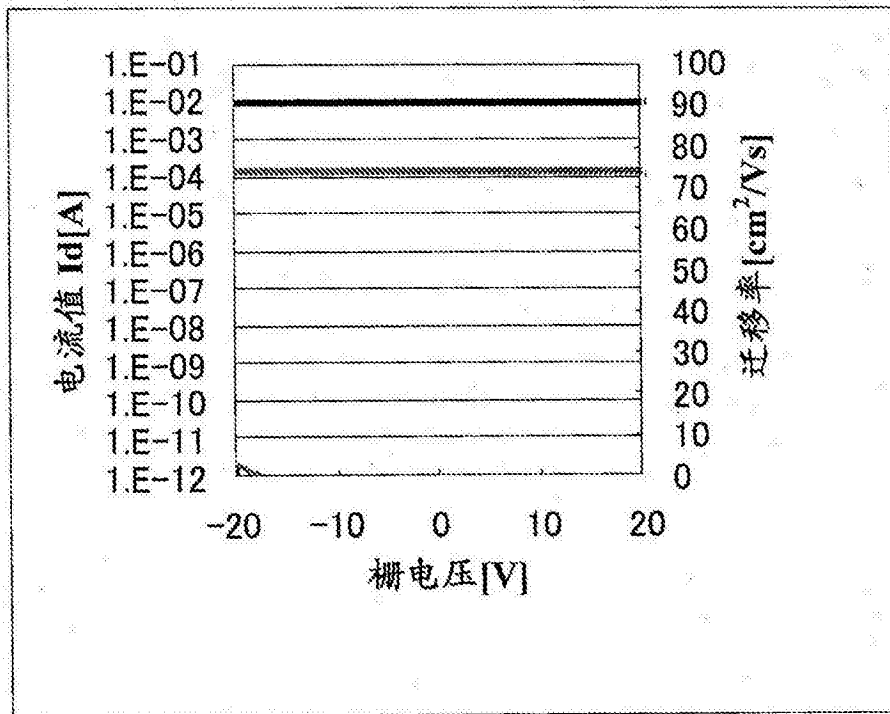


图7

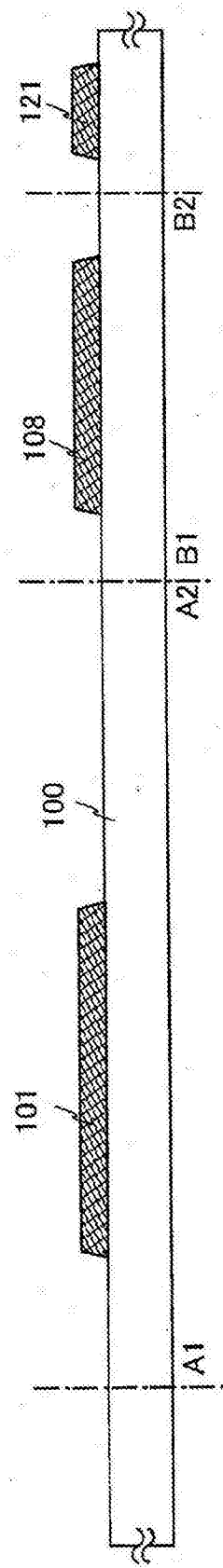


图8A

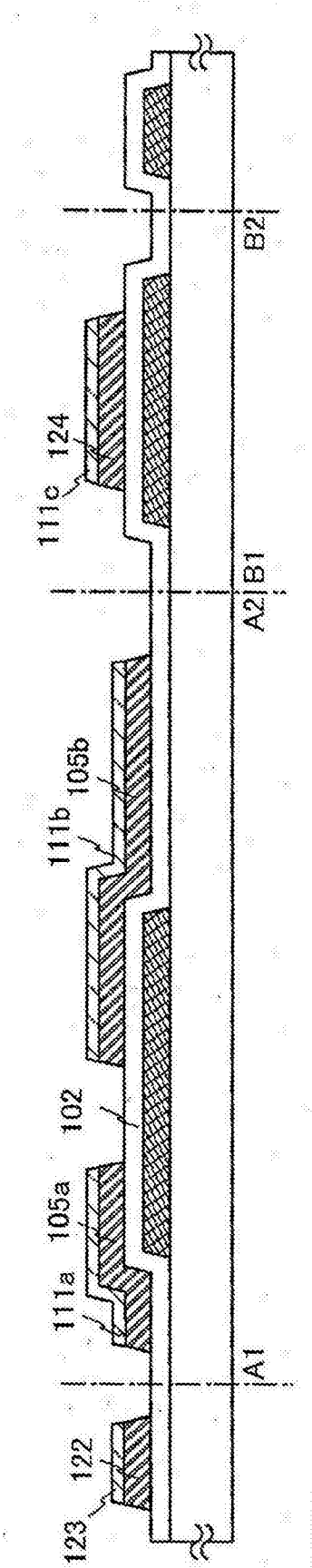


图8B

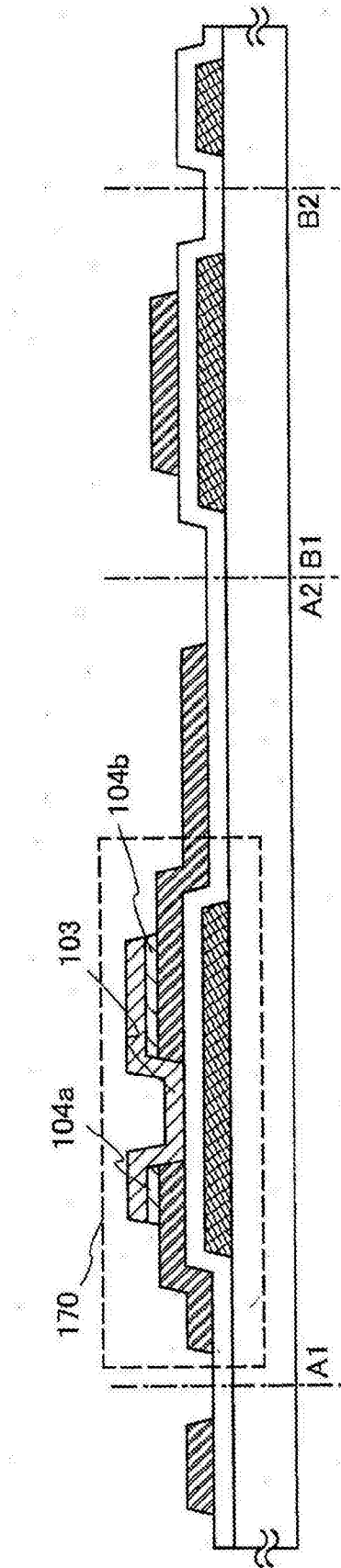


图9A

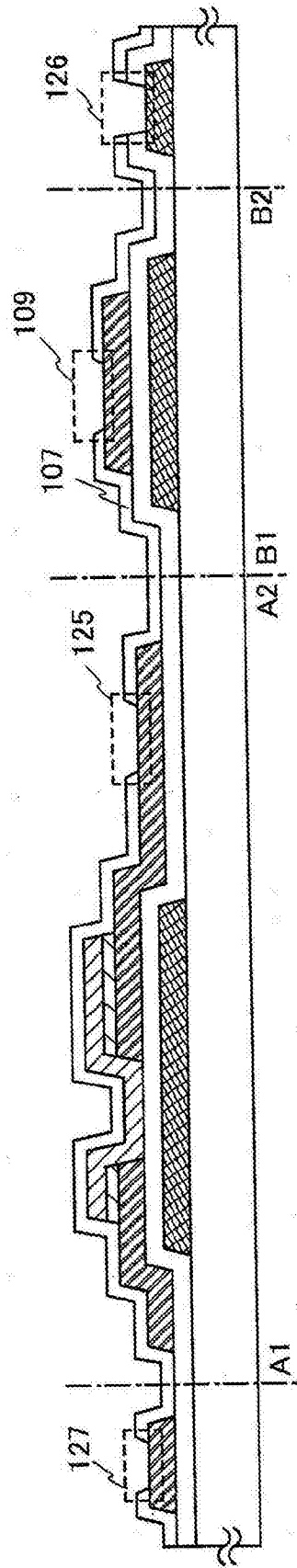


图9B

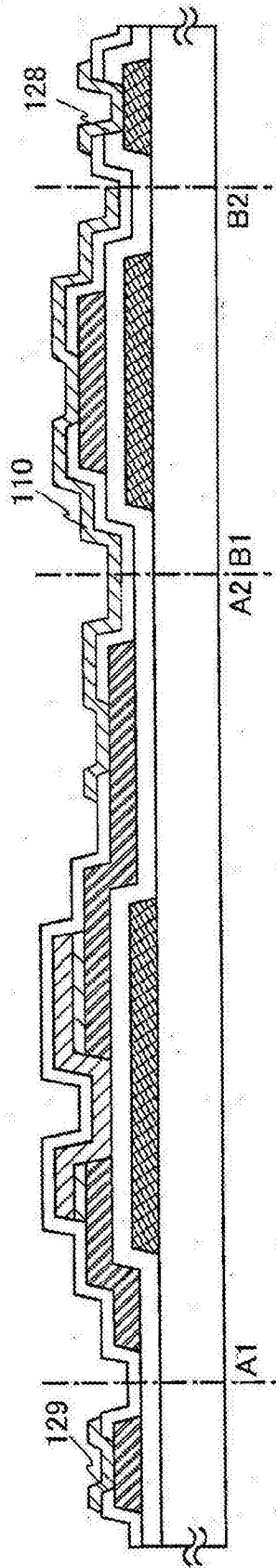


图9C

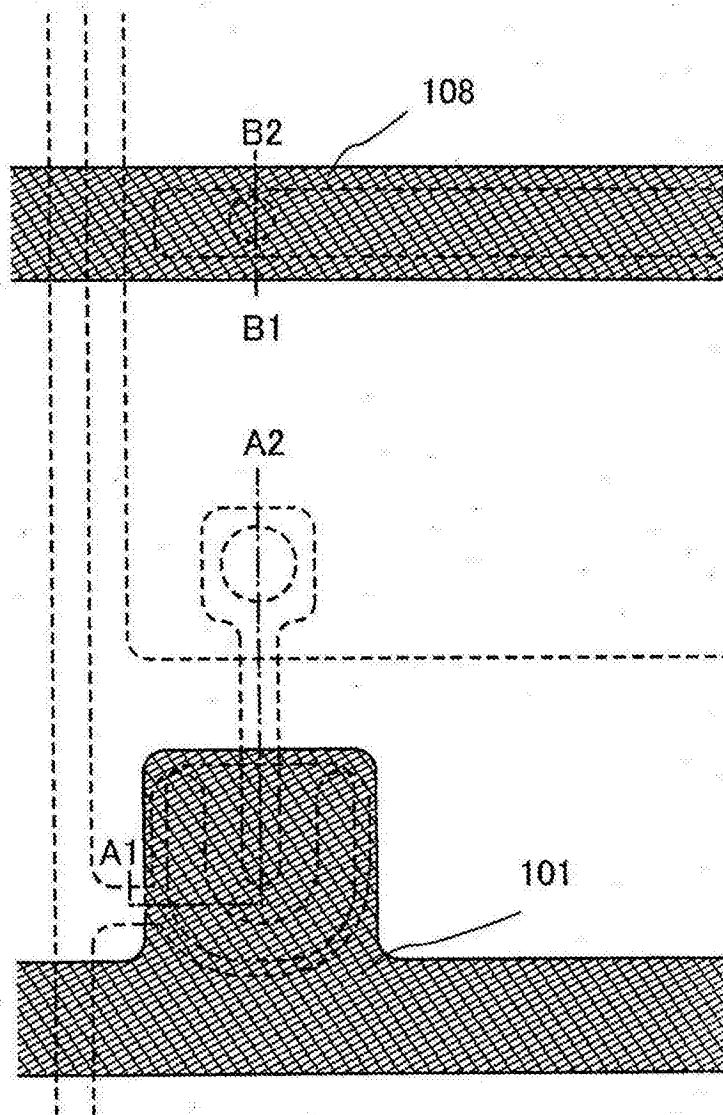


图10

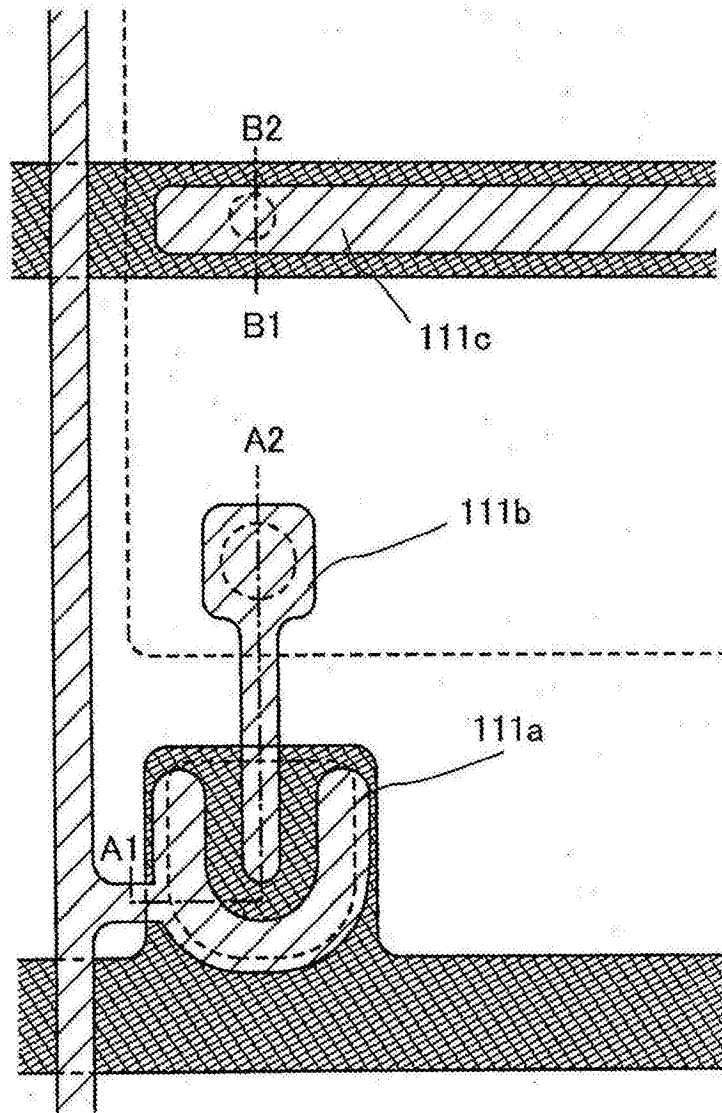


图11

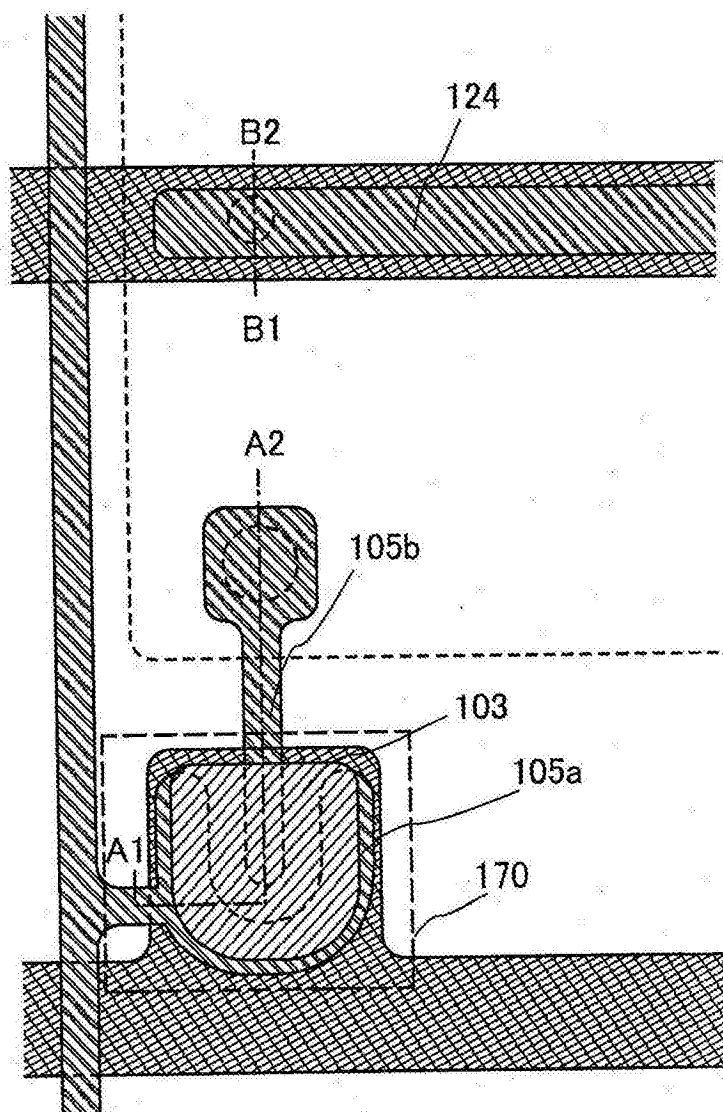


图12

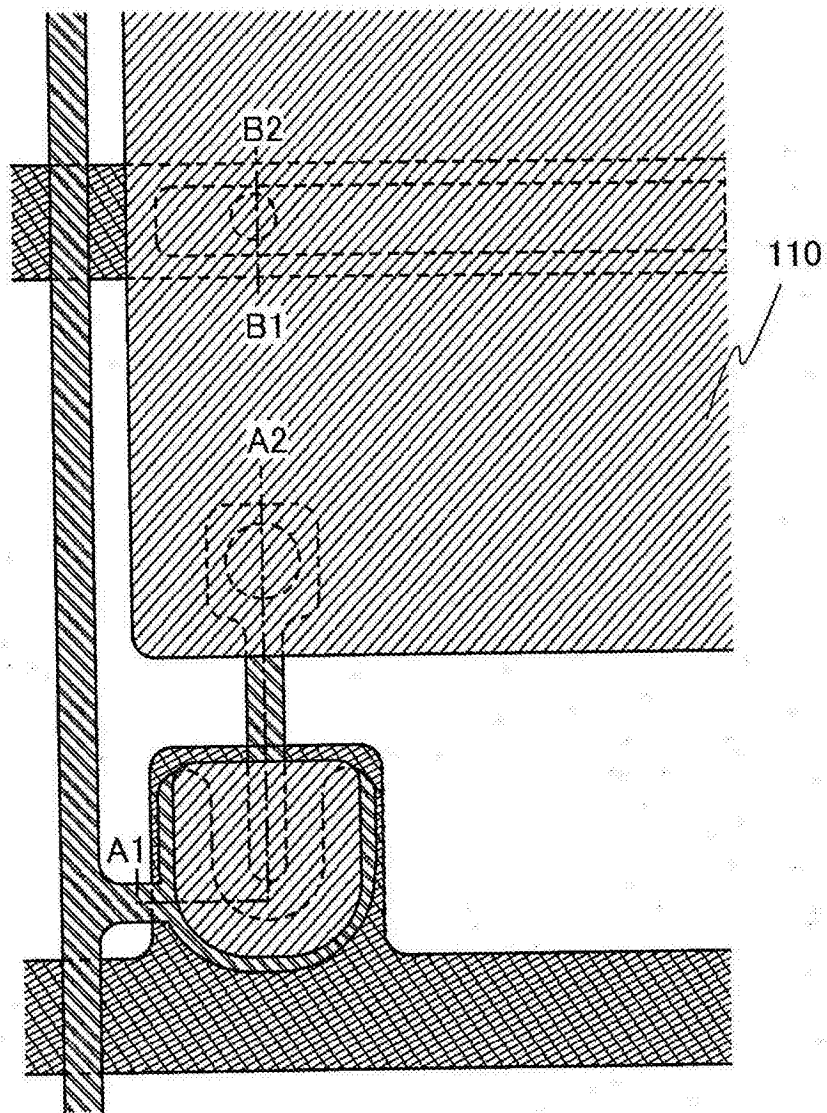


图13

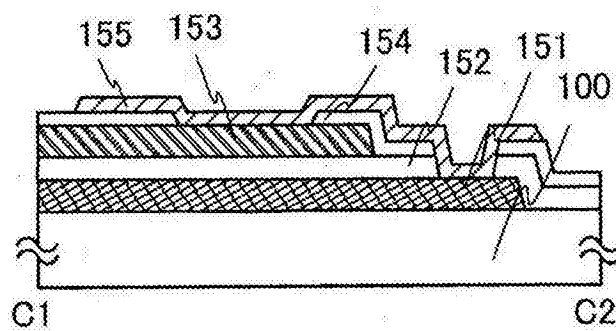


图14A1

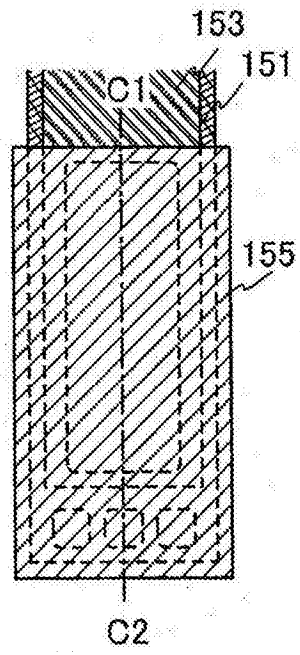


图14A2

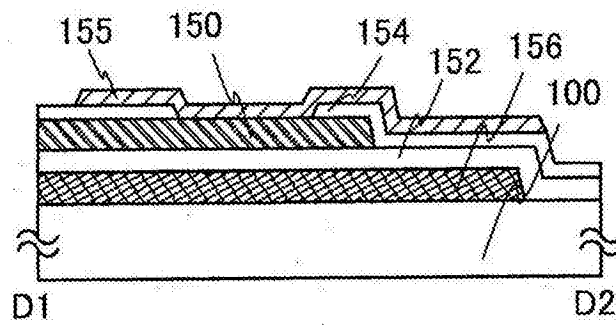


图14B1

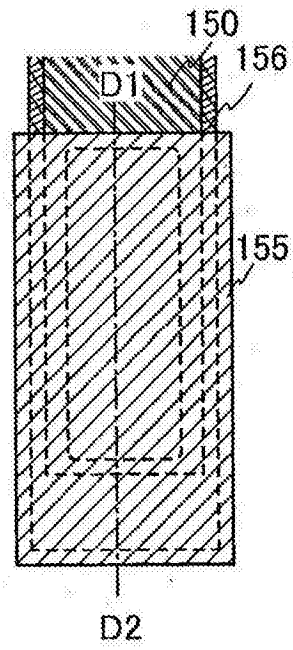


图14B2

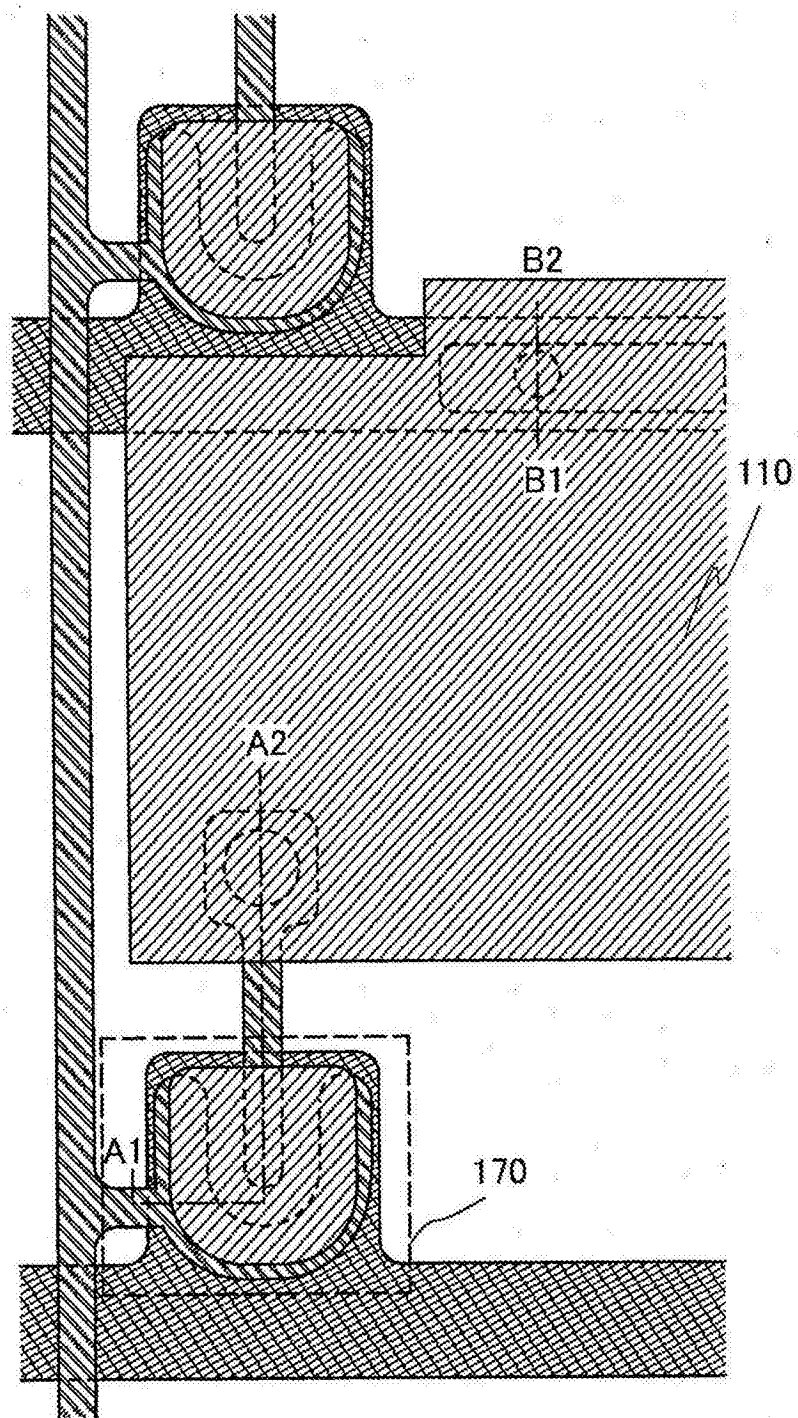


图15

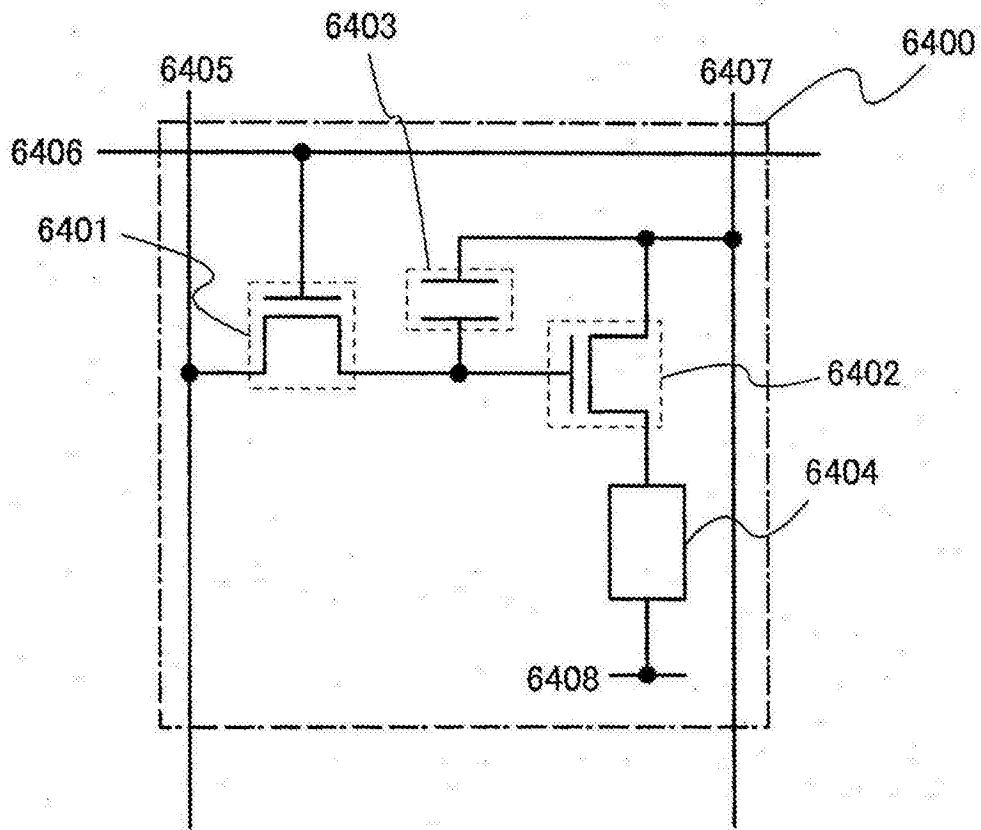


图16

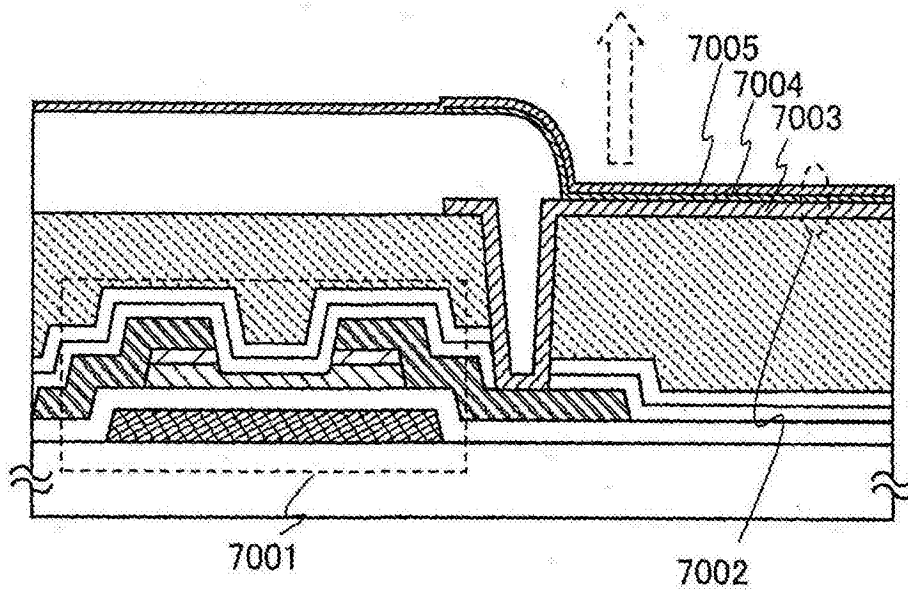


图17A

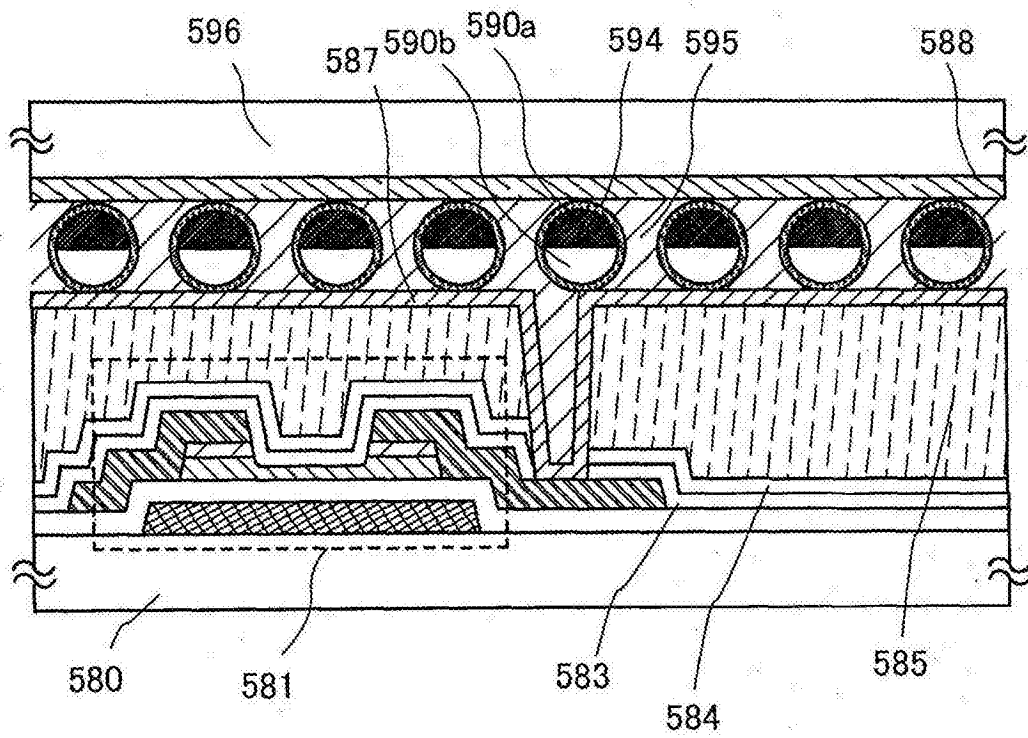


图18A

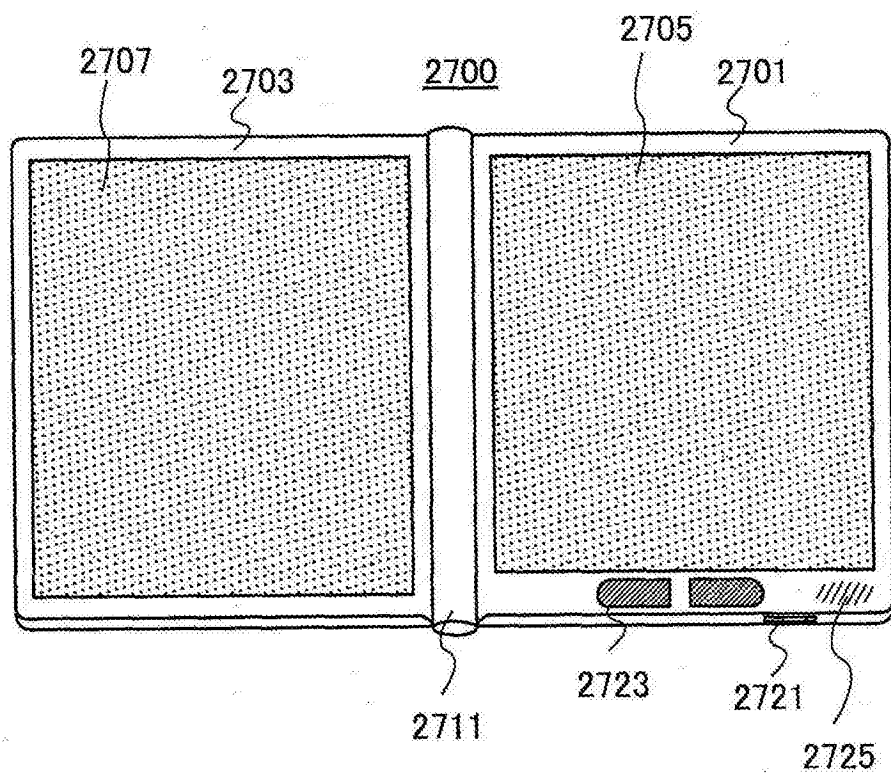


图18B

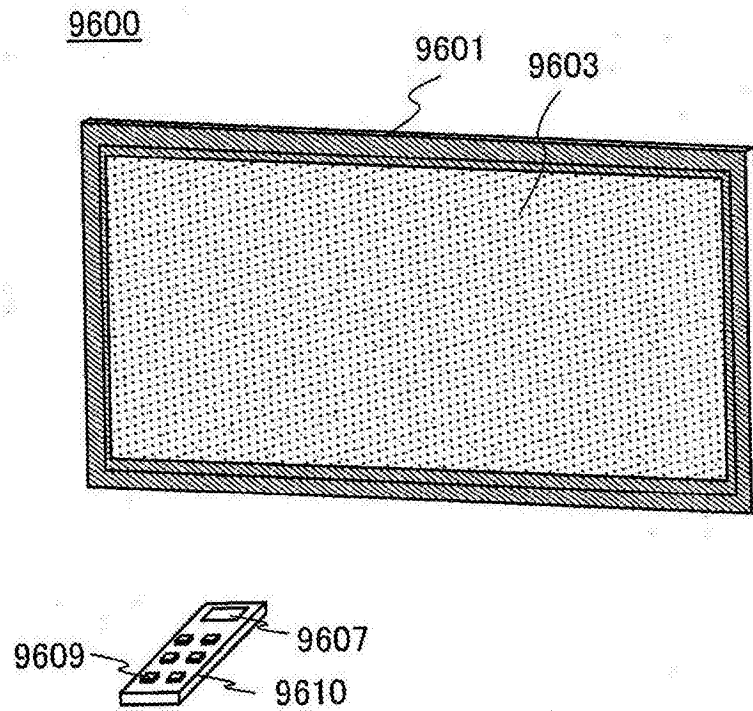


图19A

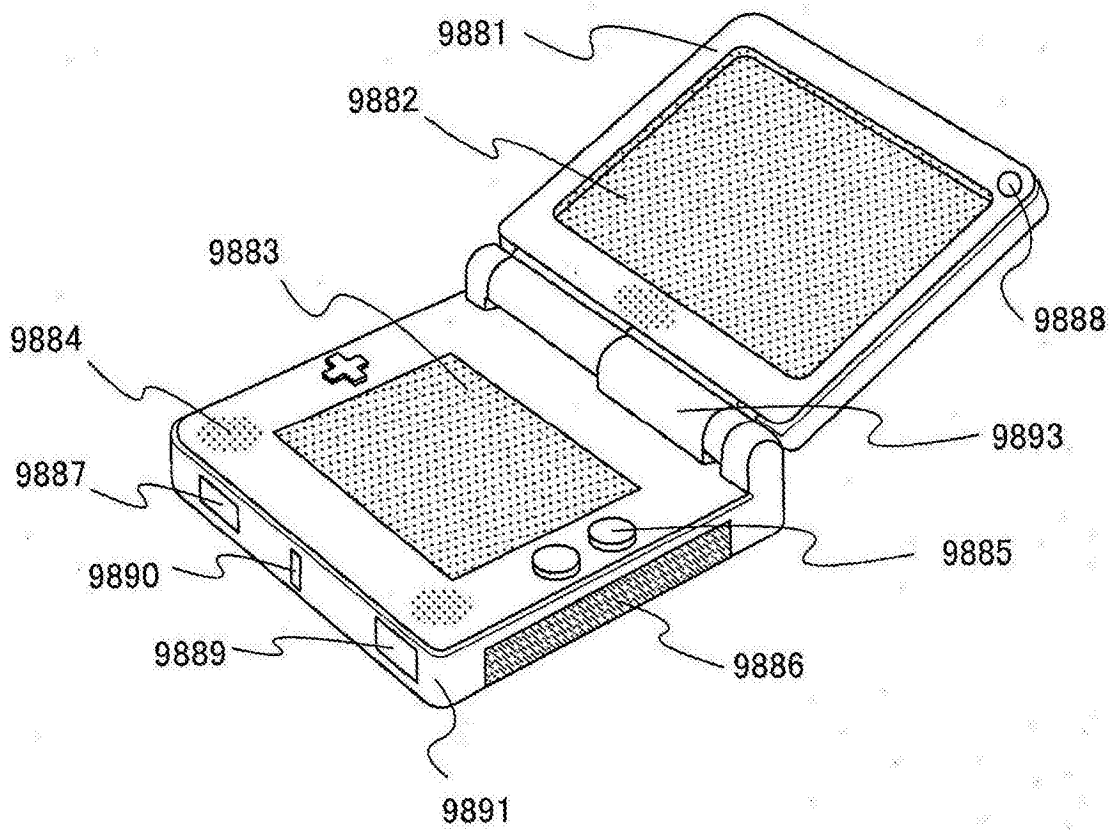


图19B

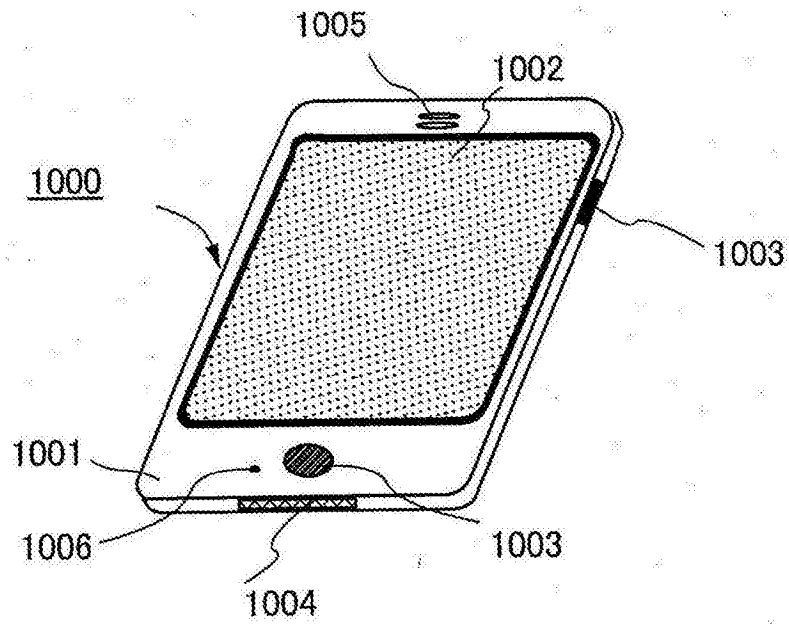


图20A

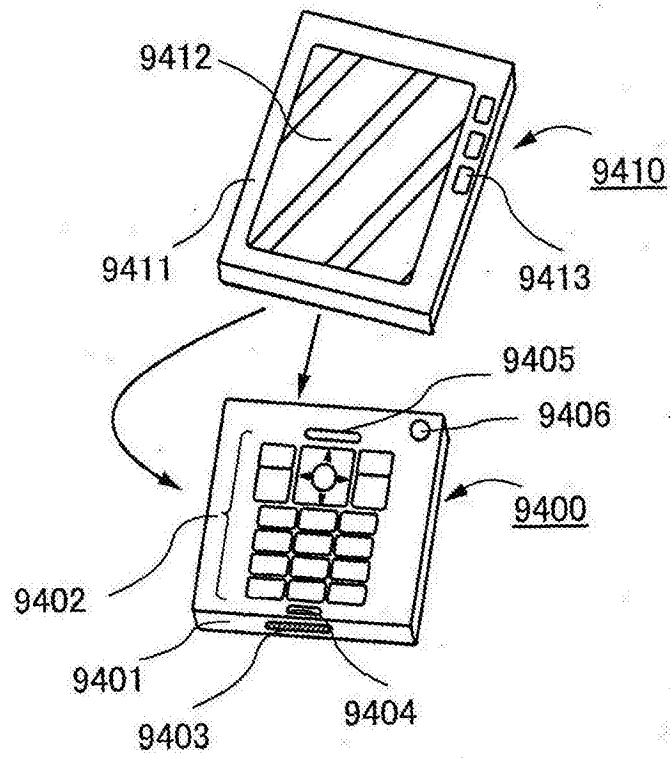


图20B