

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年8月20日(20.08.2015)



(10) 国際公開番号

WO 2015/122483 A1

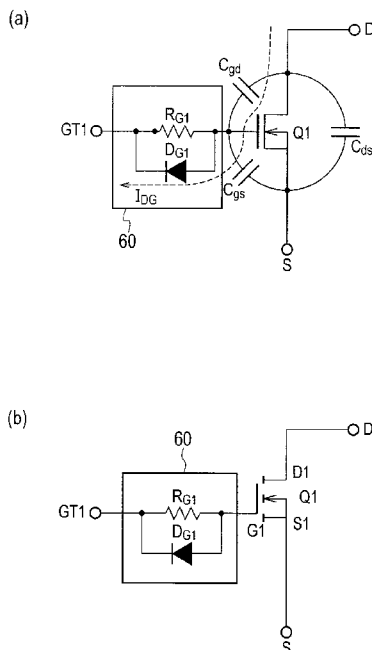
- (51) 国際特許分類:
H02M 1/08 (2006.01) *H02M 3/28* (2006.01)
H02M 3/155 (2006.01) *H02M 7/5387* (2007.01)
- (21) 国際出願番号: PCT/JP2015/053917
- (22) 国際出願日: 2015年2月13日(13.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-026297 2014年2月14日(14.02.2014) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 山口 敦司(YAMAGUCHI, Atsushi); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: GATE DRIVE CIRCUIT AND POWER SUPPLY DEVICE

(54) 発明の名称: ゲート駆動回路および電源装置

【図2】



(57) Abstract: A gate drive circuit (60) comprising a gate resistance (R_{G1}) connected to a gate ($G1$) of a switching device ($Q1$) and a gate diode (D_{G1}) connected in parallel to the gate resistance (R_{G1}). The gate drive circuit fulfils the relationship $V_{th}(Di) < V_{th}(Tr)$, when the threshold voltage for the gate diode (D_{G1}) in the forward direction is $V_{th}(Di)$ and the threshold voltage for the switching device ($Q1$) is $V_{th}(Tr)$. Provided are: the gate drive circuit which reduces surge voltage, suppresses malfunctions, and has high-speed switching performance; and a power supply device having the gate drive circuit mounted therein.

(57) 要約: ゲート駆動回路(60)は、スイッチングデバイスQ1のゲートG1に接続されるゲート抵抗 R_{G1} と、ゲート抵抗 R_{G1} に並列接続されるゲートダイオード D_{G1} とを備え、ゲートダイオード D_{G1} の順方向閾値電圧を $V_{th}(Di)$ 、スイッチングデバイスQ1の閾値電圧を $V_{th}(Tr)$ とすると、 $V_{th}(Di) < V_{th}(Tr)$ の関係を満たす。サージ電圧の低減化とともに誤動作を抑制し、高速スイッチング性能のゲート駆動回路およびゲート駆動回路を搭載する電源装置を提供する。

WO 2015/122483 A1



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

— 補正された請求の範囲 (条約第 19 条(1))

明 細 書

発明の名称： ゲート駆動回路および電源装置

技術分野

[0001] 本発明は、ゲート駆動回路および電源装置に関し、特に、サージ電圧の低減化とともに誤オン動作を抑制したゲート駆動回路および電源装置に関する。

背景技術

[0002] 現在多くの研究機関において、シリコンカーバイド（S i C : Silicon Carbide）デバイスや、ガリウムナイトライド（G a N : Gallium Nitride）デバイスの研究開発が行われている。パワーデバイスおよびG a Nパワーデバイスの特徴として、従来のS i パワーデバイスよりも優れた高耐圧、低オン抵抗、高速スイッチングおよび高温動作などを挙げることができる。

[0003] これらの新材料デバイスは、閾値電圧が低く、また、ゲート・ソース間キャパシタンスを C_{gs} 、ゲート・ドレイン間キャパシタンスを C_{gd} とすると、 C_{gs}/C_{gd} が小さいため、ドレイン・ソース間電圧 V_{ds} の時間変化 dV_{ds}/dt がゲート・ドレイン間キャパシタンス C_{gd} を介してゲート・ソース間電圧 V_{gs} に及ぼす影響が大きい。このため、誤オンし易い（例えば、特許文献1参照。）。

[0004] 特に、横型のG a N系高電子移動度トランジスタ（H E M T : High Electron Mobility Transistor）やS i C トレンチ 金属－酸化物－半導体電界効果トランジスタ（T M O S F E T : Trench Metal-Oxide-Semiconductor Field Effect Transistor）の場合、 C_{gs}/C_{gd} が小さいため、ドレイン・ソース間電圧 V_{ds} の時間変化 dV_{ds}/dt がゲート・ドレイン間キャパシタンス C_{gd} を介してゲート・ソース間電圧 V_{gs} に及ぼす影響が大きいため、誤オンし易い。

[0005] 新材料デバイスの使用条件が高電圧や高速駆動であることもその一因となっている。

先行技術文献

特許文献

[0006] 特許文献1：特開2013-99133号公報

発明の概要

発明が解決しようとする課題

[0007] トランジスタを高電圧駆動あるいは高速駆動させると、ドレイン・ソース間電圧 V_{ds} やドレイン電流 I_d が大きく変化する。このため、時間変化 dV_{ds}/dt 、 dI_d/dt が大きくなる。これが、ゲート・ドレイン間キャパシタンス C_{gd} に帰還され、ゲート・ソース間電圧 V_{gs} の上昇を引き起こす。

[0008] この現象の防止のために、ゲート抵抗の低減が効果的であるが、一方、ゲート抵抗によってサージ電圧の低減を実施する必要がある回路では、トレードオフとなっている。

[0009] 本発明の目的は、サージ電圧の低減化とともに誤動作を抑制し、高速スイッチング性能のゲート駆動回路およびゲート駆動回路を搭載する電源装置を提供することにある。

課題を解決するための手段

[0010] 上記目的を達成するための本発明の一態様によれば、スイッチングデバイスのゲートに接続されるゲート抵抗と、前記ゲート抵抗に並列接続されるゲートダイオードとを備え、前記ゲートダイオードの順方向閾値電圧を $V_{th}(Di)$ 、前記スイッチングデバイスの閾値電圧を $V_{th}(Tr)$ とすると、 $V_{th}(Di) < V_{th}(Tr)$ の関係を満たす駆動回路が提供される。

[0011] 本発明の他の態様によれば、正側電力端子に第1ドレインが接続された第1スイッチングデバイスと、出力端子に接続される第2ドレインが前記第1スイッチングデバイスの第1ソースと接続されると共に、負側電力端子に第2ソースが接続された第2スイッチングデバイスと、前記第1スイッチングデバイスの第1ゲートおよび前記第2スイッチングデバイスの第2ゲートの一方若しくは両方に接続された上記のゲート駆動回路とを備える電源装置が

提供される。

[0012] 本発明の他の態様によれば、オン／オフ状態を制御するスイッチングデバイスと、前記スイッチングデバイスのゲートに電圧を印加することにより、前記スイッチングデバイスを駆動するゲートドライバと、前記ゲートと前記ゲートドライバ間に配置されたゲート抵抗と、前記ゲート抵抗に並列接続され、アノードが前記第1スイッチングデバイスのゲート側、カソードが前記ゲートドライバ側になるように、前記ゲートと前記ゲートドライバ間に接続されたゲートダイオードとを備え、前記ゲートダイオードの閾値電圧 $V_{th}(Di)$ と前記第1スイッチングデバイスの閾値電圧 $V_{th}(Tr)$ の関係が、 $V_{th}(Di) < V_{th}(Tr)$ を満たす電源装置が提供される。

[0013] 本発明の他の態様によれば、オン／オフ状態を制御するスイッチングデバイスと、前記スイッチングデバイスのゲートに電圧を印加することにより、前記スイッチングデバイスを駆動するゲートドライバと、前記ゲートと前記ゲートドライバ間に配置されたゲート抵抗と、前記ゲート抵抗に並列接続され、ソースが前記第1スイッチングデバイスのゲート側、ドレインが前記ゲートドライバ側になるように、前記ゲートと前記ゲートドライバ間に接続されたゲートスイッチングデバイスとを備え、前記ゲートスイッチングデバイスの閾値電圧 $V_{th}(TrG)$ と前記第1スイッチングデバイスの閾値電圧 $V_{th}(Tr)$ の関係が、 $V_{th}(TrG) < V_{th}(Tr)$ を満たす電源装置が提供される。

発明の効果

[0014] 本発明によれば、サージ電圧の低減化とともに誤動作を抑制し、高速スイッチング性能のゲート駆動回路およびゲート駆動回路を搭載する電源装置を提供することができる。

図面の簡単な説明

[0015] [図1]比較例に係る電源装置であって、ハーフブリッジ回路の模式的回路構成図。

[図2] (a) 実施の形態に係るゲート駆動回路を適用するスイッチングデバイスの寄生効果の説明図、(b) 実施の形態に係るゲート駆動回路の模式的回

路構成図。

[図3]実施の形態に係るゲート駆動回路の動作説明であって、(a)スイッチオフからスイッチオン動作の回路説明図、(b)スイッチオンからスイッチオフ動作の回路説明図、(c)図3(b)とは別条件におけるスイッチオンからスイッチオフ動作の回路説明図。

[図4]実施の形態に係るゲート駆動回路および電源装置に適用可能な半導体デバイスの例であって、(a)SiC DI (double implanted) MOSFETの模式的断面構造図、(b)SiC T (Trench) MOSFETの模式的断面構造図。

[図5](a)実施の形態に係るゲート駆動回路および電源装置に適用可能なGaN系HEMTの構造を示す断面図、(b)図5(a)に示すGaN系HEMTのドレイン電圧ードレイン電流特性図。

[図6](a)実施の形態に係るゲート駆動回路および電源装置に適用可能な別のGaN系HEMTの構造を示す断面図、(b)図6(a)に示すGaN系HEMTのドレイン電圧ードレイン電流特性図。

[図7](a)実施の形態に係るゲート駆動回路および電源装置に適用可能な更に別のGaN系HEMTの構造を示す断面図、(b)実施の形態に係るゲート駆動回路および電源装置に適用可能な更に別のGaN系HEMTの構造を示す断面図。

[図8]SiデバイスとSiCデバイスの比較であって、(a)Si MISFETのpボディ領域とn-ドリフト層の模式図、(b)SiC MISFETのpボディ領域とnドリフト層の模式図、(c)図8(a)および図8(b)に対応する電界強度分布の比較図。

[図9]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 およびゲート駆動回路 GC_4 を有するハーフブリッジ回路の模式的回路構成図。

[図10](a)比較例に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} を有するハーフブリッジ回路の模式的回路構成図、(b)図10(a)において、ゲート抵抗 R_{G1}

$= R_{G4} = 1 \Omega$ の場合のゲート・ソース間電圧 $V_{gs}(H) \cdot V_{gs}(L)$ の波形例、およびドレイン・ソース間電圧 $V_{ds}(L)$ の波形例。

[図11]図10(a)において、ゲート抵抗 $R_{G1} = R_{G4} = 10 \Omega$ の場合のゲート・ソース間電圧 $V_{gs}(H) \cdot V_{gs}(L)$ の波形例、およびドレイン・ソース間電圧 $V_{ds}(L)$ の波形例。

[図12](a)実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} を有するハーフブリッジ回路の模式的回路構成図、(b)図12(a)において、ゲート抵抗 $R_{G1} = R_{G4} = 10 \Omega$ の場合のゲート・ソース間電圧 $V_{gs}(H) \cdot V_{gs}(L)$ の波形例、およびドレイン・ソース間電圧 $V_{ds}(L)$ の波形例。

[図13]図12(a)において、ゲート抵抗 $R_{G1} = R_{G4} = 10 \Omega$ の場合のゲート・ソース間電圧 $V_{gs}(H) \cdot V_{gs}(L)$ の波形例、ドレイン・ソース間電圧 $V_{ds}(L)$ 、およびドレイン電流 $I_d(L)$ の波形例。

[図14](a)実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ゲートダイオード D_{G1} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} を有するハーフブリッジ回路の模式的回路構成図、(b)図14(a)において、ゲート抵抗 $R_{G1} = R_{G4} = 10 \Omega$ の場合のゲート・ソース間電圧 $V_{gs}(H) \cdot V_{gs}(L)$ の波形例、およびドレイン・ソース間電圧 $V_{ds}(L)$ の波形例。

[図15]図12(b)と図14(b)の比較であって、ドレイン・ソース間電圧 $V_{ds}(L)$ の波形例。

[図16]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ゲートダイオード D_{G1} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} を有するハーフブリッジ回路の模式的回路構成図。

[図17]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ゲートダイオード D_{G1} ・直列抵抗 R_{GS1} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} ・直列抵抗 R_{GS4} を有するハーフブリ

ツジ回路の模式的回路構成図。

[図18]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ゲートダイオード D_{G1} ・ツェナーダイオード D_{Z1} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} ・ツェナーダイオード D_{Z4} を有するハーフブリッジ回路の模式的回路構成図。

[図19]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ゲートダイオード D_{G1} ・ツェナーダイオード D_{Z11} ・ D_{Z12} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} ・ツェナーダイオード D_{Z41} ・ D_{Z42} を有するハーフブリッジ回路の模式的回路構成図。

[図20]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ゲートスイッチングデバイス Q_{G1} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ゲートスイッチングデバイス Q_{G4} を有するハーフブリッジ回路の模式的回路構成図。

[図21]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ゲートスイッチングデバイス Q_{G1} ・直列抵抗 R_{GS1} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ゲートスイッチングデバイス Q_{G4} ・直列抵抗 R_{GS4} を有するハーフブリッジ回路の模式的回路構成図。

[図22]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ゲートスイッチングデバイス Q_{G1} ・ツェナーダイオード D_{Z1} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ゲートスイッチングデバイス Q_{G4} ・ツェナーダイオード D_{Z4} を有するハーフブリッジ回路の模式的回路構成図。

[図23]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ゲートスイッチングデバイス Q_{G1} ・ツェナーダイオード D_{Z11} ・ D_{Z12} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ゲートスイッチングデバイス Q_{G4} ・ツェナーダイオード D_{Z41} ・ D_{Z42} を有するハーフブリッジ回路の模式的回路構成図。

[図24]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ゲートスイッチングデバイス Q_{G1} 、ゲート駆動回路 GC_4 としてゲ

ート抵抗 R_{G4} ・ ゲートスイッチングデバイス Q_{G4} を有するハーフブリッジ回路の模式的回路構成図。

[図25]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ ゲートスイッチングデバイス Q_{G1} ・ 直列抵抗 R_{GS1} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ ゲートスイッチングデバイス Q_{G4} ・ 直列抵抗 R_{GS4} を有するハーフブリッジ回路の模式的回路構成図。

[図26]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ ゲートスイッチングデバイス Q_{G1} ・ ツェナーダイオード D_{Z1} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ ゲートスイッチングデバイス Q_{G4} ・ ツェナーダイオード D_{Z4} を有するハーフブリッジ回路の模式的回路構成図。

[図27]実施の形態に係る電源装置であって、ゲート駆動回路 GC_1 としてゲート抵抗 R_{G1} ・ ゲートスイッチングデバイス Q_{G1} ・ ツェナーダイオード D_{Z11} ・ D_{Z12} 、ゲート駆動回路 GC_4 としてゲート抵抗 R_{G4} ・ ゲートスイッチングデバイス Q_{G4} ・ ツェナーダイオード D_{Z41} ・ D_{Z42} を有するハーフブリッジ回路の模式的回路構成図。

[図28]実施の形態に係る電源装置であって、ゲート駆動回路を適用した PFC 機能付き昇圧コンバータ回路の模式的回路構成図。

[図29]実施の形態に係る電源装置であって、ゲート駆動回路を適用した Hブリッジ型昇降圧コンバータ回路の模式的回路構成図。

[図30]実施の形態に係る電源装置であって、ゲート駆動回路を適用したフライバック型 DC/DC コンバータの模式的回路構成図。

[図31]実施の形態に係る電源装置であって、ゲート駆動回路を適用したフォワード型 DC/DC コンバータの模式的回路構成図。

[図32]実施の形態に係る電源装置であって、ゲート駆動回路を適用したフルブリッジ型インバータ回路の模式的回路構成図。

[図33]実施の形態に係る電源装置であって、ゲート駆動回路を適用可能な 3 相モータを駆動する 3 相交流インバータの模式的回路構成図。

[図34]図 33 において、ゲートドライブ部およびパワーモジュール部をまと

めた3相交流インバータ部の詳細回路構成図。

発明を実施するための形態

[0016] 次に、図面を参照して、実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0017] 又、以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施の形態は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

[0018] (比較例)

比較例に係る電源装置10Aは、図1に示すように、正側電力端子Pに第1ドレインが接続された第1スイッチングデバイスQ1と、出力端子Oに接続される第2ドレインが第1スイッチングデバイスQ1の第1ソースと接続されると共に、負側電力端子Nに第2ソースが接続された第2スイッチングデバイスQ4と、第1スイッチングデバイスQ1の第1ゲート・第2スイッチングデバイスQ4の第2ゲートに接続されたゲート抵抗 $R_{G1} \cdot R_{G4}$ と、ゲート抵抗 R_{G1} を介して第1スイッチングデバイスQ1の第1ゲート・第1ソース間に接続され、第1スイッチングデバイスQ1を駆動する第1ゲートドライバ(GD₁)50₁と、ゲート抵抗 R_{G4} を介して第2スイッチングデバイスQ4の第2ゲート・第2ソース間に接続され、第2スイッチングデバイスQ4を駆動する第2ゲートドライバ(GD₄)50₄とを備える。

[0019] さらに、第1スイッチングデバイスQ1の第1ドレイン・第1ソース間に逆並列接続されるスナバダイオードD1と第2スイッチングデバイスQ4の

第2ドレイン・第1ソース間に逆並列接続されるスナバダイオードD4を備える。

[0020] ここで、第1スイッチングデバイスQ1・第2スイッチングデバイスQ4は、正側電力端子P・負側電力端子N間に直列に接続され、ハーフブリッジ・インバータを構成している。

[0021] 比較例に係る電源装置10Aにおいては、ゲート駆動回路として、図1に示すように、ゲート抵抗 R_{G1} ・ R_{G4} を備えるため、ゲート抵抗によってサージ電圧の低減化は可能である。

[0022] 一方、スイッチングデバイスQ1・Q4を高電圧駆動あるいは高速駆動させると、ドレイン・ソース間電圧 V_{ds} やドレイン電流 I_d が大きく変化するため、時間変化 dV_{ds}/dt 、 dI_d/dt が大きくなり、これがゲート・ドレイン間キャパシタンス C_{gd} に帰還され、ゲート・ソース間電圧 V_{gs} の上昇を引き起こす。この現象の防止のために、ゲート抵抗 R_{G1} ・ R_{G4} の低減が効果的であるが、一方、ゲート抵抗によってサージ電圧の低減を実施する必要があるためトレードオフとなっている。

[0023] [第1の実施の形態]

実施の形態に係るゲート駆動回路60を適用するスイッチングデバイスQ1の寄生効果の説明図は、図2(a)に示すように表され、実施の形態に係るゲート駆動回路の模式的回路構成は、図2(b)に示すように表される。

[0024] 実施の形態に係るゲート駆動回路60を適用するスイッチングデバイスQ1のゲート・ソース間キャパシタンス C_{gs} 、ゲート・ドレイン間キャパシタンス C_{gd} 、ドレイン・ソース間キャパシタンス C_{ds} は、それぞれ図2(a)に示すように表される。図2(a)・図2(b)のスイッチングデバイスQ1のシンボルマークは、同等のものを表している。以下の説明においては、説明の都合上いずれかのシンボルマークを適宜使用する。

[0025] 実施の形態に係るゲート駆動回路60は、図2(b)に示すように、スイッチングデバイスQ1のゲートに接続されるゲート抵抗 R_{G1} と、ゲート抵抗 R_{G1} に並列接続されるゲートダイオード D_{G1} とを備え、ゲートダイオードの順方向

閾値電圧の値を $V_{th}(Di)$ 、スイッチングデバイスの閾値電圧の値を $V_{th}(Tr)$ とすると、 $V_{th}(Di) < V_{th}(Tr)$ の関係を満たす。

[0026] また、スイッチングデバイス Q_1 のオン抵抗の値を R_{on} 、ゲート抵抗 R_{G1} の値を R_G とすると、 $R_{on} < R_G$ の関係を満たす。

[0027] ここで、図 2 (b) に示すように、ゲートダイオード D_{G1} のアノードはスイッチングデバイス Q_1 のゲート G_1 に接続され、カソードは、ゲートドライバ側のゲート端子 GT_1 に接続される。

[0028] また、スイッチングデバイス Q_1 のゲート自身が有する内部抵抗を R_{gi} 、場合に応じて適宜付与される外部抵抗を R_{ge} とすると、ゲート抵抗 R_{G1} の値 R_G は、 $R_G = R_{gi} + R_{ge}$ で表わすことができる。

[0029] 実施の形態に係るゲート駆動回路 60 においては、図 2 (b) に示すように、ゲート抵抗 R_{G1} を備えるため、ゲート抵抗 R_{G1} によってサージ電圧の低減化は可能である。

[0030] さらに、実施の形態に係るゲート駆動回路 60 においては、ゲート抵抗 R_{G1} に並列接続されるゲートダイオード D_{G1} を備え、ゲート・ソース間電圧 V_{gs} の上昇分をゲートダイオード D_{G1} を介して、図 2 (a) の電流 I_{DG} で示すように導通させて、スイッチングデバイス Q_1 の意図しない誤オンを防止することができる。

[0031] (スイッチング時の動作)

実施の形態に係るゲート駆動回路の動作説明であって、スイッチオフからスイッチオン動作の回路説明図は、図 3 (a) に示すように表され、スイッチオンからスイッチオフ動作の回路説明図は、図 3 (b) に示すように表され、図 3 (b) とは別条件におけるスイッチオンからスイッチオフ動作の回路説明図は、図 3 (c) に示すように表される。

[0032] ースイッチオフからスイッチオン動作ー

スイッチオフからスイッチオン動作においては、図 3 (a) に示すように、ゲートドライバ内のスイッチ SW_1 ・ SW_2 が、オフ・オン状態からオン・オフ状態に切り替えられる。スイッチ SW_1 ・ SW_2 が、オン・オフ状態

では、ゲートダイオード D_{G1} には、逆バイアスがかかるため、ゲートダイオード D_{G1} は、非導通（オフ）状態となり、図 3（a）に示すように、ドライバ電源 V_{dri} （電源電圧 $E V$ ）からゲート抵抗 R_{G1} を介してスイッチングデバイス Q_1 のゲート・ソース間キャパシタンス C_{gs} が $V_{gs} = 0 V$ から、 $V_{gs} = E V$ に充電される。

[0033] —スイッチオンからスイッチオフ動作—

スイッチオンからスイッチオフ動作においては、図 3（b）に示すように、ゲートドライバ内のスイッチ $SW_1 \cdot SW_2$ が、オン・オフ状態からオフ・オン状態に切り替えられる。スイッチングデバイス Q_1 のゲート・ソース間電圧 V_{gs} がゲートダイオード D_{G1} の閾値電圧 $V_{th}(Di)$ よりも高い状態、すなわち、 $V_{gs} \geq V_{th}(Di)$ の間はゲートダイオード D_{G1} に順バイアスがかかるため、ゲートダイオード D_{G1} は導通（オン）状態となり、図 3（b）に示すように、ゲートダイオード D_{G1} を介してスイッチングデバイス Q_1 のゲート・ソース間キャパシタンス C_{gs} が $V_{gs} = E V$ の状態から $V_{gs} \geq V_{th}(Di)$ なる範囲で放電される。

[0034] —スイッチオンからスイッチオフ動作—

スイッチングデバイス Q_1 のゲート・ソース間電圧 V_{gs} がゲートダイオード D_{G1} の閾値電圧 $V_{th}(Di)$ よりも低い状態、すなわち、 $V_{gs} < V_{th}(Di)$ になると、スイッチングデバイス Q_1 の順バイアス V_{gs} がゲートダイオード D_{G1} の閾値電圧 $V_{th}(Di)$ より小となるため、ゲートダイオード D_{G1} は非導通（オフ）状態となり、図 3（c）に示すように、ゲート抵抗 R_G を介してスイッチングデバイス Q_1 のゲート・ソース間キャパシタンス C_{gs} が $V_{gs} < V_{th}(Di)$ の状態から、 $V_{gs} = 0 V$ となるまで放電される。

[0035] （半導体デバイスの構成例）

—SiC D I M O S F E T—

実施の形態に係るゲート駆動回路および電源装置に適用可能な SiC D I（double implanted）M O S F E T は、図 4（a）に示すように、 n^- -高抵抗層からなる半導体基板 26 と、半導体基板 26 の表面側に形成された p ボ

ディ領域 28 と、p ボディ領域 28 の表面に形成された n^+ ソース領域 30 と、p ボディ領域 28 間の半導体基板 26 の表面上に配置されたゲート絶縁膜 32 と、ゲート絶縁膜 32 上に配置されたゲート電極 38 と、ソース領域 30 および p ボディ領域 28 に接続されたソース電極 34 と、半導体基板 26 の表面と反対側の裏面に配置された n^+ ドレイン領域 24 と、 n^+ ドレイン領域 24 に接続されたドレイン電極 36 とを備える。

[0036] 図 4 (a) では、半導体デバイス 100 は、p ボディ領域 28 と、p ボディ領域 28 の表面に形成された n^+ ソース領域 30 が、ダブルイオン注入 (DI) で形成され、ソースパッド電極 SP は、ソース領域 30 および p ボディ領域 28 に接続されたソース電極 34 に接続される。ゲートパッド電極 GP (図示省略) は、ゲート絶縁膜 32 上に配置されたゲート電極 38 に接続される。また、ソースパッド電極 SP およびゲートパッド電極 GP (図示省略) は、図 4 (a) に示すように、半導体デバイス 100 の表面を覆うパッシベーション用の層間絶縁膜 44 上に配置される。

[0037] SiC DIMOSFET は、図 4 (a) に示すように、p ボディ領域 28 に挟まれた n^- 高抵抗層からなる半導体基板 26 内に、破線で示されるような空乏層が形成されるため、接合型 FET (JFET) 効果に伴うチャネル抵抗 R_{JFET} が形成される。また、p ボディ領域 28 / 半導体基板 26 / n^+ ドレイン領域 24 間には、図 4 (a) に示すように、ボディダイオード BD が形成される。

[0038] —SiC TMOSFET—

実施の形態に係るゲート駆動回路および電源装置に適用可能な SiC TMOSFET は、図 4 (b) に示すように、 n 層からなる半導体基板 26N と、半導体基板 26N の表面側に形成された p ボディ領域 28 と、p ボディ領域 28 の表面に形成された n^+ ソース領域 30 と、p ボディ領域 28 を貫通し、半導体基板 26N まで形成されたトレンチの内にゲート絶縁膜 32 および層間絶縁膜 44U・44B を介して形成されたトレンチゲート電極 38TG と、トレンチゲート電極 38TG の底部に層間絶縁膜 44B を介して形成

された埋め込み p ボディ領域 28 B と、ソース領域 30 および p ボディ領域 28 に接続されたソース電極 34 と、半導体基板 26 N の表面と反対側の裏面に配置された n⁺ドレイン領域 24 と、n⁺ドレイン領域 24 に接続されたドレインパッド電極 36 とを備える。

[0039] 図 4 (b) では、半導体デバイス 100 は、p ボディ領域 28 を貫通し、半導体基板 26 N まで形成されたトレンチ内にゲート絶縁膜 32 および層間絶縁膜 44 U・44 B を介して形成されたトレンチゲート電極 38 T G が形成され、ソースパッド電極 S P は、ソース領域 30 および p ボディ領域 28 に接続されたソース電極 34 に接続される。ゲートパッド電極 G P (図示省略) は、ゲート絶縁膜 32 上に配置されたゲート電極 38 に接続される。また、ソースパッド電極 S P およびゲートパッド電極 G P (図示省略) は、図 4 (b) に示すように、半導体デバイス 100 の表面を覆うパッシベーション用の層間絶縁膜 44 U 上に配置される。

[0040] SiC TMOSFET では、SiC DIMOSFET のような接合型 FET (JFET) 効果に伴うチャネル抵抗 R_{JFET} は形成されない。また、p ボディ領域 28 / 半導体基板 26 間には、図 4 (a) と同様に、ボディダイオード B D が形成される。

[0041] — GaN 系 HEMT —

実施の形態に係るゲート駆動回路および電源装置に適用可能な半導体デバイス 100 (Q1・Q4) には、SiC 系 MOSFET の代わりに、GaN 系 HEMT などの窒化物系半導体デバイスを適用することもできる。窒化物系半導体としては、GaN、AlGaN および InGaN などを用いることができる。

[0042] 実施の形態に係るゲート駆動回路および電源装置に適用可能な GaN 系 HEMT (例えば、AlGaN / GaN ヘテロ構造を有する) 100 の模式的断面構造は、図 5 (a) に示すように表され、ドレイン電圧—ドレイン電流特性は、図 5 (b) に示すように表される。

[0043] 図 5 (a) に示すように、GaN 系 HEMT 100 は、例えば、Si 基板

121上に形成され、Ga_{0.5}N_{0.5}などからなるバッファ層122と、バッファ層122上に形成され、アンドープGa_{0.5}N_{0.5}層からなるチャンネル層123と、チャンネル層123上に形成され、アンドープAlGa_{0.5}N_{0.5}からなる電子供給層124とを備える。

[0044] さらに、電子供給層124の上には、ソース電極126、ドレイン電極127および絶縁層128を介してゲート電極125が形成されている。

[0045] このGa_{0.5}N_{0.5}系半導体デバイス100では、アンドープGa_{0.5}N_{0.5}からなるチャンネル層123の表面にはアンドープAlGa_{0.5}N_{0.5}からなる電子供給層124がヘテロ接合しているため、接合している部分の界面には2次元電子ガス（2DEG：Two Dimensional Electron Gas）が発生する。そのため、2DEG層内の電子がキャリアとなってチャンネル層123は導電性を示すようになる。

[0046] 図5（b）は、ノーマリオン型のドレイン電圧ードレイン電流特性を示す。すなわち、図5（b）に示すように、ドレイン電流 I_{ds} は、ゲート電圧 V_{gs} が0Vの状態でも流れている。一方、ゲート電圧 V_{gs} としてマイナスの電圧（図5（b）では、 $V_{gs} = -1V$ 、 $-2V$ 、 $-3V$ 、 $-4V$ ）を印加するに従ってドレイン電流 I_{ds} は徐々に流れなくなり、図5（b）に示す例では、ゲート電圧 V_{gs} が $-4V$ の状態ではドレイン電流 I_{ds} は略0Aとなる。図5（b）は、ノーマリオン型のドレイン電圧ードレイン電流特性例であるが、Ga_{0.5}N_{0.5}系HEMTのチャンネル構造を工夫して、ノーマリオフ型とすることも可能である。ノーマリオン型Ga_{0.5}N_{0.5}デバイスでは、閾値電圧 V_{th} （Tr）の値は、マイナスとなり、ノーマリオフ型Ga_{0.5}N_{0.5}デバイスでは、閾値電圧 V_{th} （Tr）の値は、プラスとなる。

[0047] 実施の形態に係るゲート駆動回路および電源装置に適用可能な別のGa_{0.5}N_{0.5}系HEMT（例えば、AlGa_{0.5}N_{0.5}/Ga_{0.5}N_{0.5}ヘテロ構造を有する）100の模式的断面構造は、図6（a）に示すように表され、ドレイン電圧ードレイン電流特性は、図6（b）に示すように表される。

[0048] 図6（a）に示す構成例では、アンドープAlGa_{0.5}N_{0.5}からなる電子供給層

124 に対して、トレンチ溝 130 が形成され、このトレンチ溝 130 の底面および側壁に対して、絶縁層 128 を介してゲート電極 125 が充填されている。その他の構成は、図 5 (a) に示す構成例と同様である。

[0049] 図 6 (a) に示す構成例では、アンドープ A l G a N からなる電子供給層 124 に対して形成されたトレンチ溝 130 内に絶縁層 128 を介してゲート電極 125 を形成することによって、ゲート電極 125 の下側の A l G a N 層 (124) / G a N (123) 層界面の 2 D E G 層のノーマリオフ特性を実現している。

[0050] 図 6 (b) は、ノーマリオフ型のドレイン電圧ー ドレイン電流特性を示す。すなわち、図 6 (b) に示すように、ドレイン電流 I_{ds} はゲート電圧 V_{gs} が 0 V でオフ状態となり、ゲート電圧 V_{gs} としてプラスの電圧 (図 6 (b) では、 $V_{gs} = 1\text{ V}$ 、 2 V 、 3 V 、 4 V 、 5 V) を印加するに従ってドレイン電流 I_{ds} は徐々に増加する。

[0051] 実施の形態に係るゲート駆動回路および電源装置に適用可能な別の G a N 系 H E M T (例えば、A l G a N / G a N ヘテロ構造を有する) 100 の模式的断面構造は、図 7 (a) に示すように表される。

[0052] 図 7 (a) に示す構成例では、アンドープ A l G a N からなる電子供給層 124 に対して、p 型の G a N 層 129 が形成され、この p 型の G a N 層 129 に対して、ゲート電極 125 が接続されている。その他の構成は、図 5 (a) に示す構成例と同様である。図 7 (a) に示す構成例では、アンドープ A l G a N からなる電子供給層 124 に対して p 型の G a N 層 129 を形成することによって、A l G a N 層 124 を介してゲート電極 125 の下側の A l G a N 層 (124) / G a N (123) 層界面の 2 D E G 層のノーマリオフ特性を実現している。ドレイン電圧ー ドレイン電流特性は、図 6 (b) と同様の特性が得られている。

[0053] 実施の形態に係るゲート駆動回路および電源装置に適用可能な別の G a N 系 H E M T (例えば、A l N / G a N ヘテロ構造を有する) 100 の模式的断面構造は、図 7 (b) に示すように表される。

[0054] 図7(b)に示す構成例では、アンドープA I Nからなる電子供給層131に対してショットキー接合によりゲート電極125を形成しているため、ゲート電極125の下側のA I N層(131)/G a N層(123)界面の2 D E G層のノーマリオフ特性を実現している。ドレイン電圧ードレイン電流特性は、図6(b)と同様の特性が得られている。

[0055] 実施の形態に係るゲート駆動回路および電源装置に適用可能な半導体デバイス100(Q1・Q4)には、S i C系、G a N系、若しくはA I N系のいずれかのパワーデバイスを適用可能である。また、ノーマリオフ型、ノーマリオン型いずれのデバイスも実施の形態に係るゲート駆動回路および電源装置に適用可能である。

[0056] さらに、実施の形態に係るゲート駆動回路および電源装置に適用可能な半導体デバイス100(Q1・Q4)には、バンドギャップエネルギーが、例えば、1.1 e V ~ 8 e Vの半導体を用いることができる。

[0057] (電界分布)

S i Cデバイスは、高絶縁破壊電界(例えば、約3 M V / c mであり、S iの約3倍)であることから、S iに比べてドリフト層の膜厚を薄くし、かつ不純物密度を高く設定しても耐圧が確保できる。S iデバイスとS i Cデバイスの比較であって、S i M I S F E Tのpボディ領域28とn-ドリフト層26の模式図は、図8(a)に示すように表され、S i C M I S F E Tのpボディ領域28とnドリフト層26 Nの模式図は、図8(b)に示すように表される。また、図8(a)および図8(b)に対応する電界強度分布は、図8(c)に示すように模式的に表される。

[0058] 図8(c)に示すように、S i M I S F E Tのピーク電界強度 E_{p2} は、pボディ領域28/n-ドリフト層26の接合界面、すなわち、pボディ領域28の表面から測った距離X1の位置で得られる。同様に、S i C M I S F E Tのピーク電界強度 E_{p1} は、pボディ領域28/nドリフト層26 Nの接合界面、すなわち、pボディ領域28の表面から測った距離X1の位置で得られる。絶縁破壊電界の違いから、S i C M I S F E Tのピーク電界強度 E_{p1}

は、Si MISFETのピーク電界強度 E_{p2} よりも高く設定可能である。

[0059] また、Si MISFETの空乏層の広がり幅は、pボディ領域28の表面から測った距離 $X1 \sim X3$ の範囲であるのに対して、SiC MISFETの空乏層の広がり幅は、pボディ領域28の表面から測った距離 $X1 \sim X2$ の範囲である。このため、必要なn-ドリフト層の膜厚が小さく、不純物密度と膜厚の双方のメリットによって、n-ドリフト層の抵抗値を低減し、オン抵抗 R_{on} を低くすることができ、チップ面積を縮小化（小チップ化）可能である。さらにユニポーラデバイスであるMISFET構造のままで、Si IGBTに比肩し得る耐圧を実現可能であることから、高耐圧でかつ高速スイッチングできるとされ、スイッチング損失の低減が期待できる。

[0060] 一方、ドリフト層26・26Nの高濃度化と薄層化（ $X2 < X3$ ）は空乏層拡張幅を制限して出力容量および帰還容量が低減しにくいというデメリットを抱えている。

[0061] さらに基本的に電流経路に接合型FET（JFET：Junction FET）構造を持たないSiC TMISFETにおいて、このデメリットは、特に顕著に現れ、オン抵抗 R_{on} の低減化と誤オンのし易さがトレードオフになり、SiC系MISFETの高速応答性を阻害する。またGaNHEMTにおいてはその構造が横型デバイスであると、 $C_{gs} : C_{gd}$ の比がSiに比べて小さく、誤オン（誤点弧）が起きやすい。

[0062] このことからSiC系デバイス、GaN系デバイスをスイッチングデバイスとして使用する本実施の形態に係るゲート駆動回路およびゲート駆動回路を搭載する電源装置は、サージ電圧の低減化とともに誤動作を抑制し、高速スイッチング性能を得ることができる。

[0063] 本実施の形態に係るゲート駆動回路およびゲート駆動回路を搭載する電源装置は、オン／オフ状態を制御するゲート電極を持つスイッチングデバイスと、そのスイッチングデバイスを駆動するゲート駆動回路を備える回路において、ゲート駆動回路からのパルス信号によって、スイッチングデバイスが指定されたスイッチング動作を行う際、意図しないスイッチング動作や意図

しないスイッチングデバイスへの過負荷を引き起こしたりすることを防止することができる。

[0064] (電源装置：実施の形態)

実施の形態に係る電源装置 10 であって、ゲート駆動回路 GC_1 およびゲート駆動回路 GC_4 を有するハーフブリッジ回路の模式的回路構成は、図 9 に示すように表される。

[0065] 実施の形態に係る電源装置 10 は、図 9 に示すように、正側電力端子 P に第 1 ドレインが接続された第 1 スwitchングデバイス Q1 と、出力端子 O に接続される第 2 ドレインが第 1 スwitchングデバイス Q1 の第 1 ソースと接続されると共に、負側電力端子 N に第 2 ソースが接続された第 2 スwitchングデバイス Q4 と、第 1 スwitchングデバイス Q1 の第 1 ゲート・第 2 スwitchングデバイス Q4 の第 2 ゲートに接続されたゲート駆動回路 (GC_1) 601・ゲート駆動回路 (GC_4) 604 と、ゲート駆動回路 (GC_1) 601 を介して第 1 スwitchングデバイス Q1 の第 1 ゲート・第 1 ソース間に接続され、第 1 スwitchングデバイス Q1 を駆動する第 1 ゲートドライバ (GD_1) 501 と、ゲート駆動回路 (GC_4) 604 を介して第 2 スwitchングデバイス Q4 の第 2 ゲート・第 2 ソース間に接続され、第 2 スwitchングデバイス Q4 を駆動する第 2 ゲートドライバ (GD_4) 504 とを備える。

[0066] ゲートドライバ (GD_1) 501 は、スitchングデバイス Q1 を駆動するための信号端子 GT1 を備え、ゲートドライバ (GD_4) 504 は、スitchングデバイス Q4 を駆動するための信号端子 GT4 を備える。

[0067] さらに、第 1 スitchングデバイス Q1 の第 1 ドレイン・第 1 ソース間に逆並列接続されるスナバダイオード D1 と第 2 スitchングデバイス Q4 の第 2 ドレイン・第 1 ソース間に逆並列接続されるスナバダイオード D4 を備える。

[0068] ここで、第 1 スitchングデバイス Q1・第 2 スitchングデバイス Q4 は、正側電力端子 P・負側電力端子 N 間に直列に接続され、ハーフブリッジ・インバータ回路を構成している。

[0069] 尚、ゲート駆動回路 (GC_1) $6O_1$ およびゲート駆動回路 (GC_4) $6O_4$ の詳細な回路構成については、図16～図27を参照して、後述する。

[0070] 実施の形態によれば、サージ電圧の低減化とともにゲート誤オンに伴う誤動作を抑制し、高速スイッチング性能のゲート駆動回路およびゲート駆動回路を搭載する電源装置を提供することができる。

[0071] (シミュレーション結果：比較例)

比較例に係る電源装置10Aであって、ゲート駆動回路 $6O_1$ としてゲート抵抗 R_{G1} 、ゲート駆動回路 $6O_4$ としてゲート抵抗 R_{G4} を有するハーフブリッジ・インバータの模式的回路構成は、図10(a)に示すように表される。第2スイッチングデバイスQ4のドレイン・ソース間には、図10(a)に示すように、負荷として、インダクタンスL1・キャパシタンスC1・抵抗R1からなる回路が接続されている。また、ゲートドライバ50は、ゲート抵抗 R_{G1} を介して第1スイッチングデバイスQ1の第1ゲート・第1ソース間に接続され、第1スイッチングデバイスQ1を駆動すると共に、ゲート抵抗 R_{G4} を介して第2スイッチングデバイスQ4の第2ゲート・第2ソース間に接続され、第2スイッチングデバイスQ4を駆動する。

[0072] 図10(a)において、ゲート抵抗 $R_{G1}=R_{G4}=1\Omega$ の場合のゲート・ソース間電圧 $V_{gs}(H)$ ・ $V_{gs}(L)$ の波形例、およびドレイン・ソース間電圧 $V_{ds}(L)$ の波形例は、図10(b)に示すように表される。また、図10(a)において、ゲート抵抗 $R_{G1}=R_{G4}=10\Omega$ の場合のゲート・ソース間電圧 $V_{gs}(H)$ ・ $V_{gs}(L)$ の波形例、およびドレイン・ソース間電圧 $V_{ds}(L)$ の波形例は、図11に示すように表される。ここで、 $V_{gs}(H)$ は、第1スイッチングデバイスQ1のゲート・ソース間電圧を示し、 $V_{gs}(L)$ は、第2スイッチングデバイスQ4のゲート・ソース間電圧を示す。 $V_{ds}(L)$ は、第2スイッチングデバイスQ4のドレイン・ソース間電圧を示す。

[0073] ゲート抵抗 $R_{G1}=R_{G4}=1\Omega$ の場合、図10(b)に示すように、 $V_{ds}(L)$ の立ち上がりにおいて、振動波形が観測され、ドレインサージ電圧が発生し易いことがわかる。

[0074] 一方、ゲート抵抗 $R_{G1} = R_{G4} = 10 \Omega$ の場合、図 11 に示すように、 $V_{ds}(L)$ の立ち上がりにおいて観測されたドレインサージ電圧の振動波形は抑制されている。すなわち、ゲート抵抗 $R_{G1} = R_{G4}$ の値を増加することで、ドレインサージ電圧の値は減少可能である。しかしながら、 $V_{ds}(L)$ の立ち上がりのタイミングにおいて、 $V_{gs}(L)$ には、意図しない電圧上昇が観測され、第 2 スwitchングデバイス Q_4 のゲート・ソース間電圧 $V_{gs}(L)$ の上昇に伴う誤オンが発生し易いことがわかる。

[0075] (シミュレーション結果：実施の形態)

実施の形態に係る電源装置 10 であって、ゲート駆動回路 60₁ としてゲート抵抗 R_{G1} 、ゲート駆動回路 60₄ としてゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} を有するハーフブリッジ・インバータの模式的回路構成は、図 12 (a) に示すように表される。第 2 スwitchングデバイス Q_4 のドレイン・ソース間には、図 12 (a) に示すように、負荷として、インダクタンス L_1 ・キャパシタンス C_1 ・抵抗 R_1 からなる回路が接続される。また、ゲートドライバ 50 は、ゲート抵抗 R_{G1} を介して第 1 スwitchングデバイス Q_1 の第 1 ゲート・第 1 ソース間に接続され、第 1 スwitchングデバイス Q_1 を駆動すると共に、ゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} を介して第 2 スwitchングデバイス Q_4 の第 2 ゲート・第 2 ソース間に接続され、第 2 スwitchングデバイス Q_4 を駆動する。

[0076] 図 12 (a) において、ゲート抵抗 $R_{G1} = R_{G4} = 10 \Omega$ の場合のゲート・ソース間電圧 $V_{gs}(H)$ ・ $V_{gs}(L)$ の波形例、およびドレイン・ソース間電圧 $V_{ds}(L)$ の波形例は、図 12 (b) に示すように表される。また、図 12 (a) において、ゲート抵抗 $R_{G1} = R_{G4} = 10 \Omega$ の場合のゲート・ソース間電圧 $V_{gs}(H)$ ・ $V_{gs}(L)$ の波形例、ドレイン・ソース間電圧 $V_{ds}(L)$ 、およびドレイン電流 $I_d(L)$ の波形例は、図 13 に示すように表される。

[0077] ゲート抵抗 $R_{G1} = R_{G4} = 10 \Omega$ とし、かつゲートダイオード D_{G4} を用いる場合、図 12 (b)・図 13 に示すように、 $V_{ds}(L)$ の立ち上がりにおいて観測されたドレインサージ電圧の振動波形は抑制されている。すなわち、ゲート

ト抵抗 $R_{G1} = R_{G4}$ の値を増加することで、ドレインサージ電圧の値は減少可能である。さらに、 $V_{ds}(L)$ の立ち上がりのタイミングにおいて、 $V_{gs}(L)$ には、意図しない電圧上昇は観測されず、誤オンも発生していない。一方、 $V_{ds}(L)$ の立ち下りのタイミングにおいて、 $V_{gs}(L) \cdot V_{ds}(L)$ には、波形遅延が観測されている。

[0078] 実施の形態に係る電源装置 10 であって、ゲート駆動回路 60₁ としてゲート抵抗 R_{G1} ・ゲートダイオード D_{G1} 、ゲート駆動回路 60₄ としてゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} を有するハーフブリッジ・インバータの模式的回路構成は、図 14 (a) に示すように表される。第 2 スイッチングデバイス Q₄ のドレイン・ソース間には、図 14 (a) に示すように、負荷として、インダクタンス L₁・キャパシタンス C₁・抵抗 R₁ からなる回路が接続される。また、ゲートドライバ 50 は、ゲート抵抗 R_{G1} を介して第 1 スイッチングデバイス Q₁ の第 1 ゲート・第 1 ソース間に接続され、第 1 スイッチングデバイス Q₁ を駆動すると共に、ゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} を介して第 2 スイッチングデバイス Q₄ の第 2 ゲート・第 2 ソース間に接続され、第 2 スイッチングデバイス Q₄ を駆動する。

[0079] 図 14 (a) において、ゲート抵抗 $R_{G1} = R_{G4} = 10 \Omega$ 、かつゲートダイオード D_{G1} ・ D_{G4} を用いる場合のゲート・ソース間電圧 $V_{gs}(H)$ ・ $V_{gs}(L)$ の波形例、およびドレイン・ソース間電圧 $V_{ds}(L)$ の波形例は、図 13 (b) に示すように表される。ゲート抵抗 $R_{G1} = R_{G4} = 10 \Omega$ とし、かつゲートダイオード D_{G1} ・ D_{G4} を用いる場合、図 14 (b) に示すように、 $V_{ds}(L)$ の立ち上がりにおいてドレインサージ電圧の振動波形は抑制されている。すなわち、ゲート抵抗 $R_{G1} = R_{G4}$ の値を増加することで、ドレインサージ電圧の値は減少可能である。さらに、 $V_{ds}(L)$ の立ち上がりのタイミングにおいて、 $V_{gs}(L)$ には、意図しない電圧上昇は観測されず、誤オンも発生していない。さらに、 $V_{ds}(L)$ の立ち下りのタイミングにおいて、 $V_{gs}(L) \cdot V_{ds}(L)$ には、波形遅延も観測されていない。

[0080] (ハーフブリッジ回路における効果)

図12(b)と図14(b)の比較であって、ドレイン・ソース間電圧 $V_{ds}(L)$ の波形例は、図15に示すように表される。図15において、曲線Aは、図12(a)に示すように、ゲートダイオード D_{G4} をローサイド側(第2スイッチングデバイスQ4側)のみに適用した例に対応し、曲線Bは、図14(a)に示すように、ゲートダイオード $D_{G1} \cdot D_{G4}$ をハイサイド側(第1スイッチングデバイスQ1側)とローサイド側(第2スイッチングデバイスQ4側)の両方に適用した例に対応している。

[0081] 図示した期間 Δt は、第2スイッチングデバイスQ4がオフ状態で、第1スイッチングデバイスQ1がオン状態からオフ状態へ移行する期間である。この期間においては、 $V_{ds}(L)$ へ供給されている主電源電圧Eが遮断されるため、 $V_{ds}(L)$ がEから低下し始める。この時、ハイサイド側(第1スイッチングデバイスQ1側)にも本実施の形態に係るゲート駆動回路を付加した曲線Bの方が、ローサイド側(第2スイッチングデバイスQ4側)のみに適用した曲線Aに比較して、第1スイッチングデバイスQ1のターンオフが高速化されるため、スイッチング速度が早い。

[0082] 実施の形態に係るゲート駆動回路を適用すれば、スイッチオフ⇒オン時の $V_{ds}(L)$ の立上がり速度を制限しながら、スイッチオン⇒オフ時の $V_{ds}(L)$ の立下り速度を維持できる。

[0083] $V_{ds}(L)$ の立ち上がりに伴う誤オンはローサイド側(第2スイッチングデバイスQ4側)のみに実施の形態に係るゲート駆動回路を適用すれば防止可能である。しかし、スイッチオフ⇒オン時の $V_{ds}(L)$ の立上がり速度を制限しながら、スイッチオン⇒オフ時の $V_{ds}(L)$ の立下り速度を維持できる効果があるためその効果を期待する場合は、どちらか一方でも良いし両方適用しても良い。

[0084] 実施の形態に係る電源装置10であって、ゲート駆動回路60₁としてゲート抵抗 R_{G1} ・ゲートダイオード D_{G1} 、ゲート駆動回路60₄としてゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} を有するハーフブリッジ・インバータの模式的回路構成は、図16に示すように表される。

- [0085] 実施の形態に係る電源装置 10 は、図 16 に示すように、正側電力端子 P に第 1 ドレインが接続された第 1 スイッチングデバイス Q1 と、出力端子 O に接続される第 2 ドレインが第 1 スイッチングデバイス Q1 の第 1 ソースと接続されると共に、負側電力端子 N に第 2 ソースが接続された第 2 スイッチングデバイス Q4 と、第 1 スイッチングデバイス Q1 の第 1 ゲート・第 2 スイッチングデバイス Q4 の第 2 ゲートに接続されたゲート駆動回路 60₁・ゲート駆動回路 60₄ と、ゲート駆動回路 60₁ を介して第 1 スイッチングデバイス Q1 の第 1 ゲート・第 1 ソース間に接続され、第 1 スイッチングデバイス Q1 を駆動する第 1 ゲートドライバ (GD₁) 50₁ と、ゲート駆動回路 60₄ を介して第 2 スイッチングデバイス Q4 の第 2 ゲート・第 2 ソース間に接続され、第 2 スイッチングデバイス Q4 を駆動する第 2 ゲートドライバ (GD₄) 50₄ とを備える。
- [0086] ゲートドライバ (GD₁) 50₁ は、スイッチングデバイス Q1 を駆動するための信号端子 GT1 を備え、ゲートドライバ (GD₄) 50₄ は、スイッチングデバイス Q4 を駆動するための信号端子 GT4 を備える。以下同様である。
- [0087] ここで、ゲート駆動回路 60₁ は、スイッチングデバイス Q1 のゲートに接続されるゲート抵抗 R_{G1} と、ゲート抵抗 R_{G1} に並列接続されるゲートダイオード D_{G1} とを備え、ゲートダイオードの順方向閾値電圧の値を V_{th}(Di)、スイッチングデバイスの閾値電圧の値を V_{th}(Tr) とすると、 $V_{th}(Di) < V_{th}(Tr)$ の関係を満たす。
- [0088] また、スイッチングデバイス Q1 のオン抵抗の値を R_{on}、ゲート抵抗 R_{G1} の値を R_G とすると、 $R_{on} < R_G$ の関係を満たす。ゲート駆動回路 60₄ についても同様である。また、図 16 に示すように、ゲートダイオード D_{G1}・D_{G4} のアノードはスイッチングデバイス Q1・Q4 のゲートに接続され、カソードは、ゲートドライバ (GD₁) 50₁・(GD₄) 50₄ に接続される。
- [0089] さらに、第 1 スイッチングデバイス Q1 の第 1 ドレイン・第 1 ソース間に逆並列接続されるスナバダイオード D1 と第 2 スイッチングデバイス Q4 の第 2 ドレイン・第 1 ソース間に逆並列接続されるスナバダイオード D4 を備

える。

[0090] 実施の形態に係る電源装置 10 は、さらに詳細には、オン／オフ状態を制御する第 1 スイッチングデバイス Q1 と、第 1 スイッチングデバイス Q1 のゲートに電圧を印加することにより、第 1 スイッチングデバイス Q1 を駆動するゲートドライバ (GD₁) 50₁ と、第 1 スイッチングデバイス Q1 のゲートとゲートドライバ (GD₁) 50₁ 間に配置されたゲート抵抗 R_{G1} と、ゲート抵抗 R_{G1} に並列に、アノードが第 1 スイッチングデバイス Q1 のゲート側・カソードがゲートドライバ (GD₁) 50₁ 側になるように、ゲートとゲートドライバ (GD₁) 50₁ 間に接続されたゲートダイオード D_{G1} とを備え、ゲートダイオード D_{G1} の閾値電圧 V_{th}(Di) と第 1 スイッチングデバイス Q1 の閾値電圧 V_{th}(Tr) の関係が、 $V_{th}(Di) < V_{th}(Tr)$ を満たす。

[0091] また、ゲート抵抗 R_{G1} の値を R_G、スイッチングデバイス Q1 のゲート自身が有する内部抵抗の値を R_{gi}、付与される外部抵抗の値を R_{ge} とすると、 $R_G = R_{gi} + R_{ge}$ を満たす。

[0092] また、スイッチングデバイス Q1 のオン抵抗の値を R_{on}、ゲート抵抗 R_{G1} の値を R_G とすると、 $R_{on} < R_G$ の関係を満たす。

[0093] 実施の形態によれば、サージ電圧の低減化とともにゲート誤オンに伴う誤動作を抑制し、高速スイッチング性能のゲート駆動回路およびゲート駆動回路を搭載する電源装置を提供することができる。

[0094] 実施の形態に係る電源装置 10 であって、ゲート駆動回路 60₁ としてゲート抵抗 R_{G1}・ゲートダイオード D_{G1}・直列抵抗 R_{GS1}、ゲート駆動回路 60₄ としてゲート抵抗 R_{G4}・ゲートダイオード D_{G4}・直列抵抗 R_{GS4} を有するハーフブリッジ・インバータの模式的回路構成は、図 17 に示すように表される。

[0095] 実施の形態に係る電源装置 10 のゲート駆動回路 60₁ は、図 17 に示すように、ゲートダイオード D_{G1} に直列接続された第 1 直列抵抗 R_{GS1} を備え、ゲートダイオード D_{G1} と直列抵抗 R_{GS1} との直列回路がゲート抵抗 R_{G1} と並列接続されている。同様に、ゲート駆動回路 60₄ は、ゲートダイオード D_{G4} に直列接続された第 2 直列抵抗 R_{GS4} を備え、ゲートダイオード D_{G4} と直列抵抗 R_{GS4} との直

列回路がゲート抵抗 R_{G4} と並列接続されている。

[0096] 実施の形態に係る電源装置 10 であって、ゲート駆動回路 60₁としてゲート抵抗 R_{G1} ・ゲートダイオード D_{G1} ・ツェナーダイオード D_{Z1} 、ゲート駆動回路 60₄としてゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} ・ツェナーダイオード D_{Z4} を有するハーフブリッジ・インバータの模式的回路構成は、図 18 に示すように表される。

[0097] 実施の形態に係る電源装置 10 のゲート駆動回路 60₁は、図 18 に示すように、第 1 スイッチングデバイス Q1 のゲート・ソース間に並列接続された電圧制限用ツェナーダイオード D_{Z1} を備える。同様に、ゲート駆動回路 60₄は、第 2 スイッチングデバイス Q4 のゲート・ソース間に並列接続された電圧制限用ツェナーダイオード D_{Z4} を備える。

[0098] ここで、電圧制限用ツェナーダイオード D_{Z1} は、ゲートダイオード D_{G1} 、ゲート抵抗 R_{G1} よりも第 1 スイッチングデバイス Q1 のゲート側に配置されている。同様に、電圧制限用ツェナーダイオード D_{Z4} は、ゲートダイオード D_{G4} 、ゲート抵抗 R_{G4} よりも第 2 スイッチングデバイス Q4 のゲート側に配置されている。

[0099] 実施の形態に係る電源装置 10 であって、ゲート駆動回路 GC₁としてゲート抵抗 R_{G1} ・ゲートダイオード D_{G1} ・ツェナーダイオード D_{Z11} ・ D_{Z12} 、ゲート駆動回路 GC₄としてゲート抵抗 R_{G4} ・ゲートダイオード D_{G4} ・ツェナーダイオード D_{Z41} ・ D_{Z42} を有するハーフブリッジ・インバータの模式的回路構成は、図 19 に示すように表される。

[0100] 実施の形態に係る電源装置 10 のゲート駆動回路 60₁は、図 19 に示すように、第 1 スイッチングデバイス Q1 のゲート・ソース間に並列接続され、かつ直列構成の電圧制限用ツェナーダイオード D_{Z11} ・ D_{Z12} を備える。同様に、ゲート駆動回路 60₄は、第 2 スイッチングデバイス Q4 のゲート・ソース間に並列接続され、かつ直列構成の電圧制限用ツェナーダイオード D_{Z41} ・ D_{Z42} を備える。

[0101] ここで、電圧制限用ツェナーダイオード D_{Z1} ・ D_{Z12} は、ゲートダイオード D_G

1、ゲート抵抗 R_{G1} よりも第1スイッチングデバイス Q_1 のゲート側に配置されている。同様に、電圧制限用ツェナーダイオード $D_{Z4} \cdot D_{Z42}$ は、ゲートダイオード D_{G4} 、ゲート抵抗 R_{G4} よりも第2スイッチングデバイス Q_4 のゲート側に配置されている。

[0102] 実施の形態に係る電源装置10であって、ゲート駆動回路60₁としてゲート抵抗 R_{G1} ・第1ゲートスイッチングデバイス Q_{G1} 、ゲート駆動回路60₄としてゲート抵抗 R_{G4} ・第2ゲートスイッチングデバイス Q_{G4} を有するハーフブリッジ・インバータの模式的回路構成は、図20に示すように表される。

[0103] 実施の形態に係る電源装置10は、図20に示すように、正側電力端子Pに第1ドレインが接続された第1スイッチングデバイス Q_1 と、出力端子Oに接続される第2ドレインが第1スイッチングデバイス Q_1 の第1ソースと接続されると共に、負側電力端子Nに第2ソースが接続された第2スイッチングデバイス Q_4 と、第1スイッチングデバイス Q_1 の第1ゲート・第2スイッチングデバイス Q_4 の第2ゲートに接続されたゲート駆動回路60₁・ゲート駆動回路60₄と、ゲート駆動回路60₁を介して第1スイッチングデバイス Q_1 の第1ゲート・第1ソース間に接続され、第1スイッチングデバイス Q_1 を駆動する第1ゲートドライバ50₁と、ゲート駆動回路60₄を介して第2スイッチングデバイス Q_4 の第2ゲート・第2ソース間に接続され、第2スイッチングデバイス Q_4 を駆動する第2ゲートドライバ50₄とを備える。

[0104] さらに、第1スイッチングデバイス Q_1 の第1ドレイン・第1ソース間に逆並列接続されるスナバダイオードD1と第2スイッチングデバイス Q_4 の第2ドレイン・第1ソース間に逆並列接続されるスナバダイオードD4を備える。

[0105] ここで、第1スイッチングデバイス Q_1 ・第2スイッチングデバイス Q_4 は、正側電力端子P・負側電力端子N間に直列に接続され、ハーフブリッジ・インバータを構成している。

[0106] さらに詳細には、実施の形態に係る電源装置10は、図20に示すように、オン／オフ状態を制御するスイッチングデバイス Q_1 と、スイッチングデ

バイスQ 1のゲートに電圧を印加することにより、スイッチングデバイスQ 1を駆動するゲートドライバ(GD₁)50₁と、スイッチングデバイスQ 1のゲートとゲートドライバ(GD₁)50₁間に配置されたゲート抵抗R_{G1}と、ゲート抵抗R_{G1}に並列接続され、ソースが第1スイッチングデバイスQ 1のゲート側、ドレインがゲートドライバ(GD₁)50₁側になるように、第1スイッチングデバイスQ 1ゲートとゲートドライバ(GD₁)50₁間に接続されたゲートスイッチングデバイスQ_{G1}とを備え、ゲートスイッチングデバイスQ_{G1}の閾値電圧V_{th}(TrG)と第1スイッチングデバイスQ 1の閾値電圧V_{th}(Tr)の関係が、V_{th}(TrG)<V_{th}(Tr)を満たす。ゲート駆動回路60₄についても同様である。

[0107] 実施の形態に係る電源装置10のゲート駆動回路60₁は、図20に示すように、第1ゲートスイッチングデバイスQ_{G1}のソースは、第1スイッチングデバイスQ 1のゲートに短絡されている。

[0108] 同様に、実施の形態に係る電源装置10のゲート駆動回路60₄は、図20に示すように、ゲート抵抗R_{G4}に並列接続された第2ゲートスイッチングデバイスQ_{G4}を備え、第2ゲートスイッチングデバイスQ_{G4}のソースは、第2スイッチングデバイスQ 4のゲートに短絡されている。

[0109] また、スイッチングデバイスQ 1のオン抵抗の値をR_{on}、ゲート抵抗R_{G1}の抵抗値をR_Gとすると、R_{on}<R_Gの関係を満たす。

[0110] さらに、図20に示すように、第1ゲートドライバ50₁は、第1ゲートスイッチングデバイスQ_{G1}を駆動するための信号端子GTG 1を備え、信号端子GTG 1は、第1ゲートスイッチングデバイスQ_{G1}のゲートに接続されている。同様に、第2ゲートドライバ50₄は、第2ゲートスイッチングデバイスQ_{G4}を駆動するための信号端子GTG 4を備え、信号端子GTG 4は、第2ゲートスイッチングデバイスQ_{G4}のゲートに接続されている。以下同様である。

[0111] また、第1ゲートスイッチングデバイスQ_{G1}は、第1スイッチングデバイスQ 1のオン／オフ動作に合わせてスイッチングされ、第2ゲートスイッチングデバイスQ_{G4}も2スイッチングデバイスQ 4のオン／オフ動作に合わせてス

イッチングされる。

[0112] 実施の形態に係る電源装置 10 であって、ゲート駆動回路 60₁としてゲート抵抗 R_{G1} ・第 1 ゲートスイッチングデバイス Q_{G1} ・直列抵抗 R_{GS1} 、ゲート駆動回路 60₄としてゲート抵抗 R_{G4} ・第 2 ゲートスイッチングデバイス Q_{G4} ・直列抵抗 R_{GS4} を有するハーフブリッジ・インバータの模式的回路構成は、図 21 に示すように表される。

[0113] 実施の形態に係る電源装置 10 のゲート駆動回路 60₁は、図 21 に示すように、第 1 ゲートスイッチングデバイス Q_{G1} に直列接続された第 1 直列抵抗 R_{GS1} を備え、第 1 ゲートスイッチングデバイス Q_{G1} と直列抵抗 R_{GS1} との直列回路がゲート抵抗 R_{G1} と並列接続されている。同様に、ゲート駆動回路 60₄は、第 2 ゲートスイッチングデバイス Q_{G4} に直列接続された第 2 直列抵抗 R_{GS4} を備え、第 2 ゲートスイッチングデバイス Q_{G4} と直列抵抗 R_{GS4} との直列回路がゲート抵抗 R_{G4} と並列接続されている。その他の構成は、図 20 と同様である。

[0114] 実施の形態に係る電源装置 10 であって、ゲート駆動回路 60₁としてゲート抵抗 R_{G1} ・第 1 ゲートスイッチングデバイス Q_{G1} ・ツェナーダイオード D_{Z1} 、ゲート駆動回路 60₄としてゲート抵抗 R_{G4} ・第 2 ゲートスイッチングデバイス Q_{G4} ・ツェナーダイオード D_{Z4} を有するハーフブリッジ・インバータの模式的回路構成は、図 22 に示すように表される。

[0115] 実施の形態に係る電源装置 10 のゲート駆動回路 60₁は、図 22 に示すように、第 1 スwitchングデバイス Q_1 のゲート・ソース間に並列接続された電圧制限用ツェナーダイオード D_{Z1} を備える。同様に、ゲート駆動回路 60₄は、第 2 スwitchングデバイス Q_4 のゲート・ソース間に並列接続された電圧制限用ツェナーダイオード D_{Z4} を備える。

[0116] ここで、電圧制限用ツェナーダイオード D_{Z1} は、第 1 ゲートスイッチングデバイス Q_{G1} 、ゲート抵抗 R_{G1} よりも第 1 スwitchングデバイス Q_1 のゲート側に配置されている。同様に、電圧制限用ツェナーダイオード D_{Z4} は、第 2 ゲートスイッチングデバイス Q_{G4} 、ゲート抵抗 R_{G4} よりも第 2 スwitchングデバイス Q_4 のゲート側に配置されている。その他の構成は、図 20 と同様である。

。

[0117] 実施の形態に係る電源装置 10 であって、ゲート駆動回路 60₁としてゲート抵抗 R_{G1} ・第 1 ゲートスイッチングデバイス Q_{G1} ・ツェナーダイオード D_{Z11} ・ D_{Z12} 、ゲート駆動回路 60₄としてゲート抵抗 R_{G4} ・第 2 ゲートスイッチングデバイス Q_{G4} ・ツェナーダイオード D_{Z41} ・ D_{Z42} を有するハーフブリッジ・インバータの模式的回路構成は、図 23 に示すように表される。

[0118] 実施の形態に係る電源装置 10 のゲート駆動回路 60₁は、図 23 に示すように、第 1 スwitchングデバイス Q_1 のゲート・ソース間に並列接続され、かつ直列構成の電圧制限用ツェナーダイオード D_{Z11} ・ D_{Z12} を備える。同様に、ゲート駆動回路 60₄は、第 2 スwitchングデバイス Q_4 のゲート・ソース間に並列接続され、かつ直列構成の電圧制限用ツェナーダイオード D_{Z41} ・ D_{Z42} を備える。

[0119] ここで、電圧制限用ツェナーダイオード D_{Z1} ・ D_{Z12} は、第 1 ゲートスイッチングデバイス Q_{G1} 、ゲートダイオード D_{G1} 、ゲート抵抗 R_{G1} よりも第 1 スwitchングデバイス Q_1 のゲート側に配置されている。同様に、電圧制限用ツェナーダイオード D_{Z4} は、第 2 ゲートスイッチングデバイス Q_{G4} 、ゲート抵抗 R_{G4} よりも第 2 スwitchングデバイス Q_4 のゲート側に配置されている。その他の構成は、図 20 と同様である。

[0120] 実施の形態に係る電源装置 10 であって、ゲート駆動回路 60₁としてゲート抵抗 R_{G1} ・第 1 ゲートスイッチングデバイス Q_{G1} 、ゲート駆動回路 60₄としてゲート抵抗 R_{G4} ・第 2 ゲートスイッチングデバイス Q_{G4} を有するハーフブリッジ・インバータの模式的回路構成は、図 24 に示すように表される。

[0121] 実施の形態に係る電源装置 10 のゲート駆動回路 60₁は、図 24 に示すように、ゲート抵抗 R_{G1} に並列接続された第 1 ゲートスイッチングデバイス Q_{G1} を備え、第 1 ゲートスイッチングデバイス Q_{G1} のドレインは、第 1 スwitchングデバイス Q_1 のゲートに短絡されている。

[0122] 同様に、実施の形態に係る電源装置 10 のゲート駆動回路 60₄は、図 24 に示すように、ゲート抵抗 R_{G4} に並列接続された第 2 ゲートスイッチングデバ

イス Q_{G4} を備え、第2ゲートスイッチングデバイス Q_{G4} のドレインは、第2スイッチングデバイス Q_4 のゲートに短絡されている。

[0123] さらに、第1ゲートドライバ(GD_1) 50_1 においては、第1ゲートスイッチングデバイス Q_{G1} を駆動するための信号端子 $G TG 1$ が、スイッチングデバイス Q_1 を駆動するための信号端子 $G T 1$ と共通化され、信号端子 $G T 1$ は、第1ゲートスイッチングデバイス Q_{G1} のゲートに接続されている。同様に、第2ゲートドライバ(GD_4) 50_4 においては、第2ゲートスイッチングデバイス Q_{G4} を駆動するための信号端子 $G TG 4$ が、スイッチングデバイス Q_4 を駆動するための信号端子 $G T 4$ と共通化され、信号端子 $G T 4$ は、第2ゲートスイッチングデバイス Q_{G4} のゲートに接続されている。

[0124] また、第1ゲートスイッチングデバイス Q_{G1} は、第1スイッチングデバイス Q_1 のオン／オフ動作に合わせてスイッチングされ、第2ゲートスイッチングデバイス Q_{G4} も2スイッチングデバイス Q_4 のオン／オフ動作に合わせてスイッチングされる。その他の構成は、図20と同様である。

[0125] 実施の形態に係る電源装置10であって、ゲート駆動回路 60_1 としてゲート抵抗 R_{G1} ・第1ゲートスイッチングデバイス Q_{G1} ・直列抵抗 R_{GS1} 、ゲート駆動回路 60_4 としてゲート抵抗 R_{G4} ・第2ゲートスイッチングデバイス Q_{G4} ・直列抵抗 R_{GS4} を有するハーフブリッジ・インバータの模式的回路構成は、図25に示すように表される。

[0126] 実施の形態に係る電源装置10のゲート駆動回路 60_1 は、図25に示すように、第1ゲートスイッチングデバイス Q_{G1} に直列接続された第1直列抵抗 R_{GS1} を備え、第1ゲートスイッチングデバイス Q_{G1} と直列抵抗 R_{GS1} との直列回路がゲート抵抗 R_{G1} と並列接続されている。同様に、ゲート駆動回路 60_4 は、第2ゲートスイッチングデバイス Q_{G4} に直列接続された第2直列抵抗 R_{GS4} を備え、第2ゲートスイッチングデバイス Q_{G4} と直列抵抗 R_{GS4} との直列回路がゲート抵抗 R_{G4} と並列接続されている。その他の構成は、図24と同様である。

[0127] 実施の形態に係る電源装置10であって、ゲート駆動回路 60_1 としてゲート抵抗 R_{G1} ・第1ゲートスイッチングデバイス Q_{G1} ・ツェナーダイオード D_{Z1} 、

ゲート駆動回路 60₄としてゲート抵抗 R_{G4} ・第2ゲートスイッチングデバイス Q_{G4} ・ツェナーダイオード D_{Z4} を有するハーフブリッジ・インバータの模式的回路構成は、図26に示すように表される。

[0128] 実施の形態に係る電源装置10のゲート駆動回路60₁は、図26に示すように、第1スイッチングデバイス Q_1 のゲート・ソース間に並列接続された電圧制限用ツェナーダイオード D_{Z1} を備える。同様に、ゲート駆動回路60₄は、第2スイッチングデバイス Q_4 のゲート・ソース間に並列接続された電圧制限用ツェナーダイオード D_{Z4} を備える。

[0129] ここで、電圧制限用ツェナーダイオード D_{Z1} は、第1ゲートスイッチングデバイス Q_{G1} 、ゲート抵抗 R_{G1} 、直列抵抗 R_{GS1} よりも第1スイッチングデバイス Q_1 のゲート側に配置されている。同様に、電圧制限用ツェナーダイオード D_{Z4} は、第2ゲートスイッチングデバイス Q_{G4} 、ゲート抵抗 R_{G4} 、直列抵抗 R_{GS4} よりも第2スイッチングデバイス Q_4 のゲート側に配置されている。その他の構成は、図24と同様である。

[0130] 実施の形態に係る電源装置10であって、ゲート駆動回路60₁としてゲート抵抗 R_{G1} ・第1ゲートスイッチングデバイス Q_{G1} ・ツェナーダイオード D_{Z11} ・ D_{Z12} 、ゲート駆動回路60₄としてゲート抵抗 R_{G4} ・第2ゲートスイッチングデバイス Q_{G4} ・ツェナーダイオード D_{Z41} ・ D_{Z42} を有するハーフブリッジ・インバータの模式的回路構成は、図27に示すように表される。

[0131] 実施の形態に係る電源装置10のゲート駆動回路60₁は、図27に示すように、第1スイッチングデバイス Q_1 のゲート・ソース間に並列接続され、かつ直列構成の電圧制限用ツェナーダイオード D_{Z11} ・ D_{Z12} を備える。同様に、ゲート駆動回路60₄は、第2スイッチングデバイス Q_4 のゲート・ソース間に並列接続され、かつ直列構成の電圧制限用ツェナーダイオード D_{Z41} ・ D_{Z42} を備える。

[0132] ここで、電圧制限用ツェナーダイオード D_{Z1} ・ D_{Z12} は、第1ゲートスイッチングデバイス Q_{G1} 、ゲート抵抗 R_{G1} 、直列抵抗 R_{GS1} よりも第1スイッチングデバイス Q_1 のゲート側に配置されている。同様に、電圧制限用ツェナーダイ

オード $D_{Z4} \cdot D_{Z42}$ は、第2ゲートスイッチングデバイス Q_{G4} 、ゲート抵抗 R_{G4} 、直列抵抗 R_{GS4} よりも第2スイッチングデバイス Q_4 のゲート側に配置されている。その他の構成は、図24と同様である。その他の構成は、図24と同様である。

[0133] (ゲート駆動回路を適用した応用回路例)

—PFC機能付き昇圧コンバータ回路—

実施の形態に係る電源装置10であって、ゲート駆動回路を適用したPFC機能付き昇圧コンバータ回路は、図28に示すように、入力と接地電位間に接続された入力キャパシタ C_i と、ソースが接地電位に接続されたスイッチングデバイス Q_1 と、スイッチングデバイス Q_1 のドレインと入力との間に接続されたインダクタンス L_i と、スイッチングデバイス Q_1 のドレインと出力との間に接続されたダイオード D_o と、出力と接地電位間に接続された出力キャパシタ C_o と、スイッチングデバイス Q_1 のゲートに接続されたゲート駆動回路60₁と、ゲート駆動回路60₁に接続されたゲートドライバ50₁と、ゲートドライバ50₁に接続された力率改善(PFC: Power Factor Correction)回路70とを備え、入力電圧 V_i を出力電圧 V_o に昇圧すると共に、PFC機能も備える。

[0134] ここで、ゲート駆動回路60₁には、実施の形態に係るゲート駆動回路を適用可能である。

[0135] —Hブリッジ型昇降圧コンバータ回路—

実施の形態に係る電源装置10であって、ゲート駆動回路を適用したHブリッジ型昇降圧コンバータ回路は、図29に示すように、入力と接地電位間に接続された入力キャパシタ C_i と、入力キャパシタ C_i に並列接続され、第1インバータ構成の第1スイッチングデバイス Q_1 および第2スイッチングデバイス Q_4 と、出力と接地電位間に接続された出力キャパシタ C_o と、出力キャパシタ C_o に並列接続され、第2インバータ構成の第3スイッチングデバイス Q_2 および第4スイッチングデバイス Q_5 と、スイッチングデバイス $Q_1 \cdot Q_4$ の接続点とスイッチングデバイス $Q_2 \cdot Q_5$ の接続点との間に接続

されたインダクタンス L_t と、スイッチングデバイス $Q_1 \cdot Q_4 \cdot Q_2 \cdot Q_5$ を駆動する第1ゲート駆動回路(GC_1) $6O_1$ ・第2ゲート駆動回路(GC_4) $6O_4$ ・第3ゲート駆動回路(GC_2) $6O_2$ ・第4ゲート駆動回路(GC_5) $6O_5$ と、ゲート駆動回路 $6O_1 \cdot 6O_4 \cdot 6O_2 \cdot 6O_5$ を駆動するゲートドライバ $5O$ とを備え、入力電圧 V_i を出力電圧 V_o に昇降圧する。

[0136] 第1ゲート駆動回路(GC_1) $6O_1$ ・第2ゲート駆動回路(GC_4) $6O_4$ ・第3ゲート駆動回路(GC_2) $6O_2$ ・第4ゲート駆動回路(GC_5) $6O_5$ には、実施の形態に係るゲート駆動回路を適用可能である。

[0137] ーフライバック型DC/DCコンバーター

実施の形態に係る電源装置10であって、ゲート駆動回路を適用したフライバック型DC/DCコンバータは、図30に示すように、入力と接地電位間に接続された入力キャパシタ C_i と、入出力間に接続されたフライバックトランス15と、入力と接地電位間に接続され、フライバックトランス15の1次側インダクタンス L_p に直列接続されたスイッチングデバイス Q_1 と、フライバックトランス15の2次側インダクタンス L_s と出力との間にアノードとカソードが接続されたダイオード D_o と、出力と接地電位間に接続された出力キャパシタ C_o と、スイッチングデバイス Q_1 のゲートに接続されたゲート駆動回路 $6O_1$ と、ゲート駆動回路 $6O_1$ に接続されたゲートドライバ $5O_1$ とを備え、入力電圧 V_i を出力電圧 V_o にフライバック方式でDC/DC変換する。

[0138] ゲート駆動回路 $6O_1$ には、実施の形態に係るゲート駆動回路を適用可能である。

[0139] ーフォワード型DC/DCコンバーター

実施の形態に係る電源装置10であって、ゲート駆動回路を適用したフォワード型DC/DCコンバータは、図31に示すように、入力と接地電位間に接続された入力キャパシタ C_i と、入出力間に接続されたフライバックトランス15と、入力と接地電位間に接続され、フライバックトランス15の1次側インダクタンス L_p に直列接続されたスイッチングデバイス Q_1 と、フラ

イバックトランス 15 の 2 次側インダクタンス L_s と出力との間に接続されたダイオード D_{o1} ・ インダクタンス L_o と、第 1 ダイオード D_{o1} とインダクタンス L_o の接続点と接地電位との間に接続された第 2 ダイオード D_{o2} と、出力と接地電位間に接続された出力キャパシタ C_o と、スイッチングデバイス Q_1 のゲートに接続されたゲート駆動回路 $6O_1$ と、ゲート駆動回路 $6O_1$ に接続されたゲートドライバ $5O_1$ とを備え、入力電圧 V_i を出力電圧 V_o にフライバック方式で DC / DC 変換する。

[0140] ゲート駆動回路 $6O_1$ には、実施の形態に係るゲート駆動回路を適用可能である。

[0141] ーフルブリッジ型インバータ回路ー

実施の形態に係る電源装置 10 であって、ゲート駆動回路を適用したフルブリッジ型インバータ回路は、図 32 に示すように、入力と接地電位間に接続された入力キャパシタ C_i と、入力キャパシタ C_i に並列接続され、第 1 インバータ構成の第 1 スwitchングデバイス Q_1 および第 2 スwitchングデバイス Q_4 と、入力キャパシタ C_i に並列接続され、第 2 インバータ構成の第 3 スwitchングデバイス Q_2 および第 4 スwitchングデバイス Q_5 と、スitchングデバイス Q_1 ・ Q_4 ・ Q_2 ・ Q_5 を駆動する第 1 ゲート駆動回路 (GC_1) $6O_1$ ・ 第 2 ゲート駆動回路 (GC_4) $6O_4$ ・ 第 3 ゲート駆動回路 (GC_2) $6O_2$ ・ 第 4 ゲート駆動回路 (GC_5) $6O_5$ と、ゲート駆動回路 $6O_1$ ・ $6O_4$ ・ $6O_2$ ・ $6O_5$ を駆動するゲートドライバ 50 とを備え、入力電圧 V_i をスitchングデバイス Q_1 ・ Q_4 の接続点とスitchングデバイス Q_2 ・ Q_5 の接続点との間から得られる出力電圧 V_o に変換する。

[0142] 第 1 ゲート駆動回路 (GC_1) $6O_1$ ・ 第 2 ゲート駆動回路 (GC_4) $6O_4$ ・ 第 3 ゲート駆動回路 (GC_2) $6O_2$ ・ 第 4 ゲート駆動回路 (GC_5) $6O_5$ には、実施の形態に係るゲート駆動回路を適用可能である。

[0143] ー 3 相交流インバーター

実施の形態に係る電源装置 10 であって、ゲート駆動回路を適用可能な 3 相モータを駆動する 3 相交流インバータの模式的回路構成は、図 33 に示す

ように表される。図33において、スイッチングデバイスとしてSiC系デバイス、GaN系デバイスを適用可能である。

[0144] 図33に示すように、3相交流インバータは、ゲートドライブ部150と、ゲートドライブ部150に接続されたパワーモジュール部152と、3相交流モータ部154とを備える。パワーモジュール部152は、3相交流モータ部154のU相、V相、W相に対応して、U相、V相、W相のインバータが接続されている。ここで、ゲートドライブ部150は、スイッチングデバイスQ1・Q4、スイッチングデバイスQ2・Q5、およびスイッチングデバイスQ3・Q6に接続される。

[0145] パワーモジュール部152は、蓄電池(E)146の接続されたコンバータ148が接続された正側電力端子Pと負側電力端子N間に、インバータ構成のスイッチングデバイスQ1・Q4、スイッチングデバイスQ2・Q5、およびスイッチングデバイスQ3・Q6が接続されている。さらに、スイッチングデバイスQ1・Q4、スイッチングデバイスQ2・Q5、およびスイッチングデバイスQ3・Q6のソース・ドレイン間には、スナバダイオードD1・D4、スナバダイオードD2・D5、およびスナバダイオードD3・D6がそれぞれ逆並列に接続されている。

[0146] また、図33において、ゲートドライブ部150およびパワーモジュール部152をまとめた3相交流インバータ部52の詳細回路構成は、図34に示すように表される。

[0147] 3相交流インバータ部52は、図34に示すように、プラス(+)端子Pとマイナス(-)端子N間に、U相インバータを構成するスイッチングデバイスQ1・Q4、V相インバータを構成するスイッチングデバイスQ2・Q5、およびW相インバータを構成するスイッチングデバイスQ3・Q6が接続されている。

[0148] スwitchングデバイスQ1・Q4のゲートには、第1ゲート駆動回路(GC₁)60₁・第2ゲート駆動回路(GC₄)60₄が接続され、第1ゲート駆動回路60₁・第2ゲート駆動回路60₄には、第1ゲートドライバ(GD₁)50

Q_1 ・第2ゲートドライバ (GD_4) $5O_4$ が接続される。スイッチングデバイス Q_2 ・ Q_5 のゲートには、第3ゲート駆動回路 (GC_2) $6O_2$ ・第4ゲート駆動回路 (GC_5) $6O_5$ が接続され、第3ゲート駆動回路 $6O_2$ ・第4ゲート駆動回路 $6O_5$ には、第3ゲートドライバ (GD_2) $5O_2$ ・第4ゲートドライバ (GD_5) $5O_5$ が接続される。スイッチングデバイス Q_3 ・ Q_6 のゲートには、第5ゲート駆動回路 (GC_3) $6O_3$ ・第6ゲート駆動回路 (GC_6) $6O_6$ が接続され、第5ゲート駆動回路 $6O_3$ ・第6ゲート駆動回路 $6O_6$ には、第5ゲートドライバ (GD_3) $5O_3$ ・第6ゲートドライバ (GD_6) $5O_6$ が接続される。第1ゲート駆動回路 (GC_1) $6O_1$ ・第2ゲート駆動回路 (GC_4) $6O_4$ ・第3ゲート駆動回路 (GC_2) $6O_2$ ・第4ゲート駆動回路 (GC_5) $6O_5$ ・第5ゲート駆動回路 $6O_3$ ・第6ゲート駆動回路 $6O_6$ には、実施の形態に係るゲート駆動回路を適用可能である。

[0149] 本実施の形態に係るゲート駆動回路および電源装置は、SiCパワーモジュールを適用したHEV/EV、インホイールモータ向けのコンバータ、インバータ（バッテリーから昇圧するための力率改善（PFC: Power Factor Correction）回路やモータ駆動用3相インバータ）、太陽電池システムのパワーコンディショナー向け昇圧コンバータ、産業機器向けのコンバータおよびインバータなどに適用可能である。

[0150] 本実施の形態によれば、ゲート抵抗を備えつつも意図しないゲート電圧の上昇に伴う誤動作を抑制し、高速スイッチング性能のゲート駆動回路およびゲート駆動回路を搭載する電源装置を提供することができる。

[0151] 以上説明したように、本発明によれば、サージ電圧の低減化とともに誤動作を抑制し、高速スイッチング性能のゲート駆動回路およびゲート駆動回路を搭載する電源装置を提供することができる。

[0152] [その他の実施の形態]

上記のように、実施の形態によって記載したが、この開示の一部をなす論述および図面は例示的なものであり、この発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例お

よび運用技術が明らかとなろう。

[0153] このように、本発明はここでは記載していない様々な実施の形態などを含む。

産業上の利用可能性

[0154] 本発明のゲート駆動回路および電源装置は、S i Cパワーモジュール、インテリジェントパワーモジュールなどパワーデバイス全般のトランジスタ駆動回路に利用可能であり、特に、H E V / E V、インホイールモータ向けのコンバータ、インバータ（バッテリーから昇圧するためのP F C回路やモータ駆動用3相インバータ）、太陽電池システムのパワーコンディショナー向け昇圧コンバータ、産業機器向けのコンバータ、インバータなど幅広い応用分野に適用可能である。

符号の説明

[0155] 1 0、1 0 A…電源装置

5 0、5 0₁、5 0₂、5 0₃、5 0₄、5 0₅、5 0₆…ゲートドライバ

6 0、6 0₁、6 0₂、6 0₃、6 0₄、6 0₅、6 0₆…ゲート駆動回路

1 0 0…半導体デバイス（S i C系デバイス、G a N系デバイス）

D_{G1}、D_{G4}…ゲートダイオード

D_{Z1}、D_{Z4}、D_{Z11}、D_{Z12}、D_{Z41}、D_{Z42}…ツェナーダイオード

Q 1、Q 4…スイッチングデバイス

Q_{G1}、Q_{G4}…ゲートスイッチングデバイス

R_{G1}、R_{G4}…ゲート抵抗

R_{GS1}、R_{GS4}…ゲート直列抵抗

P…正側電力端子

N…負側電力端子

O…出力端子

G T 1、G T 4、G T G 1、G T G 4…ゲート端子

R_G…ゲート抵抗の値

R_{gi}…内部抵抗の値

R_{ge} …外部抵抗の値

R_{on} …スイッチングデバイスのオン抵抗の値

$V_{th}(Di)$ …ゲートダイオードの順方向閾値電圧

$V_{th}(Tr)$ …スイッチングデバイスの閾値電圧

$V_{th}(TrG)$ …ゲートスイッチングデバイスの閾値電圧

請求の範囲

- [請求項1] スイッチングデバイスのゲートに接続されるゲート抵抗と、
前記ゲート抵抗に並列接続されるゲートダイオードと
を備え、
前記ゲートダイオードの順方向閾値電圧の値を $V_{th}(Di)$ 、前記スイッチングデバイスの閾値電圧の値を $V_{th}(Tr)$ とすると、
 $V_{th}(Di) < V_{th}(Tr)$ の関係を満たすことを特徴とするゲート駆動回路。
- [請求項2] 前記スイッチングデバイスのオン抵抗の値を R_{on} 、前記ゲート抵抗の値を R_g とすると
 $R_{on} < R_g$ の関係を満たすことを特徴とする請求項1に記載のゲート駆動回路。
- [請求項3] スイッチングデバイスのゲートに接続されるゲート抵抗と、
前記ゲート抵抗に並列接続され、ソースが前記ゲートに接続されるゲートスイッチングデバイスと
を備え、
前記スイッチングデバイスのオン抵抗の値を R_{on} 、前記ゲート抵抗の値を R_g とすると、
 $R_{on} < R_g$ の関係を満たすことを特徴とするゲート駆動回路。
- [請求項4] 前記ゲートスイッチングデバイスは、前記スイッチングデバイスの動作に合わせてスイッチングさせることを特徴とする請求項3に記載のゲート駆動回路。
- [請求項5] 前記ゲートスイッチングデバイスのゲートとドレインは短絡されることを特徴とする請求項3または4に記載のゲート駆動回路。
- [請求項6] 前記ゲートダイオードに直列接続されたゲート直列抵抗を備え、
前記ゲートダイオードと前記ゲート直列抵抗からなる直列回路は、前記ゲート抵抗に並列接続されることを特徴とする請求項1または2に記載のゲート駆動回路。

- [請求項7] 前記ゲートスイッチングデバイスに直列接続されたゲート直列抵抗を備え、
前記ゲートスイッチングデバイスと前記ゲート直列抵抗からなる直列回路は、前記ゲート抵抗に並列接続されることを特徴とする請求項3～5のいずれか1項に記載のゲート駆動回路。
- [請求項8] 前記スイッチングデバイスのゲート・ソース間に並列接続された電圧制限用ツェナーダイオードを備えることを特徴とする請求項1～7のいずれか1項に記載のゲート駆動回路。
- [請求項9] 前記スイッチングデバイスは、SiC系もしくはGaN系半導体デバイスで構成されることを特徴とする請求項1～8のいずれか1項に記載のゲート駆動回路。
- [請求項10] 正側電力端子に第1ドレインが接続された第1スイッチングデバイスと、
出力端子に接続される第2ドレインが前記第1スイッチングデバイスの第1ソースと接続されると共に、負側電力端子に第2ソースが接続された第2スイッチングデバイスと、
前記第1スイッチングデバイスの第1ゲートおよび前記第2スイッチングデバイスの第2ゲートの一方若しくは両方に接続された請求項1～9のいずれか1項に記載のゲート駆動回路と
を備えることを特徴とする電源装置。
- [請求項11] オン／オフ状態を制御するスイッチングデバイスと、
前記スイッチングデバイスのゲートに電圧を印加することにより、前記スイッチングデバイスを駆動するゲートドライバと、
前記ゲートと前記ゲートドライバ間に配置されたゲート抵抗と、
前記ゲート抵抗に並列接続され、アノードが前記第1スイッチングデバイスのゲート側、カソードが前記ゲートドライバ側になるように、前記ゲートと前記ゲートドライバ間に接続されたゲートダイオードと

を備え、前記ゲートダイオードの閾値電圧 $V_{th}(Di)$ と前記第 1 スイッチングデバイスの閾値電圧 $V_{th}(Tr)$ の関係が、

$V_{th}(Di) < V_{th}(Tr)$ を満たすことを特徴とする電源装置。

[請求項12] 前記ゲート抵抗の値を R_g 、前記スイッチングデバイスのゲート自身が有する内部抵抗の値を R_{gi} 、付与される外部抵抗の値を R_{ge} とすると、

$R_g = R_{gi} + R_{ge}$ を満たすことを特徴とする請求項 11 に記載の電源装置。

[請求項13] 前記スイッチングデバイスのオン抵抗の値を R_{on} 、前記ゲート抵抗の値を R_g とすると

$R_{on} < R_g$ の関係を満たすことを特徴とする請求項 11 または 12 に記載の電源装置。

[請求項14] オン／オフ状態を制御するスイッチングデバイスと、
前記スイッチングデバイスのゲートに電圧を印加することにより、
前記スイッチングデバイスを駆動するゲートドライバと、
前記ゲートと前記ゲートドライバ間に配置されたゲート抵抗と、
前記ゲート抵抗に並列接続され、ソースが前記第 1 スイッチングデバイスのゲート側、ドレインが前記ゲートドライバ側になるように、
前記ゲートと前記ゲートドライバ間に接続されたゲートスイッチングデバイスと

を備え、前記ゲートスイッチングデバイスの閾値電圧 $V_{th}(TrG)$ と前記第 1 スイッチングデバイスの閾値電圧 $V_{th}(Tr)$ の関係が、

$V_{th}(TrG) < V_{th}(Tr)$ を満たすことを特徴とする電源装置。

[請求項15] 前記ゲートスイッチングデバイスのゲートとドレインは短絡されていることを特徴とする請求項 14 に記載の電源装置。

[請求項16] 前記ダイオードに直列接続された第 1 直列抵抗 R_{GS1} を備え、前記ダイオードと前記直列抵抗 R_{GS1} との直列回路が前記ゲート抵抗 R_g と並列接続されていることを特徴とする請求項 11 ～ 13 のいずれか 1 項

に記載の電源装置。

- [請求項17] 前記ゲートスイッチングデバイスに直列接続された第2直列抵抗を備え、前記ゲートスイッチングデバイスと前記第2直列抵抗との直列回路が前記ゲート抵抗と並列接続されていることを特徴とする請求項14または15に記載の電源装置。
- [請求項18] 前記ゲートドライバは、前記ゲートスイッチングデバイスを駆動するための信号端子を備え、前記信号端子は、前記ゲートスイッチングデバイスのゲートに接続されていることを特徴とする請求項14、15または17のいずれか1項に記載の電源装置。
- [請求項19] 前記スイッチングデバイスのゲート・ソース間に接続されたツェナーダイオードを備え、
前記ツェナーダイオードは、前記ダイオードおよび前記ゲート抵抗よりも前記スイッチングデバイスのゲート側に配置されていることを特徴とする請求項11～18のいずれか1項に記載の電源装置。
- [請求項20] 前記スイッチングデバイスおよび前記ゲートスイッチングデバイスは、SiC系もしくはGaN系半導体デバイスで構成されることを特徴とする請求項11～19のいずれか1項に記載の電源装置。
- [請求項21] 請求項11～20のいずれか1項に記載の電源装置を搭載したことを特徴とするPFC機能付き昇圧コンバータ回路。
- [請求項22] 請求項10～20のいずれか1項に記載の電源装置を搭載したことを特徴とするHブリッジ型昇降圧コンバータ回路。
- [請求項23] 請求項11～20のいずれか1項に記載の電源装置を搭載したことを特徴とするフライバック型DC/DCコンバータ。
- [請求項24] 請求項11～20のいずれか1項に記載の電源装置を搭載したことを特徴とするフォワード型DC/DCコンバータ。
- [請求項25] 請求項10～20のいずれか1項に記載の電源装置を搭載したことを特徴とするフルブリッジ型インバータ回路。
- [請求項26] 請求項10～20のいずれか1項に記載の電源装置を搭載したことを

を特徴とする 3 相交流インバータ。

補正された請求の範囲
[2015年7月7日 (07.07.2015) 国際事務局受理]

[請求項 1]

スイッチングデバイスのゲートに接続されるゲート抵抗と、
前記ゲート抵抗に並列接続されるゲートダイオードと
を備え、
前記ゲートダイオードの順方向閾値電圧の値を $V_{th}(Di)$ 、前記スイッチングデバイスの
閾値電圧の値を $V_{th}(Tr)$ とすると、
 $V_{th}(Di) < V_{th}(Tr)$ の関係を満たすことを特徴とするゲート駆動回路。

[請求項 2]

前記スイッチングデバイスのオン抵抗の値を R_{on} 、前記ゲート抵抗の値を R_g とすると
 $R_{on} < R_g$ の関係を満たすことを特徴とする請求項 1 に記載のゲート駆動回路。

[請求項 3]

スイッチングデバイスのゲートに接続されるゲート抵抗と、
前記ゲート抵抗に並列接続され、ソースが前記ゲートに接続されるゲートスイッチング
デバイスと
を備え、
前記スイッチングデバイスのオン抵抗の値を R_{on} 、前記ゲート抵抗の値を R_g とすると、
 $R_{on} < R_g$ の関係を満たすことを特徴とするゲート駆動回路。

[請求項 4] (補正後)

前記ゲートダイオードは、SiC系若しくはGaN系半導体デバイスで構成されること
を特徴とする請求項 1 または 2 に記載のゲート駆動回路。

[請求項 5]

前記ゲートスイッチングデバイスのゲートとドレインは短絡されることを特徴とする請
求項 3 または 4 に記載のゲート駆動回路。

[請求項 6]

前記ゲートダイオードに直列接続されたゲート直列抵抗を備え、
前記ゲートダイオードと前記ゲート直列抵抗からなる直列回路は、前記ゲート抵抗に並
列接続されることを特徴とする請求項 1 または 2 に記載のゲート駆動回路。

[請求項 7]

前記ゲートスイッチングデバイスに直列接続されたゲート直列抵抗を備え、
前記ゲートスイッチングデバイスと前記ゲート直列抵抗からなる直列回路は、前記ゲート抵抗に並列接続されることを特徴とする請求項 3～5 のいずれか 1 項に記載のゲート駆動回路。

[請求項 8]

前記スイッチングデバイスのゲート・ソース間に並列接続された電圧制限用ツェナーダイオードを備えることを特徴とする請求項 1～7 のいずれか 1 項に記載のゲート駆動回路。

[請求項 9] (補正後)

前記ゲートスイッチングデバイスは、SiC系若しくはGaN系半導体デバイスで構成されることを特徴とする請求項 3、5～8 のいずれか 1 項に記載のゲート駆動回路。

[請求項 10]

正側電力端子に第 1 ドレインが接続された第 1 スwitchングデバイスと、
出力端子に接続される第 2 ドレインが前記第 1 スwitchングデバイスの第 1 ソースと接続されると共に、負側電力端子に第 2 ソースが接続された第 2 スwitchングデバイスと、
前記第 1 スwitchングデバイスの第 1 ゲートおよび前記第 2 スwitchングデバイスの第 2 ゲートの一方若しくは両方に接続された請求項 1～9 のいずれか 1 項に記載のゲート駆動回路と
を備えることを特徴とする電源装置。

[請求項 11]

オン／オフ状態を制御するスイッチングデバイスと、
前記スイッチングデバイスのゲートに電圧を印加することにより、前記スイッチングデバイスを駆動するゲートドライバと、
前記ゲートと前記ゲートドライバ間に配置されたゲート抵抗と、
前記ゲート抵抗に並列接続され、アノードが前記第 1 スwitchングデバイスのゲート側、カソードが前記ゲートドライバ側になるように、前記ゲートと前記ゲートドライバ間に接続されたゲートダイオードと

を備え、前記ゲートダイオードの閾値電圧 $V_{th}(Di)$ と前記第 1 スイッチングデバイスの閾値電圧 $V_{th}(Tr)$ の関係が、

$V_{th}(Di) < V_{th}(Tr)$ を満たすことを特徴とする電源装置。

[請求項 1 2]

前記ゲート抵抗の値を R_g 、前記スイッチングデバイスのゲート自身が有する内部抵抗の値を R_{gi} 、付与される外部抵抗の値を R_{ge} とすると、

$R_g = R_{gi} + R_{ge}$ を満たすことを特徴とする請求項 1 1 に記載の電源装置。

[請求項 1 3]

前記スイッチングデバイスのオン抵抗の値を R_{on} 、前記ゲート抵抗の値を R_g とすると

$R_{on} < R_g$ の関係を満たすことを特徴とする請求項 1 1 または 1 2 に記載の電源装置。

[請求項 1 4]

オン／オフ状態を制御するスイッチングデバイスと、

前記スイッチングデバイスのゲートに電圧を印加することにより、前記スイッチングデバイスを駆動するゲートドライバと、

前記ゲートと前記ゲートドライバ間に配置されたゲート抵抗と、

前記ゲート抵抗に並列接続され、ソースが前記第 1 スイッチングデバイスのゲート側、ドレインが前記ゲートドライバ側になるように、前記ゲートと前記ゲートドライバ間に接続されたゲートスイッチングデバイスと

を備え、前記ゲートスイッチングデバイスの閾値電圧 $V_{th}(TrG)$ と前記第 1 スイッチングデバイスの閾値電圧 $V_{th}(Tr)$ の関係が、

$V_{th}(TrG) < V_{th}(Tr)$ を満たすことを特徴とする電源装置。

[請求項 1 5]

前記ゲートスイッチングデバイスのゲートとドレインは短絡されていることを特徴とする請求項 1 4 に記載の電源装置。

[請求項 1 6]

前記ダイオードに直列接続された第 1 直列抵抗 R_{GS1} を備え、前記ダイオードと前記直列抵抗 R_{GS1} との直列回路が前記ゲート抵抗 R_g と並列接続されていることを特徴とする請求項 1 1 ～ 1 3 のいずれか 1 項に記載の電源装置。

[請求項 17]

前記ゲートスイッチングデバイスに直列接続された第2直列抵抗を備え、前記ゲートスイッチングデバイスと前記第2直列抵抗との直列回路が前記ゲート抵抗と並列接続されていることを特徴とする請求項14または15に記載の電源装置。

[請求項 18]

前記ゲートドライバは、前記ゲートスイッチングデバイスを駆動するための信号端子を備え、前記信号端子は、前記ゲートスイッチングデバイスのゲートに接続されていることを特徴とする請求項14、15または17のいずれか1項に記載の電源装置。

[請求項 19]

前記スイッチングデバイスのゲート・ソース間に接続されたツェナーダイオードを備え、

前記ツェナーダイオードは、前記ダイオードおよび前記ゲート抵抗よりも前記スイッチングデバイスのゲート側に配置されていることを特徴とする請求項11～18のいずれか1項に記載の電源装置。

[請求項 20] (補正後)

前記スイッチングデバイスおよび前記ゲートスイッチングデバイスは、SiC系若しくはGaN系半導体デバイスで構成されることを特徴とする請求項14～19のいずれか1項に記載の電源装置。

[請求項 21]

請求項11～20のいずれか1項に記載の電源装置を搭載したことを特徴とするPFC機能付き昇圧コンバータ回路。

[請求項 22] (補正後)

オン／オフ状態を制御するスイッチングデバイスと、

前記スイッチングデバイスのゲートに電圧を印加することにより、前記スイッチングデバイスを駆動するゲートドライバと、

前記ゲートと前記ゲートドライバ間に配置されたゲート抵抗と、

前記ゲート抵抗に並列接続され、アノードが前記第1スイッチングデバイスのゲート側、カソードが前記ゲートドライバ側になるように、前記ゲートと前記ゲートドライバ間に

接続されたゲートダイオードと、

前記スイッチングデバイスのドレイン・ソース間に接続されたインダクタンス・キャパシタンスと、

前記キャパシタンスと並列接続された負荷回路と

を備え、

前記ゲートダイオードの閾値電圧 $V_{th}(Di)$ と前記第 1 スwitchングデバイスの閾値電圧 $V_{th}(Tr)$ の関係が、

$V_{th}(Di) < V_{th}(Tr)$ を満たす

ことを特徴とする電源装置。

[請求項 23]

請求項 11～20 のいずれか 1 項に記載の電源装置を搭載したことを特徴とするフライバック型 DC/DC コンバータ。

[請求項 24]

請求項 11～20 のいずれか 1 項に記載の電源装置を搭載したことを特徴とするフォワード型 DC/DC コンバータ。

[請求項 25]

請求項 10～20 のいずれか 1 項に記載の電源装置を搭載したことを特徴とするフルブリッジ型インバータ回路。

[請求項 26]

請求項 10～20 のいずれか 1 項に記載の電源装置を搭載したことを特徴とする 3 相交流インバータ。

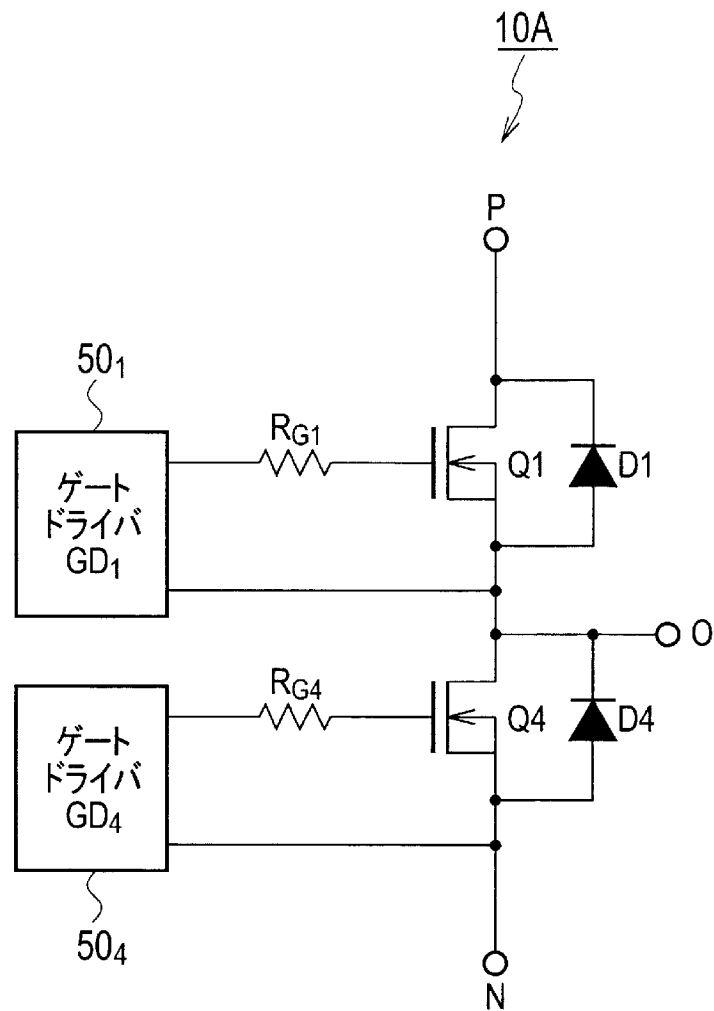
[請求項 27] (追加)

前記スイッチングデバイスおよび前記ゲートダイオードは、SiC 系若しくは GaN 系半導体デバイスで構成されることを特徴とする請求項 14～19 のいずれか 1 項に記載の電源装置。

〔請求項 28〕（追加）

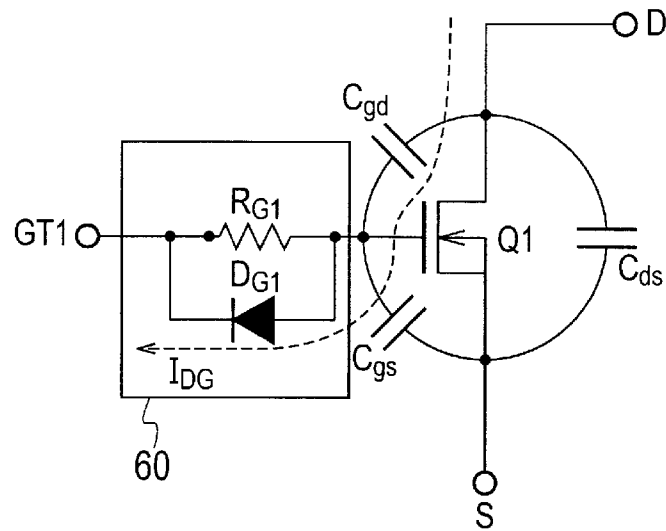
正側電力端子に第 1 ドレインが接続された第 1 スイッチングデバイスと、
出力端子に接続される第 2 ドレインが前記第 1 スイッチングデバイスの第 1 ソースと接続されると共に、負側電力端子に第 2 ソースが接続された第 2 スイッチングデバイスと、
前記第 1 スイッチングデバイスの第 1 ゲートおよび前記第 2 スイッチングデバイスの第 2 ゲートの一方若しくは両方に接続されたゲート駆動回路と
前記第 2 スイッチングデバイスのドレイン・ソース間に接続されたインダクタンス・キャパシタンスと、
前記キャパシタンスと並列接続された負荷回路と
を備え、
前記ゲート駆動回路は、
前記第 1 ゲートおよび前記第 2 ゲートの一方若しくは両方に接続されるゲート抵抗と、
、
アノードが前記第 1 若しくは第 2 ゲートと繋がるように前記ゲート抵抗に並列接続されるゲートダイオードと
を備え、
前記ゲートダイオードの順方向閾値電圧の値を $V_{th}(Di)$ 、前記第 1 スイッチングデバイスおよび第 2 スイッチングデバイスの閾値電圧の値を $V_{th}(Tr)$ とすると、
 $V_{th}(Di) < V_{th}(Tr)$ の関係を満たす
ことを特徴とするゲート電源装置。

[図1]

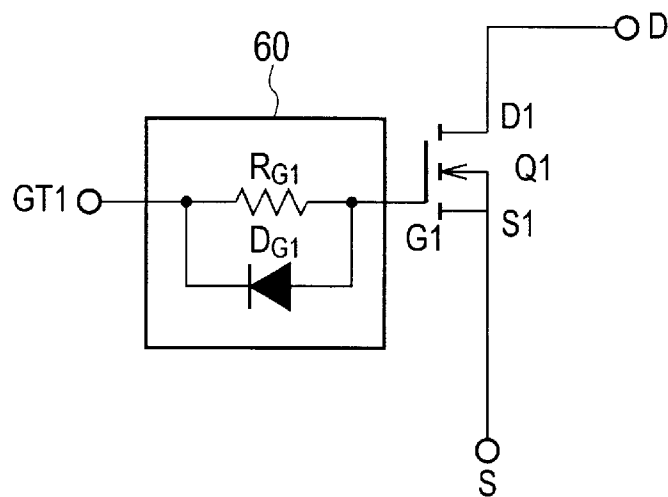


[図2]

(a)

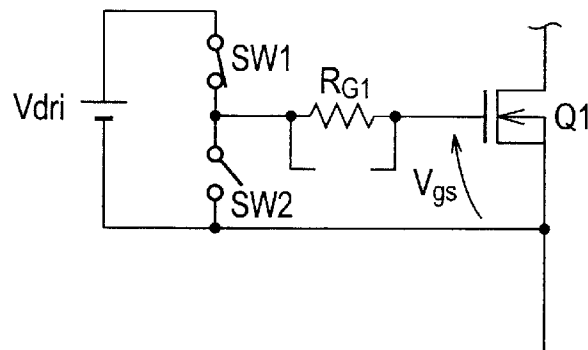


(b)

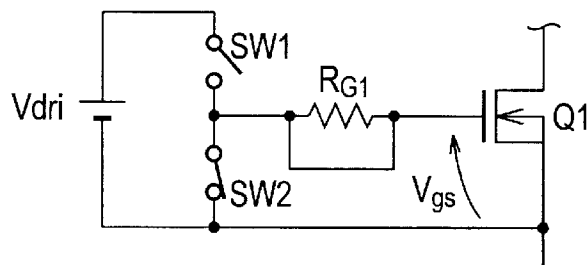


[図3]

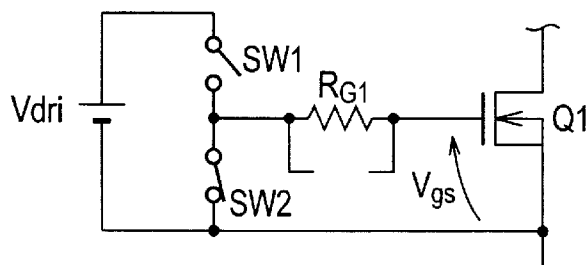
(a)



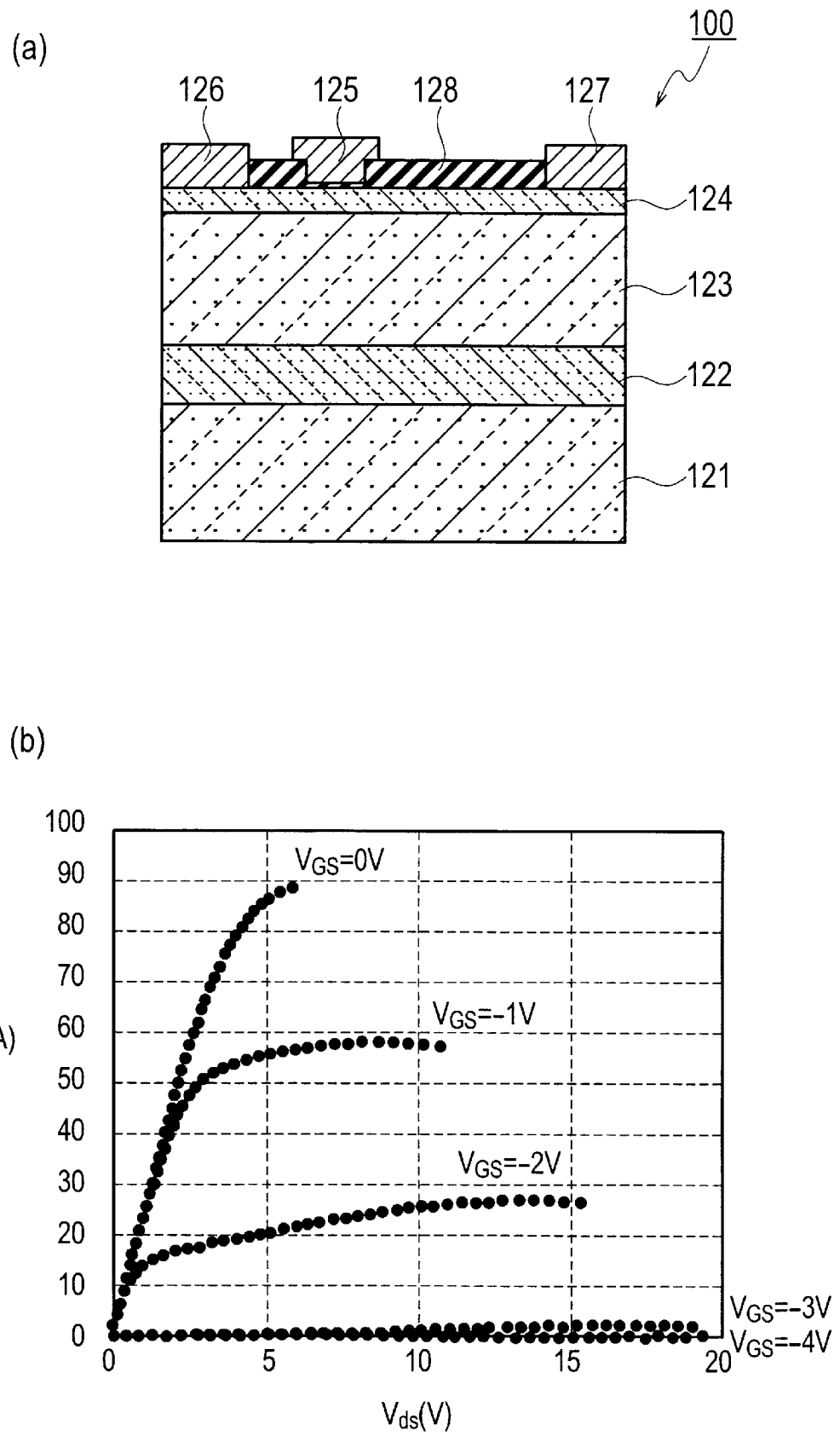
(b)



(c)

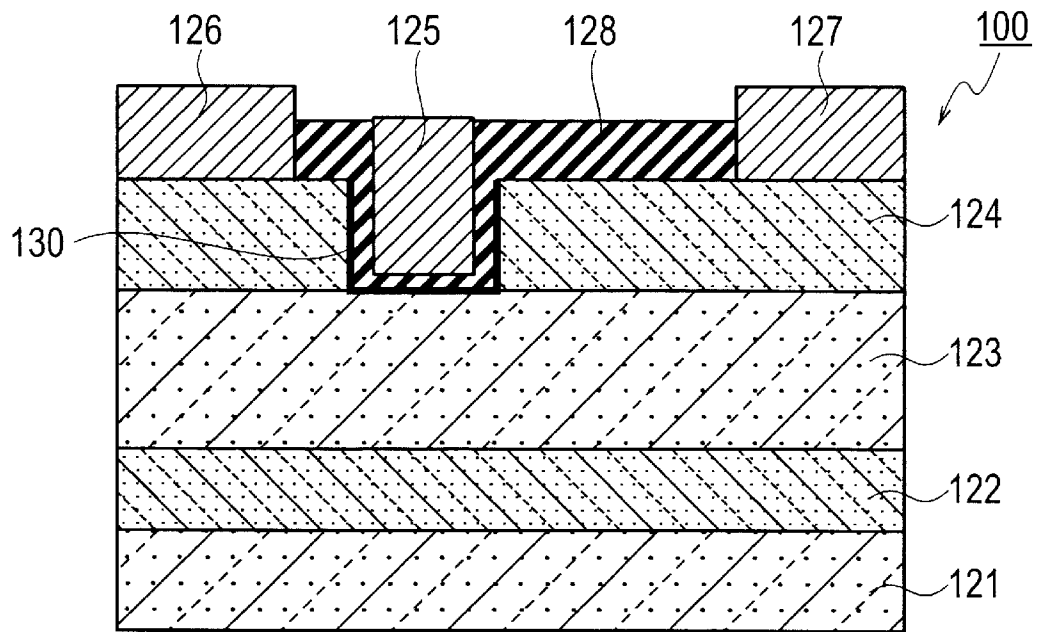


[図5]

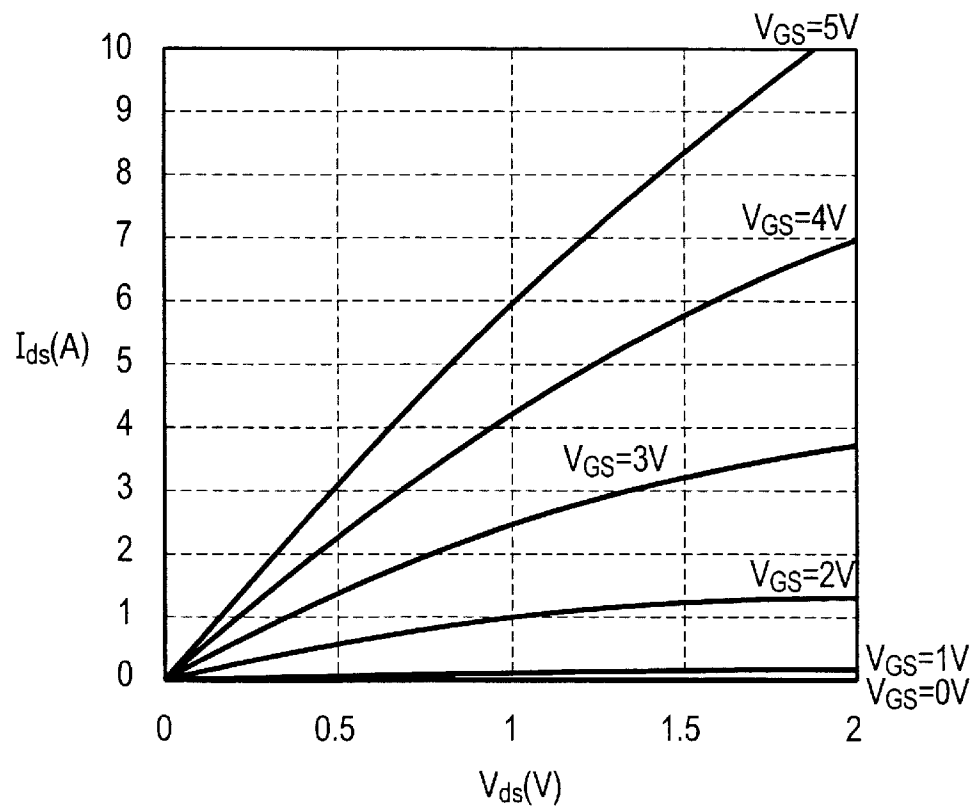


[図6]

(a)

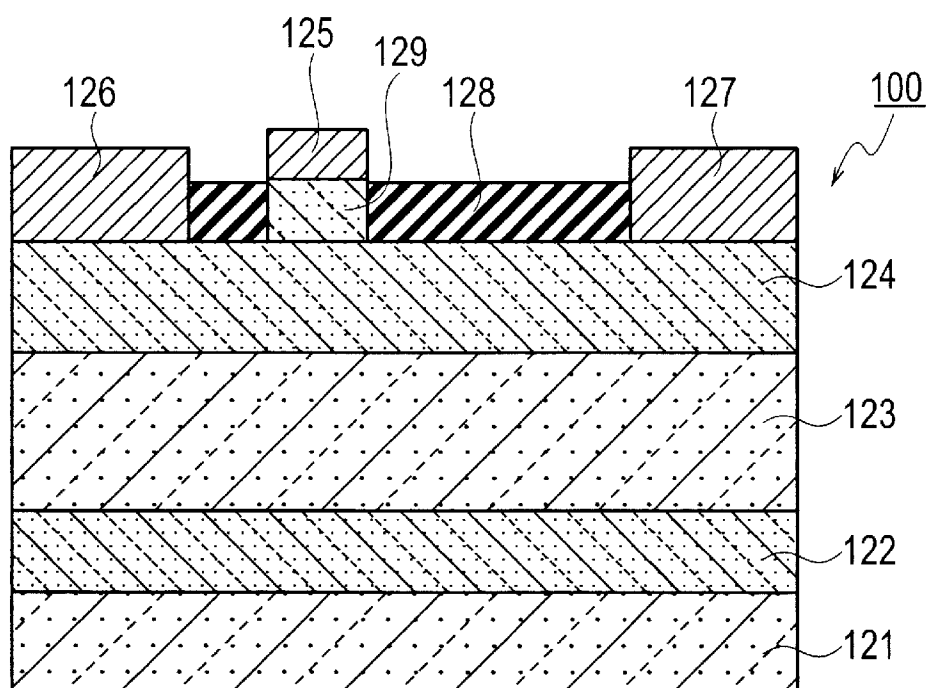


(b)

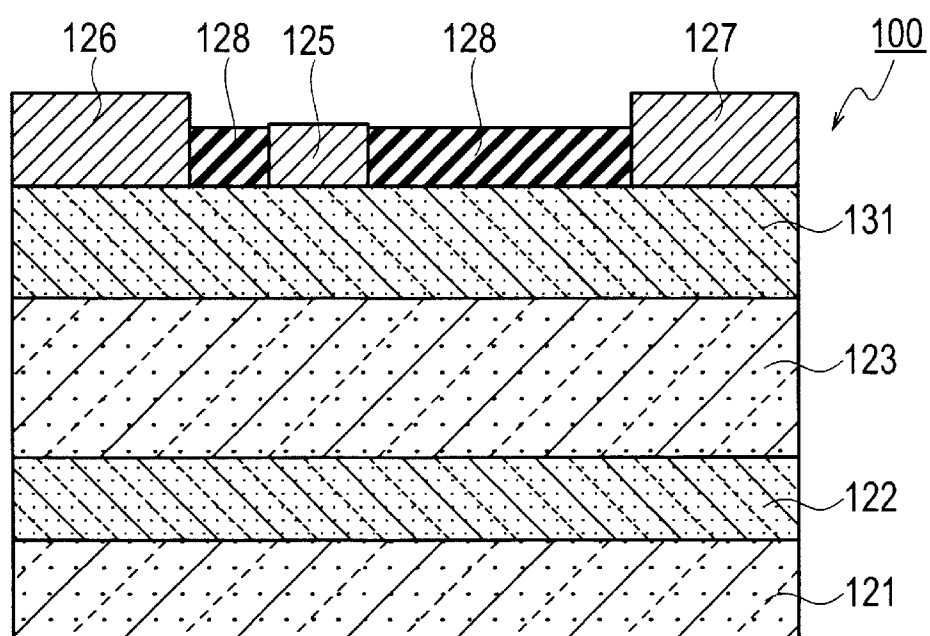


[図7]

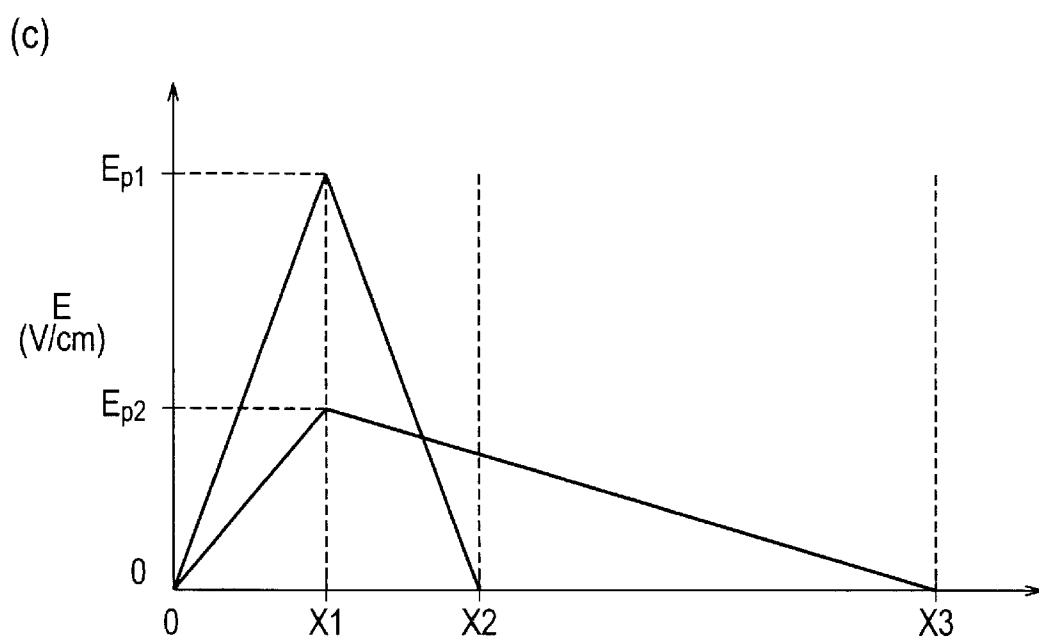
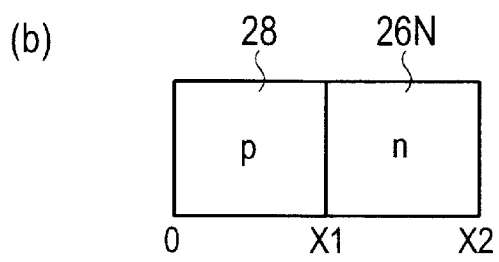
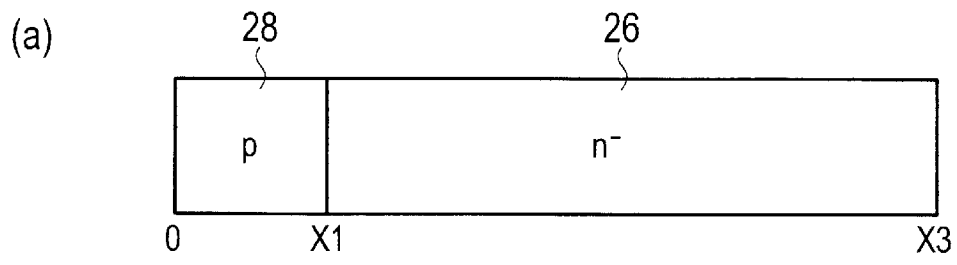
(a)



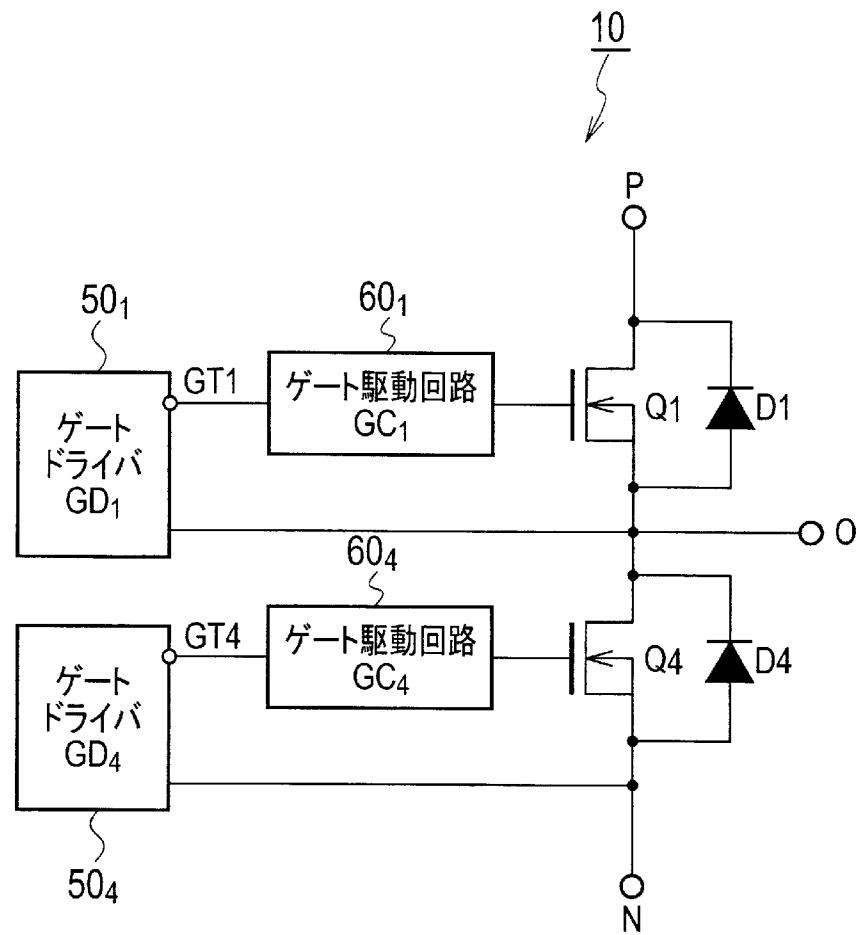
(b)



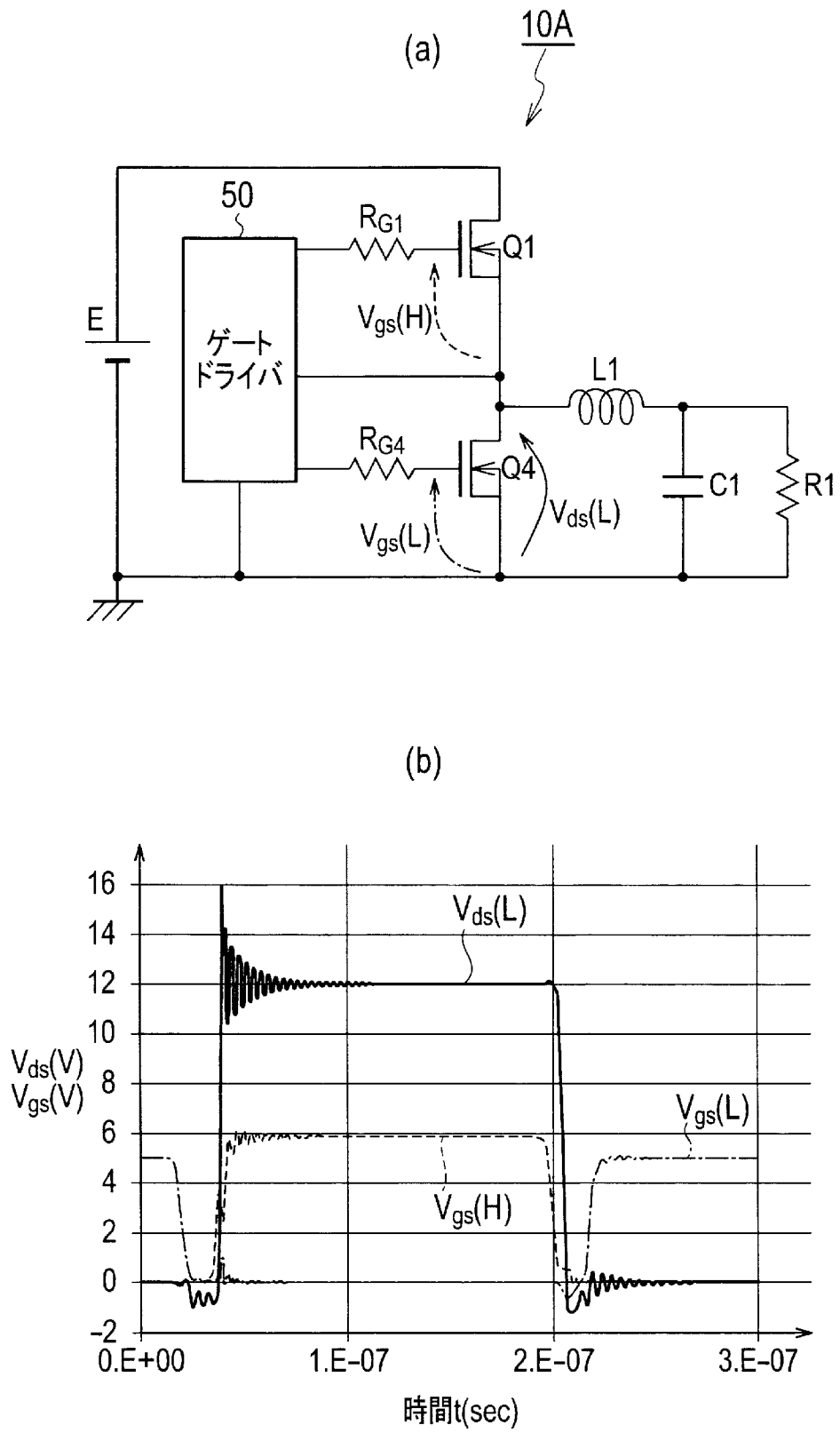
[図8]



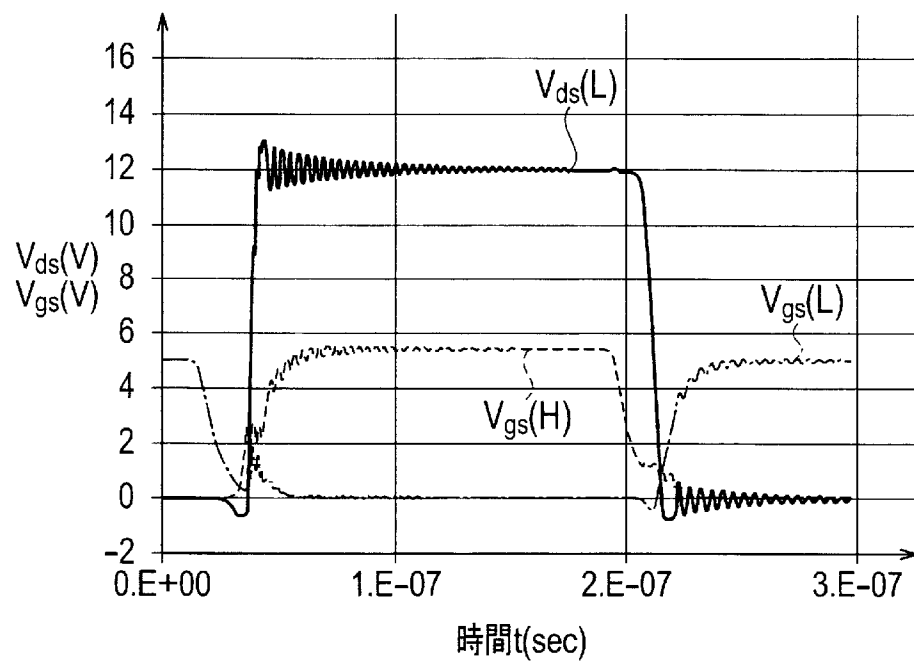
[図9]



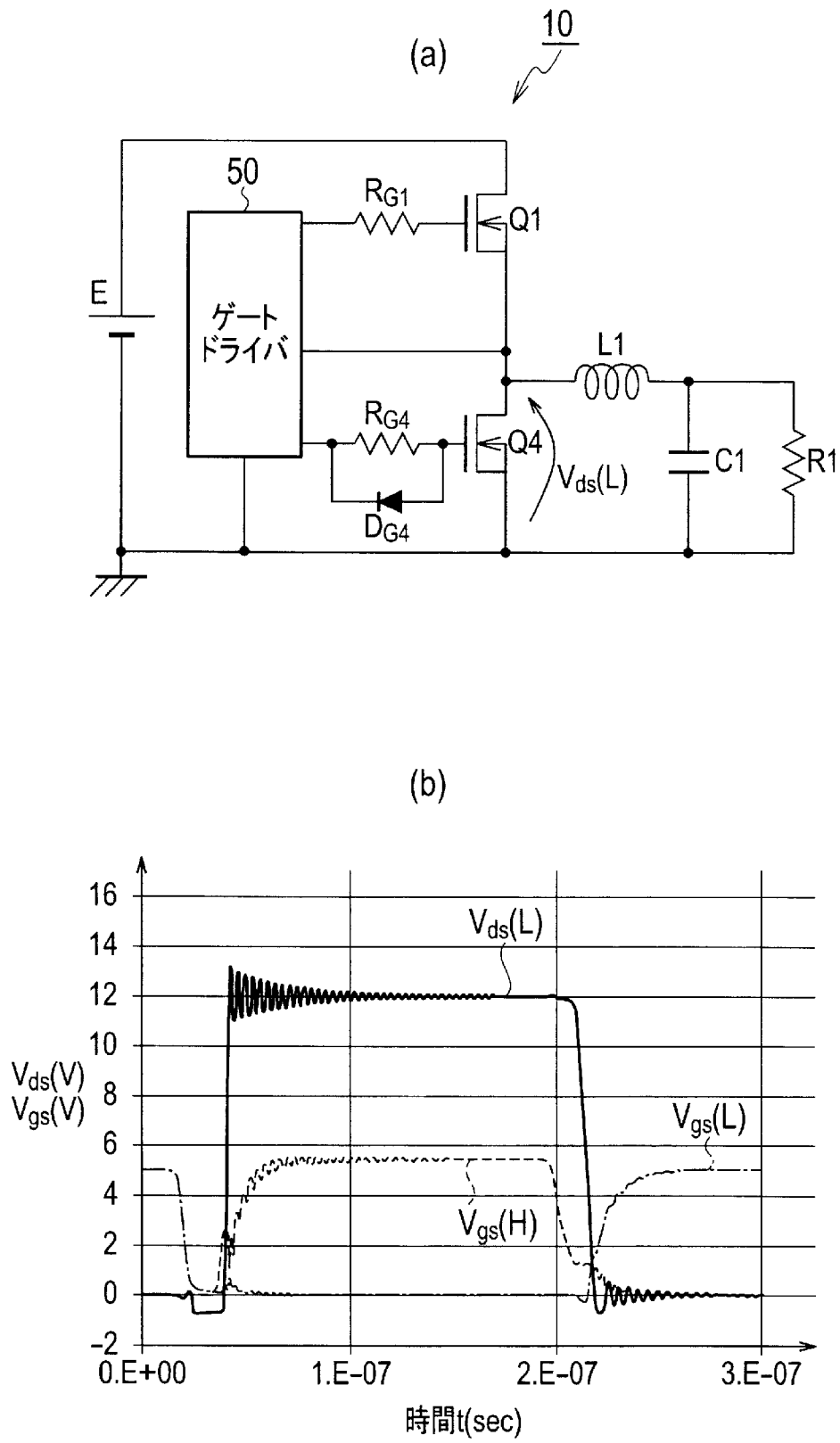
[図10]



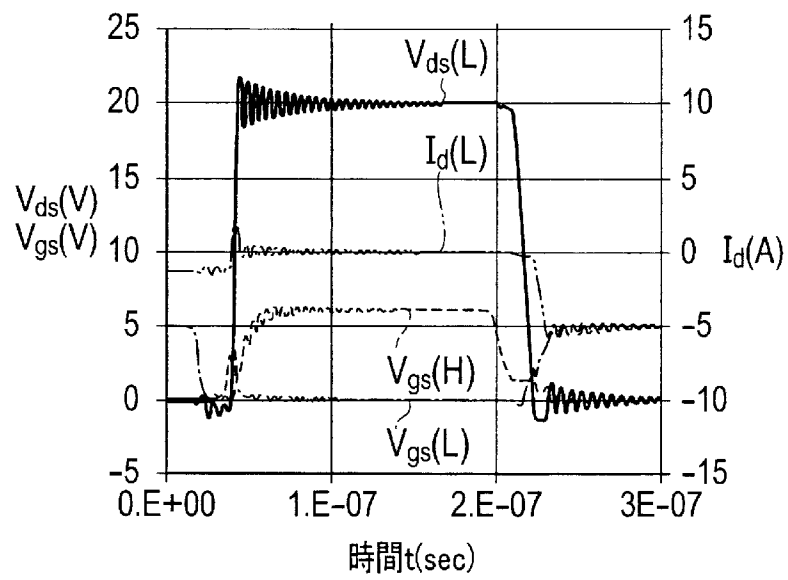
[図11]



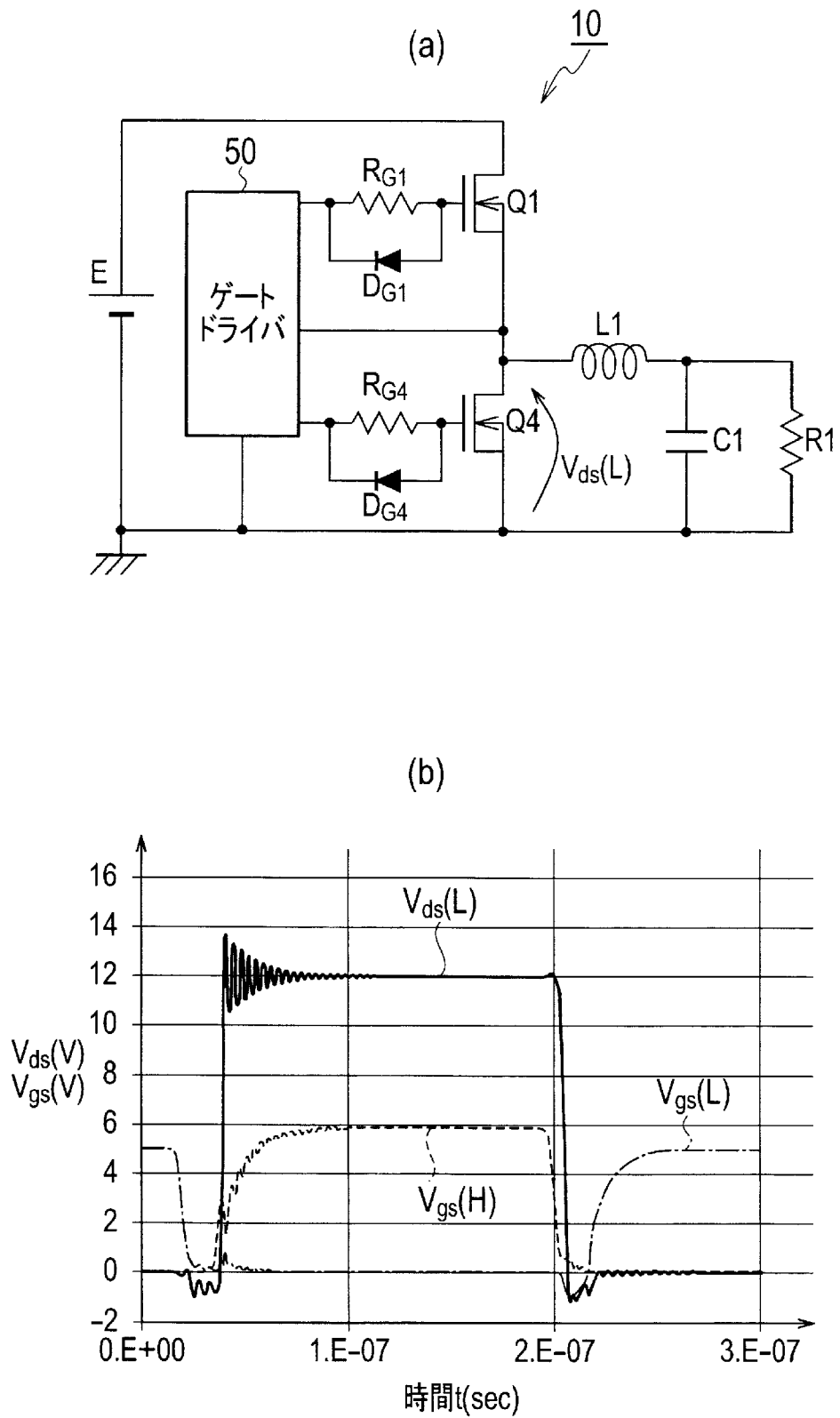
[図12]



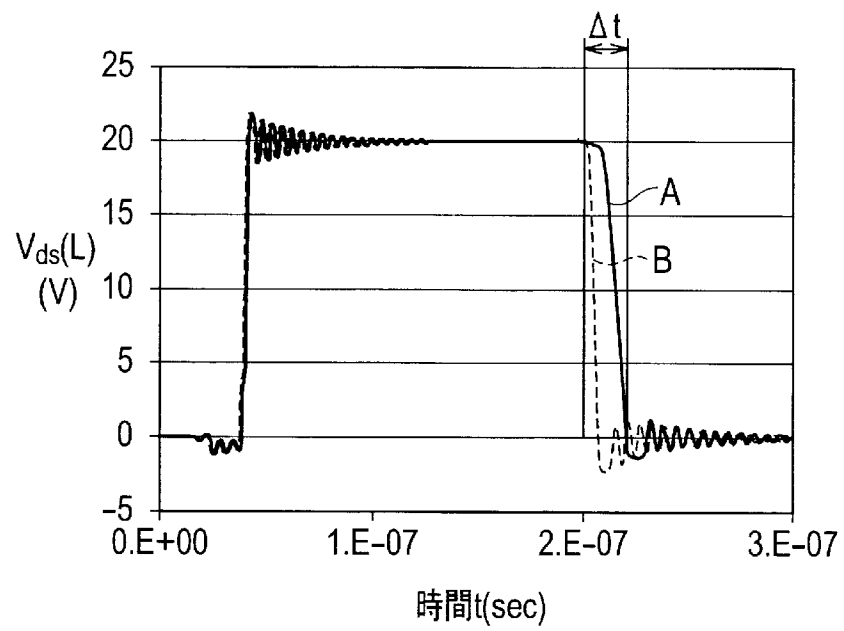
[図13]



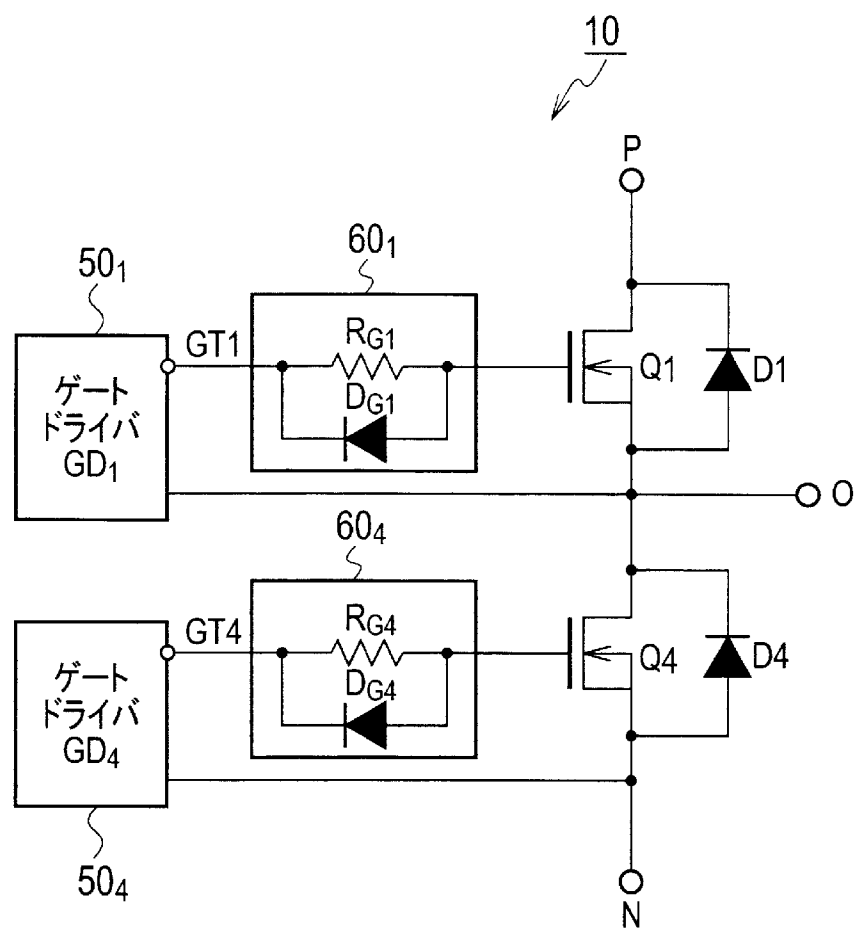
[図14]

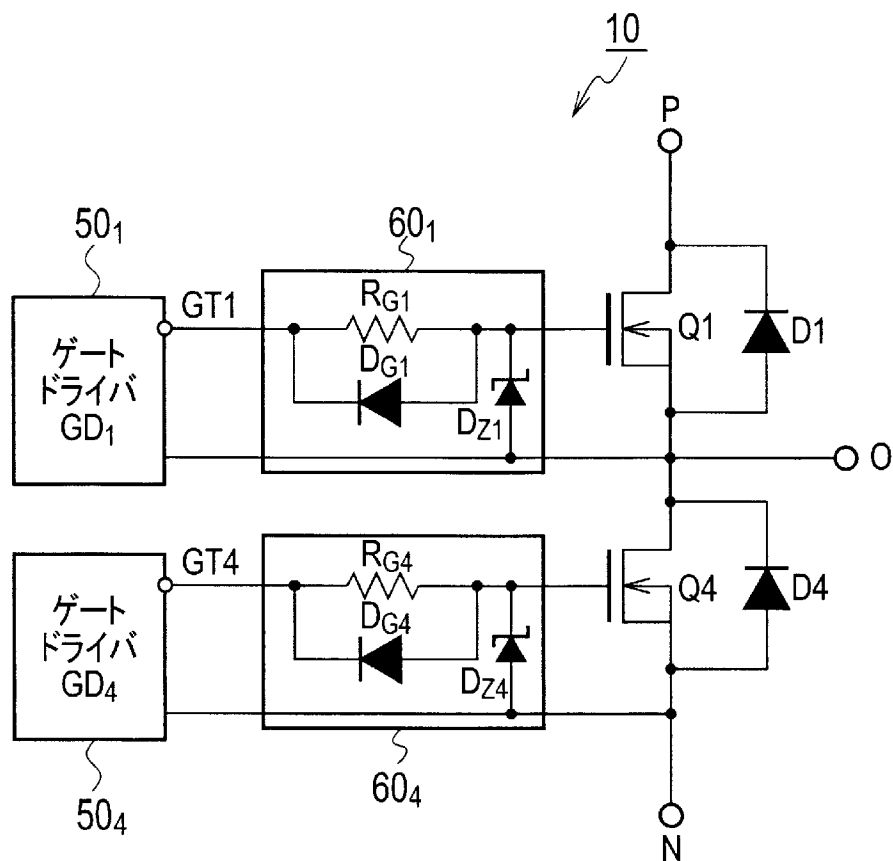


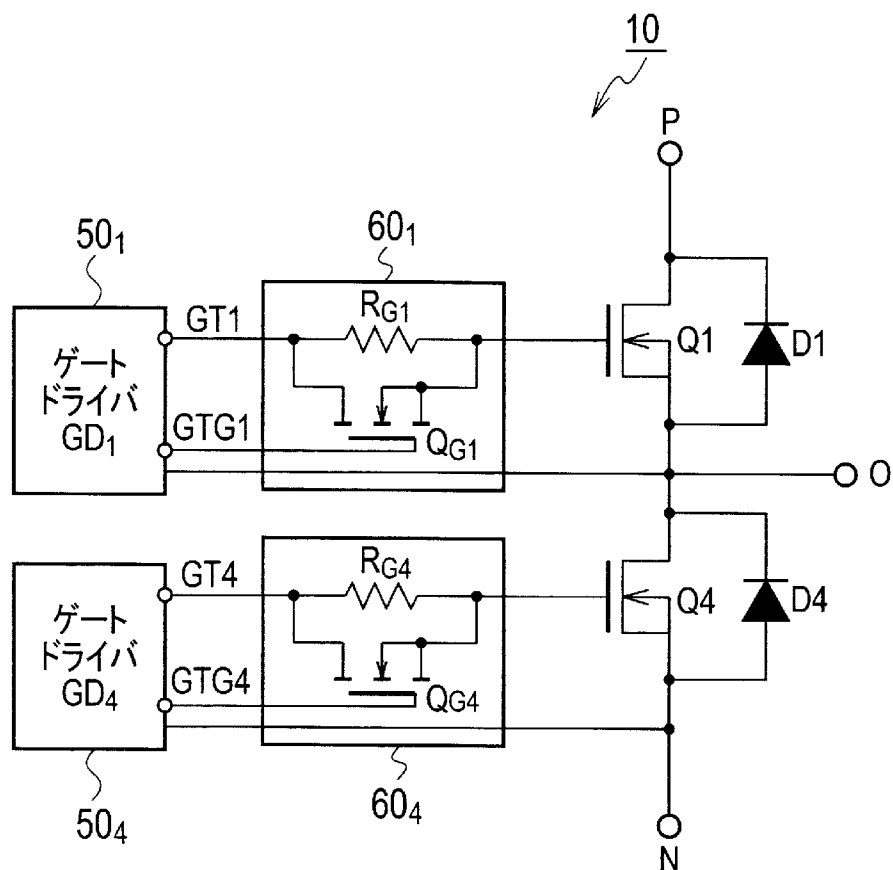
[図15]



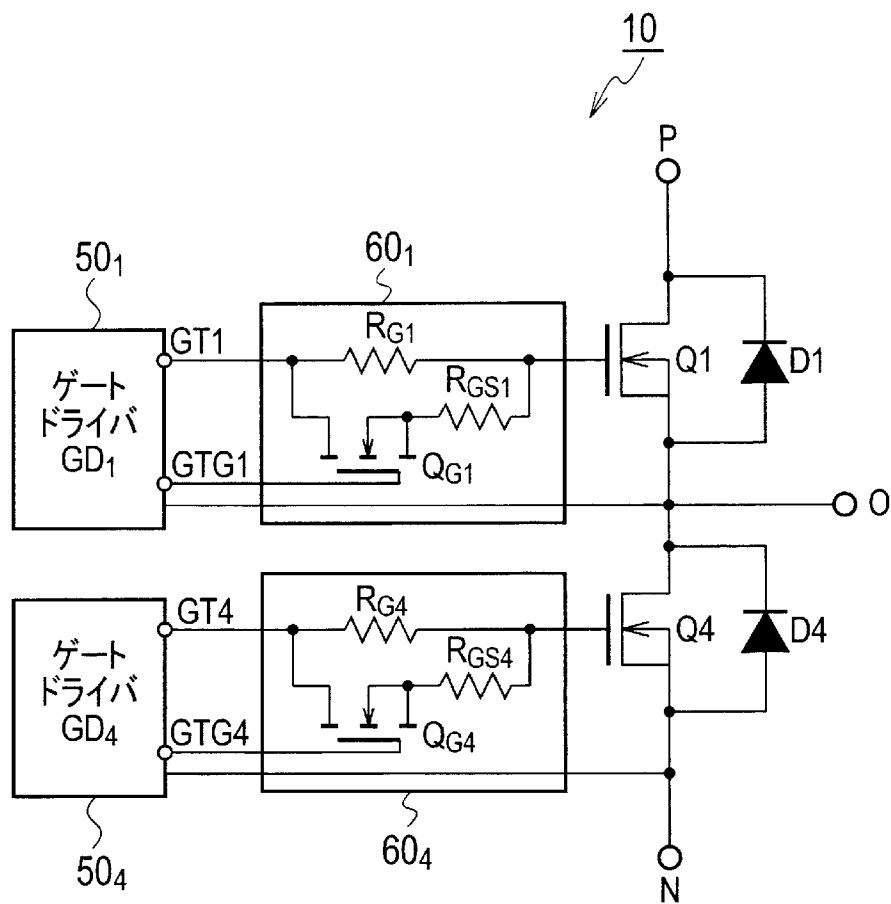
[図16]



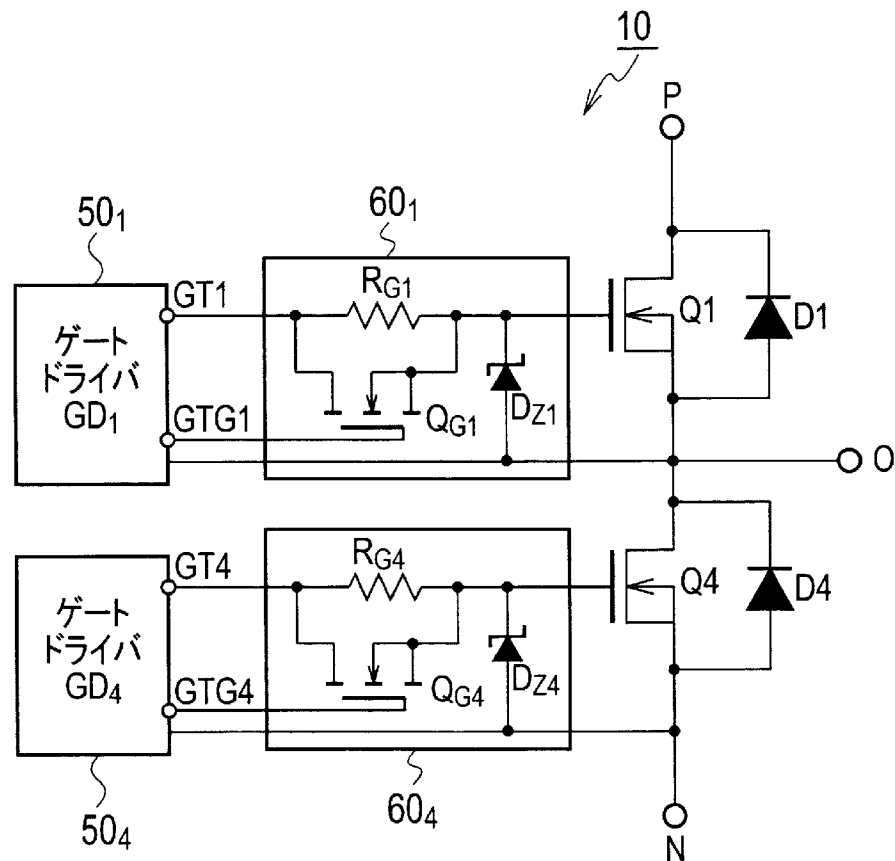


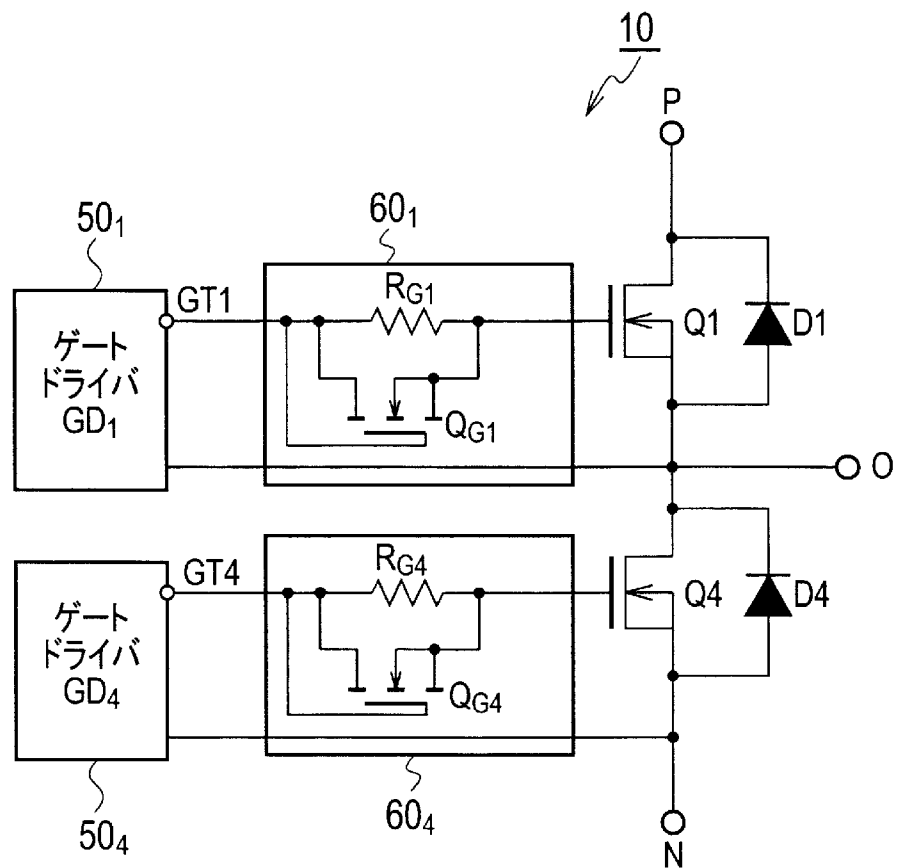


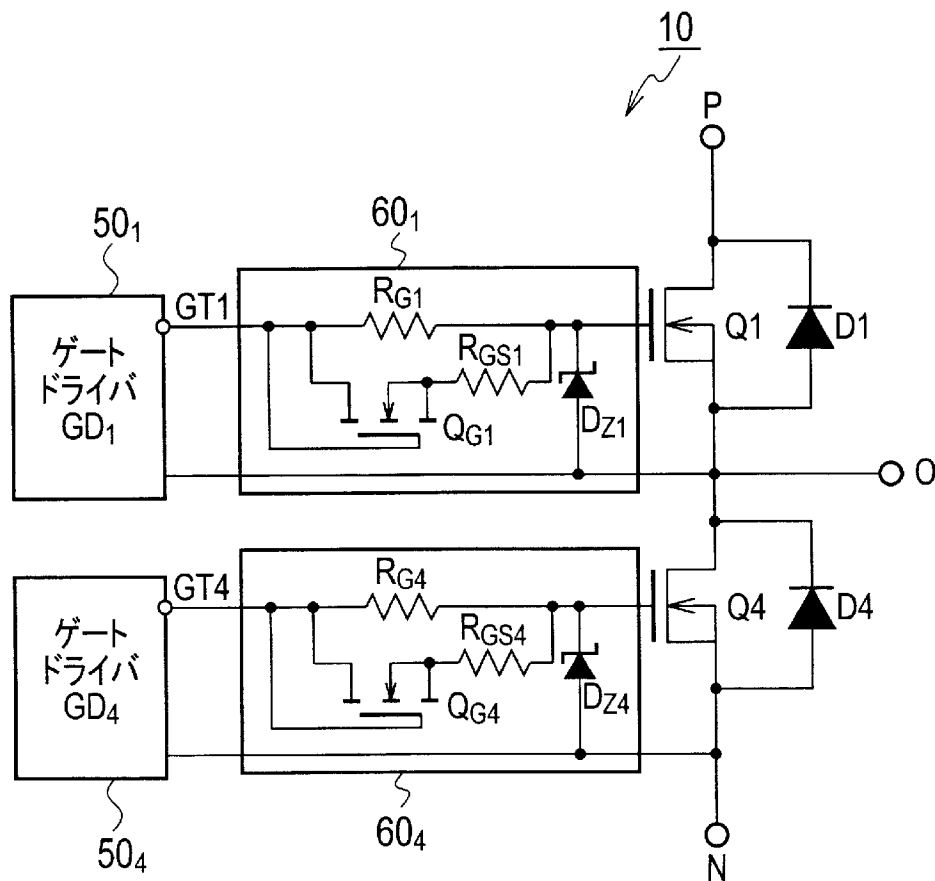
[図21]



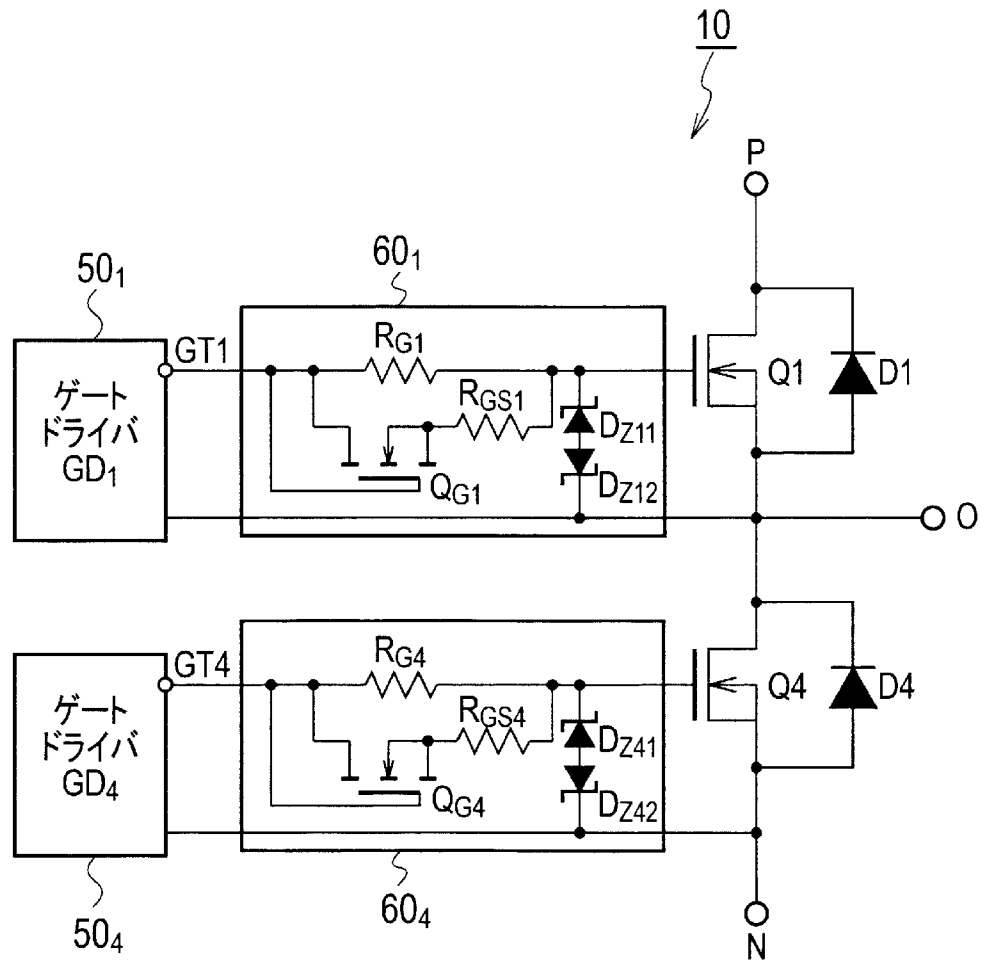
[図22]



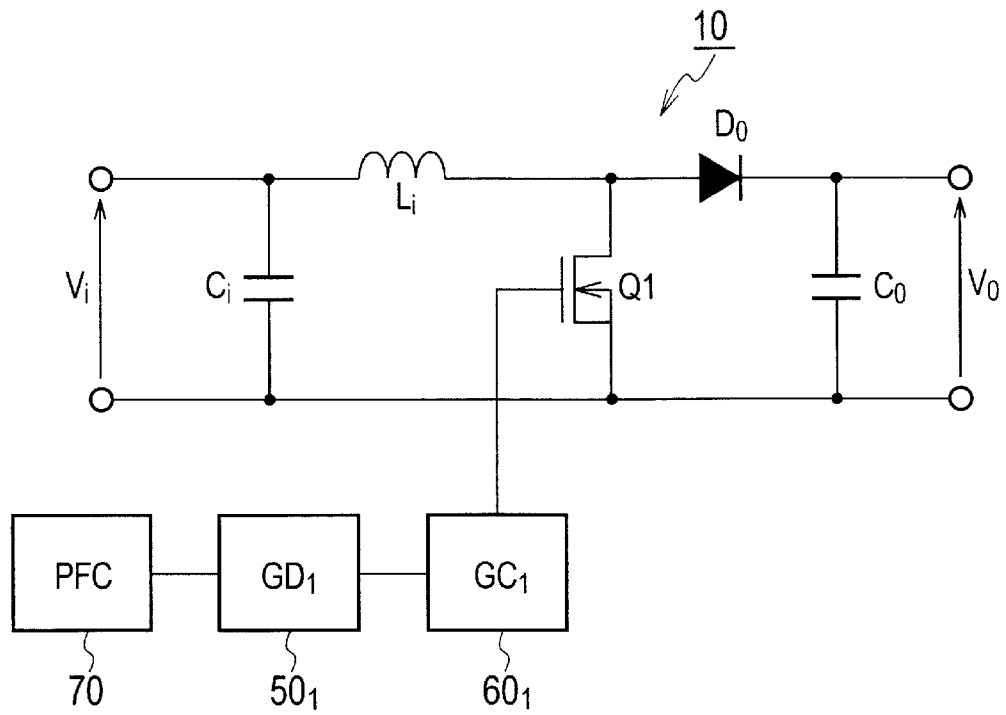




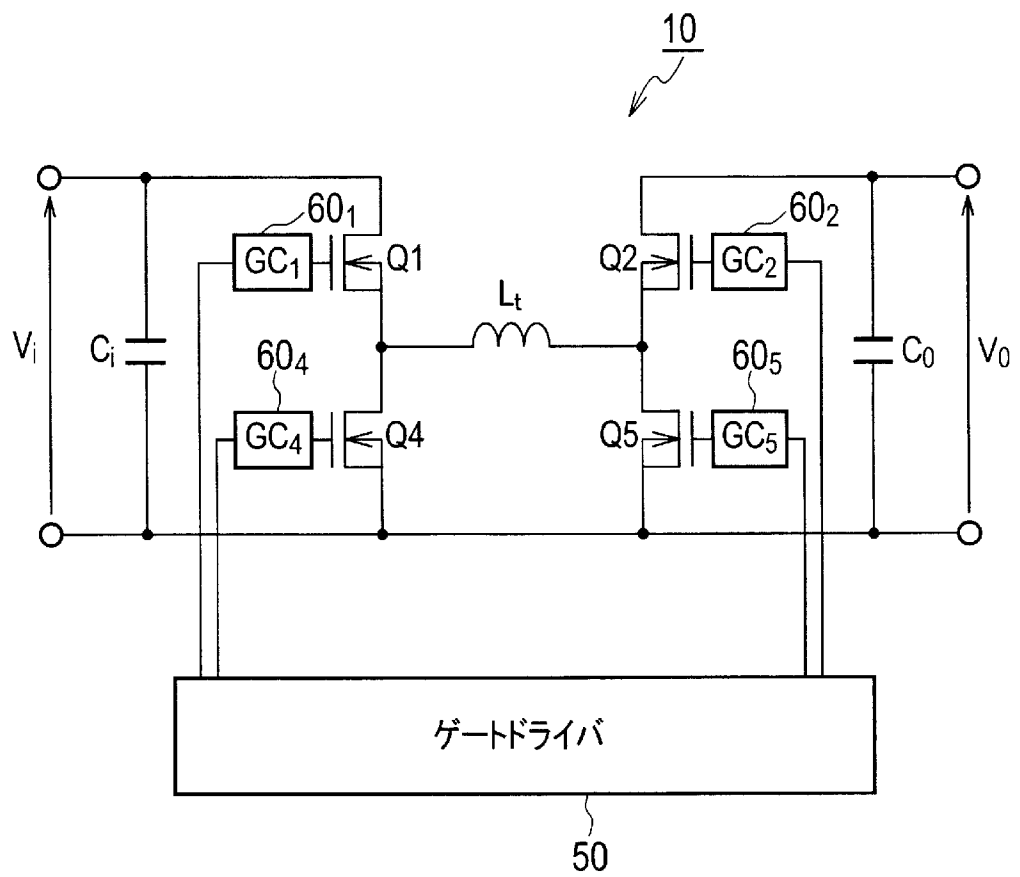
[図27]



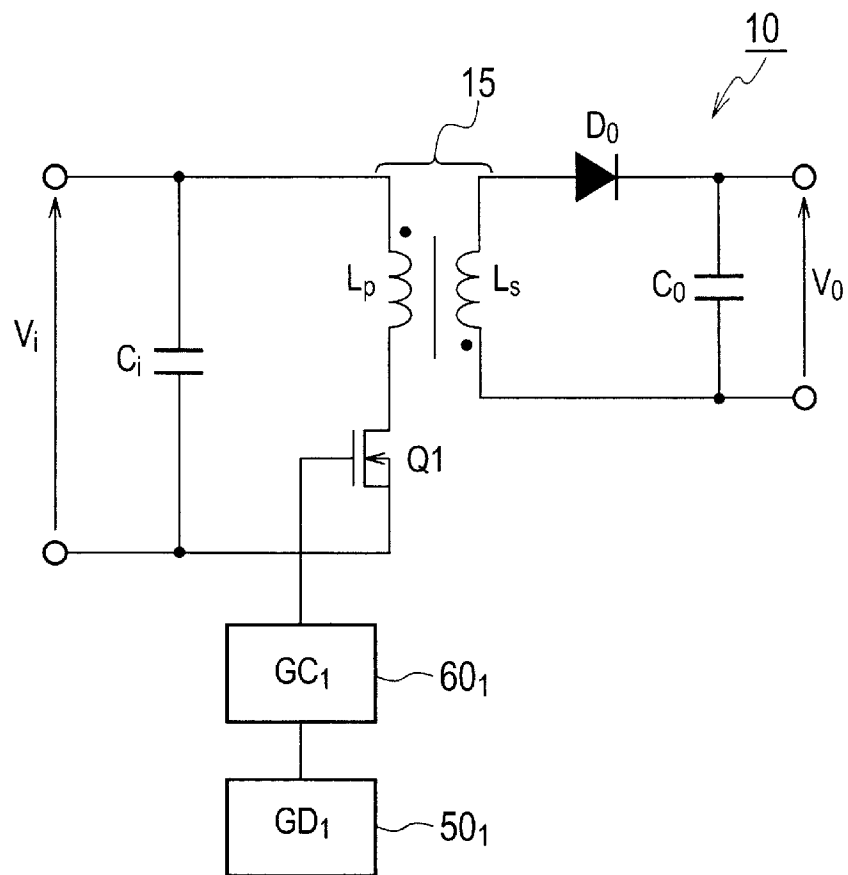
[図28]



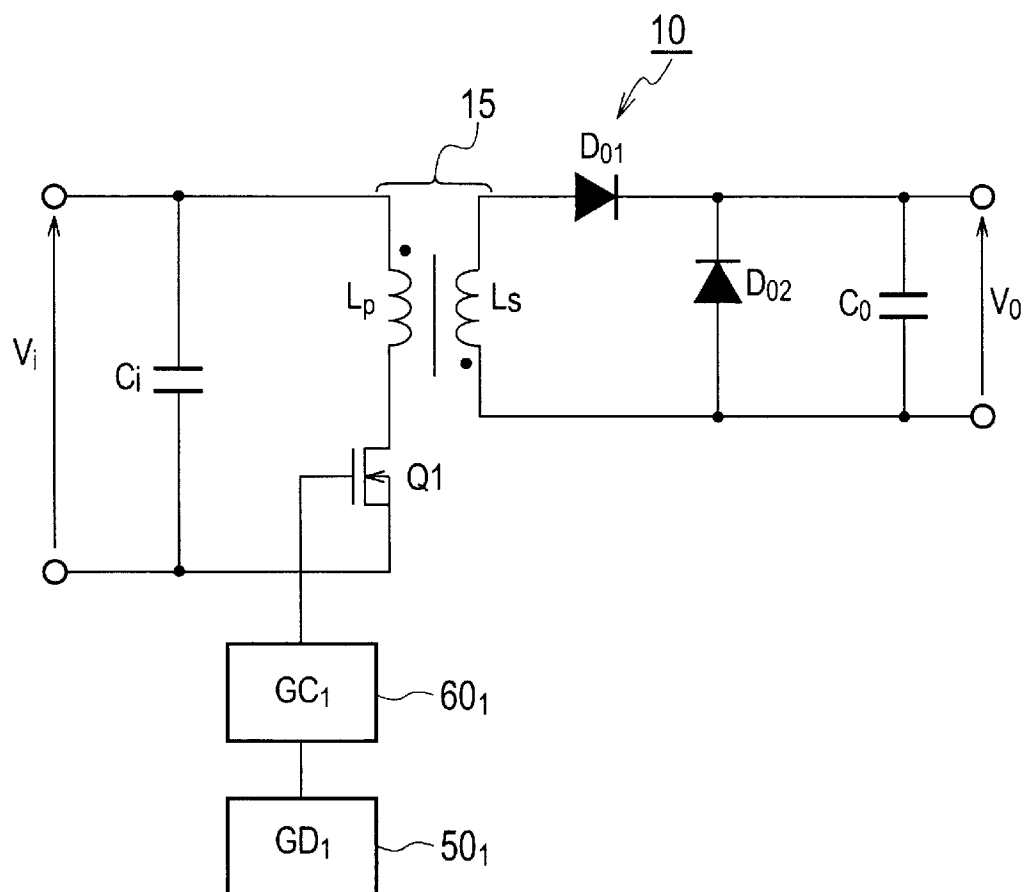
[図29]



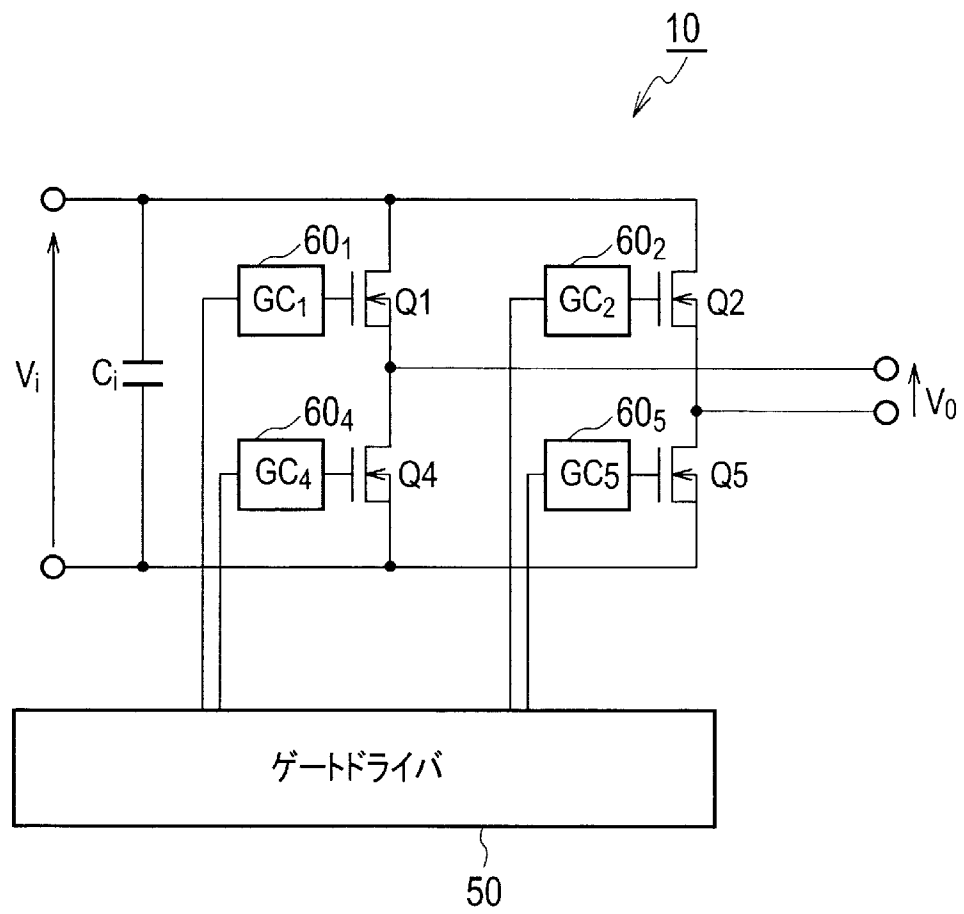
[図30]



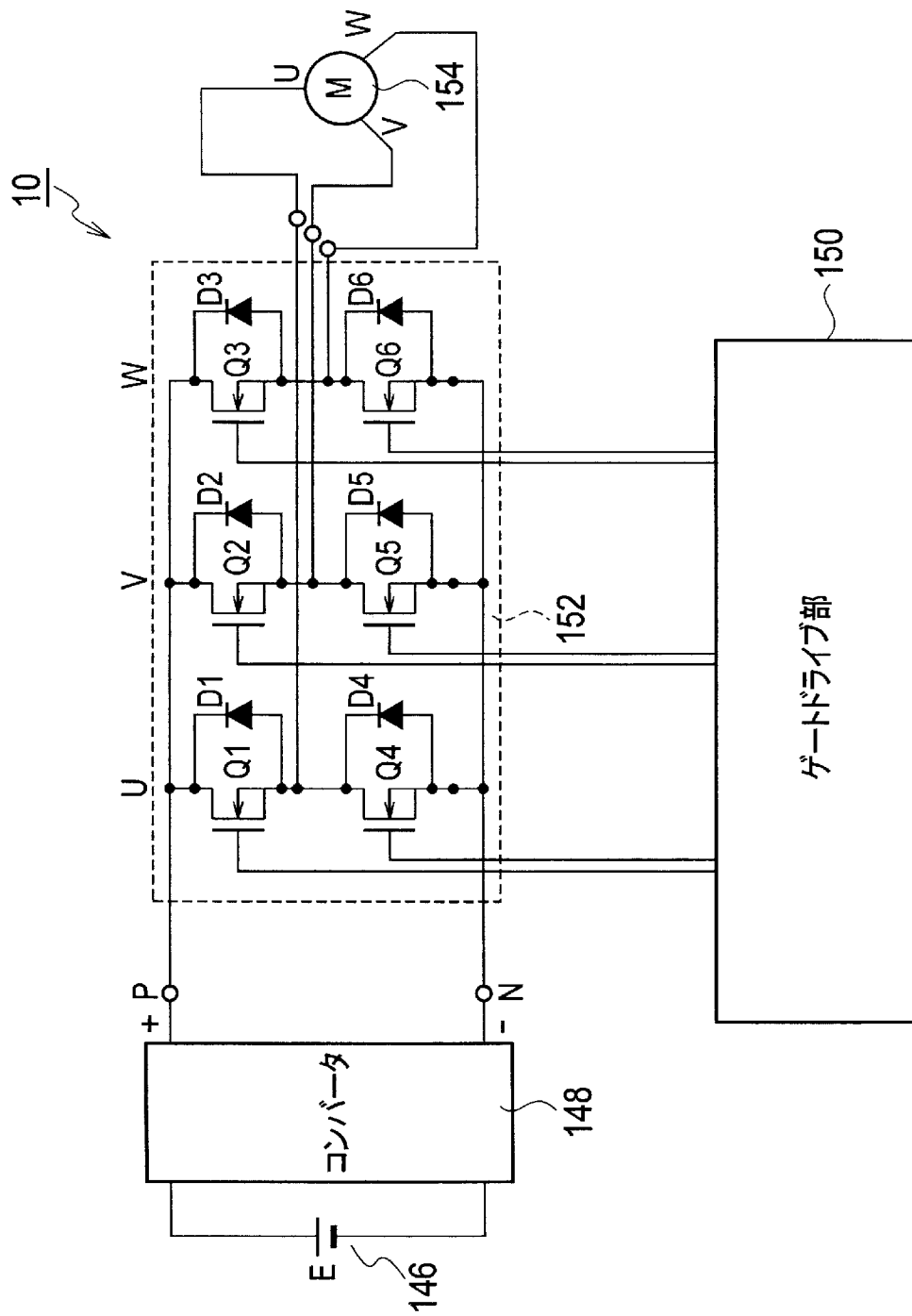
[図31]



[図32]



[図33]



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/053917

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/08(2006.01)i, H02M3/155(2006.01)i, H02M3/28(2006.01)i, H02M7/5387(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08, H02M3/155, H02M3/28, H02M7/5387

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-243877 A (Toshiba Corp.), 05 December 2013 (05.12.2013), paragraphs [0017] to [0018], [0036] to [0043]; fig. 3 (Family: none)	1, 11 2-10, 12-26
X A	JP 9-214311 A (Yutaka Electric Mfg. Co., Ltd.), 15 August 1997 (15.08.1997), paragraphs [0024] to [0025]; fig. 1 to 3 (Family: none)	1, 11 2-10, 12-26
Y	JP 2012-39293 A (Yazaki Corp.), 23 February 2012 (23.02.2012), paragraph [0018]; fig. 3 (Family: none)	2-10, 12-26



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 April 2015 (22.04.15)

Date of mailing of the international search report

12 May 2015 (12.05.15)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/053917

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-335679 A (Toyota Industries Corp.), 22 November 2002 (22.11.2002), paragraph [0039]; fig. 1 (Family: none)	3-5, 7-10, 14-15, 17-26
Y	JP 2013-126278 A (Fuji Electric Co., Ltd.), 24 June 2013 (24.06.2013), paragraphs [0014] to [0015]; fig. 1 & US 2013/0155560 A1	8-10, 19-26
A	JP 2007-116760 A (Matsushita Electric Industrial Co., Ltd.), 10 May 2007 (10.05.2007), paragraphs [0008] to [0020]; fig. 5 to 6 (Family: none)	1-26

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M1/08(2006.01)i, H02M3/155(2006.01)i, H02M3/28(2006.01)i, H02M7/5387(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M1/08, H02M3/155, H02M3/28, H02M7/5387

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2013-243877 A（株式会社東芝）2013.12.05, 段落 [0017]-[0018], [0036]-[0043], 図3（ファミリーなし）	1, 11 2-10, 12-26
X A	JP 9-214311 A（株式会社ユタカ電機製作所）1997.08.15, 段落 [0024]-[0025], 図1-3（ファミリーなし）	1, 11 2-10, 12-26
Y	JP 2012-39293 A（矢崎総業株式会社）2012.02.23, 段落[0018], 図3 （ファミリーなし）	2-10, 12-26

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 4 . 2 0 1 5

国際調査報告の発送日

1 2 . 0 5 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

神山 貴行

3 V

3 4 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-335679 A (株式会社豊田自動織機) 2002. 11. 22, 段落 [0039], 図 1 (ファミリーなし)	3-5, 7-10, 14- 15, 17-26
Y	JP 2013-126278 A (富士電機株式会社) 2013. 06. 24, 段落 [0014]-[0015], 図 1 & US 2013/0155560 A1	8-10, 19-26
A	JP 2007-116760 A (松下電器産業株式会社) 2007. 05. 10, 段落 [0008]-[0020], 図 5-6 (ファミリーなし)	1-26