

(19) 日本国特許庁 (JP)

## (12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2013-501383

(P2013-501383A)

(43) 公表日 平成25年1月10日 (2013.1.10)

(51) Int. Cl.	F I	テーマコード (参考)
<b>H05K 3/00 (2006.01)</b>	H05K 3/00 D	5E338
<b>H05K 3/46 (2006.01)</b>	H05K 3/46 Z	5E346
<b>H05K 1/02 (2006.01)</b>	H05K 1/02 J	

審査請求 未請求 予備審査請求 未請求 (全 26 頁)

(21) 出願番号	特願2012-523958 (P2012-523958)	(71) 出願人	504263587 コヴィオ インコーポレイテッド アメリカ合衆国、95134 カリフォル ニア州、サンノゼ、ザンカー ロード 2 865
(86) (22) 出願日	平成22年8月5日 (2010.8.5)	(74) 代理人	110000877 龍華国際特許業務法人
(85) 翻訳文提出日	平成24年2月9日 (2012.2.9)	(72) 発明者	ワン、ジガン アメリカ合衆国、カリフォルニア州、 ミルピタス、サウス ヒルヴュー ドラ イヴ 233 コヴィオ インコーポレイ テッド内
(86) 国際出願番号	PCT/US2010/044598		
(87) 国際公開番号	W02011/017552		
(87) 国際公開日	平成23年2月10日 (2011.2.10)		
(31) 優先権主張番号	61/255,804		
(32) 優先日	平成21年10月28日 (2009.10.28)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	61/231,643		
(32) 優先日	平成21年8月5日 (2009.8.5)		
(33) 優先権主張国	米国 (US)		

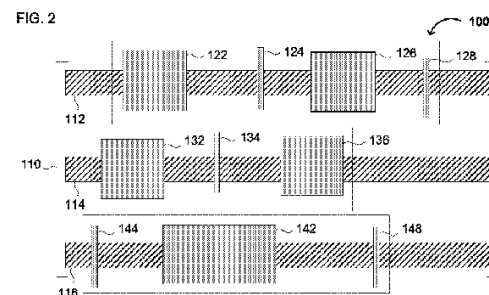
最終頁に続く

(54) 【発明の名称】 プリンテッドエレクトロニクスのための印刷に適応した設計及びレイアウトスキーム

## (57) 【要約】

本発明の実施形態は、電子インクの印刷に適した回路レイアウト、電子インクの印刷に及び従来の全面堆積及びフォトリソグラフィの組み合わせによって形成されるプリント回路、及び、電子インクを印刷適応形状を有する構造に印刷することによって回路を形成する方法に関する。レイアウトは、(1) プリント適応形状、及び、(2) レイアウトにおけるその他の特徴の方向と直交する方向又は平行な方向を有する特徴を含む。

【選択図】 図 2



**【特許請求の範囲】****【請求項 1】**

プリント回路の第 1 層に対する第 1 レイアウトと、

前記プリント回路の第 2 印刷層に対する第 2 レイアウトとを備えるプリント回路のレイアウトであって、

前記第 1 レイアウトは、前記プリント回路における第 1 構造のセットに対応する第 1 の複数の特徴によって構成され、前記第 1 の複数の特徴の各々は独立して、前記第 1 の複数の特徴における別の特徴の方向と直交する方向又は平行な方向を有する第 1 印刷適応形状を有し、

前記第 2 レイアウトは、前記プリント回路における印刷構造のセットに対応する第 2 の複数の特徴によって構成され、前記第 2 の複数の特徴の各々は独立して、前記第 2 の複数の特徴における別の特徴の方向及び前記第 1 の複数の特徴における各特徴の方向と直交する方向又は平行な方向を有する第 2 印刷適応形状を有し、

前記第 2 の複数の特徴の第 1 サブセット及び第 2 サブセットはそれぞれ、前記第 1 の複数の特徴の第 1 サブセット及び第 2 サブセットと重なり合っている、レイアウト。

**【請求項 2】**

前記第 1 印刷適応形状及び前記第 2 印刷適応形状はそれぞれ、矩形、正方形、線、円及び楕円からなる群から独立して選択される請求項 1 に記載のレイアウト。

**【請求項 3】**

前記第 1 の複数の特徴の各々は、長さ及び幅を有する矩形、正方形又は線によって構成され、

前記第 1 の複数の特徴の各々の前記長さ及び前記幅は、前記第 1 の複数の特徴におけるその他の特徴の前記長さ及び前記幅に対して、直交している又は平行である請求項 2 に記載のレイアウト。

**【請求項 4】**

前記第 2 の複数の特徴の各々は、長さ及び幅を有する矩形又は線によって構成され、

前記第 2 の複数の特徴の各々の前記長さ及び前記幅は、前記第 1 の複数の特徴及び前記第 2 の複数の特徴におけるその他の特徴の前記長さ及び前記幅に対して、直交している又は平行である請求項 3 に記載のレイアウト。

**【請求項 5】**

前記第 1 の複数の特徴の各々は、前記矩形又は前記正方形によって構成され、

前記第 2 の複数の特徴の各々は、直径を有する円、又は、最大長及び最大幅を有する楕円によって構成されている請求項 3 に記載のレイアウト。

**【請求項 6】**

前記第 1 の複数の特徴の前記第 1 サブセットの特徴各々の前記長さ及び前記幅は、前記第 2 の複数の特徴の前記第 1 サブセットの特徴各々の前記直径及び前記最大幅の少なくとも一方よりも大きく、

前記第 1 の複数の特徴の前記第 2 サブセットの特徴各々の前記長さ及び前記幅は、前記第 2 の複数の特徴の前記第 2 サブセットの特徴各々の前記直径及び前記最大幅の少なくとも一方よりも大きい請求項 5 に記載のレイアウト。

**【請求項 7】**

前記第 2 の複数の特徴の各々は、前記第 1 の複数の特徴の各々の幅よりも大きな長さ又は幅を有する請求項 1 に記載のレイアウト。

**【請求項 8】**

前記第 1 の複数の特徴の各々は、第 1 最小長及び第 1 最小幅を有し、

前記第 2 の複数の特徴の各々は、前記第 1 最小長及び前記第 1 最小幅にそれぞれ等しい又はより大きい第 2 最小長及び第 2 最小幅を有する請求項 7 に記載のレイアウト。

**【請求項 9】**

前記第 1 の複数の特徴は、第 1 最小特徴間距離を有し、

前記第 2 の複数の特徴は、前記第 1 最小特徴間距離に等しい又はより大きい第 2 特徴間

10

20

30

40

50

距離を有する請求項 8 に記載のレイアウト。

【請求項 10】

前記第 1 最小長、前記第 1 最小幅、前記第 1 最小特徴間距離、前記第 2 最小長、前記第 2 最小幅及び前記第 2 特徴間距離の各々は、プリンタのグリッドと相関している請求項 9 に記載のレイアウト。

【請求項 11】

第 1 印刷適応形状からなるレイアウト形状をそれぞれ有する第 1 の複数の構造によって構成される第 1 層と、

第 2 印刷適応形状からなるレイアウト形状をそれぞれ有する第 2 の複数の構造によって構成される第 2 印刷層とを備えるプリント回路であって、

前記第 1 の複数の構造の各々は、前記第 1 の複数の構造における別の構造の方向と直交する方向又は平行な方向を有し、

前記第 2 の複数の構造の各々は、前記第 2 の複数の構造における別の構造の方向及び前記第 1 の複数の構造における各構造の方向と直交する方向又は平行な方向を有し、

前記第 2 の複数の構造の第 1 サブセット及び第 2 サブセットはそれぞれ、前記第 1 の複数の構造の第 1 サブセット及び第 2 サブセットと重なり合っている、プリント回路。

【請求項 12】

前記第 1 印刷適応形状及び前記第 2 印刷適応形状はそれぞれ、矩形、正方形、線、円及び楕円からなる群から独立して選択される請求項 11 に記載のプリント回路。

【請求項 13】

前記第 1 の複数の構造の各々は、長さ及び幅を有する矩形、正方形又は線によって構成され、

前記第 1 の複数の構造の各々の前記長さ及び前記幅は、前記第 1 の複数の構造におけるその他の構造の前記長さ及び前記幅に対して、直交している又は平行である請求項 12 に記載のプリント回路。

【請求項 14】

前記第 1 の複数の構造の各々は、前記矩形又は前記正方形によって構成され、

前記第 2 の複数の構造の各々は、直径を有する円、又は、最大長及び最大幅を有する楕円によって構成されている請求項 13 に記載のプリント回路。

【請求項 15】

前記第 1 の複数の構造の前記第 1 サブセットの構造各々の長さ及び幅は、前記第 2 の複数の構造の前記第 1 サブセットの構造各々の直径及び最大幅の少なくとも一方よりも大きく、

前記第 1 の複数の構造の前記第 2 サブセットの構造各々の長さ及び幅は、前記第 2 の複数の構造の前記第 2 サブセットの構造各々の直径及び最大幅の少なくとも一方よりも大きい請求項 11 に記載のプリント回路。

【請求項 16】

前記第 1 の複数の構造の各々は、第 1 最小長及び第 1 最小幅を有し、

前記第 1 の複数の構造は、第 1 最小構造間距離を有し、

前記第 2 の複数の構造の各々は、前記第 1 最小長及び前記第 1 最小幅にそれぞれ等しい又はより大きい第 2 最小長及び第 2 最小幅を有し、

前記第 2 の複数の構造は、前記第 1 最小構造間距離に等しい又はより大きい第 2 構造間距離を有する請求項 15 に記載のプリント回路。

【請求項 17】

前記第 1 最小長、前記第 1 最小幅、前記第 1 最小構造間距離、前記第 2 最小長、前記第 2 最小幅及び前記第 2 構造間距離の各々は、プリンタのグリッドと相関している請求項 16 に記載のプリント回路。

【請求項 18】

前記構造の第 1 セットは、シリコン及びゲルマニウムの少なくとも一方の元素を含み、

前記構造の第 2 セットは、I V A 族元素及び金属の少なくとも一方を含む請求項 11 に

10

20

30

40

50

記載のプリント回路。

【請求項 19】

集積回路における 1 以上の層を印刷する方法であって、

第 1 印刷適応形状からなるレイアウト形状をそれぞれ有する第 1 の複数の構造によって構成される第 1 層を形成する段階と、

第 2 印刷適応形状からなるレイアウト形状をそれぞれ有する第 2 の複数の構造によって構成される第 2 層を印刷する段階とを備え、

前記第 1 の複数の構造の各々は、前記第 1 の複数の構造における別の構造の方向と直交する方向又は平行な方向を有し、

前記第 2 の複数の構造の各々は、前記第 2 の複数の構造における別の構造の方向及び前記第 1 の複数の構造における各構造の方向と直交する方向又は平行な方向を有し、

前記第 2 の複数の構造の第 1 サブセット及び第 2 サブセットはそれぞれ、前記第 1 の複数の構造の第 1 サブセット及び第 2 サブセットと重なり合っている、方法。

【請求項 20】

前記第 1 印刷適応形状及び前記第 2 印刷適応形状はそれぞれ、矩形、正方形、線、円及び楕円からなる群から独立して選択される請求項 19 に記載の方法。

【請求項 21】

前記第 1 の複数の構造の各々は、長さ及び幅を有する矩形、正方形又は線によって構成され、

前記第 2 の複数の構造の各々は、長さ及び幅を有する矩形又は線によって構成され、

前記第 1 の複数の構造の各々の前記長さ及び前記幅は、前記第 1 の複数の構造におけるその他の構造の前記長さ及び前記幅に対して、直交している又は平行であり、

前記第 2 の複数の構造の各々の前記長さ及び前記幅は、前記第 1 の複数の構造及び前記第 2 の複数の構造におけるその他の構造の前記長さ及び前記幅に対して、直交している又は平行である請求項 20 に記載の方法。

【請求項 22】

前記第 1 の複数の構造の各々は、前記矩形又は前記正方形によって構成され、

前記第 2 の複数の構造の各々は、直径を有する円又は最大長及び最大幅を有する楕円によって構成され、

前記第 1 の複数の構造の前記第 1 サブセットの構造各々の前記長さ及び前記幅は、前記第 2 の複数の構造の前記第 1 サブセットの構造各々の前記直径及び前記最大幅の少なくとも一方よりも大きく、

前記第 1 の複数の構造の前記第 2 サブセットの構造各々の前記長さ及び前記幅は、前記第 2 の複数の構造の前記第 2 サブセットの構造各々の前記直径及び前記最大幅の少なくとも一方よりも大きい請求項 20 に記載の方法。

【請求項 23】

前記第 1 の複数の構造の各々は、第 1 最小長及び第 1 最小幅を有し、

前記第 1 の複数の構造は、第 1 最小構造間距離を有し、

前記第 2 の複数の構造の各々は、前記第 1 最小長及び前記第 1 最小幅にそれぞれ等しい又はより大きい第 2 最小長及び第 2 最小幅を有し、

前記第 2 の複数の構造は、前記第 1 最小構造間距離に等しい又はより大きい第 2 構造間距離を有する請求項 19 に記載の方法。

【請求項 24】

前記第 1 最小長、前記第 1 最小幅、前記第 1 最小構造間距離、前記第 2 最小長、前記第 2 最小幅及び前記第 2 構造間距離の各々は、プリンタのグリッドと相関している請求項 23 に記載の方法。

【請求項 25】

前記第 2 層を印刷する段階は、1 以上の半導体前駆体及び金属前駆体の少なくとも一方を、前記第 1 層上に印刷することを含む請求項 19 に記載の方法。

【請求項 26】

前記第 1 層を形成する段階は、電子インク合成物を基板に印刷することを含む請求項 2 5 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プリントエレクトロニクス (printed electronics) のためのレイアウト、これらレイアウトを組み込んだ又は基づいたプリント回路、及び、回路における構造を形成するべくこれらレイアウトを使用する方法に関する。プリント回路は、印刷された半導体、導体及び / 又は誘電体構造、又は、周知の構造と組み合わせられたこれら構造を含む。プリント回路を形成する方法は、半導体、導体、誘電体及び / 又はドーパントインクを、様々な基板及び / 又は構造に、レイアウトに対応するパターンで印刷することを含む。

10

【0002】

【優先権情報】

本願は、2009年8月5日出願の米国仮特許出願 61 / 231, 643 号 (代理人整理番号 I D R 3 1 5 1) 及び 2009年10月28日出願の米国仮特許出願 61 / 255, 804 号 (代理人整理番号 I D R 3 1 2 1) の優先権を主張するものであり、前記出願の内容は、参照により本明細書に組み込まれる。

【背景技術】

【0003】

20

プリント電子回路の製造においては、従来の回路フォトリソグラフィによって規定される回路とは必ずしも同じではない課題が生じる。第 1 に、印刷技術では、層間位置合わせの精度が相対的に低く、その結果、相対的に大きいオーバーレイ許容誤差となっている。第 2 に、印刷技術は、フォトリソグラフィと比較すると概して分解能が低いために、印刷技術によっては、非対称性分解能の制約 (すなわち、一方向における分解能が、別の方向における分解能と異なってしまう) が存在する。第 3 に、印刷技術では、ウィッキング (wicking) や、近くの / 隣接するパターンの結合等の、隣接性及び形状に関連する効果を呈することがあり、理想的なパターン生成ができないという課題がある。

【0004】

30

様々な印刷プロセスにおいて、インクジェット印刷、グラビア印刷、スクリーン印刷、フレキソ印刷等の技術を使用して、液状のインクが選択的に堆積される。プリントエレクトロニクスでは、電子インク (例えば、ドーパされた又はドーパされていない半導体、導電性又は誘電体性構造又は膜を形成するためのインクに含まれる 1 以上の前駆体) を追加的に堆積することを利用して、電氣的構造を生成する (例えば、電氣的に機能する構造又は絶縁構造又は膜) ことにより、従来の半導体及び / 又は集積回路製造における製造コストを低減する可能性を有する。印刷構造を形成する方法は、(1) 前駆体材料を効率的に使用できる、(2) 堆積及びパターンニングの組み合わせを 1 つの印刷工程で実現できることから、費用効率が高くなると考えられる。ドーパされた又はドーパされていない導電体、半導体及び誘電体インクを使用して、電氣的構造を形成することにより、集積回路及び集積回路内の構造の製造における、マスク、フォトリソグラフィ及びエッチング工程の数を減らす又は最小限にすることができると考えられる。

40

【0005】

このように、集積回路及びディスプレイ製造産業では、インク技術を使用した電子デバイスの形成方法を開発することを目指す大きな動機が存在する。しかしながら、このような電子インクの印刷には、液体として表面に力学的拡散する可能性があることから、固有の課題が存在する。拡散は、インクの濡れ性及び蒸発性に関連していると考えられる。また、インクは、近くの / 隣接するパターンの結合等の、隣接性及び形状に関連する効果を呈することがあり、意図したパターンから大幅にずれてしまい、致命的な欠陥となる場合がある。

【0006】

50

一般的に、印刷法によって形成された構造の分解能、層間位置合わせ、及び、（角部分の鮮明さ、線の縁の粗さ等の観点における）パターン忠実度は、従来の光学的フォトリソグラフィ技術で形成されたものに比べて劣っている。しかしながら、印刷法には、良好な費用効率、及び、回路内の層間における円滑な遷移を可能とする滑らかな構造輪郭（尖った段部分に遭遇することなく、次に堆積される構造の段部分のより完全な及び／又は均一な被覆を提供する）といった望ましい利点が存在する。また、印刷技術には、時に、非対称分解能制限（例えば、１方向（例えば、 $x$ 軸方向）における分解能が、別の方向（例えば、 $y$ 軸方向）における分解能と異なっている）と共に、分解能が低いという課題がある。

#### 【 0 0 0 7 】

加えて、パターン忠実性の点も、プリント回路における構造での課題である。例えば、従来の光学的リソグラフィでは、不規則な多角形のような形状をレイアウトすることは、特に問題でなかった。しかしながら、印刷技術の場合、インクの濡れ性及びウィッキング効果により、特にこのような形状は適さない。

#### 【 0 0 0 8 】

図 1 には、半導体の島状部分 1 1 - 1 6 の第 1 レイアウト 1 0、及び、ゲート 2 1 - 2 9 の第 2 レイアウト 2 0 のそれぞれが、不規則な形状（例えば、1 2、1 4、1 6 及び 2 2 - 2 7）を含む、従来のレイアウト方法が示されている。これは、典型的なフォトリソグラフィ工程を使用した特定用途向け集積回路（ASIC）設計に対する、一般的な方法及び／又は慣例である。印刷法では通常、フォトリソグラフィが達成できる最小寸法を達成することができず、不規則な形状及び／又は非平面的又は不均一な面に印刷されたインクは、液相の物理的な現象（例えば、拡散によって理想的な／目的のパターンからずれてしまう、下に位置する層の表面的特徴又は表面エネルギーに沿ったウィッキング、表面張力効果による水滴化等）による影響を受けることから、このような従来のレイアウトを使用して電子インクを印刷するのは難しい。

#### 【 発明の概要 】

#### 【 0 0 0 9 】

本発明の実施形態は、プリント電子回路のレイアウト、レイアウトを使用した又は従ったプリント回路構造、及び、リソグラフィによって規定される電子構造と印刷される電子構造の組み合わせ、このようなレイアウト及び印刷構造を組み込んだ回路、及び、このようなレイアウトを使用して、半導体、導体、誘電体及び／又はドーパント構造を数多く存在する基板の 1 つの形成する方法に関する。より詳細には、本発明の実施形態は、（例えば、導体、誘電体、若しくは、ドーパされた又はドーパされていない半導体の前駆体の 1 以上を含む）電子インク合成物を印刷することができるレイアウトに関する。基板に印刷された電子インクでは、複数の異なる現象（例えば、拡散（濡れ）及び弾き、ウィッキング、印刷ずれ、パターン近接効果、縁及び角部の効果、膜の表面的特徴／形態における不一致等）による、所定の印刷パターンからのずれが生じる傾向があり、現在のレイアウトでは、多くの場合、構造間の間隔を大きくし、基板に印刷された電子インクから構造を形成するための領域面積を大きくしている。

#### 【 0 0 1 0 】

プリントエレクトロニクスの適用では、構造寸法（例えば、線幅、厚み等）及び配置精度の制御レベルは、印刷方法によって大きく異なる。パターンのピッチ及び間隔が、印刷された電子インクの振る舞い及び傾向（例えば、拡散（濡れ）及び弾き、ウィッキング、印刷ずれ、パターン近接効果、縁及び角部の効果、膜の表面的特徴／形態における不一致等）を補償するように、レイアウトを設計することができる。このように、現在のレイアウト、回路、及び、このようなレイアウトを組み込んだ又は基づく回路の形成方法を、パターンを 1 以上のインクを使用して印刷する工程を含む製造プロセスの性能及び生産量を改善するのに使用してもよい。レイアウトは、印刷に適応した形状（例えば、ストライプ、矩形、楕円、円等）及び構成、又は、望ましい方向に沿った配列を有するパターンを組み込んでよい。これは、従来のフォトリソグラフィでは必要ないが、印刷回路では

10

20

30

40

50

、このように形状及び方向を選択することにより、相対的に再現性の高い特性を有する堅牢な印刷構造を実現することができる。例えば、（例えば、ポリシラン又はAgのような半導体又は金属前駆体を含むインク）のインクジェット印刷、又は、（N型又はP型ドーパントソースを含む誘電体前駆体の）スクリーン印刷において、印刷に適応した形状には、線、正方形、矩形、円及び楕円が含まれる。グラビア印刷の場合には、印刷に適応した形状として、矩形、正方形及び線（図2参照）が含まれる。

#### 【0011】

ある実施形態では、回路レイアウト（例えば、回路又は回路素子を形成することができるレイアウト）は、（フォトリソグラフィによって規定された線、及び/又は、電子インクを所定のパターン（例えば、印刷される構造又はインクのレイアウト）に印刷することができる別の構造（例えば、パッド）を含む。回路レイアウトは、各層内の構造の形状を規定するパターンの複数の層を含んでもよい。例えば、回路レイアウトは、平行な半導体島状構造（アイランド）のような構造（例えば、線形構造又は形状を有してもよい）の層を規定する第1のパターンと、第1層上の機能層を規定する対応する数のパターンとを含んでもよい。構造の第1層は、1以上の線（所定の間隔で、繰り返し平行に設けられる垂直方向及び/又は水平方向の線）、及び/又は、パッド（例えば、矩形、正方形、台形、楕円、円等）を含んでもよい。第1層の上に形成される層は、第1層の構造に沿って互いに所定の距離だけ離間した回路要素（例えば、薄膜トランジスタ、キャパシタ、ダイオード、配線等）における構造を含んでもよい。

#### 【0012】

所定のパターンに電子インクを堆積させる（例えば、印刷する）ことによって次に形成される構造に対して、適切な距離を提供するように、構造（例えば、（フォトリソグラフィによって規定された線及びパッド）に沿った電子インクが堆積されるポイントが選択される。個々のライン及びその他の回路構造は、隣接する及び/又は近接する印刷構造と望ましくない重複及びショートを引き起こすことなく、印刷される電子インクの濡れ性に適応可能な線間及び構造間距離だけ、実質的に間隔を空けて配置されてもよい。

#### 【0013】

基板上の予め形成されるパターンの上に、半導体、誘電体又は導電体インクのようなインク合成物を所定のパターン（例えば、線、正方形、矩形、円、楕円等が含まれる）に印刷する工程を含む回路を形成する又は印刷する方法において、このレイアウトが使用されてもよい。予め形成されるパターンとしては、印刷、又は従来の堆積（例えば、化学気相堆積（CVD）、物理気相堆積（PVD）等）、フォトリソグラフィ及びエッチング技術によって形成することができる構造（例えば、線及び/又はパッド）の第1層を含んでもよい。従来のリソグラフィ技術及び/又は電子インクの印刷によって、更なる層を形成してもよく、多くの場合、少なくとも1つの更なる層が、電子インクを印刷することによって形成される。この更なる層は、構造の第1層の上に形成される回路素子（例えば、薄膜トランジスタ、キャパシタ、ダイオード、配線等）における構造を含んでもよい。その他の適用例では、ドーパントインク（例えば、P型又はN型ドーパントを含む誘電体前駆体インク）、誘電体インク、又は金属インク（例えば、シリサイドを形成するためのインク）を、半導体（例えば、シリコン、ゲルマニウム等）の線、パッドの予め形成されたパターン及び/又は構造の第1層における島状構造の上に、印刷してもよい。その後、基板及び/又は構造の第1層の上に堆積された電子インクを処理してもよい。例えば、シリコン構造の上に堆積されたドーパントインクの場合には、ドーパントインクの堆積の後に、ドーパントインクを含むシリコン構造のパターンを加熱して、ドーパントをシリコン構造にドライブインしてもよい。

#### 【0014】

本発明の第1側面は、回路における印刷構造の第1セットに対応する第1の複数の特徴を含む回路特徴の第1レイアウトと、回路における印刷構造の第2セットに対応する第2の複数の特徴を有する回路特徴の第2レイアウトとを備えるプリント回路のレイアウトに関し、第1の複数の特徴の各々は独立して、第1の複数の特徴における別の特徴の方向と

10

20

30

40

50

直交する方向又は平行な方向を有する印刷適応形状を有し、第2の複数の特徴の各々は独立して、第2の複数の特徴における別の特徴の方向及び第1の複数の特徴の特徴各々の方向と直交する方向又は平行な方向を有する印刷適応形状を有する。第1の複数の特徴及び第2の複数の特徴はそれぞれ、1以上のサブセットを有してもよく、第2の複数の特徴の第1サブセット及び第2サブセットはそれぞれ、第1の複数の特徴の第1サブセット及び第2サブセットと重なり合っている。例えば、第1の複数の特徴は、複数の平行な半導体島状構造を含んでもよく、島状構造の各々は第1の複数の特徴のサブセットと見なされてもよい。また、例えば、第2の複数の特徴のサブセットはそれぞれ、半導体島状構造と重なっている印刷適応形状を有する複数の回路要素を含んでもよい。第2の複数の特徴の第1サブセットは、第1の複数の特徴のうちの一群（例えば、第1半導体島状構造）と重なっていてもよく、第2の複数の特徴の第2サブセットは、第1の複数の特徴のうちの別の群（例えば、第2半導体島状構造）と重なっていてもよい。印刷に適応した形状及び／又はパターン（例えば、線、矩形、正方形、円及び楕円等）は、以下に説明するように、それぞれ同じであってもよいし、異なってもよい。

10

20

30

40

50

#### 【0015】

第2の側面では、発明は、基板に印刷された回路に関し、第1印刷適応形状をそれぞれ有する第1の複数の構造によって構成される第1印刷層と、第2印刷適応形状をそれぞれ有する第2の複数の構造によって構成される第2印刷層とを備える回路であって、第1の複数の構造の各々は、第1の複数の構造における別の構造の方向と直交する方向又は平行な方向を有し、第2の複数の構造の各々は、第2の複数の構造における別の構造の方向及び第1の複数の構造の構造各々の方向と直交する方向又は平行な方向を有する。上記のレイアウトに関して、第1の複数の構造は、第1サブセット及び第2サブセットを有してもよく、第2の複数の構造の第1サブセット及び第2サブセットはそれぞれ、前記第1の複数の構造の第1サブセット及び第2サブセットと重なり合っている。第1の複数の特徴は、第2の特徴が上に配置される半導体島状構造、配線、パッド又はその他の構造を含んでもよい。第2の複数の特徴は、回路要素における構造を含んでもよい。（例えば、半導体材料（ⅢⅤ族元素）又は金属材料を含み、滑らかな及び／又はドーム型の形状を有する少なくとも1つの層を備えるキャパシタ、ダイオード、トランジスタ及びフローティングゲートセルを含んでもよい。（例えば、2008年10月1日出願の米国特許出願第12/243,880号明細書（代理人整理番号：IDR1574）参照、この明細書の内容は参照により本明細書に組み込まれる）。半導体材料としては、水素化された、脱水素化された、又は、水素化されていない、非晶質、微晶質又は多結晶シリコンを含んでもよい。半導体材料としては、ゲルマニウム、又は、シリコン及びゲルマニウムの混合物を含んでもよい。金属材料としては、ゲートを形成するのに好適なあらゆる金属が含まれる。メタルゲートは、（有機）金属化合物、（有機）金属錯体、（有機）金属クラスタ、金属ナノ粒子、及び、これらの組み合わせのような1以上の金属前駆体を含むインクを、第1の複数の特徴の構造の上に印刷することにより形成することができる。

#### 【0016】

第3の実施形態では、発明は、集積回路における1以上の層を印刷する方法に関し、第1印刷適応形状からなるレイアウトにおける形状をそれぞれ有する第1の複数の構造によって構成される第1層を形成する段階と、第2印刷適応形状からなるレイアウトにおける形状をそれぞれ有する第2の複数の構造によって構成される第2印刷層を印刷する段階とを備え、第1印刷適応形状は、第1の複数の構造における別の構造の方向と直交する方向又は平行な方向を有し、第2印刷適応形状は、第2の複数の構造における別の構造の方向及び第1の複数の構造の構造各々の方向と直交する方向又は平行な方向を有する。印刷適応形状は、以下に記載するような、異なる複数の形状及びパターンのうちの何れか1つを有してもよい。印刷される電子インクは、所定の印刷適応パターンで基板上に堆積される1以上の電子前駆体又は絶縁前駆体（例えば、ドーパされた又はドーパされていない（ポリ）シラン、（ポリ）ゲルマン、（ポリ）シラゲルマン、（シクロ）シラン、（シクロ）ゲルマン、（シクロ）シラゲルマン、シリコン及び／又はゲルマニウムナノ粒子、ドーパされた



又はドーブされていない誘電体前駆体、及び／又は、金属塩、化合物、錯体又はナノ粒子)を含んでもよい。これに替えて、回路特徴の第1層又は第2層は、コーティング(例えば、スピンコーティング、押し出しコーティング、CVD、PVD等)、フォトリソグラフィ、及び、等方性及び／又は異方性エッチング技術によって形成されてもよい。また、回路特徴の第1層及び第2層は、1以上の従来の方法で形成された(例えば、フォトリソグラフィによって規定された)回路特徴の上に印刷されてもよい。

#### 【0017】

本明細書に記載される発明の実施形態は、改善されたレイアウト、このようなレイアウトを組み込んだ又はこのようなレイアウトに基づく電気回路、及び、電子デバイス内で使用される電気回路を形成するべく電子インクを印刷する方法を提供する。回路、レイアウト及び方法は、印刷可能電子インクを使用した電子デバイスの製造の開発を促進し、全面堆積、パターニング及び／又はエッチングプロセスのような相対的に無駄が多く、高価で、有害及び／又は時間の掛かる従来の方法の使用率を低減又は避けることができる。電子インクは、様々な基板上の薄膜トランジスタ、キャパシタ、ダイオード、配線、同様なものを含む集積回路等の製造に適応することができる。基板の例としては、これに特に限定されないが、ガラス(例えば、水晶、液晶ディスプレイ(LCD)ガラス)シート、箔又はスリップ、プラスチック及び／又は金属箔、シート又はスラブ、シリコンウェハ等が挙げられる。これらは全て、1以上のバリア層及び／又は平坦化層(ポリイミド又はその他のポリマー、シリコン及び／又は酸化アルミニウム等)を更に含んでもよい。本明細書に記載される電子インクを使用して形成される電子デバイスの適用例としては、これに特に限定されないが、ディスプレイ、RFデバイス、センサ、揮発性及び不揮発性メモリ、光電セル、ID及びセキュリティタグ、スマートカード等が含まれる。本発明の有益な点及びその他の利点が、以下の好ましい実施形態の詳細な説明から明らかとなるであろう。

#### 【図面の簡単な説明】

#### 【0018】

【図1】多角形及び／又は不規則な形状を有するパターンの従来のレイアウトを上から見下ろした図である。

【図2】本明細書に記載されるプリント電気回路の一実施形態に係るレイアウト例を上から見下ろした図である。

【図3A】本明細書に記載される電気回路を印刷する別の実施形態に係るレイアウト例を上から見下ろした図である。

【図3B】本明細書に記載される電気回路を印刷する別の実施形態に係るレイアウト例を上から見下ろした図である。

【図3C】本明細書に記載される電気回路を印刷する別の実施形態に係るレイアウト例を上から見下ろした図である。

【図4】本明細書に記載される印刷されたMOS薄膜トランジスタの一実施形態に係るレイアウト例を上から見下ろした図である。

【図5】印刷に適応した形状を有する電氣的構造の最上層を有する基板に、導電層をパターン印刷することによりROMセルをプログラムするためのレイアウト例を上から見下ろした図である。

#### 【発明を実施するための形態】

#### 【0019】

本発明の様々な実施形態を、添付の図面に記載された例を参照して説明する。本発明が、例示的实施形態を参照して説明されるが、説明は、本発明をこれらの実施形態に限定することを意図していないことは理解されるべきである。本発明は、添付の特許請求の範囲によって定義される発明の精神及び範囲内に含まれる代替、改良及び均等物を包含することを意図している。また、以下の詳細な説明では、本発明を完全に理解するために、多くの詳細事項が記される。しかしながら、これら詳細事項がなくとも本発明を実施可能であることは、当業者にとって明らかである。また、本発明を不明瞭にしない目的から、他の場合においては、周知の方法、手順、部品及び回路等の詳細な説明を省略している。また

、明細書に記載される必要に応じて行われる置換及び組み合わせが、本発明を限定することを意味しないことは、理解されるべきである。特に、開示される互いに一貫性を有するバリエーションは、組み合わせられてもよいし、必要に応じて、適合されてもよい。

#### 【0020】

利便性及び簡潔性のために、"結合される (coupled to)"、"接続される (connected to)" 及び "連通する (in communication with)" という言葉は、特にそうでないと明確に示されていない限り、直接又は間接的に、結合、接続及び連通することを意味している。これらの言葉は多くの場合、本明細書では交換可能に使用されているが、一般的にその技術分野で認識されている意味に解釈される。また、"形状 (shape)"、"特徴 (feature)"、"線 (line)"、"構造 (structure)" 及びその他の言葉が交換可能に使用される場合があるが、このような言葉のうちの1つ使用は通常、その他の言葉も含むが、言葉の意味は、その言葉が使用されているコンテキストから判断されるべきである。また、利便性及び簡潔性のために、"部 (part)"、"部分 (portion)"、"領域 (region)"、という言葉が交換可能に使用される場合があるが、一般的にその技術分野で認識されている意味に解釈される。また、"(半) 導体 ((semi)conductor)"、"(半) 導体性の ((semi)conductive)"、"(半) 導体である ((semi)conducting)" 及びこれらと文法的に等価な言葉は、導電性及び / 又は半導電性である材料、前駆体、層、特徴又はその他の種又は構造を意味する。

10

#### 【0021】

"シラン (silane)" という言葉は、主成分として又は必須成分として、(1) シリコン及び / 又はゲルマニウム、及び、(2) 酸素を含む化合物又は混合物を意味する。また、"ポリシラン (polysilane)" という言葉は、少なくとも15個のシリコン及び / 又はゲルマニウム原子を有する種を主成分として含む化合物又は化合物の混合物を意味する。"(ポリ) シラン" という言葉は、シラン、ポリシラン又は両方である、化合物又は化合物の混合物を指す。(ポリ) シランの種 (すなわち、シラン及び / 又はポリシラン) は、特定用途に対する所定の成分特性に明白な悪影響を与えない、1以上の、分岐、架橋、及び / 又はサイクリック環、及び / 又は一定量又は原子濃度のハロゲン原子 (例えば Cl)、及び / 又はハロゲン相当物を含んでもよい。"(シクロ) アルカン ((cyclo)alkane)" という言葉は、必須成分として直鎖、分岐鎖又は環状の炭素及び水素を含む化合物又は化合物の混合物を指す。また、"(シクロ) シラン ((cyclo)silane)" という言葉は、(1) シリコン及び / 又はゲルマニウム、及び (2) 水素を含み、1以上のサイクリック環及び15個未満のシリコン及び / 又はゲルマニウム原子を含む化合物又は化合物の混合物を指す。"ヘテロ (シクロ) シラン (hetero(cyclo)silane)" とは、(1) シリコン及び / 又はゲルマニウム、(2) 水素、及び、(3) B、P、As 又は Sb のようなドーパント原子を1以上を必須成分として含み、通常の水素、シリル (silyl) 又はゲルミル (germyl) 置換基で置換されてもよく、1以上のサイクリック環を含んでもよい化合物又は化合物の混合物を指す。本願明細書では、接頭辞、添え字又は複数形を強調するべく (例えば、言葉の末尾に "s" 又は "es" が括弧内に示される) 括弧が使用されており、括弧内の項目は必要に応じて設けられる構成である。例えば、"(ポリ) シラン" との記載は、本願では、シラン及び / 又はポリシラン (上記参照) を意味する。また、構造又は特徴の "主面 (major surface)" とは、構造又は特徴の最も大きい軸によって少なくとも一部規定される面である。(例えば、構造体が円形で、半径が厚さよりも大きい場合、円形状の面が構造体の主面であるが、構造体が正方形、矩形又は楕円形の場合、典型的には、2つの最大軸、多くの場合には長さ及び幅であるが、によって規定される面が主面となる。) また、"ドーピングされた (doped)" という言葉は、材料が実質的に制御可能なドーピング量 (例えば、低濃度ドーピング、高濃度ドーピング、又は、これらの間のドーピングレベル) の周知のドーパントによってドーピングされていることを意味する。

20

30

40

#### 【0022】

本願では、"堆積された (deposited)" という言葉 (文法的な派生語を含む) は、全面堆積 (例えば、CVD 及び PVD) コーティング及び印刷を含むあらゆる形式の堆積を包含することを意図している。様々な実施形態において、コーティング (被覆) は、スピン

50

コーティング、スプレーコーティング、スリットコーティング、押し出しコーティング、メニスカスコーティング、ディップコーティング、スライドバーコーティング、ポンプ吐出、シリンジ吐出及び／又はペンコーティングを含んでもよい。その他の実施形態では、印刷は、インクジェット、グラビア印刷、オフセット印刷、フレキシグラフィ印刷、蒸気ジェット、レーザー転写又は局所レーザーＣＶＤ、レーザーライティング、スクリーン印刷、スリット押し出し、ステンシル、スタンプ、マイクロスポッティング及び／又は選択的ペンコーティングを含んでもよい。一般的に、"コーティング（被覆）"とは、インク又はその他の材料が、実質的に基板全体に堆積されるプロセスを指し、"印刷"とは、インク又はその他の材料が、所定のパターンで選択的に堆積されるプロセスを指す。また、特に明記されていない限り、本明細書で使用されるコンテキストでは、"周知の（known）"、"決められた（fixed）"、"所与の（given）"、"特定の（certain）"、"所定の（predetermined）"、という言葉は多くの場合、理論的には変数であるが、典型的には予め設定されて使用時には変化しない、値、量、パラメータ、制限、条件、状態、プロセス、手順、方法、慣例及びこれらの組み合わせを意味する。

10

#### 【００２３】

様々な側面において、本発明が、以下に記載する実施形態例に関連して詳細に説明される。

#### 【００２４】

##### [レイアウト例]

本発明のレイアウトは、特徴（例えば、薄膜トランジスタ、キャパシタ、ダイオード、配線等における線、島、パッド、プレート、層又はその他の構造）の所定のパターンを、印刷電子インク（導体、誘電体、ドーパント、又は、ドーパされた及び／又はドーパされていない半導体前駆体の１以上を含むインク）例えば、に適應する形状及び／又は配置で提供することを意図している。レイアウトは、印刷のみ、又は、従来の（フォトリソグラフィパターンニング及び印刷の組み合わせによって形成される回路内に使用されてもよい。このように、本発明のレイアウトを使用して形成される回路は、従来の方法を使用して形成された構造とプリントエレクトロニクス構造の組み合わせを有してもよい。本レイアウトにおけるパターンは概して、特徴の間に、印刷に適應した間隔を空けて、水平方向及び鉛直方向に（図２に示すように）配列された複数の特徴によって構成される。このレイアウトにおける特徴の配列により、レイアウトパターンに実質的に適合する印刷構造を容易に形成できる。

20

30

#### 【００２５】

図２に示すように、本発明のレイアウト１００は、所定のパターンに基板上に形成される複数の特徴１１２、１１４、１１６を含む第１層１１０を備える。パターンは多くの場合、矩形、線、島状、パッド、正方形、円形又は楕円形といった１以上の印刷に適應した形状（例えば、所定の間隔を空けて、鉛直方向、水平方向、平行及び／又は垂直に、（必要に応じて繰り返し設けられる）複数の矩形）によって構成される。レイアウト１００はまた、第１層１１０における特徴１１２、１１４及び１１６の各々の上に、所定のパターンに印刷される印刷に適應した形状を有する特徴の１以上のグループ１２０、１３０及び１４０を含む。第２層（グループ１２０、１３０及び１４０を含む）の所定のパターンにおける印刷適應形状の配置及び／又は方向は、多くの場合、鉛直又は水平方向、及び／又は、第２層パターン及び第１層パターンにおける特徴の各々に対して平行又は垂直である。第１層１１０における特徴は、標準的なフォトリソグラフィ及びエッチング技術によって、又は、本明細書に記載される印刷技術によって、規定されてもよい。しかしながら、第２層における特徴は、印刷技術によって規定される。このように、印刷適應形状を有する特徴に対応するプリント回路の第１及び第２層における構造は、電子インクを印刷することにより、又は、電子インクの印刷、並びに、全面堆積、フォトリソグラフィ及びエッチングを使用した従来の堆積及びパターンニングの組み合わせによって形成されてもよい。無論、本発明のレイアウト手法は、２層を超える層数を有する回路（例えば、３層以上、４層以上）にも適用することができ、多くの場合、このようなレイアウト手法では、最下

40

50

層以外に少なくとも別の１層が、印刷によって形成される。

【００２６】

第１層１１０の特徴１１２、１１４、１１６は、標準的な堆積及びパターンニング技術、又は、電子インクを使用した印刷技術を利用して達成可能であるいかなる寸法（例えば、長さ、幅、半径等）を有してもよい。例えば、特徴１１２、１１４、１１６は、約０．０１μmから１０００μmの範囲（例えば、０．１μmから５００μm、１μmから１００μm、又は、上記範囲内におけるその他の値の範囲）の幅、及び、約０．１μmから１０、０００μmの範囲（例えば、１μmから５０００μm、１０μmから２０００μm、又は、上記範囲内におけるその他の値の範囲）の長さを有してもよい。例えば、第１層における構造（例えば、半導体の島形状構造）は、５０μmから約１０００μmまでの長さ、及び、１０μmから約１００μmまでの幅を有してもよい。

10

【００２７】

本発明のレイアウトの印刷に適応した特徴は、実質的に一定である寸法（例えば、矩形、正方形、円又は線）を有してもよいし、角度又は中心からの最小寸法又は最大寸法の円弧の関数として変化する寸法（例えば、楕円）を有してもよい。例えば、実質的に一定である寸法を有する特徴は、約０．００１μmから１００μmの範囲（例えば、０．１μmから５０μm、１μmから２５μm、又は、上記範囲内におけるその他の値の範囲）、又は、０．１～５０％（例えば、０．５～２０％、１～１０％、記範囲内におけるその他の値の範囲）の量で変化する長さ、幅及び／又は直径を有してもよい。本発明のレイアウトは、様々に異なるサイズ、様々に異なる種類（例えば、ある形状は矩形であり、その他の形状は、円又は正方形である等）を有する形状を含んでもよく、レイアウト各々は、適応可能な設計規則に従って規定されるレイアウト内に収まるいかなる数の特徴を有してもよい。本発明のレイアウトでは、特徴の幅及び長さ、構造間の離間距離、特徴の設定（例えば、パターン、設計規則等は、回路設計及び／又はレイアウトを使用して形成される回路の使用目的に応じて、変わってもよい。

20

【００２８】

レイアウト１００における個々の特徴は、原則として、対応する構造を形成するのに適用可能な方法の分解能限界に適合するあらゆる最小距離だけ離間してもよい。したがって、印刷される層の特徴は多くの場合、下層の特徴の上に印刷される電子インクの想定される濡れ性（拡散性）を考慮した上で十分な間隔で離間するように配置される。すなわち、第１特徴の場所に印刷されたインクが拡がって、同じ層の構造上又は隣接する第１層構造上の隣接する特徴の場所に印刷されたインクに接触することがないように、十分な間隔が設けられる。隣接する第１層特徴１１２、１１４及び１１６間の最小間隔は、少なくとも、約１μm（例えば、５μm、１０μm、２０μm、又は、１μmよりも大きいその他の値）であってもよい。第２層を形成するのに使用されるインクの濡れ性、下に位置する第１層の表面的特徴（topography）及び／又は表面エネルギー等に応じて、第１層における構造に沿った、第２層の隣接する特徴間の最小距離（例えば、特徴１１２上の、特徴１２２と特徴１２４との間の距離）は、第１層の隣接する特徴間の最小距離（例えば、少なくとも、約１μm、５μm、１０μm、２０μm、又は、１μmよりも大きいその他の値）以上であってもよいが、隣接する第１層特徴上に配置された第２層の隣接する特徴間の最小距離（例えば、それぞれ特徴１１２及び１１４上に配置された特徴１２２と特徴１３２との間の距離）は、第１層の隣接する特徴間の最小距離（例えば、少なくとも、約０．１μm、０．５μm、１μm、２μm、又は、０．１μmよりも大きいその他の値）よりも小さくてもよい。

30

40

【００２９】

インクジェット印刷を使用して電子インクが印刷される実施形態では、プリンタは多くの場合、ドット又はピクセルといった最小寸法単位を有するプリンタグリッドを有する。第１層構造間における特徴間の離間距離は、少なくとも、インクジェットプリンタの印刷グリッドの１最小寸法単位（例えば、直径１～５００μmのドット又はピクセル）に設定される。ある実施形態では、特徴間の離間距離は、印刷装置の最小寸法単位の２単位分以

50

上に設定される。

【0030】

第1回路層が、従来のフォトリソグラフィによって規定される矩形又は線を含む実施形態では、矩形又は線は、その端部に、コンタクト及び／又は配線を形成するための1以上のパッドを有してもよい。パッドは、結合する矩形又は線の幅よりも大きな幅を有してもよい。このような実施形態では、パッドは、隣接する矩形又は線から（又は、隣接する矩形又は線の端部のパッドから）ずらして又は重ならないように交互に配置されてもよい。

【0031】

第2層（及び、それに続いて形成される印刷層）では、電子インク成分を所定のパターンに下層の上に印刷し、印刷されたインクを照射、加熱、硬化、及び／又はアニールすることによって以下に説明されるような印刷電子構造を形成するべく特徴が印刷されたインクを処理することにより形成される電子構造に対応している。電子インク合成物の例としては、ドーパされた又はドーパされていない半導体、誘電体、ドーパント又は導体インクが含まれる。印刷方法には、インクジェット、グラビア印刷、フレキシソ印刷、オフセット印刷又はスクリーン印刷（以下に更に説明する）が含まれてもよい。電子インクは、誘電体インク、ドーパントインク（例えば、P型ドーパント又はN型ドーパント更に含む誘電体インク）、ドーパされた又はドーパされていない半導体インク、又は、金属インクであってもよい。

【0032】

〔プリント回路構造を形成する方法例〕

図3Aには、電子回路の第1層に、矩形210及び215が平行に配置されたレイアウトが示されている。一実施形態において、矩形210、215は、基板上に形成されるMOSトランジスタの半導体島状構造を表している。矩形210及び215から形成される半導体島状構造は、約1 $\mu$ mから10,000 $\mu$ mの範囲（例えば、25 $\mu$ mから5000 $\mu$ m、50 $\mu$ mから3000 $\mu$ m、又は、上記範囲内のその他の範囲）の長さ、及び、約1 $\mu$ mから500 $\mu$ mの範囲の幅を有してもよい。図3Aには、第1層に矩形210、215の2つのみが含まれるように描かれているが、本発明の実施形態はこのような配置に限定されない。本発明のレイアウト構造の実施形態は、それぞれ2つ以上の平行に配置された特徴を有する1以上のパターン（例えば、2つ以上の平行に配置された矩形を有する特徴の第1サブセットと、特徴の第1サブセットに垂直な方向又は直行する方向に配置される2つ以上の平行な矩形を有する特徴の第2サブセットとを）を備える。

【0033】

隣接する矩形210及び215間の距離は、その上に印刷される回路要素220、222、224、226、230、232及び234に適應させるべく、約0.1 $\mu$ mから500 $\mu$ m（例えば、1 $\mu$ mから250 $\mu$ m、2 $\mu$ mから150 $\mu$ m、又は上記範囲内のその他の値の範囲）に設定される。一般的に、特徴210と215の間の距離が大きくなればなるほど、インクが印刷された時の特徴210及び215に沿ったウィッキングの効果が小さくなる。インクジェット印刷の場合、現在のインクジェットプリンタの制限に基づき、この距離は、最小で約1 $\mu$ m（例えば、10 $\mu$ m、20 $\mu$ m、50 $\mu$ m、100 $\mu$ m、又は、少なくとも10 $\mu$ mであるその他の値）であってもよい。しかしながら、本発明は、この範囲に限定されない。スクリーン印刷、フレキシソ印刷及びその他の印刷技術の場合、最小距離は、約1 $\mu$ mであってもよいし、少なくとも1 $\mu$ mであるその他の値であってもよい。このような間隔距離は、円、楕円、線／矩形、又はその他の形状を電子インクで印刷するのに適している。

【0034】

第1層における矩形210及び215で表される構造は、全面堆積（例えば、化学気相堆積方法（CVD）、プラズマCVD、低圧CVD、電子層堆積（ALD）、スパッタ堆積、蒸着等の真空堆積方法、又は、スプレーコーティング、ディップコーティング、ブレードコーティング、メナスカスコーティング、スリットコーティング、押し出しコーティング、ペンコーティング、マイクロスポッティング、スピンコーティング等のコーティン

グ方法)によって、電子材料の層を形成するべく、形成されてもよい。そして、電子材料の層が、矩形210及び215に対応する回路構造(例えば、線又は島状構造)のセットを形成するべく、標準的なフォトリソグラフィ及びエッチング(例えば、異方性(ドライ又はプラズマ)エッチング、及び/又は、等方性(ウェット)エッチング)によってパターンニングされてもよい。

#### 【0035】

しかしながら、望ましくは、第1層の特徴210及び215の対応する構造は、基板上に電子インクを印刷することによって形成される。フォトリソグラフィによって規定された回路構造は、相対的に尖った縁及び角部、並びに、実質的に垂直な面を有する傾向がある。このようなフォトリソグラフィによって規定された構造上に電気的な機能を有する層を堆積する(全面堆積又は印刷によって)と、堆積された層に、不均一性、不連続性又はギャップが生じる場合がある。液状のインクを印刷することによって形成される構造の形状及び輪郭は、印刷プロセス条件の組み合わせによって、ある程度制御することができる。

10

#### 【0036】

レイアウトにおける対応する特徴の寸法にできる限り近い寸法を有する印刷適応形状に、電氣的にアクティブな構造(例えば、半導体、誘電体又は導体構造)の前駆体を含むインク合成物を印刷するためには、印刷されるインクが、その場に固定される又は動かないようにする必要がある。溶媒が蒸発するにつれ液体が固定されるというメカニズムが存在しなければ、液体は、印刷適応形状を有する構造を形成するのではなく、表面に1以上の球状の液滴を形成するまで後退する、又は、相対的に制御されない態様で拡がるという傾向がある。印刷された形状を保ち、印刷、乾燥及び/又は硬化後に、ドーム型及び/又は断面が滑らかな円形形状を有するような印刷構造を達成するように、インク粘度、インク接触角、溶媒蒸発速度、前駆体質量充填率、前駆体溶解度及び基板表面エネルギー等のパラメータを調整することができる。多くの場合、輪郭は、x軸及びy軸の両方向(水平及び鉛直方向)に滑らかに変化し、接続形態(topology)における急峻な遷移を回避することができる(例えば、それぞれ2008年10月1日、2008年5月2日及び2007年8月21日出願された米国特許出願第12/243,880,12/114,741号明細書(代理人整理番号:IDR1574,IDR1102及びIDR0982)を参照、これら公報の関連する部分が、参照により本明細書に組み込まれる)。これにより、従来のフォトリソグラフィによって規定されるプロセスでは容易に達成することができない、デバイスの高い信頼性を確保することができる。

20

30

#### 【0037】

例えば、ゲート又は金属配線のような回路要素が、従来のフォトリソグラフィでパターンニングされた構造の上に(例えば、電子インクを印刷することにより)堆積される場合、上に位置する回路要素が、従来の方法で形成された構造の鋭い縁又は角部に接触する位置にいて、リーク電流が発生することにより、電荷損失が起きる可能性がある。しかしながら、本願に開示されるように、滑らかな及び/又はドーム型の形状を有する構造を形成することにより、リーク電流を回避することができる。本発明の実施形態は、チャンネル(例えば、トランジスタの場合)又はその他の構造の上の、急峻に遷移する領域又は段部を交差しないゲート電極及びその他のパターンニングされた特徴を含む。多くの場合、本明細書に開示される半導体、誘電体及び導体構造の輪郭は、急峻な段に出合うことなく、滑らかな遷移が可能となるため、印刷プロセスでこのような構造の上に印刷された構造における不連続性を防ぐことができ、次に印刷される構造の段部をより完全に覆うことが可能となる。

40

#### 【0038】

本発明の印刷方法は、回路の一層に対応する数の特徴を形成するべく、1以上の電子前駆体を含む電子インク合成物を所定のパターン(例えば、線、正方形、矩形、円又は楕円のような、1以上の印刷適応形状を含むパターン)に印刷することを含む(2008年5月2日出願の米国特許出願第12/114,741号明細書、代理人整理番号IDR

50

1102を参照)。本発明における構造はまた、1以上のドーパント(N型及び/又はP型ドーパント)、及び/又は、1以上の誘電体又は半導体前駆体を含有するインク合成物を、所定の印刷適応形状に堆積又は印刷することによって形成されてもよい。本発明における電子インク合成物は、当技術分野で周知のあらゆる好適な堆積技術を使用して、基板上に堆積されてもよい。例えば、以下に説明するようなコーティング又は印刷によってインクを堆積させてもよい。本明細書に開示されるように、電子インク合成物を印刷する方法は、好ましくは、基板上に電子材料前駆体を含むインク合成物を、インクジェット印刷、グラビア印刷、スクリーン印刷、オフセット印刷、フレキソ印刷、シリンジ吐出、マイクロスポッティング、ステンシル、スタンプ、ポンプ吐出、レーザー転写、局所レーザーCVD及び/又はペンコーティングすることを含む。ここで、基板の所定の部分のみ(多くの場合、印刷適応形状に対応する)が、インク合成物で覆われる(2007年8月3日、2008年5月2日、2008年10月1日及び2009年7月24日にそれぞれ出願された米国特許出願第11/888,949、12/114,741、12/243,880及び12/509,351号明細書(代理人整理番号:IDR0742、IDR1102、IDR1574及びIDR0652)参照、これら明細書の関連する部分が参照により本明細書に組み込まれる)。

10

#### 【0039】

回路構造を形成するのに使用されるインク合成物は、多くの場合、(1)1以上の誘電体、半導体又は導体の前駆体、及び、(2)これら1以上の電子前駆体を可溶性溶媒を含む。誘電体、半導体又は導体の前駆体は、電子インク合成物の重量%で、約1%から99%(例えば、1%から40%、5%から25%又は上記範囲内におけるその他の値の範囲)の量で存在してもよい。電子インク合成物は更に、一般的に(これに限られないが)原則として、1以上の周知の半導体ドーパント原子(例えば、B、P、As又はSb)から構成される1以上のドーパントソースを含んでもよい。1以上のドーパントソースは、成分中に約0.00001~30重量%(又は、0.001~10重量%といった、この範囲内におけるその他の値の範囲)存在してもよい。誘電体、半導体又は導体の前駆体は、典型的には、約2cPから約100,000cP(例えば、約2cPから約100cP、約4cPから約50cP、約4cPから約25cP又は上記範囲内におけるその他の値の範囲)の粘度を提供するような量で存在する。インク合成物は更に、表面張力低減剤、潤滑剤、界面活性剤、結合剤、増粘剤、光開始剤等の1以上の周知の添加剤を(例えば、微量である、約0.01から10重量%、又は、この範囲内におけるその他の値の範囲で)含んでもよい。これらの添加剤は、基板にインクを固定又は印刷させるのを促進するべく、インクの粘度、表面張力、潤滑性、及び/又はその他のインクの特性を調整するのを助けてもよい(例えば、2008年5月2日出願の米国特許出願第12/114,741号明細書(代理人整理番号:IDR1102)参照、その関連する部分は、参照により本明細書に組み込まれる)。選択された堆積方法(例えば、インクジェット印刷、スクリーン印刷等)に適合するように、前駆体の量、及び、電子インクにおけるその他の成分を調整することができる。

20

30

#### 【0040】

電子インクは、1以上の半導体前駆体を含有する半導体インク合成物であってもよい。一実施形態において、半導体前駆体としては、直鎖、分岐、架橋、サイクリック又はポリサイクリックの(ポリ)シラン、(ポリ)ゲルマン、(ポリ)ゲルマシラン又は(ポリ)シラゲルマンのような第IVA(14)族元素前駆体(好ましくは、Si及び/又はGeの前駆体)(以下の記載では、これらを(ポリ)シランと総称する)、及び/又は、シリコン及び/又はゲルマニウムのナノ粒子を含む(2003年7月8日出願の米国特許出願第10/616,147号明細書(代理人整理番号:KOV-004)、2004年2月27日出願の米国特許出願第10/789,317号明細書(代理人整理番号:IDR0020)、2004年9月24日出願の米国特許出願第10/949,013号明細書(代理人整理番号:IDR0302)、2006年10月5日出願の米国特許出願第11/543,414号明細書(代理人整理番号:KOV-026)、2007年10月4日出

40

50

願の米国特許出願第 11 / 867, 587 号明細書 ( 代理人整理番号 : I D R 0884 ) 、及び、2008 年 5 月 2 日出願の米国特許出願第 12 / 114, 741 号明細書 ( 代理人整理番号 : I D R 1102 ) を参照、これら明細書の関連する部分は、参照により本明細書に組み込まれる。このような前駆体は、非晶質、水素化、微晶質、及び / 又は、多結晶の半導体膜を形成するのに有用である。

#### 【 0041 】

これに替えて、本発明のインク合成物は、( 有機 ) 金属化合物、錯体及び / 又はクラスター、1 以上の金属ナノ粒子、及び、これらの組み合わせといった 1 以上の金属前駆体を含む導電インクであってもよい。例えば、( 有機 ) 金属化合物、錯体、クラスター及びナノ粒子は、周知の化合物、錯体、クラスター、及び / 又は、金属のナノ粒子を含んでもよく、金属としては、アルミニウム、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、モリブデン、タングステン、マンガン、レニウム、鉄、ルテニウム、オスミウム、コバルト、ロジウム、イリジウム、ニッケル、パラジウム、プラチナ、銅、銀、金、亜鉛、カドミウム、ガリウム、インジウム、タリウム、スズ、鉛及びビスマスが挙げられ、より好ましくは、アルミニウム、チタン、ハフニウム、タンタル、モリブデン、タングステン、コバルト、ニッケル、パラジウム、プラチナ、銅、銀及び金が挙げられる ( 米国特許第 7, 294, 449 号公報、2008 年 5 月 2 日出願の米国特許出願第 12 / 114, 741 号明細書 ( 代理人整理番号 : I D R 1102 ) 、及び、2009 年 7 月 24 日出願の米国特許出願第 12 / 509, 351 号明細書 ( 代理人整理番号 : I D R 0652 ) を参照、これら明細書の関連する部分は、参照により本明細書に組み込まれる ) 。

#### 【 0042 】

本発明のインク合成物は、1 以上の誘電体前駆体、及び、半導体構造 ( 例えば、シリコンの線又は島形状構造等 ) のドーピングパターンに有用であると考えられるドーパント ( 例えば、1 以上の N 型又は P 型ドーパントを含む ) を含有してもよい。誘電体及びドーパントインク成分は、( ドープされた ) 誘電体膜を形成することができるシリカ、窒化シリコン、酸窒化シリコン、アルミン酸塩、チタン酸塩、チタノケイ酸塩、ジルコニア、ハフニア、セリア等の分子、有機金属、ポリマー及び / 又はナノ粒子のソースを含んでもよい ( 2008 年 5 月 2 日出願の米国特許出願第 12 / 114, 741 号明細書 ( 代理人整理番号 : I D R 1102 ) 、を参照、これら明細書の関連する部分は、参照により本明細書に組み込まれる ) 。例えば、誘電体前駆体は、シリコン及び酸素、並びに、必要に応じてドーパント原子の 1 以上のソース、例えば、ボロン ( B ) 、リン ( P ) 、ヒ素 ( As ) 及び / 又はアンチモン ( Sb ) を含む化合物を含んでもよい。これに替えて又はこれに加えて、誘電体前駆体は、シルセスオキサン、シロキサン、シラザン、シクロ ( O - Si H<sub>2</sub> )<sub>5</sub> のような酸化シランのような、重合又は沈殿によってケイ酸塩の誘電体を形成する化合物を含んでもよい。これに替えて、誘電体前駆体は、その他の誘電的に有効な材料源を含んでもよく、例えば、酸化ゲルマン、アルミン酸塩源 ( 例えば、トリメトキシアルミニウム又はトリエトキシアルミニウムのような Al<sub>2</sub>O<sub>3</sub> 源 ) 、チタン酸塩源 ( 例えば、テトラメトキシチタニウム又はテトラエトキシチタニウムのような TiO<sub>2</sub> 源 ) 、アルミノケイ酸塩源、チタノケイ酸塩源、ゲルマン酸源 ( 例えば、テトラメトキシゲルマニウム又はテトラエトキシゲルマニウムのような GeO<sub>2</sub> 源 ) 、ハフニア、ジルコニア、セリア等を含んでもよい。このような前駆体は、有機置換基を含有してもよく、例えば、アルキル基、アルコキシ基、アルキルアミノ基、アリール ( aryl ) 基、及び / 又はアリーロキシ ( aryloxy ) 基を含有してもよい。さらに、誘電体前駆体は、易酸化性の前駆体を含んでもよく、例えば、シラン、ゲルマン、ゲルマシラン、又は、シリコン、ゲルマニウム及微アルミニウム、セリウム、チタン、ハフニウム、ジルコニウム等の金属のナノ粒子、及び / 又は、このような元素及び / 又は金属の酸化物、窒化物及び / 又は酸窒化物が挙げられる。好適なシラン、ゲルマン及びゲルマシランについて ( 及びこれらを製造する方法 ) は、それぞれ 2003 年 7 月 8 日、2004 年 2 月 27 日、2004 年 9 月 24 日及び 2007 月 10 月 4 日出願の米国特許出願第 10 / 616, 147, 10 / 789, 317、

10

20

30

40

50



10 / 949, 013 及び 11 / 867, 587 号明細書、( 代理人整理番号: KOV - 004、IDR0020、IDR0302 及び IDR0884 ) に記載されており、これら明細書の関係する部分は、参照により本明細書に組み込まれる。

#### 【0043】

本発明のインク合成物内の溶媒は、インク合成物に相対的に高い安定性をもたらし、有益な粘性及び揮発性を提供するものであってもよい。( 例えば、インクジェット印刷の場合にはプリンタノズルの詰まりを防ぐのに十分な溶媒、印刷された又は被覆されたインクが相対的に低い温度及び比較的短時間で乾くような溶媒、及び / 又は、インク合成物から多くの場合容易に及び完全に除去することができる溶媒、2008年5月2日出願の米国特許出願第12 / 114, 741号明細書( 代理人整理番号: IDR1102 )、2009年7月24日出願の米国特許出願第12 / 509, 351号明細書( 代理人整理番号: IDR0652 参照、これら明細書の関係する部分は、参照により本明細書に組み込まれる。 ) 例えば、溶媒は、好ましくは、実施的にインクをプラテンに温度30 ~ 90 で印刷し、必要に応じて真空中で、温度30 ~ 200 で( 好ましくは、プラテンの温度異常の温度で ) 5 ~ 90 分加熱することにより、実質的に完全に取り除くことができる。溶媒は、インク合成物の0から99重量%で存在してもよい( 例えば、10から95重量%、50から90重量%、又は、上記範囲内におけるその他の値の範囲 )。これに替えて、溶媒を、スクリーン印刷に適したインク又はペースト( 例えば、約10, 000 cP から100, 000 cP の範囲の粘度を有するペースト ) を調合する、又は、グラビア印刷に適したインク( 例えば、約20 cP から約200 cP の粘性を有するインク ) を調合するの

10

20

#### 【0044】

多くの場合、電気的機能層又は絶縁層は、電子インク合成物( 例えば、1以上のドーブ又はドーブされていない、半導体、導体又は誘電体前駆体、及び、溶媒又は溶媒混合液、及び、必要に応じて上記したような1以上のその他の添加剤を含む ) を基板上に印刷することによって形成してもよい。あるいは、所定の印刷に適した形状を有する回路構造の既存のパターンを印刷し、電子インクを( 予め形成された ) 構造体上に印刷した後に、印刷された電子インクに処理を施すことにより、実質的にレイアウト内のパターンと共形の印刷された構造を形成することにより、電気的機能層又は絶縁層を形成してもよい。様々な実施形態において、インク合成物は、印刷工程の間及び / 又は後に、同時に及び / 又は続いて照射( 例えば、可視光、UV、IR 及び / 又は化学線によって ) されて、必要に応じて加熱されることにより、堆積されたインク合成物が基板上に、乾燥、オリゴマー化、重合化及び / 又は固定又は印刷される。方法は更に、印刷され、照射されたインクを加熱及び硬化することにより、前駆体を重合化、及び / 又は、パターンニングされた電気機能層を形成する工程を備えてもよい。このように、印刷に適した形状を有する回路構造を、レイアウトにおける特徴に対応するように基板( 基板自身が、印刷に適した形状を有する構造を含む ) 上に構造を形成するべく、電子インク合成物を堆積( 例えば、印刷又は被覆 ) して、堆積したインクを照射及び / 又は加熱して、インクを硬化することにより形成することができる。

30

#### 【0045】

本明細書に記載される回路は、あらゆる好適な基板の上に形成することができる。基板は、多くの場合、電気的に非アクティブ又はアクティブにすることができ、1以上の所定の物理的、電気的及び / 又は光学的特性を有する機械的な支持構造を備える。電気的に非アクティブ又はアクティブにすることができる好適な基板としては、ガラス又はその他セラミックの板、ディスク、シート又はスリップ( 例えば、ディスプレイ型のガラス、水晶、アモルファス二酸化シリコン等 )、誘電体及びプラスチックシート又はディスク( 例えば、ポリカーボネートシート、ポリイミド又はポリエチレンシート等の透明なプラスチック )、これらの積層体等が挙げられる。これに替えて、導電性を有する好適な基板としては、半導体ウェハ又はディスク( 例えば、シリコンウェハ )、金属ディスク、膜、シート、スラブ又は箔等が挙げられる。上記に列挙した基板の何れも、1以上のバッファ層、バ

40

50

ッシベーション層、平坦化層、機械的支持層及び／又は絶縁層を更に備えてもよい。例えば、バッファ層、平坦化層及び／又は絶縁層は、ポリイミド又はその他ポリマーの層又はシート、二酸化シリコン及び／又は酸化アルミニウム等を含んでもよい。好適な基板については、同時係属の2007年8月3日出願の米国特許出願第11/888,949号明細書（代理人整理番号：IDR0742）、2008年5月2日出願の米国特許出願第12/114,741号明細書（代理人整理番号：IDR1102）、2008年10月1日出願の米国特許出願第12/243,880号明細書（代理人整理番号：IDR1574）、及び、2009年7月24日出願の米国特許出願第12/509,351号明細書（代理人整理番号：IDR0652）に詳細に記載されており、これら明細書の関係する部分は、参照により本明細書に組み込まれる。更なる実施形態では、基板表面のインク合成物の振る舞いを調整及び改善するべく、基板をその他の化合物で処理することができる。基板の表面エネルギーを調整して、基板と印刷されたインクとの接触角（例えば、 $0^{\circ}$ から $15^{\circ}$ ）を最適化することにより、基板上に印刷されたインクから形成される回路特徴の外形及び寸法を制御及び改善してもよい。特徴又はラインの幅を微調整するのに、この接触角を利用することができる。（2008年5月2日出願の米国特許出願第12/114,741号明細書（代理人整理番号：IDR1102）参照、明細書の関係する部分は、参照により本明細書に組み込まれる。）

10

#### 【0046】

図3Bのレイアウトには、特徴220、222、224及び226の第1セット及び特徴230、232及び234の第2セットを含む第2層が示されている。特徴の第1セットの個別の特徴220、222、224及び226はそれぞれ、第1層の特徴210に対して垂直又は平行な方向に形成される。同様に、特徴の第2セットの個別の特徴230、232及び234はそれぞれ、第1層の特徴215に対して垂直又は平行な方向に形成される。特徴は、電子インク印刷技術に適応した形状及び寸法を有する。第2層における特徴の長さ及び幅は、 $1\mu\text{m}$ から $10,000\mu\text{m}$ （例えば、 $5\mu\text{m}$ から $5000\mu\text{m}$ 、 $10\mu\text{m}$ から $2500\mu\text{m}$ 、又は、上記範囲内におけるその他の値の範囲）であってもよい。一例では、特徴220、222、224及び226は、ゲート電極構造に対応し、約 $0.01\mu\text{m}$ から $500\mu\text{m}$ （例えば、 $1\mu\text{m}$ から $200\mu\text{m}$ 、 $10\mu\text{m}$ から $100\mu\text{m}$ 、又は、上記範囲内におけるその他の値の範囲）の幅（例えば、図3Bにおける水平方向寸法）、及び、約 $1\mu\text{m}$ から $5000\mu\text{m}$ （例えば、 $10\mu\text{m}$ から $2500\mu\text{m}$ 、 $50\mu\text{m}$ から $1000\mu\text{m}$ 、又は、上記範囲内におけるその他の値の範囲）の長さ（例えば、図3Bにおける垂直方向寸法）を有してもよい。また、特徴230、232及び234は、分離（アイソレーション）機能を提供する構造に対応していてもよく、特徴230、232及び234は、下に位置する半導体構造（例えば、矩形210及び215に対応する構造）の部分を実質的に非ドープ状態に保つのに十分な幅及び／又は長さを有し、それにより、特徴230、232又は234の一方の側における矩形210又は215に対応する構造の領域を、特徴230、232又は234の反対側における矩形210又は215に対応する構造の領域から分離することができる。このような実施形態において、特徴230、232及び234に対応する構造は、電氣的にその他の導電構造の何れとも接続されていない、又は、下に位置する構造（例えば、矩形210又は215に対応する構造）において形成されるトランジスタを恒久的にOFFにする電位に伝記的に接続されている。

20

30

40

#### 【0047】

第2層における特徴のセット内の特徴間の距離、及び、特徴の第1セット内の構造と第2セット内の構造との間の距離は、印刷に適応している必要があり、電子インクを印刷することにより回路が形成されるプロセスの間に、印刷された構造が重なったり、ショートが発生したりするのを防ぐのに十分な距離とする必要がある。隣接する第1層の特徴（例えば、矩形210及び215）の上に位置する隣接する第2層の特徴間（例えば、特徴220及び230）の最小離間距離は、約 $0.1\mu\text{m}$ から $100\mu\text{m}$ （例えば、 $1\mu\text{m}$ から $80\mu\text{m}$ 、 $2\mu\text{m}$ から $50\mu\text{m}$ 、又は、少なくとも約 $0.1\mu\text{m}$ のその他の値）であってもよい。インクジェットプリンタを使用して電子インクを印刷することによって構造を形

50

成するよう設計された実施形態では、最小特徴間離間距離は、少なくとも、最小寸法単位（例えば、 $20\text{ }\mu\text{m}$ から $100\text{ }\mu\text{m}$ の直径、一例では、約 $30\text{ }\mu\text{m}$ の直径を有するドット又はピクセル）の1つ分又は2つ分である。

#### 【0048】

図3Bに示す、特徴の第1層及び第2層を含むレイアウトは、回路の第1層及び第2層の上に形成される付加印刷層に適応している。図3Cに示すレイアウトは、第1層及び第2層の上に、1以上の付加層を含んでもよく、付加層は、本明細書に記載するような電子インク印刷技術によって形成される。例えば、図3Cには、平行に配置された第1特徴240及び第2特徴245を含む第3レイアウトの実施形態が示されている。望ましくは、第1特徴240は、第1レイアウトの特徴210及び第2レイアウトの特徴220、222及び230と完全に重なっており、第2特徴245は、第1レイアウトの第2特徴215及び第2レイアウトの特徴224、226、232及び234と完全に重なる。この実施形態において、第3レイアウトの特徴240及び245はそれぞれ、第1及び第2ドーブ誘電体に対応している。第1及び第2ドーブ誘電体は、同じ又は異なる種類及び/又は導電率を有する同じドーパント又は異なるドーパントを含有してもよい。これに替えて、第3層は、図3Bの第1層及び第2層上に形成された層間誘電体層又はその他の回路層（例えば、金属シリサイドゲートを形成するための金属層）を含んでもよい。

10

#### 【0049】

図4に示すように、ドーブされた誘電体240/245からのドーパントを、図3A及び3Bに示した特徴210及び215に対応する下に位置する構造へと拡散させた後、ドーパントが活性化されて（例えば、レーザー照射又は熱エネルギーによって）、様々なMOSトランジスタが形成される。例えば、ドーブされた誘電体240が、第1型のドーパント（例えば、N型）を有し、ドーブされた誘電体245が、対になる第2型のドーパント（例えば、P型）を有する場合、第1導電型を有するソース/ドレイン端子350S、350D、352S及び352D、及び、ソース/ドレイン端子350S、350D、352S及び352Dとは異なる第2導電型を有するソース/ドレイン端子354S、354D、356S及び356Dが形成される。図4に示すように、4つの薄膜CMOSトランジスタが形成される。

20

#### 【0050】

##### [プリント回路例]

30

上記のプリント回路は、基板上に所定のパターンで、電子インクを印刷することにより又は従来の堆積、フォトリソグラフィ及び等方性/異方性エッチング技術により形成される回路構造の第1層を含む。上記で説明したように、回路構造の第1層は、所定の間隔を有する印刷に適応した形状の所定のパターンに形成されてもよい。回路構造の第1層は、半導体、導体及び/又は誘電体材料を含んでもよい。様々な実施形態において、回路構造の第1層は、半導体層（例えば、シリコン、ゲルマニウム、GaAs、ZnS、CdSe、SiC、金属酸化物等）、又は、導電層（例えば、金属層）を、本明細書に記載するように基板上に含む。

#### 【0051】

第1層における構造は、1以上の印刷適応形状を有してもよく、個々の印刷適応形状は、同じであっても異なってもよい。第1回路層の構造は、半導体材料の線又は矩形を含んでもよく、半導体材料の例としては、ドーブされた又はドーブされていないアモルファスシリコン（水素化されていてもよい）、微晶質シリコン、ポリシリコン、ゲルマニウム、ガリウム砒素、その他の化合物半導体（InP、ZnS、CdSe等）、金属カルコゲニド半導体（例えば、CdTe、CdSeTe、ZnSe、ZnS等）又はこれらの組み合わせが挙げられる。これに替えて、第1回路層は、導電性材料からなる線又は矩形を含んでもよい。導電性材料の例としては、アルミ、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、モリブデン、タングステン、マンガン、レニウム、鉄、ルテニウム、オスミウム、コバルト、ロジウム、イリジウム、ニッケル、パラジウム、プラチナ、銅、銀、金、亜鉛、カドミウム、ガリウム、インジウム、タリウム、ス

40

50

ズ、鉛及びビスマス、又は、合金、又はこれらの組み合わせが挙げられる。ある実施形態では、導電性材料として、アルミニウム、チタン、ハフニウム、タンタル、モリブデン、タングステン、コバルト、ニッケル、パラジウム、プラチナ、銅、銀及び金、又は、合金、又はこれらの組み合わせを含んでもよい。第1回路層は、ドーブされた又はドーブされていない誘電体材料（上記で示した誘電体材料の例を参照）を含む矩形、正方形、楕円又は円を含んでもよい。

#### 【0052】

ある実施形態では、回路は、電子インクを基板上に印刷することによって形成されてもよい。回路構造をこの方法で形成することにより、従来の技術によって形成された構造よりも相対的に大きな寸法を有し（例えば、 $1\mu\text{m}$ から $10,000\mu\text{m}$ 、 $10\mu\text{m}$ から $5000\mu\text{m}$ 、又は、上記範囲内におけるその他の値の範囲）、ドーム型の断面形状を有する構造が形成されてもよい。（例えば、2008年5月2日出願の米国特許出願第12/114,741号明細書（代理人整理番号：IDR1102）、2008年10月1日出願の米国特許出願第12/243,880号明細書（代理人整理番号：IDR1574）、及び、2009年7月24日出願の米国特許出願第12/509,351号明細書（代理人整理番号：IDR0652）参照、これら明細書の関係する部分は、参照により本明細書に組み込まれる。）印刷された構造がドーム型の断面形状を有する場合、対応するレイアウトの特徴が矩形形状であったとしても、印刷された構造は丸みを帯びた端部（したがって、実質的に楕円形状）を有してもよい。

#### 【0053】

本発明の回路は、2又は3層に限定されず、典型的な集積回路のように、10、12以上の層を含んでもよい。本明細書に記載された例は、単純化及び明瞭化のために、少ない数の層に限定されている。例えば、特定の集積回路（IC）は、更なる層を含んでもよく、例えば、上記した回路要素における構造（例えば、キャパシタ、ダイオード、トランジスタ等）として好適な半導体島状構造の層と同様な平行な半導体線/矩形の層、層間絶縁層（例えば、スピンオン誘電体、印刷された誘電体、CVDによって堆積された誘電体等を含む）、及び/又は、上記した導体層及び誘電体層と同様な薄膜回路における配線及び/又はコンタクト構造に適した平行な導体線/矩形と層間絶縁層とを交互に配置した1以上の層（多くの場合、下に位置する（半）導体構造の部分を露出させる複数のコンタクトホールを有する）を含んでもよい。このような付加層は、（本明細書に記載されたような）印刷、又は、全面堆積、フォトリソグラフィ及びエッチングにより形成されてもよい。図3A～3Cに示される回路層の上に形成される構造は、多くの場合、層間絶縁層に設けられた導電コンタクトスルーホールを介して、図3A～3Cの（半）導体層と接続される。

#### 【0054】

図5には、（フォト）リソグラフィによって規定された構造及び印刷による構造の両方を組み込んだリードオンリーメモリ回路（例えば、ROM）の回路設計400が示されている。この実施形態は、従来の方法で形成され、印刷に適応した形状（例えば、矩形）を有するパッド構造を表す、フォトリソグラフィによって規定された構造410a-c、415a-c、412a-c及び417a-cを含む。410a-c及び415a-c、及び、構造412a-c及び417a-cは、隣接した組（対）として配置されている（例えば、410aと415a）。別の実施形態では、構造410a-c、415a-c、412a-c及び417a-cは、異なる印刷適応形状を有する印刷された構造であってもよい。隣接した構造の組（例えば、構造410a及び415a）は、隣接する構造を電氣的に分離（アイソレート）する距離（例えば、 $0.01\mu\text{m}$ から $100\mu\text{m}$ 、 $0.1\mu\text{m}$ から $50\mu\text{m}$ 、 $1\mu\text{m}$ から $20\mu\text{m}$ 又は上記範囲内におけるその他の値の範囲）で互いに離間されて配置されてもよい。図5の実施形態では、回路400は、電子インクが、指定された隣接する構造の組（例えば、構造410aと415a、又は、構造432bと437b）の上に印刷可能なように設計されており、構造420、422が互いに重なって、隣接する構造両方に電氣的に接触するようにしている。

## 【 0 0 5 5 】

印刷の位置合わせ及び分解能の制約を考慮して、メモリアレイのレイアウトのピッチ及びサイズは、一般的に、電子インク印刷技術の分解能に適応する十分な大きさの構造に限定される。このように、隣接する構造 4 1 0 a - c、4 1 5 a - c、4 1 2 a - c 及び 4 1 7 a - c は、その上に印刷により形成されて隣接する構造を電氣的に接続する構造の全面積が収まるように、十分な大きさを有する必要がある。構造 4 1 0 a - c、4 1 5 a - c、4 1 2 a - c 及び 4 1 7 a - c は、約 0 . 1  $\mu$ m から 5 0 0  $\mu$ m の範囲（例えば、1  $\mu$ m から 2 5 0  $\mu$ m、1 5  $\mu$ m から 1 5 0  $\mu$ m 又は上記範囲内におけるその他の値の範囲）の幅及び長さを有してもよく、又は、構造 4 1 0 a - c、4 1 5 a - c、4 1 2 a - c 及び 4 1 7 a - c が円形である場合には、上記のような範囲の直径を有してもよい。

10

## 【 0 0 5 6 】

図 5 の回路設計 / レイアウトは、印刷された電子インクを使用してメモリ回路をプログラムするメモリ回路に適応している。例えば、図 5 には、構造の隣接する組の上に、電子インクを選択的に印刷することによりプログラミングが達成されるような、予めプログラムされたメモリアレイが示されている。例えば、銀のインクが、位置 4 2 0 及び 4 2 2 に選択的に印刷されて、図 5 の構造 4 1 0 a - 4 1 5 a 及び 4 1 2 b - 4 1 7 b によって規定される開回路を短絡させている。電子構造 4 2 0 は、（フォトリソグラフィ及びエッチングによって形成されてもよい）トランジスタ 4 3 0 a と共に隣接する構造 4 1 0 a 及び 4 1 5 a を電氣的に接続して、ワード線 4 4 2 及びビット線 4 5 2（それぞれ、（i）フォトリソグラフィ及びエッチング、又は、（i i）印刷によって形成されてもよい）は、プログラムされるビット（例えば、2 進数の " 0 " ステート）を表し、印刷構造が上に形成されていないことから、変更されていない（例えば、2 進数の " 1 " ステート）プログラムされていないビット（例えば、隣接する構造 4 1 0 b 及び 4 1 5 b）も残される。

20

## 【 0 0 5 7 】

プログラム可能構造 4 1 0 a - c、4 1 5 a - c、4 1 2 a - c 及び 4 1 7 a - c の下に、相対的に高い分解能の回路構造及びセル（例えば、トランジスタ 4 3 0 a - c 及び 4 3 2 a - c）を含む実施形態では、メモリアレイ 4 0 0 における構造のサイズは、利用可能な空間が大きくなる場合がある。高分解能の回路の間のスペースを利用することにより、行のドライバ回路ブロック 4 4 0、ビット線検出回路ブロック 4 5 0、及び、行及び列デコードのようなその他の回路を収容することができ、メモリをプログラムするのに低い分解能の印刷の利用を可能とすると同時にスペースを節約することができる。ある実施形態では、回路設計は、印刷に適応した形状を有する複数の層及び 1 以上の従来技術による層（例えば、フォトリソグラフィ及び / 又はコンピュータ支援設計ソフトウェアによって規定される形状を有する層）を含んでもよい。同様に、本発明の方法は、印刷に適応した形状を有する複数の層を印刷する段階と、従来の処理（例えば、フォトリソグラフィのパターニング、露光及びエッチング）による 1 以上の付加層の形成段階を含む。

30

## 【 0 0 5 8 】

[ ソフトウェア、コンピュータ可読媒体及び電子表現の例 ]

本発明はまた、回路における 1 以上の構造的層を設計するよう構成された汎用コンピュータ又は周知のデジタル信号プロセッサを備えるワークステーションで実行可能及び / 又は実装可能なアルゴリズム、コンピュータプログラム及び / 又はソフトウェアを含む。本発明の更なる側面は、回路レイアウトにおける構造を配置する方法及びソフトウェアに関する。例えば、方法は更に、適切な処理装置（例えば、マイクロコントローラ、マイクロプロセッサ又は DSP デバイスのような信号処理装置）によって実行されると上記の記載に従ったレイアウトを生成する命令セットを収容するコンピュータプログラム又はコンピュータ可読媒体に関する。

40

## 【 0 0 5 9 】

例えば、命令は、回路の第 1 層における第 1 構造のセットに対応する第 1 の複数の特徴を配置する 1 以上の命令を含んでもよい。第 1 の複数の特徴の各々は互いに独立して、設計規則のセットに一般的に従って、第 1 の複数の特徴におけるその他の特徴の方向と平行

50

又は垂直な方向を有する第 1 印刷適応形状で構成されている。設計規則としては、例えば、最小幅、最小及び／又は最大長さ、最小特徴間距離、厚み、断面局率、又は、接触角、プリンタの最小グリッド寸法等が挙げられる。ある実施形態では、第 1 層は、印刷された構造に対応する特徴によって構成される。命令は更に、印刷された回路の第 2 層における印刷された構造のセットに対応する第 2 の複数の特徴を配置する 1 以上の命令を含んでもよい。第 2 の複数の特徴の各々は互いに独立して、第 1 の複数の特徴におけるその他の特徴の方向及び第 2 の複数の特徴におけるその他の特徴の方向と平行又は垂直な方向を有する第 2 印刷適応形状で構成されている。第 2 の複数の特徴は概して、同じパラメータ（構造に対する最小及び／又は最大寸法、最小特徴間距離等）について規定する設計規則のセットに従って配置されているが、パラメータの値は、第 1 の複数の特徴に対する設計規則とは異なった値を有していてもよい。本明細書に記載するように、印刷適応形状は、矩形、正方形、線、円及び楕円からなる一群から選択されてもよい。

10

#### 【0060】

コンピュータプログラムは、あらゆる種類の可読媒体上に存在してもよく、コンピュータ可読媒体は、フロッピー（登録商標）ディスク、CD-ROM、磁気テープ又はハードディスクドライブのような、媒体を読み出し媒体に格納されたコードを実行可能な処理装置によって読み出されるあらゆる有形媒体を含んでもよい。このようなコードとしては、オブジェクトコード、ソースコード及びバイナリコードが含まれてもよい。

#### 【0061】

回路レイアウトのプログラム又は電子的表現は、適切な媒体を介した伝送に適するよう構成されていてもよい。媒体の例としては、銅線、標準的なツイストペア線、標準的なネットワークケーブル、標準的な光学データ伝送ケーブル、又は、無線、又は、無線信号伝送のための真空（例えば、大気圏外）が挙げられる。本発明のプログラム又は回路レイアウトの電子表現を実装するコードは、デジタルであってもよく、通常は、標準的なデジタルプロセッサ（例えば、マイクロプロセッサ、マイクロコントローラ、又は、プログラマブルゲートアレイ、プログラマブルロジック回路／デバイス、又は、アプリケーション固有〔集積〕回路）によって処理されるように構成されている。

20

#### 【0062】

##### 〔結論／概要〕

本発明の実施形態は、電子インクを印刷することによって回路を形成する方法及び印刷によって形成された回路要素に適応した回路レイアウトに関する。本発明の更なる実施形態は、このようなレイアウト（及び、電子インクを印刷することによって形成されてもよいレイアウト）を使用して形成された回路要素を含む電子回路に関する。様々な半導体、導体、誘電体及びドーパント（電子）インクを、本発明に従って様々な基板に印刷することができる。従来のレイアウトを使用してこのような電子インクを印刷しようとしても、多くの場合、従来のレイアウトにおける特徴のフォトリソグラフィで達成できるような最小寸法で印刷を行うことはできない。そして、不規則な形状及び／又はレイアウトで印刷されたインクは、液相の物理的現象による悪影響（例えば、拡散、下に位置する表面的特徴に沿ったウィッキング、表面張力効果による水滴化等により、理想的な／目的とするパターンから外れてしまう）を受ける場合がある。印刷適応回路レイアウト及び電子インクを使用した電子製品の製造の開発により、従来の相対的に無駄が多く、効果及び／又は時間の掛かる（フォトリソグラフィ技術と比較して、より効率的及び経済的に電子デバイスを製造することができる。

30

40

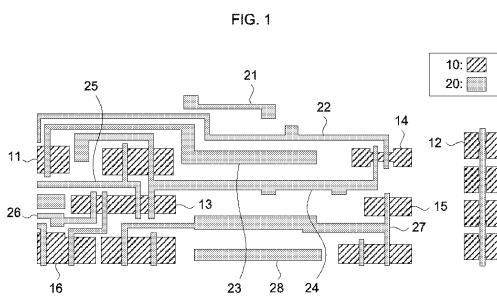
#### 【0063】

上記には、発明の特定の実施形態を例示及び説明する目的で、これら実施形態が示されている。上記の実施形態は、本発明を開示された形式に正確に限定することは意図しておらず、様々な改良例及び変形例が、上記で教示されるところから可能であることは明らかである。上記の実施形態は、本発明の原理及び実際の適用例を、当業者が発明及び様々な変形例を伴う様々な実施形態を利用可能及び特定の利用を想定して適応するように、説明するために選択及び記載されている。本発明の範囲は、添付の特許請求の範囲及びその均

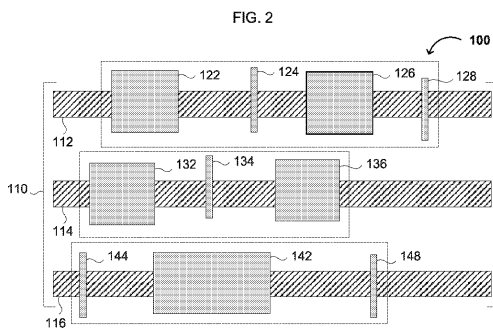
50

等物によって規定されることを意図している。

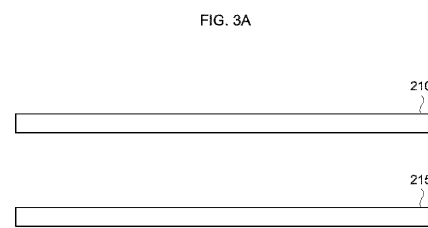
【図 1】



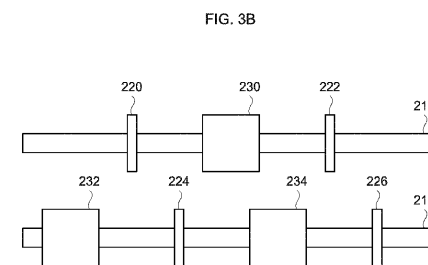
【図 2】



【図 3 A】



【図 3 B】







## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2010/044598

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(8) - H03K 17/693 (2010.01) USPC - 716/15 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC(8) - G06F 17/50; H03K 17/693 (2010.01) USPC - 716/2, 15, 21 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) USPTO Website, MicroPatent, Google Patents		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/0022149 A1 (SMITH et al) 27 January 2005 (27.01.2005) entire document	1-17 and 19-26
Y		18
Y	US 2004/0221255 A1 (PIERRAT et al) 04 November 2004 (04.11.2004) entire document	18
A	US 2004/0111682 A1 (GOPALAKRISHNAN et al) 10 June 2004 (10.06.2004) entire document	1-26
A	US 2008/0245556 A1 (BIRD et al) 09 October 2008 (09.10.2008) entire document	1-26
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 September 2010		Date of mailing of the international search report <b>07 OCT 2010</b>
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Blaine R. Copenheaver PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774

Form PCT/ISA/210 (second sheet) (July 2009)

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 サブラマニアン、ヴィヴェック

アメリカ合衆国, カリフォルニア州, ミルピタス, サウス ヒルヴュー ドライヴ 2 3 3  
コヴィオ インコーポレイテッド内

(72)発明者 クレヴェランド、リー

アメリカ合衆国, カリフォルニア州, ミルピタス, サウス ヒルヴュー ドライヴ 2 3 3  
コヴィオ インコーポレイテッド内

F ターム(参考) 5E338 AA02 AA03 CC01 CC04 CC06 CD13 CD14 CD24 EE13 EE33  
5E346 AA12 AA15 AA32 AA38 BB02 BB04 BB06 BB20 DD02 DD13  
FF23 GG19 HH03 HH22