

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 1 月 30 日(30.01.2014)



(10) 国際公開番号
WO 2014/017240 A1

- (51) 国際特許分類:
G01D 5/12 (2006.01) *G01L 19/12* (2006.01)
G01L 9/00 (2006.01) *G01R 19/165* (2006.01)
- (21) 国際出願番号: PCT/JP2013/067431
- (22) 国際出願日: 2013 年 6 月 26 日(26.06.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-164295 2012 年 7 月 25 日(25.07.2012) JP
- (71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.)
[JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5
2 0 番地 Ibaraki (JP).
- (72) 発明者: 松本 昌大(MATSUMOTO Masahiro); 〒
3191292 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内 Ibaraki
(JP). 中野 洋(NAKANO Hiroshi); 〒3191292 茨城
県日立市大みか町七丁目 1 番 1 号 株式会社
日立製作所 日立研究所内 Ibaraki (JP). 半沢 恵
二(HANZAWA Keiji); 〒3120062 茨城県ひたちなか
市高場 2 4 7 7 番地 株式会社 日立カーエン
지니어リング内 Ibaraki (JP). 浅野 哲(ASANO
Satoshi); 〒3191292 茨城県日立市大みか町七丁目

1 番 1 号 株式会社 日立製作所 日立研究所
内 Ibaraki (JP).

(74) 代理人: 井上 学, 外(INOUE Manabu et al.); 〒
1008220 東京都千代田区丸の内一丁目 6 番 1 号
株式会社 日立製作所内 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SENSOR DEVICE

(54) 発明の名称: センサ装置

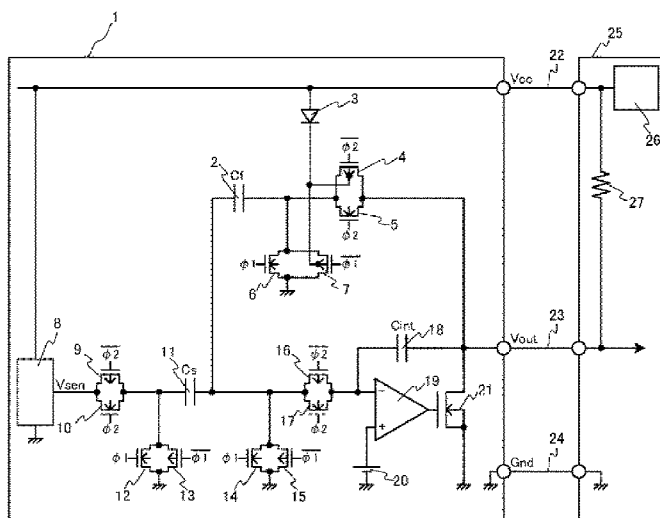


図 1

(57) Abstract: In the sensor devices of the prior art, when a power supply line or ground line is cut, the output voltage of a sensor device is fixed at an intermediate potential without being fixed at a power supply voltage or a ground potential. A sensor device (1) is constituted by: a detection element (8) in which a voltage (V_{sen}) varies in response to a detected physical quantity; an output circuit constituted by MOS switches (4 to 6, 7, 9, 10, 12 to 17), capacitors (2, 11, 18), an operational amplifier (19), a reference voltage source (20), and an output NMOS transistor (21); a series circuit of a MOS switch (4) and a capacitor (2), which are positioned on a negative feedback section of the output circuit; and a diode (3) connecting a well electrode of the MOS switch 4, and a power supply terminal (V_{cc}).

(57) 要約: 従来のセンサ装置では電源ラインやグラウンドラインが断線した時にセンサ装置の出力電圧が電源電圧あるいはグラウンド電位に固定されずに中間電位に固定されることがあった。センサ装置 1 を、検出物理量に応じて電圧 V_{sen} が変化する検出素子 8 と、MOS スイッチ 4 ~ 6, 7, 9, 10, 12 ~ 17 とコンデンサ 2, 11, 18 と演算増幅器 19 と基準電圧源 20 と出力 NMOS トランジスタ 21 とによって構成される出力回路と、出力回路の負帰還部に配置した MOS スイッチ 4 とコンデンサ 2 との直列回路と、MOS スイッチ 4 のウェル電極と電源端子 V_{cc} とを接続するダイオード 3 とによって構成する。

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： センサ装置

技術分野

[0001] 本発明はセンサ装置に係り、特に電源断線時に出力電圧を電源電圧あるいはグラウンド電位に固定するセンサ装置に関する。

背景技術

[0002] センサ装置の従来例には特開 2 0 0 4 - 2 9 4 0 6 9 号公報（特許文献 1）に記載された物理量センサ装置などがある。

[0003] 特許文献 1 に記載されている従来技術では電源ラインの断線や接触不良を電源電圧の低下により検出し、電源電圧が低下した時には出力トランジスタをオフにすることでセンサ出力を電源ラインの電位に固定するように構成されている。これにより、電源ラインの断線や接触不良などの故障判定を可能にしている。

先行技術文献

特許文献

[0004] 特許文献1：特開 2 0 0 4 - 2 9 4 0 6 9 号公報

発明の概要

発明が解決しようとする課題

[0005] 上記従来技術では抵抗型の検出素子や CMOS プロセス集積回路への適用に関して配慮が欠けていた。

[0006] 図 3 は上記従来技術を抵抗型の検出素子に適用した場合の構成を示す。本構成ではセンサ装置 2 8 に対して制御装置 4 0 から電源ライン 3 7 とグラウンドライン 3 9 を介して電源が供給され、出力ライン 3 8 を介してセンサ出力電圧が制御装置 4 0 へ送られる。制御装置 4 0 にはセンサ装置 2 8 へ定電圧を供給する定電圧源 4 1 と、出力ライン 3 8 と定電圧源 4 1 との間に接続されたプルアップ抵抗 4 2 とが配置されている。センサ装置 2 8 には抵抗型の検出素子 2 9 が配置され、検出物理量に応じて抵抗値の変化する抵抗 3 0、

31があり、検出物理量に応じて電圧 V_{sen} が変化する。電圧 V_{sen} は抵抗32、33、増幅器34、基準電源35、出力トランジスタ36によって構成される出力回路によって増幅され、出力端子 V_{out} 、出力ライン38を介して制御装置40へ出力される。本構成において電源ライン37が断線した場合、出力端子 V_{out} の電圧は抵抗31、32、33とプルアップ抵抗42とによる分圧電圧で決まる。つまり、出力端子 V_{out} の電圧は電源電圧あるいはグランド電位には固定されず、中間電位（センサ装置が正常な時に出力する電圧範囲）となってしまう。制御装置40では出力端子 V_{out} の電圧が電源電圧あるいはグランド電位に固定された場合、センサ装置28が故障したと判断することができるが、図3の構成では電源ライン37が断線した場合、出力端子 V_{out} の電圧は電源電圧あるいはグランド電位には固定されず、中間電位となってしまうので、電源ライン37の断線を検出できない可能性がある。つまり、本構成では検出素子28が抵抗型の検出素子の場合に不都合が生じてしまう。

[0007] 図4は図3で示した構成の前段にCMOS増幅回路43が接続された場合の構成を示す。なお、図4ではCMOS増幅回路43の内部構成に関して出力段にあるPMOSTランジスタ44とNMOSTランジスタ45のみを示した。本構成において電源ライン37が断線した場合、定電圧源41の電圧がプルアップ抵抗42、抵抗33、抵抗32、PMOSTランジスタ44のドレイン電極からウエル電極を介して電源端子 V_{cc} へ供給されることで、センサ装置28に電源を供給してしまう。この電源はプルアップ抵抗42、抵抗33、抵抗32を介して流れるため電源としては抵抗が高く、且つ、PMOSTランジスタ44のドレイン電極からウエル電極を介して流れるのでPN接合による電圧降下を生じる。この為、センサ装置28には不完全な電源が供給されることになり、出力端子 V_{out} の電圧に不完全な電圧が生じる。つまり、本構成では電源ライン37が断線した場合、出力端子 V_{out} の電圧は電源電圧あるいはグランド電位には固定されず、不完全な電圧（センサ装置が正常な時に出力する電圧範囲内で、非常に大きな誤差を持つ電圧）

となってしまうので、電源ライン 37 の断線を検出できない可能性がある。

[0008] 本発明は上記事情に鑑みてなされたものであり、その目的は電源ラインが断線した時にセンサ装置の出力電圧を電源電圧あるいはグランド電位に確実に固定できるセンサ装置を提供することにある。

課題を解決するための手段

[0009] 上記課題を解決するために、本発明はセンサ出力電圧を生成する出力回路の負帰還部に MOS スイッチとコンデンサの直列回路を配置し、前記 MOS スイッチのウエル電極にダイオードとして働く素子を接続したのものである。

発明の効果

[0010] 本発明によれば、センサ装置の電源ラインあるいはグランドラインが断線した場合に、センサ装置の出力電圧を電源あるいはグランド電位に確実に固定できる。この為、本センサ装置を使用した制御装置において本センサ装置の故障を検出可能になるので、本センサ装置を使用した制御システムのフェールセーフを確保できる。

図面の簡単な説明

[0011] [図1]第1の実施例のセンサ装置の回路構成

[図2]クロック信号 $\phi 1$ 、 $\phi 2$ のタイミングチャート

[図3]従来技術を抵抗型の検出素子に適用した場合の構成

[図4]図3で示した構成の前段に CMOS 増幅回路 43 が接続された場合の構成

[図5]第2の実施例のセンサ装置の回路構成

[図6] PMOS トランジスタ 46 の断面構造

[図7]第3の実施例のセンサ装置の回路構成

[図8]第4の実施例のセンサ装置の回路構成

[図9]第5の実施例のセンサ装置の回路構成

発明を実施するための形態

[0012] 以下、本発明の実施の形態について、図面を参照して説明する。

[0013] まず、本発明の第１の実施例であるセンサ装置を図１、２により説明する。なお、図１は第１の実施例のセンサ装置の回路構成、図２はクロック信号 $\phi 1$ 、 $\phi 2$ のタイミングチャートである。

[0014] 本実施例のセンサ装置１は制御装置２５から電源ライン２２とグラウンドライン２４を介してセンサ装置１の電源端子 V_{cc} とグラウンド端子 Gnd へ電源が供給され、出力端子 V_{out} から出力ライン２３を介してセンサ出力電圧が制御装置２５へ送られる。制御装置２５にはセンサ装置１へ定電圧を供給する定電圧源２６と、出力ライン２３と定電圧源２６との間に接続されたプルアップ抵抗２７とが配置されている。センサ装置１には検出素子８が配置され、検出物理量に応じて電圧 V_{sen} が変化する。なお、検出素子８には圧力センサ、加速度センサ、角速度センサ、空気流量センサなどが用いられる。また、図２に示すクロック信号 $\phi 1$ 、 $\phi 2$ によって制御される MOS スイッチ４、５、６、７、９、１０、１２、１３、１４、１５、１６、１７と、コンデンサ２、１１、１８と、演算増幅器１９と、基準電圧源２０と、出力 $NMOS$ トランジスタ２１によって構成される SWC （スイッチド・キャパシタ）回路とによって構成される出力回路は、電圧 V_{sen} を増幅して、出力端子 V_{out} 、出力ライン２３を介して制御装置２５へ出力する。また、本出力回路では負帰還部に MOS スイッチ４とコンデンサ２との直列回路を設け、 MOS スイッチ４のウエル電極はダイオード３を介して電源端子 V_{cc} へ接続した。また、 MOS スイッチ７のウエル電極もダイオード３を介して電源端子 V_{cc} へ接続した。

[0015] 本実施例において電源ライン２２が断線した場合、定電圧源２６からプルアップ抵抗２７、出力端子 V_{out} を介して電流が流れようとする。この場合に考えられる電流経路を順次説明する。

[0016] まず、出力端子 V_{out} から MOS スイッチ４、５を介してコンデンサ２へ流れる電流経路はコンデンサ２で遮断される。次に、出力端子 V_{out} から MOS スイッチ４のドレイン（ソース）電極、 MOS スイッチ４のウエル

電極、ダイオード3を介して電源端子Vccへ流れる電流経路はダイオード3が電源端子VccからMOSスイッチ4のウエル電極方向を順方向としているので、MOSスイッチ4のウエル電極から電源端子Vcc方向へはダイオード3は逆方向になるので電流は遮断される。

[0017] 次に、出力端子Voutからコンデンサ18を介して流れる電流経路はコンデンサ18で遮断される。次に、出力端子VoutからMOSスイッチ4、5を介してMOSスイッチ7のウエル電極からダイオード3を介して電源端子Vccへ流れる電流経路はダイオード3が逆方向になるので電流は遮断される。

[0018] 次に、出力端子VoutからMOSスイッチ4、5を介してMOSスイッチ6、7からグランド端子Gndへ流れる電流経路は図2に示すクロック信号φ1、φ2によって制御されているので、MOSスイッチ4、5あるいはMOSスイッチ6、7の一方は必ずオフ状態となるので電流は遮断される。なお、電源が正常に供給されていないことを考慮するとクロック信号φ1、φ2の電圧が不安定になることも考えられるので、この場合はMOSスイッチ7を削除することで確実に電流を遮断できる。

[0019] 次に、出力端子Voutから出力MOSトランジスタ21を介してグランド端子Gndへ流れる電流経路は電源が供給されていない状態では出力MOSトランジスタ21はオフ状態となるので電流は遮断される。

[0020] 従って、本構成では電源ライン22が断線した場合、定電圧源26からプルアップ抵抗27を介して出力端子Voutへ電流は流れない。つまり、出力端子Voutの電圧は定電圧源26の電圧に固定される。言い換えればセンサ装置1の電源電圧に固定することができる。この為、制御装置25ではセンサ装置1で何らかの故障が発生したことを判定でき、この故障に応じた対応を取ることができ、本センサ装置1を使用した制御システムとしてフェールセーフに動作させることができる。

[0021] なお、本実施例のセンサ装置1では出力回路の構成を出力MOSトランジスタ21によるオープンドレイン型の回路構成とした。こうすることで出力

トランジスタにPMOSトランジスタを無くすることができる。PMOSトランジスタがある場合、PMOSトランジスタのウエル電極は電源端子Vccに接続され、電源ライン22が断線した時に定電圧源26からプルアップ抵抗27、出力端子Voutを介して電源端子Vccへ電流が流れようとする電流経路を生じさせる。出力トランジスタとして使用されるPMOSトランジスタはアナログ的な動作をするので、このアナログ的な動作を損なうことなく出力端子Voutから電源端子Vccへの電流経路を無くすることは非常に困難である。本発明でも出力トランジスタとしてPMOSトランジスタを使用した場合の実施例を後述するが最大振幅を犠牲にして電流経路を無くしている。つまり、出力回路の構成をオープンドレイン型にすることで回路特性の向上、回路の簡素化、チップサイズの低減などを実現することができる。

[0022] 次に、本発明の第2の実施例であるセンサ装置を図5、6により説明する。なお、図5は第2の実施例のセンサ装置の回路構成、図6はPMOSトランジスタ46の断面構造である。

[0023] 第2の実施例のセンサ装置は第1の実施例のセンサ装置と基本的に同じ構成であるが、以下の改良を加えた。本実施例ではダイオード3の代わりにPMOSトランジスタ46を設け、PMOSトランジスタ46のソース電極47を電源端子Vccに、ドレイン電極49とウエル電極50とゲート電極48をMOSスイッチ4,7のウエル電極に接続した。こうすることで電源端子VccとMOSスイッチ4,7のウエル電極の間にダイオード素子とMOSトランジスタが実質的に並列に配置されるようにした。これにより、電源端子Vccに電源が正常に供給されている時にMOSスイッチ4,7のウエル電極に、より安定な電位を供給できるようにした。

[0024] PMOSトランジスタ46の断面構造を図6に示す。PMOSトランジスタ46はP型基板(P-Sub)にNウエル領域55(N-Well)を設け、Nウエル領域55(N-Well)にP型領域51、53を設けてソース領域とドレイン領域とを形成し、ソース領域とドレイン領域との間にゲー

ト52を配置した構造を持つ。また、P型領域51にはソース電極47を、P型領域53にはドレイン電極49を、ゲート52にはゲート電極48を設けた。また、Nウエル領域55（N-W e l l）にはN型領域54を設けて、ウエル電極50を配置した。

[0025] 本実施例ではPMOSトランジスタ46のソース電極47を電源端子Vccに、ドレイン電極49とウエル電極50とゲート電極48とをMOSスイッチ4, 7のウエル電極に接続した。このことにより、P型領域51とNウエル領域55によるPN接合によるダイオード素子を電源端子VccとMOSスイッチ4, 7のウエル電極との間に設けた。また、PMOSトランジスタ46のゲート電極48はMOSスイッチ4, 7のウエル電極側に接続しているので、MOSスイッチ4, 7のウエル電極の電位が低い場合にはPMOSトランジスタ46のゲート電極48の電位も低下するので、PMOSトランジスタ46はオン状態となりMOSスイッチ4, 7のウエル電極の電位を上昇させる。この効果によりPMOSトランジスタ46のゲート電極48の電位をより高速に安定させることができる。

[0026] 次に、本発明の第3の実施例であるセンサ装置を図7により説明する。なお、図7は第3の実施例のセンサ装置の回路構成である。

[0027] 第3の実施例のセンサ装置は第1の実施例のセンサ装置と基本的に同じ構造であるが、以下の改良を加えた。本実施例では電源端子Vccあるいはグランド端子Gndが開放した時に電源端子Vccとグランド端子Gndとの間の電圧を所定の電圧まで低下させる抵抗56及びMOSトランジスタ57と、電源端子Vccとグランド端子Gndとの間の電圧に応じてオンオフするMOSトランジスタ58, 59, 60と、MOSトランジスタ58, 59, 60のオンオフによって制御されるMOSトランジスタ62, 64, 66と、MOSトランジスタ62, 64, 66のドレイン電極とゲート電極との間に配置される抵抗61, 63, 65と、出力端子Voutの電圧を駆動する出力PMOSトランジスタ68及び出力NMOSトランジスタ69と、出力PMOSトランジスタ68と出力NMOSトランジスタ69とを制御する

演算増幅器 67 とを設けた。

[0028] 本実施例のセンサ装置では、電源端子 V_{cc} あるいはグランド端子 Gnd が開放した時には、抵抗 56 と MOS トランジスタ 57 とにより電源端子 V_{cc} とグランド端子 Gnd との間の電圧を所定の電圧まで低下させる。また、MOS トランジスタ 58, 59, 60 はゲート電極が電源端子 V_{cc} に接続され、ソース電極が抵抗 56 の一端に接続されているので電源端子 V_{cc} とグランド端子 Gnd との間の電圧が正常な時にはオン状態に、電源端子 V_{cc} とグランド端子 Gnd との間の電圧が低下した時にはオフ状態となるので、電源端子 V_{cc} とグランド端子 Gnd との間の電圧が低下したことを検出する電圧検出手段として働く。また、MOS トランジスタ 62, 64, 66 は MOS トランジスタ 58, 59, 60 がオン状態の時にはオンになるので、MOS スイッチ 4, 7 のウエル電極、出力 PMOS トランジスタ 68 のソース電極およびウエル電極を電源端子 V_{cc} に接続して、出力端子 V_{out} の電圧が正常に出力される様にする。なお、MOS トランジスタ 64 は出力 PMOS トランジスタ 68 と直列に接続されるので、MOS トランジスタ 64 のサイズを十分な大きさにしないと出力振幅を低下させる。これとは逆に電源端子 V_{cc} が開放状態となり、MOS トランジスタ 58, 59, 60 がオフ状態になった時には MOS トランジスタ 62, 64, 66 はオフ状態になるので、MOS スイッチ 4, 7 のウエル電極、出力 PMOS トランジスタ 68 のソース電極およびウエル電極は電源端子 V_{cc} から遮断される。なお、MOS トランジスタ 62, 64, 66 のウエル電極は MOS トランジスタ 62, 64, 66 のドレイン電極に接続されているので、MOS トランジスタ 62 には電源端子 V_{cc} から MOS トランジスタ 4, 7 のウエル電極を順方向とするダイオード素子が接続され、MOS トランジスタ 64 には電源端子 V_{cc} から出力 PMOS トランジスタ 68 のソース電極を順方向とするダイオード素子が接続され、MOS トランジスタ 66 には電源端子 V_{cc} から出力 PMOS トランジスタ 68 のウエル電極を順方向とするダイオード素子が接続される。このことにより出力端子 V_{out} から電源端子 V_{cc} への

電流経路は遮断されるので、出力端子 V_{out} の電圧は電源電圧に固定される。この為、制御装置 25 ではセンサ装置 1 で何らかの故障が発生したことを判定でき、この故障に応じた対応を取ることができ、本センサ装置 1 を使用した制御システムとしてフェールセーフに動作させることができる。

[0029] 次に、本発明の第 4 の実施例であるセンサ装置を図 8 により説明する。なお、図 8 は第 4 の実施例のセンサ装置の回路構成である。

[0030] 第 4 の実施例のセンサ装置は第 1 の実施例のセンサ装置と基本的に同じ構造であるが、以下の改良を加えた。第 1 の実施例では P 型基板を使用した CMOS プロセスを想定したが、本実施例では N 型基板を使用した CMOS プロセスを想定した。N 型基板を使用した CMOS プロセスを想定した場合、NMOS トランジスタのウエルは分離できるが、PMOS トランジスタのウエルは分離できない。この為、出力端子 V_{out} にはプルダウン抵抗 72 を配置した。また、プルダウン抵抗 72 なので出力回路には出力 PMOS トランジスタ 71 を配置した。また、ダイオード 3 も MOS スイッチ 5, 6 からグラウンド端子 Gnd の方向を順方向とするようにダイオード 70 を配置した。

[0031] 本実施例で電源ライン 22 が断線した場合、出力端子 V_{out} にはプルダウン抵抗 72 が接続されているので出力端子 V_{out} を介して電流は流れない。この為、出力端子 V_{out} の電圧はグラウンド電位になる。また、グラウンドライン 24 が断線した時には出力回路の負帰還部に配置された MOS スイッチ 5 とコンデンサ 2 の直列回路を設けると共に MOS スイッチ 5 のウエル電極にダイオード 70 を設けることで、出力端子 V_{out} からグラウンド端子 Gnd へ流れる電流を遮断した。こうすることで、グラウンドライン 24 が断線した時に出力端子 V_{out} には電流が流れないので出力端子 V_{out} の電位をグラウンド電位に固定させることができる。

[0032] 次に、本発明の第 5 の実施例であるセンサ装置を図 9 により説明する。なお、図 9 は第 5 の実施例のセンサ装置の回路構成である。

[0033] 第 5 の実施例のセンサ装置は第 4 の実施例のセンサ装置と基本的に同じ構

成であるが、以下の改良を加えた。本実施例ではダイオード70の代わりにNMOSトランジスタ73を設け、NMOSトランジスタ73のソース電極をグランド端子Gndに、ドレイン電極とウエル電極とゲート電極をMOSスイッチ5, 6のウエル電極に接続した。こうすることでグランド端子GndとMOSスイッチ5, 6のウエル電極の間にダイオード素子とMOSトランジスタが実質的に並列に配置されるようにした。これにより、グランド端子Gndに電源が正常に供給されている時にMOSスイッチ5, 6のウエル電極により安定な電位を供給できるようにした。

符号の説明

[0034] 1…センサ装置、2…コンデンサ、3…ダイオード、4～7…MOSスイッチ、8…検出素子、9, 10…MOSスイッチ、11…コンデンサ、12～17…MOSスイッチ、18…コンデンサ、19…演算増幅器、20…基準電圧源、21…出力MOSトランジスタ、22…電源ライン、23…出力ライン、24…グランドライン、25…制御装置、26…定電圧源、27…プルアップ抵抗、28…センサ装置、29…検出素子、30～33…抵抗、34…増幅器、35…基準電源、36…出力トランジスタ、37…電源ライン、38…出力ライン、39…グランドライン、40…制御装置、41…定電圧源、42…プルアップ抵抗、43…CMOS増幅回路、44…PMOSトランジスタ、45…NMOSトランジスタ、46…PMOSトランジスタ、47…ソース電極、48…ゲート電極、49…ドレイン電極、50…ウエル電極、51…P型領域、52…ゲート、53…P型領域、54…N型領域、55…Nウエル領域、56…抵抗、57～60…MOSトランジスタ、61…抵抗、62…MOSトランジスタ、63…抵抗、64…MOSトランジスタ、65…抵抗、66…MOSトランジスタ、67…演算増幅器、68…出力PMOSトランジスタ、69…出力NMOSトランジスタ、70…ダイオード、71…出力PMOSトランジスタ、72…プルダウン抵抗、73…NMOSトランジスタ。

請求の範囲

- [請求項1] 所定の物理量を検出するセンサ装置であって、外部から電源を供給される電源端子およびグランド端子と、前記センサ装置の出力信号を外部へアナログ電圧として出力する出力端子と、前記出力端子の出力信号を生成する出力回路とを有するセンサ装置において、
- 前記出力回路の負帰還部に配置したMOSスイッチとコンデンサとの直列回路と、
- 前記MOSスイッチのウエル電極に接続したダイオードとして働く素子と、
- を有することを特徴とするセンサ装置。
- [請求項2] 請求項1に記載のセンサ装置において、
- 前記出力回路はオープンドレイン型の出力回路であることを特徴とするセンサ装置。
- [請求項3] 請求項2に記載のセンサ装置において、
- 前記出力回路はNMOSのオープンドレイン回路であって、前記ダイオードとして働く素子は電源端子から前記MOSスイッチのウエル電極方向を順方向とすることを特徴とするセンサ装置。
- [請求項4] 請求項2に記載のセンサ装置において、
- 前記出力回路はPMOSのオープンドレイン回路であって、前記ダイオードとして働く素子は前記MOSスイッチのウエル電極からグランド端子方向を順方向とすることを特徴とするセンサ装置。
- [請求項5] 請求項1に記載のセンサ装置において、
- 前記電源端子あるいはグランド端子が開放した時に、前記電源端子と前記グランド端子との間の電圧を所定の電圧以下に低下させる手段と、前記電源端子と前記グランド端子との間の電圧が低下したことを検出する電圧検出手段と、前記電圧検出手段の出力に基づきオンオフする前記ダイオードとして働く素子と並列に接続されるMOSトランジスタと、を有することを特徴とするセンサ装置。

- [請求項6] 請求項3に記載のセンサ装置において、
前記ダイオードとして働く素子はPMOSトランジスタで構成され、
前記PMOSトランジスタのソース電極を電源端子に、ドレイン電極とウエル電極とゲート電極を前記MOSスイッチのウエル電極に接続したことを特徴とするセンサ装置。
- [請求項7] 請求項4に記載のセンサ装置において、
前記ダイオードとして働く素子はNMOSトランジスタで構成され、前記NMOSトランジスタのソース電極をグランド端子に、ドレイン電極とウエル電極とゲート電極を前記MOSスイッチのウエル電極に接続したことを特徴とするセンサ装置。
- [請求項8] 請求項1に記載のセンサ装置において、
前記電源端子あるいはグランド端子が開放時に、前記電源端子と前記グランド端子間の電圧を所定の電圧以下に低下させる手段と、前記電源端子と前記グランド端子間の電圧が低下したことを検出する電圧検出手段と、前記出力端子の電圧を制御するトランジスタと、前記出力端子の電圧を制御するトランジスタのウエル電極に前記電圧検出手段の出力に基づきオンオフ動作するトランジスタを接続したことを特徴とするセンサ装置。

[図1]

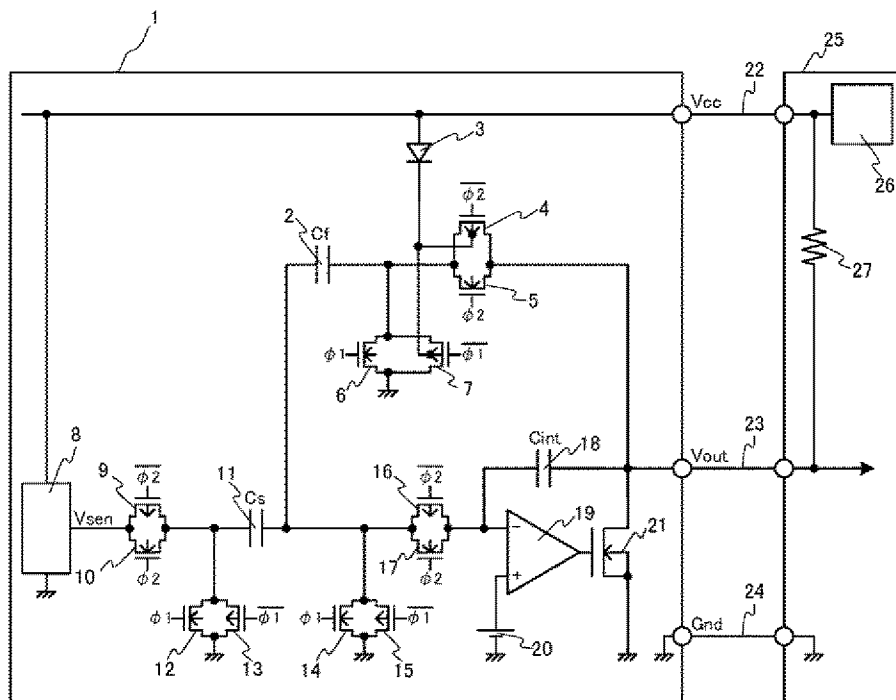


図 1

[図2]

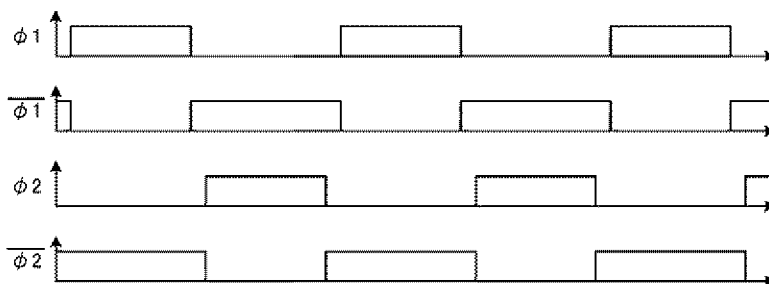


図 2

[図3]

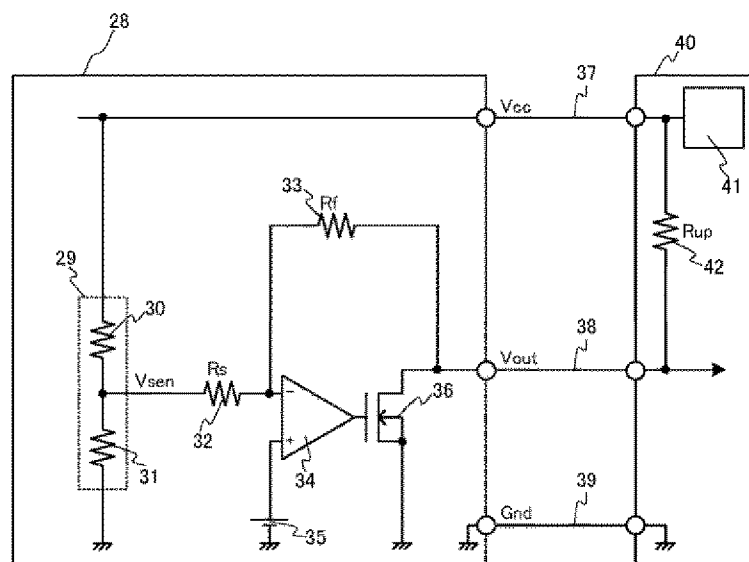


図 3

[図4]

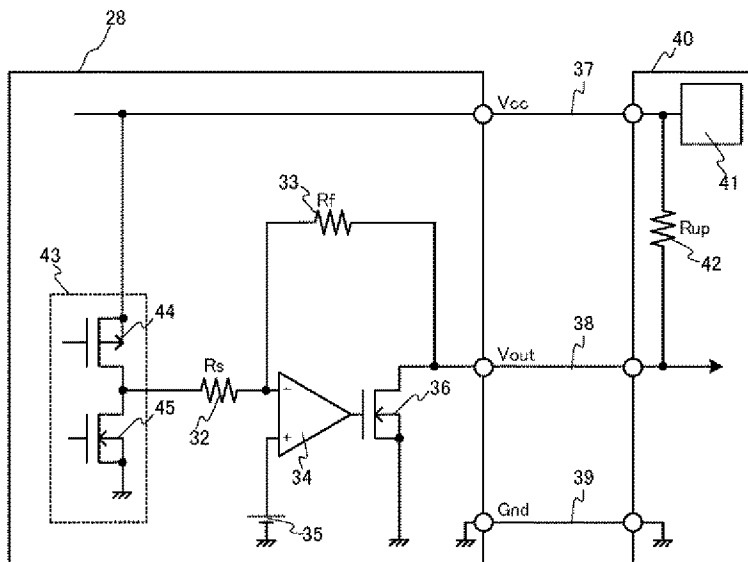


図4

[図5]

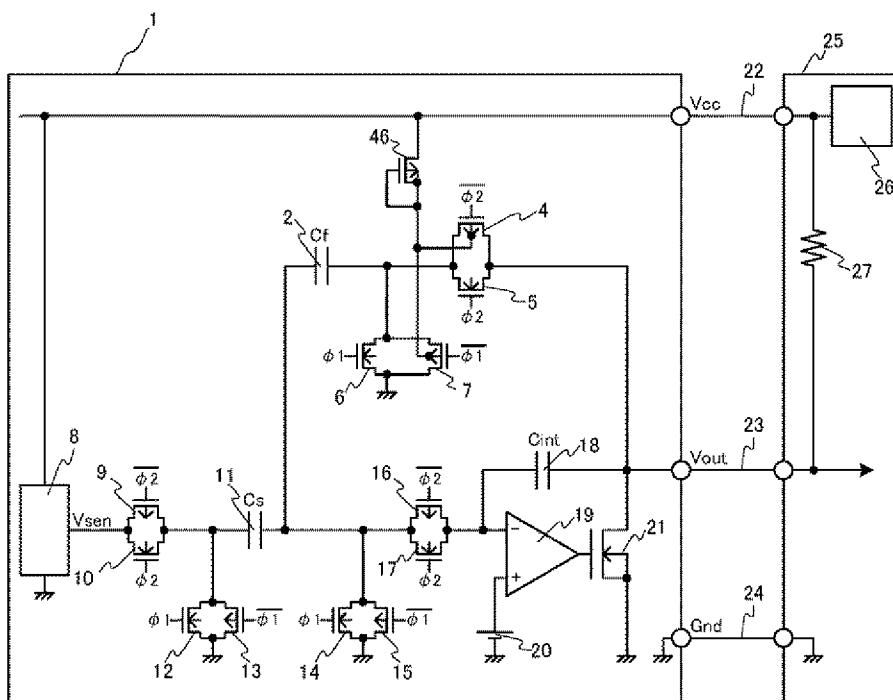


図5

[図6]

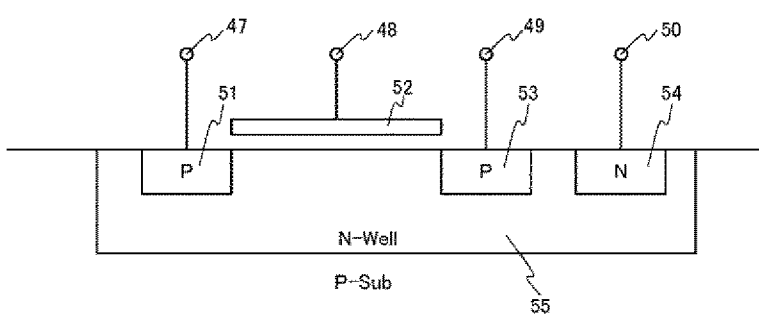
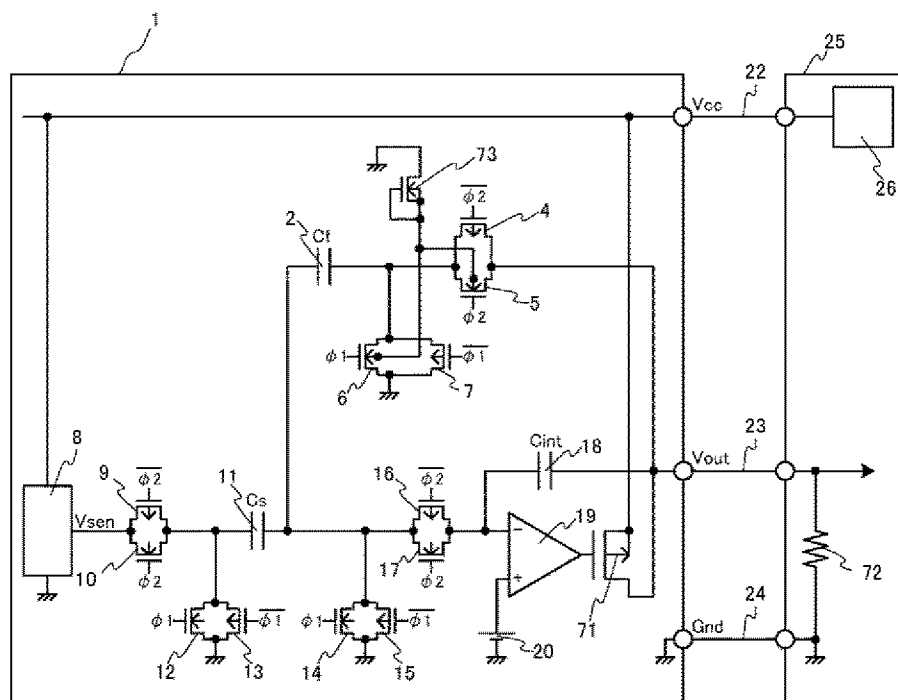


図6

[illegible]

28

图 9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/067431

A. CLASSIFICATION OF SUBJECT MATTER

G01D5/12(2006.01)i, G01L9/00(2006.01)i, G01L19/12(2006.01)i, G01R19/165(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01D5/12, G01L9/00, G01L19/12, G01R19/165

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-165817 A (Yazaki Corp.), 22 June 2001 (22.06.2001), entire text; all drawings (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
26 July, 2013 (26.07.13)

Date of mailing of the international search report
06 August, 2013 (06.08.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G01D5/12(2006.01)i, G01L9/00(2006.01)i, G01L19/12(2006.01)i, G01R19/165(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G01D5/12, G01L9/00, G01L19/12, G01R19/165

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 1 - 1 6 5 8 1 7 A（矢崎総業株式会社） 2 0 0 1 . 0 6 . 2 2 , 全文, 全図（ファミリー無し）	1 - 8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 7 . 2 0 1 3

国際調査報告の発送日

0 6 . 0 8 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

森 雅之

2 F

8 5 0 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 1 6