

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年3月4日(2010.3.4)

【公開番号】特開2010-16395(P2010-16395A)

【公開日】平成22年1月21日(2010.1.21)

【年通号数】公開・登録公報2010-003

【出願番号】特願2009-203621(P2009-203621)

【国際特許分類】

H 01 L 23/12 (2006.01)

H 01 L 21/60 (2006.01)

H 01 L 21/3205 (2006.01)

H 01 L 23/52 (2006.01)

【F I】

H 01 L 23/12 5 0 1 C

H 01 L 21/60 3 1 1 Q

H 01 L 21/88 J

H 01 L 21/88 T

【手続補正書】

【提出日】平成21年12月9日(2009.12.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】半導体装置の製造方法

【技術分野】

【0001】

本発明は、ボール状の導電端子を有するBGA(Ball Grid Array)型の半導体装置の製造方法に関するものである。

【背景技術】

【0002】

近年、三次元実装技術として、また新たなパッケージ技術として、CSP(Chip Size Package)が注目されている。CSPとは、半導体チップの外形寸法と略同サイズの外形寸法を有する小型パッケージをいう。

【0003】

従来より、CSPの一種として、BGA型の半導体装置が知られている。このBGA型の半導体装置は、半田等の金属部材からなるボール状の導電端子をパッケージの一主面上に格子状に複数配列し、パッケージの他の面上に搭載される半導体チップと電気的に接続したものである。

【0004】

そして、このBGA型の半導体装置を電子機器に組み込む際には、各導電端子をプリント基板上の配線パターンに圧着することで、半導体チップとプリント基板上に搭載される外部回路とを電気的に接続している。

【0005】

このようなBGA型の半導体装置は、側部に突出したリードピンを有するSOP(Small Outline Package)やQFP(Quad Flat Package)等の他のCSP型の半導体装置に比べて、多数の導電端子を設けることが出来、し

かも小型化できるという長所を有する。このBGA型の半導体装置は、例えば携帯電話機に搭載されるデジタルカメラのイメージセンサチップとしての用途がある。

【0006】

図22は、従来のBGA型の半導体装置の概略構成を成すものであり、図22(A)は、このBGA型の半導体装置の表面側の斜視図である。また、図22(B)はこのBGA型の半導体装置の裏面側の斜視図である。

【0007】

このBGA型の半導体装置101は、第1及び第2のガラス基板102、103の間に半導体チップ104がエポキシ樹脂105、105を介して封止されている。第2のガラス基板103の一主面上、即ちBGA型の半導体装置101の裏面上には、ボール状端子106が格子状に複数配置されている。

【0008】

この導電端子106は、第2の配線110を介して半導体チップ104へと接続される。複数の第2の配線110には、それぞれ半導体チップ104の内部から引き出されたアルミニウム配線が接続されており、各ボール状端子106と半導体チップ104との電気的接続がなされている。

【0009】

このBGA型の半導体装置101の断面構造について図21を参照して更に詳しく説明する。図21はダイシングラインに沿って、個々のチップに分割されたBGA型の半導体装置101の断面図を示している。

【0010】

半導体チップ104の表面に配置された絶縁膜108上に第1の配線107が設けられている。この半導体チップ104は樹脂105によって第1のガラス基板102と接着されている。また、この半導体チップ104の裏面は、樹脂105によって第2のガラス基板103と接着されている。

【0011】

そして、第1の配線107の一端は第2の配線110と接続されている。この第2の配線110は、第1の配線107の一端から第2のガラス基板103の表面に延在している。そして、第2のガラス基板103上に延在した第2の配線110上には、ボール状の導電端子106が形成されている。

【0012】

次に、半導体装置101の製造工程を、図17乃至図21を参照しながら順次説明する。

【0013】

図17に示すように、複数の半導体チップ104を有する半導体ウエハを用意し、その表面にSiO₂のような絶縁物で形成した絶縁膜108を形成する。そして、絶縁膜108上に、複数の半導体チップ104を個々のチップに切断するための境界(ダイシングライン)Sに跨るように第1の配線107を形成する。この境界Sは複数の半導体チップ104の境界である。

【0014】

続いて、第1の配線107が形成された半導体チップ104の表面に、半導体チップ104を支持するための第1のガラス基板102を透明のエポキシ材の樹脂105を用いて接着する。

【0015】

そして、半導体チップ104をバックグランドしてチップ厚を薄くした後、半導体チップ104の裏面及び絶縁膜108を境界Sに沿ってエッティングし、第1の配線107を露出させる。

【0016】

続いて、図18に示すように、エッティングされた半導体チップ104、絶縁膜108の側面及び第1の配線107の露出部分をエポキシ材の樹脂105で覆い、この樹脂105

を接着剤として、半導体チップ 104 の裏面に第 2 のガラス基板 103 を接着する。

【0017】

次に、図 19 に示すように、第 2 のガラス基板 103 側を境界 S に沿って、V 字形にノッティングを施す。このノッティングは、ブレード等の切削器具を用いた切削加工である。このとき、ノッティングによって形成された V 字型の溝の深さは、第 1 の基板 102 に達する。これにより、第 1 の配線 107 は 2 つに分断され、その側面が露出される。

【0018】

続いて、図 20 に示すように、第 2 のガラス基板 103 及びノッティングで形成された切削面を覆うようにアルミニウム層を形成する。これにより、第 1 の配線 107 の露出面とアルミニウム層とが接続される。その後、アルミ配線を所定の配線パターンとなるようにパターニングして、第 2 の配線 110 を形成する。

【0019】

次に、図 21 に示すように、第 2 の配線 110 上に、ソルダーマスク等の保護膜 111 を形成する。その後、半田等の金属から成るボール状の導電端子 106 を保護膜 111 の開口部を介して第 2 の配線 110 上に形成する。続いて境界 S に沿ってダイシングを行う。これにより、図 22 に示す従来の BGA 型の半導体装置 101 が完成する。

【0020】

上述した技術は、例えば以下の特許文献に記載されている。

【先行技術文献】

【特許文献】

【0021】

【特許文献 1】特許公表 2002-512436 号公報

【発明の概要】

【発明が解決しようとする課題】

【0022】

しかしながら、上述した BGA 型の半導体装置 101 及びその製造プロセスにおいて、以下の欠点があった。

【0023】

第 1 に、従来の BGA 型の半導体装置 101 の製造プロセスは、第 1 のガラス基板 102 及び第 2 のガラス基板 103 という 2 枚の基板を用いているので、製造工程が複雑化すると共に、製造コストが高いという問題があった。

【0024】

第 2 に、半導体チップ 104 の裏面に第 2 のガラス基板 103 を接着しているので、第 1 の配線 107 を分断するために、ノッティングという特殊な切削加工を行う必要があった。このため、第 1 の配線 107 の端部では、ノッティングを施した切削断面に異常（例えば、異物混入やコンタミネーション（汚染）の生成等）が生じていた。

【0025】

第 3 に、第 1 の配線 107 の側面と第 2 の配線 110 との接触部分の長さがわずか 2 μm ~ 3 μm 程度しか設けられていないため、外部からストレス等が加わった場合、第 1 の配線 107 の側面と第 2 の配線 110 とが断線するおそれがあった。さらに、第 1 の配線 107 の側面はノッティングによる切削面となるため、第 1 の配線 107 の側面は荒れており、第 2 の配線 110 との接着性が悪い。

【0026】

本発明は、以上の欠点に鑑み成されたものであり、低コストの BGA 型の半導体装置 101 の製造方法を提供するものである。また、第 1 の配線 107 と第 2 の配線 110 との接続を良好にし、信頼性の高い BGA 型の半導体装置 101 の製造方法を提供するものである。

【課題を解決するための手段】

【0027】

本発明の半導体装置の製造方法、複数の半導体チップを有する半導体ウエハを用意し、

隣接する半導体チップ間の境界を跨る第1の配線が形成された前記半導体ウエハの表面側に支持体を接着する工程と、前記半導体ウエハ裏面の前記境界部分をエッチングする工程と、前記エッチングにより露出した半導体チップの側面部及び裏面部上に絶縁膜を形成する工程と、前記第1の配線をエッチングして前記境界から離間させる工程と、前記第1の配線に接続され、前記絶縁膜に接するように前記半導体チップの側面部から裏面部に延在する第2の配線を形成する工程と、前記第2の配線上に保護膜を形成する工程と、前記境界に沿って個々の半導体装置に分断する工程と、を有することを特徴とする。

【0028】

また、本発明の半導体装置の製造方法は、複数の半導体チップを有する半導体ウエハを用意し、隣接する半導体チップ間の境界から離間して第1の配線が形成された前記半導体ウエハの表面側に支持体を接着する工程と、前記半導体ウエハ裏面の前記境界部分をエッチングする工程と、前記エッチングにより露出した半導体チップの側面部及び裏面部上に絶縁膜を形成する工程と、前記第1の配線に接続され、前記絶縁膜に接するように前記半導体チップの側面部から裏面部に延在する第2の配線を形成する工程と、前記第2の配線上に保護膜を形成する工程と、前記境界に沿って個々の半導体装置に分断する工程と、を有することを特徴とする。

【0029】

さらに、前記第2の配線を形成する工程は、当該第2の配線を前記半導体チップの側面部から露出した第1の配線の側面または裏面に接続することを特徴とする。

【0030】

また、前記第2の配線を形成する工程は、当該第2の配線を前記半導体チップの側面部から露出した前記第1の配線の裏面及び側面に接続することを特徴とする。

【0031】

さらに、前記エッチングする工程は、前記半導体チップの表面部よりも裏面部が小さくなるように前記半導体チップの側面部に傾斜部を形成することを特徴とする。

【0032】

さらに、前記絶縁膜を形成する工程は、当該絶縁膜の膜厚が略等しい膜厚となるように形成することを特徴とする。

【0033】

また、前記絶縁膜を形成する工程は、CVD膜、有機膜から成る絶縁膜を形成することを特徴とする。

【0034】

さらに、前記支持体を接着する工程は、前記半導体ウエハ表面側にガラス、プラスチックから成る板材を接着することを特徴とする。

【0035】

また、さらに前記第2の配線上に導電端子を形成する工程と、を有することを特徴とする。

【0036】

また、さらに前記導電端子下方の前記第2の配線下に緩衝部材を形成する工程と、を有することを特徴とする。

【発明の効果】

【0037】

本発明によれば、半導体チップを支持する支持体を1枚としたので、低成本で、しかも製造工程が複雑化しない半導体装置を得ることが可能になる。

【0038】

また、半導体チップの第1の配線と第2の配線との良好な電気的接続を実現することが可能になる。

【発明を実施するための最良の形態】

【0039】

次に、本発明の実施形態について図面を参照しながら説明する。

【 0 0 4 0 】

図1(A)は本発明の第1の実施形態に係るBGA型の半導体装置1aを示した断面図である。

【 0 0 4 1 】

図1(A)は一枚の半導体ウエハに形成されたBGA型の複数の半導体チップ2を境界Sに沿ってダイシングした状態を示したものである。ダイシング後の個々のBGA型の半導体装置1aは、すべて同じものである。そこで、以下では、1個のBGA型の半導体装置1aの構成について説明する。

【 0 0 4 2 】

半導体チップ2の表面に絶縁膜6aが形成されており、この絶縁膜6a上に第1の配線5aが形成されている。そして、その半導体チップ2の表面に、接着剤として樹脂4を用いてガラス基板3が接着されている。絶縁膜6aは、例えば、シリコン酸化膜(SiO₂)、シリコン窒化膜(SiN)、有機絶縁膜(ポリイミド等)等で形成されている。

【 0 0 4 3 】

半導体チップ2は、半導体ウエハ上に半導体製造プロセスによって複数形成されたものであり、例えばCCDイメージセンサチップなどの集積回路チップである。ガラス基板3は、厚さ400μm程度の透明性を有するガラス材の基板である。樹脂4は、例えば熱硬化性樹脂であるエポキシ樹脂であり、主に半導体チップ2とガラス基板3とを接着するための接着剤として、半導体チップ2の表面側の全面に塗布されたものであり、絶縁性を有するものである。

【 0 0 4 4 】

第1の配線5aはアルミニウムやアルミニウム合金から成る金属パッドであり、半導体チップ2内の回路素子と電気的に接続されている。この第1の配線5aは、複数の半導体チップ2の境界Sまで延在しているので、エクステンションパッド(Extension Pad)とも呼ばれる。

【 0 0 4 5 】

絶縁膜16aは、半導体チップ2の側面及び裏面を被覆する絶縁膜であり、例えば、シリコン酸化膜(SiO₂)、シリコン窒化膜(SiN)、有機絶縁膜(ポリイミド等)等で形成されている。

【 0 0 4 6 】

また、半導体チップ2の裏面の絶縁膜16a上の所定位置に、緩衝部材7が複数形成されている。この緩衝部材7は後述する導電端子8の下方に重なるように配置されるものであり、第2の配線9aに導電端子8を形成する際の衝撃を緩和する。また、緩衝部材7は導電端子8の高さをある程度高くするという機能も有している。

【 0 0 4 7 】

第2の配線9aは、絶縁膜16a及び緩衝部材7の表面に形成された、アルミニウム又はアルミニウム合金から成る金属配線であり、第1の配線5aの側面に第2の配線9aが接続されている。

【 0 0 4 8 】

第1の配線5aの側面と第2の配線9aとの接触部分の長さは2μm～3μm程度である。第1の配線5aは、平面で見ると、幅広に形成されているためその接触部分の幅を広くとることができる。

【 0 0 4 9 】

そして、第2の配線9a上には保護膜10aが形成されており、保護膜10aの開口部を介して、ボール状の導電端子8が不図示のNi, Cuから成るメッキ層を介して第2の配線9a上に形成されている。

【 0 0 5 0 】

次に第2の実施形態について、図1(B)を参照して説明する。この実施形態と第1の実施形態の相違点は、第2の配線と第1の配線との接触部分の構造状にある。即ち、第1の実施形態によれば、第1の配線5aの側面が第2の配線9aと接触することで、これと

電気的に接続されているのに対して、本実施形態によれば、第1の配線5bの裏面の一部が第2の配線9bと接触し、これと電気的に接続されている。ここで、第2の配線9bの表面と第1の配線5bの裏面の一部との接触部分の長さは2μm～3μm程度である。

【0051】

なお、本実施形態における絶縁膜6b、16b、保護膜10bはそれぞれ第1の実施形態における絶縁膜6a、16a、保護膜10aに相当するものである。

【0052】

第1及び第2の実施形態によれば、第2のガラス基板103を設けていないので、その分、従来例よりも低コストで、薄型の半導体装置が実現できる。

【0053】

そして、第2のガラス基板103を削除したため、従来のようなブレードを用いた切削工程ではなく、エッチング処理により第1の配線5a, 5bを分割できる。従って、第2の配線9a, 9bが接触する第1の配線5a, 5bの側面は、滑らかでかつクリーンな状態となり、接触部分の長さが2μm～3μmであっても、両者の電気的及び機械的な接続性が向上する。

【0054】

次に、本発明の第3の実施形態について、図2を参照して説明する。同図において、図1と同一の構成要素には、同一符号を付し、その説明を省略する。

【0055】

本実施形態は、前述した第2の実施形態に比して第1の配線5cと第2の配線9cとの接触部分が広く形成されている。例えばその接触部分の長さは、4μm～6μm程度であるが、さらに長くてもよい。即ち、第1の配線5cの裏面における第2の配線9cとの接触部分を広く取るために、第1の配線5cは、その一部が絶縁膜16cよりも半導体チップ2の外側に突出した突出部20cを有している。

【0056】

そして、第2の配線9cは半導体チップ2の側面から突出部20cに延在して、L字形を成すように突出部20cに広がって接触している。ここで、第2の配線9cと突出部20cとの接着部の長さは、第1の配線5cの側面の長さよりも大きいことが好ましい。このため、第1の配線5cと第2の配線9cとの電気的及び機械的な接続性を更に向上させることができる。なお、本実施形態における絶縁膜6c、16c、保護膜10cはそれぞれ第1の実施形態における絶縁膜6a、16a、保護膜10aに相当するものである。

【0057】

次に、本発明の第4の実施形態について、図3を参照しながら説明する。

【0058】

図3において、図1と同一の構成要素には、同一符号を付し、その説明を省略する。

【0059】

本実施形態では、第1の配線5dの突出部20dを設けることで、第1の配線5dと第2の配線9dとの接触部分を広く形成することに加えて、第1の配線5dの側面に第2の配線9dと接触する部分（以下、接触部SCと称す）を構成することで、第1の配線5dと第2の配線9dとの電気的及び機械的な接続性を更に向上させることができる。

【0060】

即ち、本実施形態によれば、第1の配線5dの裏面の一部と第2の配線9dとの接触面の長さは4μm～6μm程度と広く形成され、これに加えて第2の配線9dは第1の配線5dの側面に接触している。なお、第2の配線9dが第1の配線5dの側面の全体に接触しても良い。

【0061】

なお、第1及び第2の実施形態において、第2の配線9a, 9bが第1の配線5a, 5bの側面の一部又は全部に接触しても良い。

【0062】

次に本発明の第1の実施形態に係る半導体装置の製造方法について、図4～図8を参照

しながら説明する。

【0063】

まず、図4に示すように、複数の半導体チップ2を有する半導体ウエハを用意する。この半導体チップ2は例えばCVDイメージセンサチップ等である。続いて、半導体チップ2の表面上の絶縁膜6aを介して、半導体チップ2の境界(ダイシングライン)Sに跨るように第1の配線5aを形成する。

【0064】

続いて、図5に示すように、第1の配線5aが形成された半導体チップ2上の絶縁膜6aの表面に、ガラス基板3を透明なエポキシ材の樹脂4を用いて接着する。ガラス基板3は半導体チップ2の支持体として機能する。そして、半導体チップ2の裏面をバックグランドしてチップ厚を薄くすると共に、半導体チップ2の裏面側から境界Sに沿って半導体チップ2及び絶縁膜6aをエッティングし、第1の配線5aの裏面の一部、好ましくはその中央部分を露出させる。なお、バックグランドは本実施形態では必ずしも必要な処理ではない。

【0065】

このように本工程では、従来のように半導体チップ2の裏面側にガラス基板を有する構成ではないため、コストダウンが図れる。また、製造工程数の削減が図れ、更に半導体装置自体の薄膜化が図れる。

【0066】

続いて、図6に示すように、エッティングされた半導体チップ2の側面及び第1の配線5aの露出部分を覆うように絶縁膜16aを形成する。この絶縁膜16aは、例えばCVD(Chemical Vapor Deposition: 化学気相成長法)等により形成したシリコン酸化膜(SiO₂)やシリコン窒化膜(SiN)、あるいは有機絶縁膜(ポリイミド等)等である。その膜厚は2μm程度である。

【0067】

次に、図7(A)に示すように絶縁膜16aの表面にレジスト11を塗布し、露光・現像処理を行い、レジスト11をマスクとして絶縁膜16aに異方性エッティングを行う。絶縁膜16aに境界Sを中心とした幅d1の開口部12を設け、第1の配線5aの中央部分を露出させる。

【0068】

その後、図7(B)に示すように、レジスト11及び絶縁膜16aをマスクとして、再度異方性エッティングにて第1の配線5aを完全にエッティングして第1の配線5aを2つに分断させる。これにより、分断された第1の配線5aの側面が露出される。

【0069】

ここで、絶縁膜16a及び第1の配線5aをエッティングする際に2度のエッティングを行っているが、これに限らず、絶縁膜16a及び第1の配線5aを同じエッティングガスを用いて連続的にエッティングしてもよい。

【0070】

続いて、レジスト11を除去した後に半導体チップ2の裏面側の絶縁膜16a上の所望位置に、緩衝部材7を複数形成する。説明上、緩衝部材7は1個の半導体チップ2に1つだけ図示した。この緩衝部材7は導電端子8が形成される位置に配置したものである。

【0071】

その後、図8(A)に示すように、半導体チップ2の裏面側から全体を被うようにアルミニウム又はアルミニウム合金をスパッタ法等にて金属層を形成する。

【0072】

そして、図8(B)に示すように金属層上にレジスト(不図示)を形成し、これに露光・現像処理を施す。そして、そのレジストをマスクとして、樹脂4が露出するように、金属層をエッティングして、開口部12(幅d1)よりも幅の小さい開口部13(幅d2)を形成する(d1 > d2)。これにより、第1の配線5aの側面に第2の配線9aが接触され、両者は電気的及び機械的に接続される。ここで、第2の配線9aの膜厚は2μm~3

μm 程度となるように形成した。第1の配線5aと第2の配線9aとの接触部分の長さは、上述したように $2\mu\text{m} \sim 3\mu\text{m}$ 程度となる。

【0073】

そして、図1(A)に示すように、第2の配線9a上に、Ni, Cuメッキを施した後に、ソルダーマスク等の保護膜10aを形成し、保護膜10aに開口部を形成し、この開口部を介してスクリーン印刷等により半田を塗布し、第2の配線9a上に導電端子8を形成する。続いて境界Sに沿ってダイシングを行う。これより、図1(A)に示す本発明の第1の実施形態に係るBGA型の半導体装置1aが完成する。

【0074】

次に、本発明の第2の実施形態に係る半導体装置の製造方法について、図9及び図10を参照しながら説明する。なお、図4、図5、図6に対応する工程については、本実施形態の製造方法と同様のため、その後の工程について説明する。

【0075】

図9(A)に示すように、半導体チップ2の裏面にレジスト19を塗布し、これに露光・現像処理を行い、開口幅d3を有する開口部20を形成する。

【0076】

その後、図9(B)に示すように、レジスト19をマスクにして、第1の配線5bをエッチングして、第1の配線5bを2つに分断すると共に、開口幅d3の開口部14を形成する。そして、レジスト19を除去する。ここで、図9(B)中の開口部14の幅d3は、図7(A)の開口部12の幅d1よりも小さい。

【0077】

その後、図10に示すように、緩衝部材7を絶縁膜16b上の所定位置に形成した後、第2の配線9bを絶縁膜16bの表面、第1の配線5bの裏面の一部及び側面、及び樹脂4の露出面及び緩衝部材7上に形成する。

【0078】

そして、レジスト(不図示)を形成し、露光・現像処理を施し、開口部14と同じ幅d3の開口部を形成するように第2の配線9bをエッチングをする。これにより、図1(B)に示すように、第1の配線5bの裏面の一部と第2の配線9bとは接触部分の長さが $2\mu\text{m} \sim 3\mu\text{m}$ となるように接触され、両者は電気的に接続される。ここで、第2の配線9bの膜厚は $2\mu\text{m} \sim 3\mu\text{m}$ 程度となるように形成した。

【0079】

そして、第2の配線9b上にNi, Cuメッキを施した後に、保護膜10bを形成し、その保護膜10bの所定位置に開口部を形成して、スクリーン印刷等により半田を開口部に塗布し、第2の配線9b上に導電端子8を形成する。続いて複数の半導体チップ2の境界Sに沿ってダイシングを行う。これより図1(B)に示す本発明の第2の実施形態に係るBGA型の半導体装置1bが完成する。

【0080】

上述した第1、2の実施形態の各製造方法では、従来例のようにブレードを用いたノッチングを行っていないので、第1の配線5a、5bの端部表面が荒れることなく、またクリーンな状態を維持できる。従って、第1の配線5a、5bと第2の配線9a、9bとの接着性が向上する。

【0081】

また、第1、第2の実施形態の製造方法では、第2の配線9a、9bを一旦広い範囲にスパッタ形成し、その後これをエッチングして2つに分断するという方法を採用した。これにより、第1の配線5a、5bと第2の配線9a、9bの接触する部分は $2\mu\text{m} \sim 3\mu\text{m}$ と従来例と同程度であっても、両者の電気的及び機械的な接続性が向上する。

【0082】

なお、上述した第1、第2の実施形態の製造方法では、第1の配線5a、5bをエッチングして2つに分断した後に、これらに第2の配線9a、9bを接続しているが、第1の配線5a、5bと第2の配線9a、9bとを接続した後に、第1の配線5a、5bと第2

の配線 9 a、9 b を共にエッティングして分断するものであってもよい。

【0083】

次に本発明の半導体装置に係る第3の実施形態の製造方法について、図11乃至図16を参照しながら説明する。

【0084】

複数の半導体チップ2を有する半導体ウエハを用意し、半導体チップ2の表面上の絶縁膜6cを介して、半導体チップ2の境界Sを挟んで第1の配線5c、5cを一定の幅d11だけ離間して形成する。第1の配線5c、5cは例えば半導体チップ2の最上層配線である。

【0085】

続いて図12に示すように、第1の配線5c及び絶縁膜6cを介して、半導体チップ2上に透明なエポキシ材の樹脂4を塗布する。そして、樹脂4を接着剤として用いて、半導体チップ2の表面にガラス基板3を接着する。

【0086】

そして、半導体チップ2をバックグラインドしてチップ厚を薄くすると共に、半導体チップ2の裏面側から境界Sに沿って、半導体チップ2及び絶縁膜6cをエッティングし、第1の配線5c、5cの一部、及び樹脂4の一部を露出させる。ただし、このバックグラインドは本実施形態では必ずしも必要な処理ではない。

【0087】

次に、図13に示すように、半導体チップ2の裏面、半導体チップ2のエッティングされた側面、絶縁膜6cの側面、第1の配線5c、5c、及び露出された樹脂4上に、絶縁膜16cをCVD法を用いて形成する。

【0088】

次に、図14(A)に示すように、絶縁膜16cの表面にレジスト12を塗布し、露光・現像処理を行い、レジスト12をマスクとして、絶縁膜16cに異方性エッティングを施し、絶縁膜16cに開口部15を設ける。ここで、開口部15内の第1の配線5c、5cの露出面を突出部20cと称す。開口部15の幅をd12とすると、幅d12は、第1の配線5c、5cの間の間隔d11よりも広くなるように形成する。また、境界Sは開口部15の略中央に位置する。

【0089】

ここで、図14(B)は、図14(A)の絶縁膜16cをエッティングする際に離間した第1の配線5c、5c間に存在する樹脂4の一部がエッティングされたときの図である。この図14(B)については後述する。

【0090】

そして、レジスト12を除去した後、図15に示すように絶縁膜16c上に緩衝部材7を形成する。その後、絶縁膜16cの表面、緩衝部材7の表面、第1の配線5c、5cの露出面、樹脂4の露出面、にアルミニウム又はアルミニウム合金から成る金属をスパッタ法により形成する。そして、レジスト18を金属層上に塗布し、露光・現像処理を行う。

【0091】

その後、図16に示すように、レジスト18をマスクとして金属膜をエッティングして、開口部17を設ける。ここで、開口部17の幅をd13とすると、幅d13は図14(A)(B)に示される開口部15の幅d12よりも小さくなり、幅d13と間隔d11とは同じになる。つまり、突出部20cの端部側面と第2の配線9cの端部側面とが一致する。

【0092】

この後は、第1の実施形態に係る半導体装置の製造方法と同様の工程を経て、図2に示した本実施形態の半導体装置1cが完成する。

【0093】

本実施形態では、第1の配線5c、5cの間隙の幅d11よりも広い幅d12を有する開口部15を形成し、これによって、第1の配線5c、5cの突出部20cの裏面を露出

させる。そして、突出部 20c の裏面と第 2 の配線 9c が広い接着面、例えば 4 ~ 6 μm 程度の長さを有するようにしている。なお、前記接着面が、6 μm 以上あれば更に接着強度が増すことになる。

【0094】

次に、本発明の半導体装置に係る第 4 の実施形態の製造方法について、図 14(B) を参照しながら説明する。

【0095】

本実施形態は、上述した第 3 の実施形態における図 14(A) のエッティング方法について更に検討を加えたものである。

【0096】

図 14(B) は、レジスト 12 をマスクとして、絶縁膜 16d をエッティングした様子を示す断面図である。このエッティングの際に、オーバーエッティングを行うと、離間した第 1 の配線 5d、5d 間にある樹脂 4 の一部もエッティングされる。このエッティングはウエットエッティング又はドライエッティングであり、第 1 の配線 5d、5d をエッティングしないエッチャントを用いる。

【0097】

この結果、第 1 の配線 5d、5d の側面の一部又は全部が露出される。その後レジスト 12 を除去し、第 3 の実施形態と同じ工程を施すことで、図 3 に示す第 2 の配線 9d が第 1 の配線 5d、5d の裏面及び側面に接触した構造の半導体装置 1d が完成する。

【0098】

なお、上記第 1、第 2、第 3、第 4 の実施形態において、ガラス基板 3 の代わりに、プラスチックから成る板材を用いても良い。ただし、半導体チップ 2 が CCDイメージセンサチップである場合には、光を透過する板材であることが必要である。

【0099】

また、第 1 の配線 5a、5b、5c、5d 及び第 2 の配線 9a、9b、9c、9d はアルミニウム、アルミニウム合金に限らず、銅 (Cu) であってもよい。

【図面の簡単な説明】

【0100】

【図 1】本発明の第 1 及び第 2 の実施形態に係る半導体装置を示す断面図である。

【図 2】本発明の第 3 の実施形態に係る半導体装置を示す断面図である。

【図 3】本発明の第 4 の実施形態に係る半導体装置を示す断面図である。

【図 4】本発明の第 1 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 5】本発明の第 1 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 6】本発明の第 1 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 7】本発明の第 1 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 8】本発明の第 1 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 9】本発明の第 2 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 10】本発明の第 2 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 11】本発明の第 3 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 12】本発明の第 3 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 13】本発明の第 3 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 14】本発明の第 3 及び第 4 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 15】本発明の第 3 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 16】本発明の第 3 の実施形態に係る半導体装置の製造方法を示す断面図である。

【図 17】従来の半導体装置の製造方法を示す断面図である。

【図 18】従来の半導体装置の製造方法を示す断面図である。

【図 19】従来の半導体装置の製造方法を示す断面図である。

【図 20】従来の半導体装置の製造方法を示す断面図である。

【図 21】従来の半導体装置の製造方法を示す断面図である。

【図 2 2】従来の半導体装置を示す斜視図である。