

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-186999

(P2006-186999A)

(43) 公開日 平成18年7月13日(2006.7.13)

(51) Int. Cl.	F I	テーマコード (参考)
H04R 19/00 (2006.01)	H04R 19/00 330	5D019
B81B 3/00 (2006.01)	B81B 3/00	
B81C 3/00 (2006.01)	B81C 3/00	
H04R 31/00 (2006.01)	H04R 31/00 330	

審査請求 未請求 請求項の数 10 O L (全 13 頁)

(21) 出願番号	特願2005-367304 (P2005-367304)	(71) 出願人	390041542 ゼネラル・エレクトリック・カンパニー GENERAL ELECTRIC COMPANY アメリカ合衆国、ニューヨーク州、スケネクタデー、リバーロード、1番
(22) 出願日	平成17年12月21日(2005.12.21)	(74) 代理人	100093908 弁理士 松本 研一
(31) 優先権主張番号	11/023, 252	(74) 代理人	100105588 弁理士 小倉 博
(32) 優先日	平成16年12月27日(2004.12.27)	(74) 代理人	100129779 弁理士 黒川 俊久
(33) 優先権主張国	米国 (US)	(72) 発明者	ローウェル・スコット・スミス アメリカ合衆国、ニューヨーク州、ニスカユナ、チェシャー・プレイス、24番 最終頁に続く

(54) 【発明の名称】 エピタキシャル・シリコン膜によって製作した容量性マイクロマシン加工超音波トランスジューサ

(57) 【要約】

【課題】容量性マイクロマシン加工超音波トランスジューサ(cMUT)及びその製作方法を提供する。

【解決手段】容量性マイクロマシン加工超音波トランスジューサ(cMUT)セル(10)を提供する。このcMUTセル(10)は下側電極(18)を含んでいる。さらにこのcMUTセル(10)は、下側電極(18)との間に第1のギャップ幅を有するギャップが形成されるように下側電極(18)に隣接して配置させた隔壁(22)を含んでおり、この隔壁(22)は第1のエピタキシャル層(40)または第1のポリシリコン層のうち的一方を備えている。さらに、第1のエピタキシャル層(40)内には応力低減材料を配置させている。

【選択図】 図1

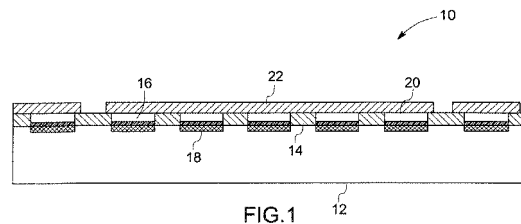


FIG. 1

【特許請求の範囲】

【請求項 1】

下側電極（18）と、

前記下側電極（18）との間に第1のギャップ幅を有するギャップが形成されるように該下側電極（18）に隣接して配置させた隔壁（22）であって、第1のエピタキシャル層（40）または第1のポリシリコン層のうちの一方を備えた隔壁（22）と、

前記第1のエピタキシャル層（40）または第1のポリシリコン層のうちの一方内に配置された応力低減材料と、

を備える容量性マイクロマシン加工超音波トランスジューサ・セル（10）。

【請求項 2】

前記応力低減材料がゲルマニウムを含む、請求項1に記載の容量性マイクロマシン加工超音波トランスジューサ・セル（10）。

【請求項 3】

さらに、前記隔壁（22）と結合させた上側電極（28）を備える請求項1に記載の容量性マイクロマシン加工超音波トランスジューサ・セル。

【請求項 4】

前記隔壁（22）と第2のエピタキシャル層（42）との間に、該隔壁（22）及び該第2のエピタキシャル層（42）が互いに対向して位置決めされるような構成で配置された材料をさらに備えており、該構成は上側電極（28）として使用するための構成として

いる請求項1に記載の容量性マイクロマシン加工超音波トランスジューサ・セル（10）

【請求項 5】

容量性マイクロマシン加工超音波トランスジューサ・セル（10）を製作するための方法であって、

第1のサブストレート（12）の上部側上に、複数の支持支柱（14）によって規定されたキャビティ（16）を形成する工程と、

前記複数の支持支柱（14）上に隔壁（22）を配置させて、下側電極（18）と該隔壁（22）の間にギャップを有する複合構造を形成する工程であって、該隔壁（22）は第1のエピタキシャル層（40）または第1のポリシリコン層のうちの一方を備えている

形成工程と、

前記第1のエピタキシャル層（40）または第1のポリシリコン層のうちの一方内に応力低減材料を配置する工程と、

を含む方法。

【請求項 6】

下側電極（18）を備えた底側部分を製作する工程をさらに含む請求項5に記載の方法

【請求項 7】

隔壁（22）を備えた上側部分を製作する工程をさらに含む請求項5に記載の方法。

【請求項 8】

容量性マイクロマシン加工超音波トランスジューサ・セル（10）を製作するための方法であって、

第1のエピタキシャル層（40）または第1のポリシリコン層のうちの一方を第1のサブストレート（12）上に配置する工程であって、該第1のエピタキシャル層（40）または第1のポリシリコン層のうちの一方と該第1のサブストレート（12）とが反対性にドーピングされており、かつ該第1のエピタキシャル層（40）または第1のポリシリコン層のうちの一方内のドーピング・レベルは該第1のサブストレート（12）内のドーピング・レベルと異なっている配置工程と、

前記第1のエピタキシャル層（40）または第1のポリシリコン層のうちの一方内に応力低減材料を配置する工程と、

を含む方法。

10

20

30

40

50

【請求項 9】

前記第 1 のエピタキシャル層 (1 8) または第 1 のポリシリコン層のうち的一方が n 型材料を含んでおり、かつ前記第 1 のサブストレート (1 2) が p 型材料を含んでいる、請求項 8 に記載の方法。

【請求項 10】

前記第 1 のエピタキシャル層 (4 0) または第 1 のポリシリコン層のうちの一方向のドーピング・レベルが高く、かつ前記第 1 のサブストレート (1 2) のドーピング・レベルが低い、請求項 8 に記載の方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、全般的には静電センサ (e l e c t r o s t a t i c s e n s o r) に関し、またより具体的には、容量性マイクロマシン加工超音波トランスジューサ (c M U T) に関する。

【背景技術】

【0002】

トランスジューサは、ある形態をした入力信号を別の形態をした出力信号に変換するデバイスである。よく用いられるトランスジューサには、熱センサ、圧力センサ、光センサ及び音響センサが含まれる。音響センサの一例は、医用イメージング、非破壊的評価、及びその他の用途で実現できる超音波トランスジューサである。

20

【0003】

超音波トランスジューサの一形態に、容量性マイクロマシン加工超音波トランスジューサ (c a p a c i t i v e m i c r o m a c h i n e d u l t r a s o u n d t r a n s d u c e r : c M U T) がある。c M U T セルは一般に、下側電極を包含したサブストレートと、このサブストレートの上に支持支柱によって吊着させた隔壁と、上側電極の役割をする金属化層と、を含んでいる。これら下側電極、隔壁及び上側電極は 1 つのキャビティを規定している。c M U T セルを形成するように支持支柱が隔壁の辺縁を係合するのが一般的であることは当業者であれば理解されよう。さらに、下側電極と上側電極の間に加える電圧によって隔壁を振動させて音波を放出させるか、また別法として受け取った音波によって隔壁を振動させてキャパシタンスの変化を提供する。この隔壁は、c M U T セルを液体内に浸漬した動作を提供するように封止されることがある。

30

【0004】

上述のように、c M U T セルは一般に真空キャビティの上に配置させた隔壁を含むと共に、c M U T のキャビティは基底キャビティを形成するように隔壁内の開口を通じて選択的にエッチングを受けている。従来では、これらの c M U T は、表面マイクロマシン加工技法を利用して製作されている。しかし、表面マイクロマシン加工技法を利用して製作した c M U T は歩留まりが低くかつ隔壁が不均一となるという欠点があることは理解されよう。別法として、酸化物被覆層内にリソグラフィ製作したキャビティを有するシリコン・サブストレートに、絶縁体上シリコン (s i l i c o n - o n - i n s u l a t o r : S O I) ウェハを結合させることがある。これらバルクマイクロマシン加工した c M U T によれば、表面マイクロマシン加工した c M U T と比較して、隔壁の予測精度 (p r e d i c t a b i l i t y)、再現性及び均一性が向上する。しかし、S O I ウェハを使用すると経済的でないことがある。さらに、S O I ウェハの使用によって処理の柔軟性が制限されると共に、当技術分野で周知の従来式の c M U T 製作技術を使用すると複雑な隔壁構造を作製することが困難である。

40

【特許文献 1】米国特許第 6 3 1 6 7 9 6 号

【発明の開示】

【発明が解決しようとする課題】

【0005】

したがって、低いコスト、高い入手可能性かつ柔軟な設計によって隔壁の予測精度、再

50

現性及び均一性を保証するために、c M U T 隔壁の製作に利用される目下の製作技法に関連する問題点を軽減させる技法を開発することが望まれている。

【課題を解決するための手段】

【0006】

簡単に述べると本技法の一実施形態によれば、容量性マイクロマシン加工超音波トランスジューサ(c M U T)セルが提供される。このc M U Tセルは下側電極を含んでいる。さらに、このc M U Tセルは、この下側電極との間に第1のギャップ幅を有するギャップが形成されるようにこの下側電極に隣接して配置された隔壁を含んでおり、この隔壁は第1のエピタキシャル層または第1のポリシリコン層のうち的一方を備えている。さらに、この第1のエピタキシャル層または第1のポリシリコン層のうち的一方内に応力低減材料を配置させている。

10

【0007】

本技法の態様によれば、c M U Tセルを製作するための方法が提供される。本方法は、第1のサブストレートの上部側上に複数の支持支柱によって規定されたキャビティを形成する工程を含む。本方法はさらに、下側電極との間にギャップを有する複合構造が形成されるようにこの複数の支持支柱上に隔壁を配置する工程であって、該隔壁は第1のエピタキシャル層または第1のポリシリコン層のうち的一方を備えている配置工程を含む。本方法はさらに、この第1のエピタキシャル層または第1のポリシリコン層のうち的一方内に応力低減材料を配置する工程を含む。

【0008】

20

本技法のさらに別の態様によれば、c M U Tセルを製作するための方法が提供される。本方法は、第1のエピタキシャル層または第1のポリシリコン層のうち的一方を第1のサブストレート上に配置する工程であって、第1のエピタキシャル層または第1のポリシリコン層のうち的一方と第1のサブストレートとが反対性にドーピングされており、かつ第1のエピタキシャル層または第1のポリシリコン層のうちの方のドーピング・レベルが第1のサブストレートのドーピング・レベルと異なっている配置工程を含む。本方法はさらに、この第1のエピタキシャル層または第1のポリシリコン層のうちの方内に応力低減材料を配置する工程を含む。

【発明を実施するための最良の形態】

【0009】

30

本発明に関するこれらの特徴、態様及び利点、並びにその他の特徴、態様及び利点については、同じ参照符号が図面全体を通じて同じ部分を表している添付の図面を参照しながら以下の詳細な説明を読むことによってより理解が深まるであろう。

【0010】

医用イメージングや非破壊的評価などの多くの分野では、高品質の診断画像の作成を可能とさせる超音波トランスジューサを利用することが望ましい。高品質診断画像は、寄生キャパシタンスの低下を示しこれにより高感度を得ている容量性マイクロマシン加工超音波トランスジューサ(c M U T)などの超音波トランスジューサによって実現することができる。さらに、c M U T 隔壁の予測精度、再現性及び均一性を保証しているc M U T などの超音波トランスジューサの製作に関する経済的な方法を開発することも望まれている。さらに、c M U T 隔壁の設計の柔軟性を向上させると有利となり得る。本明細書で検討する技法は、これらの問題点のうちの一つかまたはすべてに対処するものである。

40

【0011】

ここで図1を見ると、容量性マイクロマシン加工超音波トランスジューサ(c M U T)セル10の例示的な一実施形態の側面断面図を表している。図面は例示を目的としており縮尺通りでないことは当業者であれば理解されよう。このc M U Tセル10は、上部側と底部側を有するサブストレート12を備えている。このサブストレート12は、ガラス、シリコンまたはこれらの組み合わせのうちの一つを含むことがある。さらに、このサブストレート12は、p型またはn型のシリコンウェハを含むことがある。さらに、サブストレート12のドーピング・レベルは低いことがある。例えば、サブストレート12のドー

50

ピング・レベルは概ね、約 $1e_{13} / \text{cm}^3$ ($1e_{13} \text{ per } \text{cm}^3$) から約 $1e_{20} / \text{cm}^3$ までの範囲とすることがある。このため、サブストレート 12 は高い抵抗率を示すように構成されることがある。サブストレート 12 の厚さは例えば概ね、約 $50 \mu\text{m}$ から約 $500 \mu\text{m}$ までの範囲とすることがある。

【0012】

サブストレート 12 の上部側上には、上部側と底部側を有する複数の支持支柱 14 を配置させることがある。支持支柱 14 はキャビティ 16 を規定するように構成されることがある。一般に、支持支柱 14 の高さは、約 $0.1 \mu\text{m}$ から約 $10.0 \mu\text{m}$ までの範囲にある。さらに、支持支柱 14 は、二酸化ケイ素や窒化ケイ素（ただし、これらに限らない）などの誘電性材料を用いて形成することがある。さらに、このキャビティ 16 は約 $0.05 \mu\text{m}$ から約 $10.0 \mu\text{m}$ までの範囲の深さを有することがある。

10

【0013】

キャビティ 16 内部のサブストレート 12 上には、下側電極 18 を配置させることがある。本技法の態様によれば、この下側電極 18 はサブストレート 12 内に注入されることがある。さらに、下側電極 18 は p 型または n 型の材料を含むことがある。別法として、その下側電極 18 はサブストレート 12 内に拡散させることがある。下側電極 18 の厚さは例えば概ね、約 $0.05 \mu\text{m}$ から約 $9.95 \mu\text{m}$ までの範囲とすることがある。さらに、下側電極 18 のドーピングを多くし、これにより低い抵抗率を示すように構成させることがある。例えば、下側電極 18 のドーピング・レベルは概ね、約 $1e_{17} / \text{cm}^3$ から約 $1e_{20} / \text{cm}^3$ までの範囲とすることがある。さらに、キャビティ 16 は、下側電極 18 と上側電極の間に電気絶縁を提供するように構成された誘電性床部 20 を含むことがある。

20

【0014】

引き続き図 1 を参照すると、複数の支持支柱 14 の上部側上に膜または隔壁 22 を配置させることがある。隔壁 22 は、シリコンからなるエピタキシャル層を含むことがある。さらに、この隔壁は p 型または n 型の材料を含むことがある。この隔壁はドーピングを多くし、これにより低い抵抗率を示すように構成させることがある。例えば、隔壁 22 のドーピング・レベルは概ね、約 $1e_{13} / \text{cm}^3$ から約 $1e_{20} / \text{cm}^3$ までの範囲とすることがある。さらに、本技法の態様によれば、シリコンからなるエピタキシャル層内に応力低減材料を配置させることがある。例えば、この応力低減材料はゲルマニウムを含むことがある。代替的な一実施形態では、その隔壁 22 はポリシリコン層を含むことがある。

30

【0015】

ドーピングを多くしたエピタキシャル層は、ドーピング・レベルが高いために高いレベルの内在性応力 (*intrinsic stress*) を示すことが理解されよう。ドーピングを高めたエピタキシャル層が cMUT の隔壁として利用されている状態では、そのエピタキシャル層は圧縮応力及び / または引張り応力を受けることがある。このため、エピタキシャル層の機械的特性が影響を受け、したがって cMUT デバイスのレスポンスが変更されることがある。

【0016】

上で言及した問題に対する解決法の 1 つとして、エピタキシャル層が受ける応力をエピタキシャル層に対するドーピングを介して大幅に低下させることがある。一実施形態では、エピタキシャル層内に、応力低減材料として利用できるゲルマニウム (Ge) を配置させることがある。この応力低減材料は、シリコンボウル (*silicon boulev*) 製造中に最新技法を利用してエピタキシャル層内に配置させることがある。別法として、その応力低減材料は、ボウルからシリコンを切り出してウェハの形態に製作した後にイオン注入を介してエピタキシャル層内に配置させることがある。

40

【0017】

本技法の一態様によれば、その隔壁 22 は単結晶シリコンを利用して製作することがある。別法として、隔壁 22 を製作するためには、窒化ケイ素、酸化ケイ素、多結晶シリコン、または別の半導体材料（ただし、これらに限らない）などの材料が利用されることも

50

ある。さらに、シリコンからなるエピタキシャル層の厚さは隔壁 2 2 の事前決定の厚さに基づいている。例えば、隔壁 2 2 の厚さは典型的には、約 $0.1 \mu\text{m}$ から約 $20 \mu\text{m}$ までの範囲にある。さらに、図示した実施形態では、隔壁 2 2 を c M U T セル 1 0 の上側電極として使用するように構成させることがある。

【0018】

ここで図 2 を参照すると、図 1 の c M U T セル 1 0 に対する代替的な一実施形態 2 4 の側面断面図を表している。本技法の態様によれば、このサブストレート 1 2 のドーブを多くすることがある。このため、サブストレート 1 2 は低い抵抗率を示すように構成されることがある。図 2 に図示した実施形態では、サブストレート 1 2 を下側電極として使用するように構成させることがある。隔壁 2 2 はシリコンのエピタキシャル層を含むことがある。さらに、本技法の態様によれば、そのシリコンのエピタキシャル層は、内部を通過するように配置させたゲルマニウム（ただし、これに限らない）などの応力低減材料を含むことがある。上で言及したように、隔壁は p 型または n 型の材料を含むことがあると共に、低い抵抗率を示すように構成させることがある。

10

【0019】

図 3 を見ると、c M U T セルに対する別の例示的な実施形態 2 6 の側面断面図を表している。この実施形態では、隔壁 2 2 上には、隔壁 2 2 と結合させることができる上側電極 2 8 をパターン形成させることがある。この上側電極 2 8 は、金属、ドーブしたポリシリコンまたはドーブしたエピタキシャル層（ただし、これらに限らない）などの材料を利用して製作することがある。図示した実施形態では、隔壁 2 2 はシリコンのエピタキシャル層を含むことがある。さらに、上で言及したように、このシリコンのエピタキシャル層は、その内部を通過するように配置させた応力低減材料を含むことがある。さらに隔壁 2 2 は p 型または n 型の材料を含むことがある。さらに、隔壁 2 2 のドーピング・レベルは低いことがあり、またその結果として隔壁 2 2 は高い抵抗率を示すように構成されることがある。

20

【0020】

引き続き図 3 を参照すると、サブストレート 1 2 は p 型または n 型のシリコンウェハを含むことがある。さらに、サブストレート 1 2 のドーピング・レベルは低いことがあり、これによりサブストレート 1 2 が高い抵抗率を示すことがある。さらに、サブストレート 1 2 内に下側電極 1 8 を注入する、または拡散させることがある。この実施形態では、下側電極 1 8 が低い抵抗率を示すようにその下側電極 1 8 のドーブを多くすることがある。

30

【0021】

図 4 は、図 3 に図示した c M U T セル 2 6 に対する代替的な一実施形態 3 0 の側面断面図を表している。図示した実施形態では、サブストレート 1 2 は下側電極として使用するように構成されている。サブストレート 1 2 は p 型または n 型の材料からなることがある。さらに、サブストレート 1 2 のドーブを多くする、従って低い抵抗率を示すように構成させることがある。

【0022】

図 5 は、c M U T セルの例示的な実施形態 3 2 の側面断面図を表している。この実施形態では、隔壁 2 2 内に上側電極 2 8 として使用するように構成させ得る材料を注入することがある。別法として、その上側電極 2 8 はこの材料を隔壁 2 2 内に拡散させることによって形成することがある。この実施形態では、上側電極 2 8 は p 型または n 型の材料を含むことがある。さらに、注入されたまたは拡散させた上側電極 2 8 のドーブを多くし、これにより低い抵抗率を示すように構成させることがある。上で言及したように、隔壁 2 2 は p 型または n 型の材料からなると共に、高い抵抗率を示すように構成させることがある。

40

【0023】

さらに、サブストレート 1 2 は p 型または n 型のシリコンウェハを含むことがある。さらに、サブストレート 1 2 のドーピング・レベルは低いことがあり、またこれによりサブストレート 1 2 が高い抵抗率を示すことがある。さらに、サブストレート 1 2 内に下側電

50

極 18 を注入するまたは拡散させることがある。この実施形態では、下側電極 18 が低い抵抗率を示すように下側電極 18 のドーピングを多くすることがある。

【0024】

図 6 は、図 5 に示した c M U T セル 32 に対する代替的な一実施形態 34 の側面断面図を表している。図示した実施形態では、サブストレート 12 は下側電極として使用するように構成されている。サブストレート 12 は p 型または n 型の材料からなることがある。さらに、サブストレート 12 のドーピングを多くし、このため低い抵抗率を示すように構成させることがある。

【0025】

図 7 は、本技法のさらに別の態様に従って上側電極 28 として利用できる隔壁 22 の例示的な構成 36 を表している。この例示的な構成 36 では、第 1 のエピタキシャル層 40 と第 2 のエピタキシャル層 42 の間に電極層 38 を挟み込むことがある。さらにこの例示的な構成 36 は、上側電極 28 として使用するように構成されることがある。

10

【0026】

本技法のさらに別の態様によれば、c M U T セルの複合構造に関する一実施形態を製作するための方法が提供される。本明細書の記載では、複合構造という用語は、個別の構成要素を互いに接続することによって製作された c M U T セル 10 などの構造部材を記述するために使用している。図 8 は、c M U T セルを製作するための処理の流れ図を表している。この処理は、下側電極を含み得る底側部分を製作する工程を含むことがある。さらにこの処理は、隔壁を含み得る上側部分を製作する工程を含むことがある。さらにこの上側部分は、上側電極も含むことがある。

20

【0027】

図 8 に示したように、工程 44 は、図 1 に図示した c M U T セル 10 などの c M U T セルの底側部分を製作する処理のうちの最初の工程を表している。工程 44 は、上部側と底部側を有する担体サブストレート 12 (図 1 参照) またはウェハを設けることを含む。担体サブストレート 12 は、p 型または n 型のシリコンウェハを含むことがある。さらに、結果的に担体サブストレート 12 が高い抵抗率を示すように構成できるように、サブストレート 12 のドーピング・レベルが低くなるように構成させることがある。

【0028】

工程 46 では、乾式酸化処理、湿式酸化処理またはこれら 2 者の組み合わせとし得る酸化処理によって、担体サブストレート 12 の上部側上に第 1 の酸化物層を形成させることがある。この第 1 の酸化物層の厚みによって、c M U T セル 10 の下側電極と上側電極の間のギャップが規定される。

30

【0029】

リソグラフィ及びウェットエッチングを利用して第 1 の酸化物層の一区画をエッチング除去し、これにより複数の支持支柱 14 (図 1 参照) とこれら複数の支持支柱 14 によって規定され得るキャビティ 16 (図 1 参照) とを規定することがある。一実施形態では、その複数の支持支柱 14 は担体サブストレート 12 上に配置されている。キャビティ 16 を規定している開口を備えた適当なマスクを形成するためにリソグラフィ工程を利用することがある。第 1 の酸化物層はフッ化水素 (H F) 溶液などの等方性のエッチング剤 (i s o t r o p i c e t c h a n t) を用いてエッチングを受けることがある。別法として、その複数の支持支柱 14 は、以下に記載するように c M U T セル 10 の隔壁上に形成させることがある。

40

【0030】

引き続き工程 48 では、担体サブストレート 12 内に下側電極 18 (図 1 参照) が注入されることがある。担体サブストレート 12 内に下側電極 18 を注入するにはフォトリソグラフィ・マスクを使用したイオン注入などの方法を利用することがある。工程 50 によって示したように別法として、下側電極 18 は担体サブストレート 12 内に拡散させることがある。下側電極 18 は、酸化物をマスクとして利用して拡散させることがある。工程 52 では、熱酸化などの酸化処理を利用し、キャビティ 16 内の電気絶縁の提供の支援とな

50

り得る誘電性床部 20 (図 1 参照) を配置させることがある。

【0031】

c M U T セルを製作するための方法はさらに、隔壁 22 (図 1 参照) を含むことがある。上側部分を製作する工程を含む。本技法の例示的な一実施形態によれば、その隔壁 22 はエピタキシャル層を含むことがある。本技法の態様によれば、工程 54 において上部側と底部側を有するホスト・サブストレートが設けられる。このホスト・サブストレートはシリコンなどの材料を含むことがある。さらに、このホスト・サブストレートは p 型または n 型の材料を含むことがある。引き続いて工程 56 では、ホスト・サブストレートの上部側上にシリコンのエピタキシャル層を配置させることがある。このエピタキシャル層の厚さは隔壁 22 の事前決定の厚さに依存することがある。別法として、ホスト・サブストレートの上部側上には低圧化学蒸着法 (L P C V D) を介してポリシリコン層を配置させることがある。

10

【0032】

本技法の態様によれば、エピタキシャル層とホスト・サブストレートとは反対性にドーピングされる。例えば、ホスト・サブストレートが p 型材料を含むとすれば、エピタキシャル層は n 型材料を含むように構成することがある。また一方、ホスト・サブストレートが n 型材料を含むとすれば、エピタキシャル層は p 型材料を含むように構成することがある。さらに、エピタキシャル層のドーピング・レベルはホスト・サブストレートのドーピング・レベルと異なっている。例えば、ホスト・サブストレートのドーピング・レベルが低いとすれば、エピタキシャル層のドーピングを多くすることがある。別法では、ホスト・サブストレートのドーピングを多くすると共に、エピタキシャル層のドーピング・レベルを低くすることがある。例えば、ホスト・サブストレートのドーピング・レベルは、約 $1 \times 10^{13} / \text{cm}^3$ から約 $1 \times 10^{20} / \text{cm}^3$ までの範囲にある。さらに、エピタキシャル層のドーピング・レベルは、約 $1 \times 10^{13} / \text{cm}^3$ から約 $1 \times 10^{20} / \text{cm}^3$ までの範囲にある。

20

【0033】

さらに工程 58 では、本技法の態様に従って、エピタキシャル層内にゲルマニウム (ただし、これに限らない) などの応力低減材料を配置させることがある。上で言及したように、この応力低減材料はエピタキシャル層内の引張り応力及び / または圧縮応力を大幅に低下させるように構成させることがある。工程 58 では、応力低減材料をイオン注入または *i n - s i t u* ドーピングを介してエピタキシャル層内に配置させることがある。

30

【0034】

本技法の一実施形態では、エピタキシャル層上に複数の支持支柱 14 を配置させることがある。この実施形態では、乾式酸化処理、湿式酸化処理、またはこれら 2 者の組み合わせとし得る酸化処理によってエピタキシャル層上に酸化物層を配置させることがある。この酸化物層は下側電極 18 と上側電極 28 の間に 1 つのギャップを規定している。リソグラフィ及びウェットエッチングを利用して酸化物層の一区画をエッチング除去し、これにより複数の支持支柱 14 (図 1 参照) とこれらの支持支柱 14 によって規定され得るキャビティ 16 (図 1 参照) を規定することがある。キャビティ 16 を規定している開口を備えた適当なマスクを形成するためにリソグラフィ工程を利用することがあり、また第 1 の酸化物層はフッ化水素 (H F) 溶液などの等方性のエッチング剤を用いてエッチングを受けることがある。

40

【0035】

上側部分と底側部分のそれぞれを製作した後、工程 60 に示したようにエピタキシャル層が担体サブストレート 12 と対面するように底側部分上に上側部分を配置させることによって c M U T セル 10 の複合構造を形成させることがある。換言すると、上側部分と底側部分は、底側部分内部にあるキャビティ 16 が上側部分上に配置したエピタキシャル層によって実質的に覆われるように位置決めされ、これによりこれら 2 つのサブストレート間に 1 つのチェンバを形成させている。引き続いて、これら 2 つのサブストレート (すなわち、担体サブストレートとホスト・サブストレート) を、例えばウェハ融着によって結合させることがある。

50

【0036】

このウェハ結合工程の後には、工程62におけるホスト・サブストレートなどのハンドルウェハを除去する工程を続けることがある。本技法の態様によれば、工程62では、逆バイアスのPN接合などのエッチング・ストップを用いた電気化学的エッチングを利用することによって、事前決定の厚さの隔壁22が形成されるようにホスト・サブストレートを薄くさせることがある。さらに、エピタキシャル層の厚さは所望の事前決定厚さに基づくことは当業者であれば理解されよう。上で言及したように、ホスト・サブストレートとエピタキシャル層の間にはドーピング・レベルの差異が存在する。ドーピング・レベルのこの差異はエピタキシャル層の厚さ制御を好都合に容易にするために利用されることがある。したがって、このドーピング・レベルの差異は、エピタキシャル層のエッチングを停止して隔壁22の厚さを制御するために利用されることがある。別法として、厚さ制御のためには限時性エッチング (timed etching) を利用されることがある。

10

【0037】

当業者であれば理解するであろうように、工程62では、機械的研磨 (polishing) または研削 (grinding) を利用し、続いて水酸化テトラメチルアンモニウム (TMAH)、水酸化カリウム (KOH) またはエチレンジアミンピロカテコール (EDP) (ただし、これらに限らない) などの化学物質を用いたウェットエッチングを利用することによってホスト・サブストレートを除去し、これによってキャビティ16を覆うように隔壁22 (図1参照) を形成するエピタキシャル層のみを残留させることがある。

【0038】

引き続き工程64では、上側電極を規定することがある。本技法の一実施形態では、隔壁22を上側電極28として使用するよう構成させることがある。この実施形態では、隔壁22のドーブを多くし、これにより隔壁が低い抵抗率を示すよう構成されることがある。

20

【0039】

本技法のさらに別の態様によれば、ホスト・サブストレート上に第1のエピタキシャル層を成長させることによって隔壁22を形成させることがある。この第1のエピタキシャル層上には電極層を配置させることがある。電極層の配置に続いて、この電極層が実質的に覆われるように電極層上に第2のエピタキシャル層を配置させることがある。次いで電極層が2つのエピタキシャル層によって挟み込まれている図7に図示したこの例示的な構成を、上側電極28として使用するよう構成させることがある。

30

【0040】

別法として別の実施形態では、隔壁22上に上側電極28として使用するよう構成させ得る材料を配置させることがある。例えば、隔壁22上に金属の薄い層を配置させ上側電極28を製作することがある。この上側電極28は、金属、ドーブしたポリシリコン、またはドーブしたエピタキシャル層 (ただし、これらに限らない) などの材料を利用して形成させることがある。

【0041】

工程64における上側電極28の形成に続いて、リソグラフィ及びドライエッチング・シーケンスにより容量性センサが作成されるように上側電極28をパターン形成することがある。引き続き、工程66において別のリソグラフィ及びドライエッチング・シーケンスを実行しcMUTセル10の周辺部の周りのエピタキシャル層及び酸化物層を除去することがある。これによれば、アレイ状に配列させることができる隣り合ったcMUTセルから個々のcMUTセルを電気絶縁することが容易になるので有利となり得る。さらに、リソグラフィ及びドライエッチング処理は、下側電極18を含むことがある担体サブストレート12との電氣的接触の確立を支援することがある。

40

【0042】

本明細書の上で記載したcMUTセル及び該cMUTセルの製作方法に関する様々な実施形態によれば、cMUTセルの経済的な製作が可能となる。さらに、本明細書の上で記載した製作方法を利用すると、隔壁22の厚さに対する制御の向上を実現することができ

50

る。さらに、下側電極に対する局所的ドーピングによれば、寄生キャパシタンスの低減を容易にし、これによってより高い感度が得られるので有利となり得る。これらのcMUTセルは、医用イメージング、非破壊的評価、ワイヤレス通信、セキュリティ用途、及びその他の用途など様々な分野において用途を見いだすことができる。

【0043】

本発明のある種の特徴についてのみ本明細書において図示し説明してきたが、当業者によって多くの修正や変更がなされるであろう。したがって、添付の特許請求の範囲は、本発明の真の精神の範囲に属するこうした修正や変更のすべてを包含させるように意図したものであることを理解されたい。また、図面の符号に対応する特許請求の範囲中の符号は、単に本願発明の理解をより容易にするために用いられているものであり、本願発明の範囲を狭める意図で用いられたものではない。そして、本願の特許請求の範囲に記載した事項は、明細書に組み込まれ、明細書の記載事項の一部となる。

10

【図面の簡単な説明】

【0044】

【図1】本技法の態様に従って隔壁を上側電極として動作するように構成させかつサブストレートを局所的にドーピングしてこのドーピング領域を下側電極として動作するように構成させたMUTセルの例示的な一実施形態を表した側面断面図である。

【図2】本技法の態様に従って隔壁を上側電極として動作するように構成させかつサブストレートを下側電極として動作するように構成させた図1のcMUTセルの例示的な一実施形態を表した側面断面図である。

20

【図3】本技法の態様に従って上側電極を含みかつサブストレートを局所的にドーピングしてこのドーピング領域を下側電極として動作するように構成させたcMUTセルの例示的な一実施形態を表した側面断面図である。

【図4】本技法の態様に従ってcMUTセルが上側電極を含みかつサブストレートを下側電極として動作するように構成させた図3のcMUTセルの例示的な一実施形態を表した側面断面図である。

【図5】本技法の態様に従って下側電極と隔壁内に配置させた局所的ドーピングした上側電極とを含んだcMUTセルの例示的な一実施形態を表した側面断面図である。

【図6】本技法の態様に従ってcMUTセルが隔壁内に配置させた局所的ドーピングした上側電極を含みかつサブストレートを下側電極として動作するように構成させた図5のcMUTセルの例示的な一実施形態を表した側面断面図である。

30

【図7】第1のエピタキシャル層と第2のエピタキシャル層の間に配置させた電極層を含んだ上側電極の例示的な一実施形態に関する側面斜視図である。

【図8】cMUTセルを形成するための方法を表した流れ図である。

【符号の説明】

【0045】

- 10 cMUTセル
- 12 サブストレート
- 14 支持支柱
- 16 キャピティ
- 18 下側電極
- 20 誘電性床部
- 22 隔壁
- 24 cMUTセル
- 26 cMUTセル
- 28 上側電極
- 30 cMUTセル
- 32 cMUTセル
- 34 cMUTセル
- 36 隔壁の構成

40

50

- 3 8 電極層
- 4 0 第 1 のエピタキシャル層
- 4 2 第 2 のエピタキシャル層

【 図 1 】

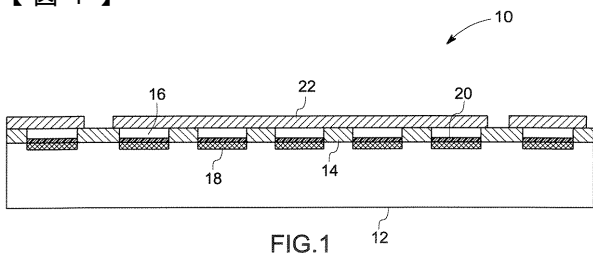


FIG.1

【 図 4 】

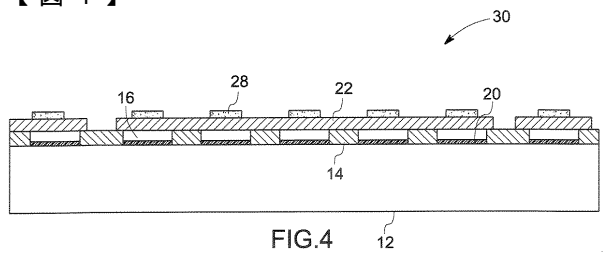


FIG.4

【 図 2 】

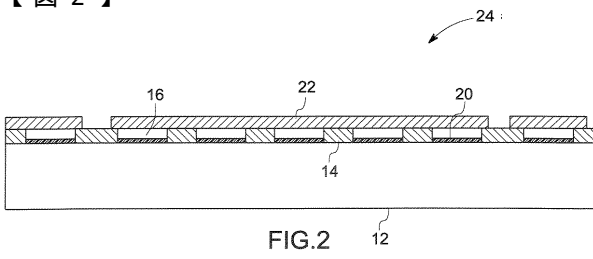


FIG.2

【 図 5 】

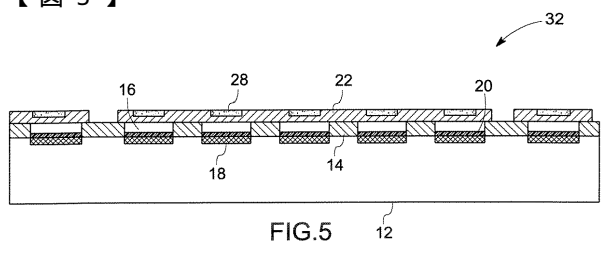


FIG.5

【 図 3 】

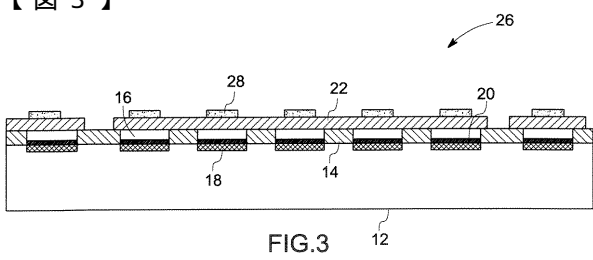


FIG.3

【 図 6 】

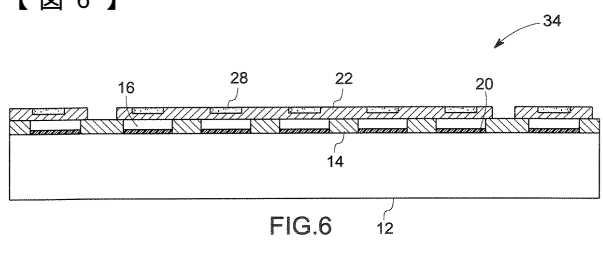


FIG.6

【 図 7 】

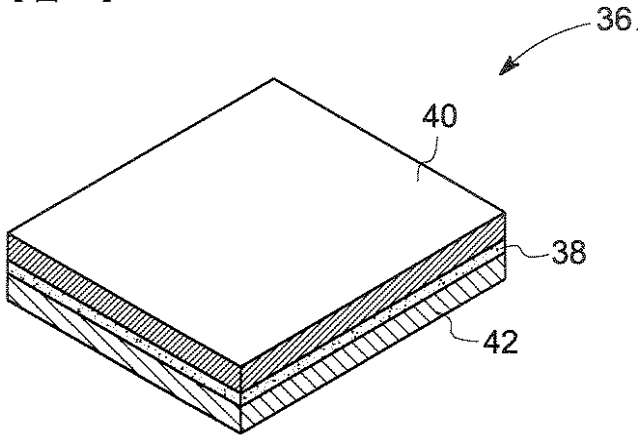


FIG.7

【 図 8 】

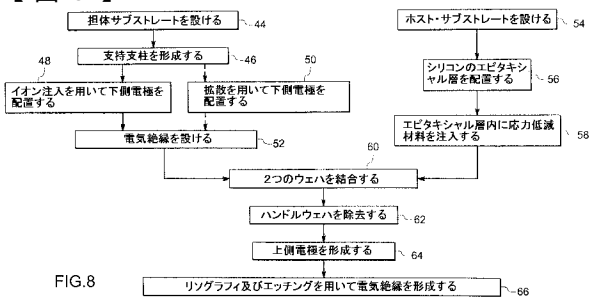


FIG.8

フロントページの続き

- (72)発明者 デイヴィッド・マーティン・ミルズ
アメリカ合衆国、ニューヨーク州、ニスカユナ、ヘリテージ・ロード、1915番
- (72)発明者 ジェフリー・バナード・フォーティン
アメリカ合衆国、ニューヨーク州、ニスカユナ、ヒルトップ・ロード、2528番
- (72)発明者 ウェイ・チェン・ティアン
アメリカ合衆国、ニューヨーク州、クリフトン・パーク、ハイランド・オックス、6番
- (72)発明者 ジョン・ロバート・ローガン
アメリカ合衆国、カリフォルニア州、ダンヴィル、ブリガム・レーン、415番
- Fターム(参考) 5D019 DD01 HH01