公告本

申請日期	88.8.10
案號	88113660
類別	H01L 21/8242

（以上各欄由本局填註）

A4
C4

419793

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體積體電路
	日文	"半導体集積回路装置"
二、發明 ~~創作~~ 人	姓名	1. 山中 俊明 2. 木村 紳一郎 3. 松岡 秀行 4. 阪田 健 5. 關口 知紀
	國籍	均日本
	住、居所	1. 日本國埼玉縣入間市春日町2-12-2-301 2. 日本國東京都國立市谷保6200 3. 日本國東京都保谷市住吉町6-8-25 4. 日本國東京都小平市小川西町4-7-11-401 5. 日本國東京都國分寺市西戀窪4-14-6日立第四協心寮
三、申請人	姓名（名稱）	日商日立製作所股份有限公司
	國籍	日本
	住、居所（事務所）	日本國東京都千代田區神田駿河台四丁目6番地
	代表人姓名	庄山 悅彥

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
日本	1998 年 08 月 26 日	特願平10-239898	☑有 □無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

發明之背景

(1) 發明之領域

本發明係關於一種使用相位移位光罩而形成圖案之半導體積體電路裝置，特別是關於一種可形成適於高積體化之電極配線的配置之半導體積體電路裝置。

(2) 習知技術之說明

使用相位移位光罩之積體電路圖案的圖案形成方法中，鄰接圖案之曝光透過光的相位差呈 180 度，於光罩之開口部配置相位移位，俾可形成高解析度之微細圖案(配置)。使用此雷本森配置之圖案形成方法的原理已記載於 IEEE Trans. Electron Devices, ED-29, pp. 1828-1836, 1982 ，藉此方法，可形成曝光光源之波長以下微細尺寸的圖案。

其次，使用圖 3 及圖 4 ，進一步詳細說明有關利用此技術之習知例。

圖 3 表示半導體積體電路裝置之配線電極的平面圖。在同圖中，配線電極 202 、 203 、 204 、 208 係含有一形成於半導體基板上之 MOSFET 的積體電路元件，其第 1 層之配線電極。配線電極 204 、 208 係以相位爲 0 (∅=0) 之相位圖案且配線電極 202 、 203 係以相位爲 π (∅=π) 之相位圖案來形成圖案。各別之配線間隔乃依相位移位光罩之曝光原理，而以最小間隔來配置。

又，圖 4 爲沿著圖 3 之 Y1-Y1' 線的部分斷面圖。如同圖所示，於矽基板 200 上形成含有閘極氧化膜 231 、閘極電極 211 、源/汲極之高濃度雜質區域 210 、及元件分離氧化

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 2 ）

膜 209 之 MOSFET 。

進一步，在上述 MOSFET 上依序積層第 1 之層間絕緣膜 212 、第 1 層之配線電極 202 、 203 、 204 、 208 、第 2 之層間絕緣膜 213 、第 2 層之配線電極 206 。又，高濃度雜質區域 210 、與第 1 層之配線電極 202 、 208 係分別介由一貫穿層間絕緣膜 212 所形成的插件電極 201 而連接，第 1 層之配線電極 208 與第 2 層之配線電極 206 係介由一貫穿層間絕緣膜 213 所形成的插件電極 205 而連接。

發明之摘要

然而，若依據前述之習知例，在沿著圖 3 之 Y2-Y2' 線的第 1 層之配線電極 202 、 203 、 204 中，配線電極 203 與 204 之圖案係配置成相位差呈 180 度，故配線間間隔係呈最小尺寸，但配線電極 202 與 203 之圖案係相位差呈 0 度，相位移相器之原理無法適用而無法形成解析度高之微細圖案，故必須使配線間隔 b 形成比最小尺寸 a 更大。

使用波長 246 nm 之 KrF 光源而具體研究結果，最小尺寸 a 成爲約 0.16 μm ，但配線間隔 b 變大至 0.25 μm 。形成如此係圖 3 所示之配線電極 208 形成島狀圖案，故若將相位移相器配置於光罩圖案，俾朝圖之 X 方向延伸之配線電極 202 、 203 ，係對齊 Y1-Y1' 線而鄰接之圖案相位差呈 180 度，則無沿著同圖之 Y2-Y2' 的島狀電極電線 208 之部分，係因相位移相器之雷本森配置產生矛盾。同樣之矛盾在島狀的電極配線 208 間亦會產生，故如圖 3 所示般，島狀之電極配線 208 間的配線間隔 b 必須亦比最小尺寸 a 還

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A1 規格 (210 × 297 公釐)

五、發明說明（3）

大。

如以上所說明般，使用於半導體積體電路裝置之圖案，未必可依據相位移相器之原理的0、π、0、π之相位配置。

因此，本發明之目的係提供一種半導體積體電路裝置，俾可無矛盾地適用相位移相器之原理，更詳而言之，係在同一配線電極層之形成光罩，如圖3及圖4所示之島狀圖案與線狀圖案不混在一起，可形成在相位移相器之雷本森配置無矛盾的相位圖案配置。

本發明之半導體積體電路裝置，係由如下所構成：第1多絕緣膜；貫穿第1絕緣膜之第1導電體；於第1絕緣膜上使用相位移相器光罩而以相同步驟形成圖案之第1配線電極以及第2配線電極；第1配線電極以及第2配線電極上之第2絕緣膜；貫穿第2絕緣膜之第2導電體；其特徵在於：第1導電體係至少第1配線電極或第2配線電極與比第1絕緣膜更下層之電路元件或電路配線電氣連接，第2導電體係第1配線電極或第2配線電極與比第2絕緣膜更上層之電路元件或電路配線電氣連接，在鄰接之第1配線電極與第2配線電極之間，設有第1導電體與第2導電體互相直接接觸而成之導電體，其係相對於至少一者之配線電極側而比第1配線電極與第2配線電極之最小間隔還短的間隔設置。亦即，在線狀配線電極圖案所挾住之部分不配置島狀的配線電極圖案，而配置第1導電體與第2導電體之構成，亦即，配置成使配線電極層之上下插件電極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

不介由島狀之配線電極而直接連接著。此外，藉由廢除島狀之圖案，以線狀圖案製作光罩，而可實現一種高積體之半導體積體電路裝置，其係可無矛盾地可適用相位移位，所謂雷本森配置成爲可能，並可提高半導體積體電路裝置之圖案密度。

此時，貫穿一形成第1導電體之第1絕緣膜的開口部，若比貫穿一形成第2導電體之絕緣膜的開口部還大，會更適合。

或，貫穿一形成第1導電體及第2導電體之第1及第2絕緣膜的開口部，亦可形成推拔狀俾其上部呈寬大。

又，於半導體積體電路裝置中，第1配線電極以及第2配線電極，若電氣連接於動態型RAM之數據對線，會更適宜。

鄰接之第1配線電極與第2配線電極係以互相相反相位之光罩圖案形成圖案，第1導電體與第2導電體互相直接連接而成之導電體，若使比第1絕緣膜更下層之電路元件或電路配線，與比第2絕緣膜更上層之電路元件或電路配線電氣連接，則會更適宜。

此時，進一步鄰接之第1配線電極與第2配線電極，若電氣連接於動態型RAM之數據對線，則適宜。

又，鄰接之第1配線電極與第2配線電極互相以同相位之光罩圖案來形成圖案，且，第1導電體與第2導電體互相直接接觸而成之前述導電體，其所接續之一端爲第1絕緣膜下之電場效果電晶體的汲極擴散層，另一端爲第2絕

經濟部智慧財產局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 5 ）

緣膜上之汲極配線電極，鄰接之第 1 配線電極與第 2 配線電極之一者爲電場效果電晶體之源極配線電極，另一者亦可形成一鄰接於電場效果電晶體之另一電場效果電晶體的配線電極。此構成宜使供電於電場效果電晶體之源極、汲極的配線電極部分之配線間隔縮小。

圖式之簡單說明

圖 1 係表示本發明之半導體積體電路裝置的第 1 實施例，其平面圖。

圖 2 係沿著圖 1 所示之 Y-Y' 線的部分斷面圖。

圖 3 係習知半導體積體電路裝置之平面圖。

圖 4 係沿著圖 3 所示之 Y-Y' 線的部分斷面圖。

圖 5 係用以實現圖 2 所示之本發明半導體積體電路裝置的第 1 實施例構造，依步驟順序表示其製造步驟之斷面圖。

圖 6 係圖 5 所示之下一製造步驟的斷面圖。

圖 7 係圖 6 所示之下一製造步驟的斷面圖。

圖 8 係圖 7 所示之下一製造步驟的斷面圖。

圖 9 係圖 8 所示之下一製造步驟的斷面圖。

圖 10 係圖 9 所示之下一製造步驟的斷面圖。

圖 11 係圖 10 所示之下一製造步驟的斷面圖。

圖 12 係就圖 10 所示之構造，第 1 層之電極配線層很厚時之製造步驟的斷面圖。

圖 13 係圖 12 所示之下一步驟的斷面圖。

圖 14 係在本發明半導體積體電路裝置之第 1 實施例

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 6 ）

中，其變形例的平面圖。

圖 15 係沿圖 14 所示之 Y-Y' 線的部分斷面圖。

圖 16 係本發明半導體積體電路裝置之第 2 實施例的平面圖。

圖 17 係在本發明半導體積體電路裝置之第 2 實施例中，其變形例之平面圖。

圖 18 係沿著圖 16 所示之 Y-Y' 線的部分斷面圖。

圖 19 係本發明半導體積體電路裝置之第 3 實施例的平面圖。

圖 20 係沿著圖 19 所示之 Y-Y' 線的部分斷面圖。

圖 21 係本發明半導體積體電路裝置之第 4 實施例的平面圖。

圖 22 係沿著圖 21 所示之 X-Y 線的部分斷面圖。

圖 23 係本發明半導體積體電路裝置之第 5 實施例的平面圖。

圖 24 係在本發明半導體積體電路裝置之第 5 實施例中，其變形例的平面圖。

圖 25 係本發明半導體積體電路裝置之第 5 實施例中，其另一變形例的平面圖。

圖 26 係本發明半導體積體電路裝置之第 6 實施例的斷面圖。

圖 27 係圖 26 所示之第 6 實施例的平面圖。

圖 28 係圖 27 所示之半導體積體電路裝置的等價電路圖。

經濟部智慧財產局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（7）

圖 29 係圖 16 所示之第 2 實施例，其變形例之平面圖。

圖 30 係圖 17 所示之第 2 實施例，其變形例之平面圖。

較佳實施例之說明

以下，關於本發明之半導體積體電路裝置的實施形態，舉出實施例，參照添附圖面並進一步詳細說明。

（實施例 1）

首先，使用圖 1 及圖 2 說明本發明之基本部分。圖 1 係本發明半導體積體電路裝置之一實施例，其平面圖，圖 2 係在圖 1 之 Y-Y' 線中的斷面圖。

在圖 1 中，配線電極 2、3、4 係相位互相相反，亦即，配線電極 2、4 係於光罩之開口部配置相位移相器，俾配線電極 2、4 之圖案相位爲 0°，配線電極 3 之圖案相位爲 180°（=π）。若以圖案轉印之解析度所規定的最小圖案幅寬或最小圖案間隔定義爲最小尺寸，個別之配線電極 2、3、4 的圖案間隔爲最小尺寸 a。在本實施例中，與前述習知例同樣地，使用 KrF 光源時作爲例子進行說明，最小尺寸 a 爲約 0.16 μm。

又，在圖 1 中未表示出，但，如圖 2 所示般，在矽基板 8 上形成含有閘極氧化膜 31、閘極電極 11、源極/汲極之高濃度雜質區域 10、元件分離氧化膜 9 之 MOSFET。進而，在 MOSFET 上依序積層第 1 層間絕緣膜 12、第 1 層之配線電極 2、3、4、第 2 之層間絕緣膜 13、第 2 層之配線電極 6。又，高濃度雜質區域 10、與第 1 層之配線電極 2 係介由分別貫通第 1 之層間絕緣膜 12 所形成之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（8）

插件電極1而連接，第1層之配線電極4與第2層之配線電極6係介由貫通第2之層間絕緣膜13所形成的插件電極5而連接。

進而，若考慮對於插件電極1、與第1層之配線電極2及3之製造上的參差不齊，其位置上的空間定義爲t，第1層之配線電極2及3之間的高濃度雜質區域10上，從第1層之配線電極2及3之端部，至t以上且a以下之距離，配置插件電極1及配線電極2、3，且，不介由第1層之配線電極而插件電極1與5直接連接。又，此插件電極1與5直接連接之插件電極部分，在圖1之平面圖中係以參照符號7表示。插件電極5係連接於第2之層間絕緣膜13上所形成的第2層之配線電極6。又，第1層之配線電極4係介由插件電極5而連接於位在上層之第2層配線電極6，另一之第1層的配線電極2係介由插件電極1而連接於高濃度雜質區域10。

其次，使用圖5乃至圖11，依步驟順序說明有關圖3所示之構造的半導體積體電路裝置之製造方法。首先，如圖5所示般，於p型之矽基板8上使用淺溝隔離而形成元件分離氧化膜9後，在活性區域上形成n通道之MOSFET。此處，MOSFET係由源極/汲極之高濃度n型雜質區域10、閘極氧化膜31、閘極電極11所構成(參照圖6)。

繼而，堆積間隙埋入特性佳之矽氧化膜12。此矽氧化膜12之堆積方法例如有：以臭氧-TEOS (Thetra-Ethoxy-

經濟部智慧財產局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（9）

Silane)產生之 CVD (Chemical-Vapour-Deposition)-SiO_2、或、以高密度電漿(HDP: High Density Plasma)所產生之電漿 CVD-SiO_2、或、旋轉塗布而成膜之 SOG (Spin-On-Glass)等。又，爲增加平坦度，若使用 CMP (Chemical-Mechanical-Polishing)等更佳。再者，藉光蝕刻與乾蝕刻，於高濃度雜質區域 10 上之第 1 層間絕緣膜 12 上形成約一定尺寸之開口部 14（參照圖 7）。開口部尺寸在本實施例中爲 0.2 μM。

其次，如圖 8 所示，插件電極 1 之材料乃藉 CVD 法堆積厚 200 nm 左右之鎢，以 CMP 法研磨開口部以外之鎢。又，在圖中雖未圖示，但，插件電極 1 之鎢因會與矽基板 8 反應，必須於鎢的下層形成 TiN 等之阻隔金屬材料。

然後，如圖 9 所示般，爲形成第 1 層之配線電極 2、3、4，例如以濺鍍法堆積比最小尺寸幅寬 a 還薄之 100 nm 厚的鎢膜，藉光蝕與乾蝕刻形成圖案。此處，當圖案轉印時，係使用配置有相位移相器之光罩，俾第 1 層之配線電極 2、4 乃圖案之相位爲 0°，且配線電極乃圖案的相位爲 180°。又，成爲第 1 層之配線電極材料的鎢之下層宜形成 TiN 等之阻隔金屬材料。第 1 層之配線電極的材料除鎢以外，可使用鎢等之高融點金屬的矽化物膜與多結晶矽膜之複合膜(所謂多元矽膜)、或、銅或鉭等高融點金屬、進而鋁等低電阻材料。

其次，第 2 之層間絕緣膜 13 乃依同於圖 7 之步驟所述的方法來形成 SiO_2 膜，在插件電極 1 上或第 1 層之配線電

經濟部智慧財產局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（10）

極 4 上的第 2 層間絕緣膜 13 藉光蝕刻與乾蝕刻形成開口部 15（參照圖 10）。

然後，如圖 11 所示般，使用同於圖 9 之步驟所述的方法，形成鎢之插件電極 5。

最後，第 2 層之配線電極 7 若堆積鋁膜，藉光蝕刻與乾蝕刻進行圖案化，則可得到圖 2 所示之構造。

又，在本實施例中，第 1 層之配線電極爲 100 nm 左右之膜厚，但，進一步形成厚的配線電極時，如圖 12 及 13 所示，亦可以另一光蝕刻與乾蝕刻的步驟形成插件電極 1 上之開口部 16 與配線電極 4 上之開口部 17。

進一步，在本實施例中，鎢或鋁電極係堆積之後進行圖案化，但，亦可在預先堆積之層間絕緣膜上藉光蝕刻與乾蝕刻形成溝，埋入電極材料，藉 CMP，只在溝內形成配線電極，即所謂之 Damascene 法。又，配線電極除了鋁以外，亦可使用如銅之低電阻且具耐遷移性之材料。

又，如圖 14 之平面圖及圖 15 之斷面圖所示，位於下層之插件電極 1 亦可從位於上層之插件電極 5 使開口部尺寸增大。藉此，可防止因光罩對不準而產生之插件電極 1 與插件電極 5 的接觸面積下降。又，圖 15 係沿著圖 14 平面圖之 Y-Y' 線的斷面圖。

進而，於圖 2 中，第 2 之層間絕緣膜 13 的材料亦可使用比第 1 之層間絕緣膜 12 乾蝕刻速度更快的絕緣膜。具體上，於第 1 之層間絕緣膜 12 可使用以臭氧分解所產生之 TEOS-SiO_2、於第 2 之層間絕緣膜 13 可使用添加磷.5 莫

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（ 11 ）

耳%之臭氧分解所產生的 TEOS-SiO_2 。

若依本實施例，與圖 3 之習知例比較，可縮小圖 1 之 Y-Y' 方向的配線節距，提供高積體之半導體積體電路裝置。

<實施例 2>

圖 16 係本發明半導體積體電路裝置之另一實施例的平面圖，圖 18 係沿著圖 16 所示之 Y-Y' 線的部分斷面圖。本實施例係於用以達成對 MOSFET 之源極/汲極供電的配線電極，適用本發明者。

在圖 16 及圖 18 中， MOSFET 係形成於活性區域 18 ，在成爲 MOSFET 之源極/汲極的高濃度雜質區域 10 上，形成一貫通第 1 之層間絕緣膜 12 而形成的插件電極 20 。第 1 層間絕緣膜 12 之材料乃適宜爲藉 CMP 使間隙埋入特性良好的臭氧 TEOS 氧化膜平坦化者，插件電極 20 之材料適宜爲藉 CVD 法使鎢或 TiN 埋入者。進而，於源極側之高濃度雜質區域所形成的插件電極 20 連接第 1 層之金屬配線 21 。第 1 層之配線電極可使用鋁或鎢。

另外，於汲極側之高濃度雜質區域 10 所形成的插件電極 20 ，係直接連接插件電極 24 ，而此插件電極 24 乃貫通一形成於第 1 層之配線電極上的第 2 之層間絕緣膜 13 而形成者。插件電極 24 之材料乃可使用與插件電極 20 同樣的材料。插件電極 24 係連接於層間絕緣膜 13 上之第 2 層的配線電極 25 。如圖 16 所示般，閘極電極 19 係以端部介由插件電極 20 而連接於第 1 層之配線電極 22 。又，第 1 層之配線電極 23 係鄰接之電晶體的配線。

經濟部智慧財產局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210×297 公釐)

五、發明說明（ 12 ）

此處，爲縮小配線間隔，係以設有相位移相器之光罩進行圖案轉印，此相位移相器乃配線電極 21 、 23 之圖案相位爲 180°、配線電極 22 之圖案相位爲 0°者，在配線電極 21 、 23 間直接連接上下之插件電極 20 、 24 。

又，下層之插件電極 20 的形狀如圖 17 所示般，亦可爲長方形。因此，形成插件電極 24 之處的自由度會變寬，可縮小 MOSFET 的所需要面積。

汲極擴散層與汲極配線電極之連接部，習知係如圖 4 所示般，其構造爲使用一介由島狀之第 1 層配線電極 208 而連接的插件電極 201 、 205 ，故，如圖 3 所示般，插件電極與配線電極間之距離必須爲 a+t 。相對於此，不介由島狀之第 1 層配線電極而直接連接插件電極 20 、 24 的本實施例構造中，插件電極 20 與配線電極 23 之距離 t ，可比第 1 層之配線電極 21 、 22 、 23 間的最小尺寸 a 還短，插件電極 20 與配線電極 22 之端部的距離 c 可縮短至與上述距離 t 相同的距離。

因此，若依本實施例，與使用圖 4 之習知例相同構造的情形比較(此習知例係使上下之插件電極介由第 1 層之島狀電極而與第 2 層之汲極配線電極連接)，在 MOSFET 之配線電極圖案的形成中，可縮短對閘極電極與源極/汲極之配線電極個別的配線間隔。

又，在圖 29 及圖 30 中，分別表示對應於圖 16 及圖 17 之變形例。又，於圖 29 及圖 30 中，在與圖 16 及 17 之相同構成部分賦予同一參照符號，而省略其詳細說明。亦

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（13）

即，在圖 29 及圖 30 之例中，鄰接之電晶體的配線 23 乃至中途停止，取而代之，介由閘極電極 19 與插件電極 20 而連接之第 1 層的配線電極 22，乃在延伸至成爲汲極配線之第 2 層的配線電極 25 附近之點相異。在如此之 MOSFET 的配線電極圖案形成中，在相位不同之配線電極 21 與 22 之間，即使構造爲不介由第 1 層之島狀配線電極而直接連接插件電極 20、24 之插件，當然具有與圖 16 及 17 之情形相同的配線間隔縮小效果。

<實施例 3>

圖 19 係表示本發明半導體積體電路裝置之另一實施例的平面圖，圖 20 係沿著圖 19 所示之 Y-Y' 線的部分斷面圖。本實施例係於用以達成對 MOSFET 之閘極供電的配線電極，適用本發明者。

在圖 19 及圖 20 中，MOSFET 係與實施例 2 相同，形成於活性區域 18，在成爲 MOSFET 之源極/汲極的高濃度雜質區域上(未圖示)，形成一貫通第 1 之層間絕緣膜 12 而形成的插件電極 20。進而，於源極側之插件電極 20 上連接第 1 層之配線電極 26，於汲極側之插件電極 20 上連接第 1 層之配線電極 27。第 1 層之配線電極 28 爲鄰接之 MOSFET 的配線電極。此處，爲縮小配線間隔，以設有相位移相器之光罩進行圖案轉印，此相位移相器乃配線電極 26、28 之圖案相位爲 180°、配線電極 27 之圖案相位爲 0°。

另外，在閘極電極 19 係以端部連接插件電極 20，貫通

經濟部智慧財產局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 14 ）

第 2 之層間絕緣膜 13（參照圖 20）所形成的插件電極 24 乃於插件電極 20 上直接連接。進而，插件電極 24 係連接於第 2 之層間絕緣膜 13 上的第 2 層之配線電極 29 。

若依本實施例，於 MOSFET 之配線電極圖案形成中，可縮小對源極/汲極之配線電極的配線間隔。

＜實施例＞

圖 21 係表示本發明半導體積體電路裝置之再另一實施例的平面圖，圖 22 係沿著圖 21 所示之 X-Y 線的部分斷面圖。本實施例係有關一用以達成對 MOSFET 之閘極供電的配線電極，在實施例 2 之汲極的配線電極形成方法加以改良者。

與實施例 2 同樣地，在圖 21 及圖 22 中， MOSFET 係形成於活性區域 18 ，在成爲 MOSFET 之源極/汲極的高濃度雜質區域 10 上，形成一貫通第 1 之層間絕緣膜 12 而形成的插件電極 20 。此處，在源極側之高濃度雜質區域 10 上所形成的插件電極 20 上，連接一延伸於 X 方向之第 1 層的配線電極 21 。又，汲極側所形成之插件電極 20 係長方形形狀，且，插件電極 20 以延伸至活性區域 18 的外側，貫通第 2 之層間絕緣膜 13 所形成的插件電極 24 ，乃於活性區域 18 外直接與插件電極 20 連接。又，插件電極 24 係連接於一朝第 2 之層間絕緣膜 13 上的 Y 方向延伸之第 2 層配線電極 30 。

閘極電極 19 係於端部介由插件電極 20 而連接於第 1 層之配線電極 22 。又，第 1 層之配線電極 23 係鄰接之電晶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210×297 公釐)

五、發明說明（15）

體的配線。

此處，爲縮小配線間隔，以設有相位移相器之光罩進行圖案轉印，在配線電極 21、23 間直接連接上下之插件電極 20、24，該相位移相器係配線電極 21、23 之圖案相位爲 180°、配線電極 22 之圖案相位爲 0°。

若依本實施例，於 MOSFET 之配線電極圖案形成中，可縮小對閘極電極與源極/汲極之配線電極的配線間隔。

又，有關本發明說明之長方形插件電極 20 延伸至活性區域 18 外的元件分離氧化膜 9 上的方法，係使用矽氮化膜作爲接觸開口之乾蝕刻的阻擋膜，宜可防止元件分離氧化膜的剝落。

<實施例 5>

圖 23 係表示本發明半導體積體電路裝置之再另一實施例的斷面圖，平面圖係與實施例 1 之圖 1 相同，故省略。又，圖 23 之平面圖係對應於沿著圖 1 之 Y-Y'線部分。本實施例係有關插件電極之形成方法。

在圖 23 中，上下之插件電極 1、5 直接接觸的部分，因光罩對不準，即使插件電極 1 與插件電極 5 錯開而配置，藉由形成插件電極 5 時之乾蝕刻，爲不使下層之第 1 的層間絕緣膜 12 不必要地被削除，亦可於第 1 之層間絕緣膜 12 上設置乾蝕刻阻擋膜 33。乾蝕刻阻擋膜 33 的材料以矽氮化膜爲宜，第 1 及第 2 之層間絕緣膜 12、13 之材料若使用矽氧化膜，乃佳。

若依本實施例，無因光罩對不準而插件電極 5 之埋入形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（16）

狀會劣化，故，可防止半導體積體電路裝置之製造良率下降。

又，在本實施例中，係使蝕刻阻擋膜 33 形成於第 1 層之配線電極 2、3、4 的下層，但如圖 24 所示般，亦可形成於第 1 層之配線電極 2、3、4 的上層。

進而，如圖 25 所示般，亦可使上下之插件電極 1、5 的形狀形成堆拔狀。此方法係當用以形成插件電極 1、5 之接觸孔在蝕刻時，以堆拔角度的乾蝕刻條件進行蝕刻。插件電極 1、5 形成推拔形狀，俾上部之插件電極 5 即使相對於下部之插件電極 1 產生光罩對不準，亦不會從插件電極 1 脫落。

<實施例 6>

圖 6 係表示本發明半導體積體電路裝置之又另一實施例的斷面圖，且適用於動態型 RAM (DRAM: Dynamic Random Access Memory)之周邊電路者。此處，圖 26 之斷面圖係沿著圖 27 所示之 DRAM 記憶體單元部的平面圖中 X-X'線之部分，與 DRAM 之記憶體單元部鄰接的周邊電路之一部分斷面圖。

在圖 27 中，記憶體單元之配置係與習知例相同，例如記載於特開平 3-174766 號公報中。在同圖中，字碼線 WL1~WL4 乃朝 Y 方向設置，數據線 DL1、/DL1、DL3 乃朝 X 方向設置，字線 WL1~WL4 爲記憶體單元內之 MISFET 的共通閘極電極 104（參照圖 26）。又，此處，記號"/"乃表示反相。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（17）

成爲數據線 DL1 、/DL1 、 DL3 之配線電極 111（參照圖 26）係介由一於多結晶矽所形成之插件電極 119 而連接於 MISFET 的活性區域 118（圖 26 之高濃度 n 型雜質區域 107）。

在字碼線 WL1~WL4 與數據線 DL1 、/DL1 、 DL3 之上部設置有記憶體單元電容器之蓄積電極 113 。進一步，蓄積電極 113 上形成電容器絕緣膜 114 ，並於其上部設有平板電極 115 。此處，電容器蓄積電極 113 係使用添加高濃度磷之厚 50 nm 的多結晶矽，電容器絕緣膜 114 係使用厚 10 nm 之五氧化鉭(Ta_2O_5)，上部之平板電極 115 乃使用厚 100 nm 之 TiN 膜。

又，在圖 26 中，配線電極 111 與電容器蓄積電極 113 爲了易於瞭解，乃表示於同一斷面上。參照符號 120 係使電容器蓄積電極 113 與高濃度 n 型雜質區域 108 連接之貫通電極部分。進而，圖中未表示，但，平板電極 115 係於記憶體單元外固定於預定的電位。又，周邊電路部之第 1 層的配線電極 123 係連接於周邊電路部之 MISFET 的源極或汲極之高濃度 n 型雜質區域 109 ，進一步，於配線電極 124 的上部形成第 2 層之配線電極 117 。

又，於圖 26 中，成爲數據線 DL1 、/DL1 、 DL3 之配線電極 111 ，係由厚度約 50 nm 鎢等高融點金屬、與、鋪於下部之厚約 20 nm TiN 膜等的反應防止膜所構成，此配線電極 111 延伸至周邊電路部，且，與第 1 層之配線電極 123 、 124 形成於同一層上。進而，周邊電路部配線密度

經濟部智慧財產局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準(CNS)A4 規格(210×297 公釐)

五、發明說明（ 18 ）

高之第 1 層的配線電極 123 、 124 ，係使用一設有相位移相器之光罩而進行圖案轉印，俾配線電極 123 之相位圖案爲 0°，配線電極 124 之相位圖案爲 180°。

高濃度 n 型雜質區域 109 與第 2 層之配線電極 117 係介由插件電極 121 、 122 而連接，而該插件電極 121 、 122 乃由貫通第 1 之層間絕緣膜 110 、蝕刻阻擋膜 33 、第 2 之層間絕緣膜 112 、與第 3 之層間絕緣膜 116 所形成之鎢等高融點金屬所構成。在本實施例中，插件電極 121 、 122 間係不介由如習知之島狀電極而直接連接。因此，不會有相位移相器之雷本森配置產生矛盾，故可形成高解析度之微細圖案。

又，在圖 26 中，參照符號 101 爲矽基板， 102 爲元件分離氧化膜， 103 爲閘極絕緣膜， 105 及 106 爲蝕刻阻擋用之絕緣膜。

在本實施例中，如圖 28 所示之等價電路圖，於記憶體單元之數據對線所連接的讀出放大器電路 SA1 、 SA2 中，使用如圖 26 所示之第 1 層的配線電極 123 、 124 。在圖 28 中，參照符號 PR 爲預充電線， I/O 以及 YSW 爲列選擇閘極， YS 爲列選擇線， SHR1 及 SHR2 爲數據對線之切換開關。

若依本實施例，可減少 DRAM 之周邊電路，尤其是讀出放大器的所需面積，可提供晶片面積很小的 DRAM 。

以上，說明有關本發明之適當實施例，但本發明不限於前述實施例，例如亦可適用於在同一晶片內記憶體電路、

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 19 ）

邏輯電路等複數之 LSI 混合一起的所謂 ON chip LSI（邏輯搭載型記憶體），藉此可謀求 LSI 之高功能化、高性能化，當然在不脫離本發明精神之範圍內乃可做各種設計變更。

從前述實施例明顯可知，若依本發明，提高半導體積體電路裝置之，尤其是配線電極的圖案密度，並提供一種高積體之半導體積體電路裝置。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

四、中文發明摘要（發明之名稱：　半導體積體電路　）

本發明之目的在於提供一種半導體積體電路裝置，其係於同一配線電極層之形成光罩上，島狀之配線電極圖案與線狀之配線電極圖案不混在一起，而可形成於相位移位之雷本森(レベンソン)裝置不造成矛盾的相位圖案裝置。在本發明中，係對於以線上之最小尺寸a的間隔所配置之不同相位配線電極2、3、4，在此配線電極圖案2、3所挾住的部分，不配置同一配線電極層所形成的島狀圖案，而使上層之插件電極5與下層之插件電極1不介由配線電極而直接連接，以形成插件電極7。藉此，雷本森配置成爲可能，並可提高圖案密度，故能實現高積體的半導體積體電路裝置。

日文發明摘要（發明之名稱：　"半導体集積回路装置"　）

本発明は、同一配線電極層の形成マスクに、島状の配線電極パターンと線状の配線電極パターンが混在することなく、位相シフタのレベンソン配置に矛盾が生じ無い位相パターン配置を可能にした半導体集積回路装置を提供することを目的とする。本発明では、線上の最小寸法ａの間隔で配置された相異なる位相の配線電極２，３，４に対して、この配線電極パターン２，３に挟まれた部分に、同一配線電極層による島状のパターンを配置することなく、上層のプラグ電極５と下層のプラグ電極１を、配線電極を介さずに直接接続した構成のプラグ電極７を配置する。これにより、レベンソン配置が可能になり、パターン密度を向上できるため、高集積な半導体集積回路装置を実現できる。

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

六、申請專利範圍

1. 一種半導體積體電路裝置，係由如下所構成：第 1 絕緣膜、貫通第 1 絕緣膜之第 1 導電體、於第 1 絕緣膜上使用相位移相光罩而以同一步驟形成圖案之第 1 配線電極以及第 2 配線電極、第 1 配線電極以及第 2 配線電極上之第 2 絕緣膜、貫通第 2 絕緣膜之第 2 導電體；其特徵在於：

第 1 導電體係至少電氣連接於第 1 配線電極或第 2 配線電極、與位於比第 1 絕緣膜更下層之電路元件或電路配線；

第 2 導電體係電氣連接於第 1 配線電極或第 2 配線電極、與位於比第 2 絕緣膜更上層之電路元件或電路配線；

在鄰接之第 1 配線電極與第 2 配線電極之間，以相對於至少一者之配線電極側而比第 1 配線電極與第 2 配線電極之最小間隔還短的間隔，設置第 1 導電體與第 2 導電體互相直接接觸而成之導電體。

2. 根據申請專利範圍第 1 項之半導體積體電路，其中鄰接之第 1 配線電極與第 2 配線電極係以互相逆相位之光罩圖案來形成圖案，且，

第 1 導電體與第 2 導電體互相直接接觸而成之導電體，係電氣連接於位於比第 1 絕緣膜更下層之電路元件或電路配線、與、位於比第 2 絕緣膜更上層之電路元件或電路配線。

3. 根據申請專利範圍第 2 項之半導體積體電路，其中鄰

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

六、申請專利範圍

接之第 1 配線電極與第 2 配線電極，係電氣連接於動態型 RAM 之數據對線。

4. 根據申請專利範圍第 1 項之半導體積體電路裝置，其中，鄰接之第 1 配線電極與第 2 配線電極係以互相同相位之光罩圖案來形成圖案，且，

第 1 導電體與第 2 導電體互相直接接觸而成之導電體所接觸的一端，係第 1 絕緣膜下之電場效果電晶體的汲極擴散層，另一端係第 2 絕緣膜上之汲極配線電極；

鄰接之第 1 配線電極與第 2 配線電極的一者，係電場效果電晶體之源極配線電極，另一者係鄰接於電場效果電晶體之另一電場效果電晶體的配線電極。

5. 根據申請專利範圍第 1 項之半導體積體電路裝置，其中，貫通一形成第 1 導電體之第 1 絕緣膜的開口部，係比貫通一形成第 2 導電體之絕緣膜的開口部還大。

6. 根據申請專利範圍第 5 項之半導體積體電路裝置，其中，鄰接之第 1 配線電極與第 2 配線電極係以互相逆相位之光罩圖案來形成圖案，且，

第 1 導電體與第 2 導電體互相直接連接而成之導電體，係電氣連接於一位於比第 1 絕緣膜還下層之電路元件或電路配線、與、位於比第 2 絕緣膜更上層之電路元件或電路配線。

7. 根據申請專利範圍第 6 項之半導體積體電路裝置，其中，鄰接之第 1 配線電極與第 2 配線電極係電氣連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

於動態型 RAM 之數據對線。

8. 根據申請專利範圍第 5 項之半導體積體電路裝置，其中，鄰接之第 1 配線電極與第 2 配線電極係以互相同相位之光罩圖案來形成圖案，且，

第 1 導電體與第 2 導電體互相直接連接而成之導電體所連接的一端，係第 1 絕緣膜下之電場效果電晶體的汲極擴散層，另一端為第 2 絕緣膜上之汲極配線電極，

鄰接之第 1 配線電極與第 2 配線電極之一者係電場效果電晶體的源極配線電極，另一者係鄰接於電場效果電晶體之另一電場效果電晶體的配線電極。

9. 根據申請專利範圍第 1 項之半導體積體電路裝置，其中，貫通一形成第 1 導電體及第 2 導電體之第 1 及第 2 絕緣膜的開口部，係以使其上部變寬之方式形成堆拔狀。

10. 根據申請專利範圍第 9 項之半導體積體電路裝置，其中，鄰接之第 1 配線電極與第 2 配線電極係以互相逆相位之光罩圖案來形成圖案；

第 1 導電體與第 2 導電體乃互相直接連接而成之導電體，係電氣連接於一位於比第 1 絕緣膜還下層之電路元件或電路配線、與、位於比第 2 絕緣膜還上層之電路元件或電路配線。

11. 根據申請專利範圍第 10 項之半導體積體電路裝置，其中，鄰接之第 1 配線電極與第 2 配線電極係電氣連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

於動態型 RAM 之數據對線。

12. 根據申請專利範圍第 9 項之半導體積體電路裝置，其中，鄰接之第 1 配線電極與第 2 配線電極係以互相同相位之光罩圖案來形成圖案，且，

第 1 導電體與第 2 導電體互相直接連接而成之導電體　所連接的一端，係第 1 絕緣膜下之電場效果電晶體的汲極擴散層，另一端係第 2 絕緣膜上之汲極配線電極；

鄰接之第 1 配線電極與第 2 配線電極的一者係電場效果電晶體的源極配線電極，另一者係鄰接於電場效果電晶體之另一電場效果電晶體的配線電極。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

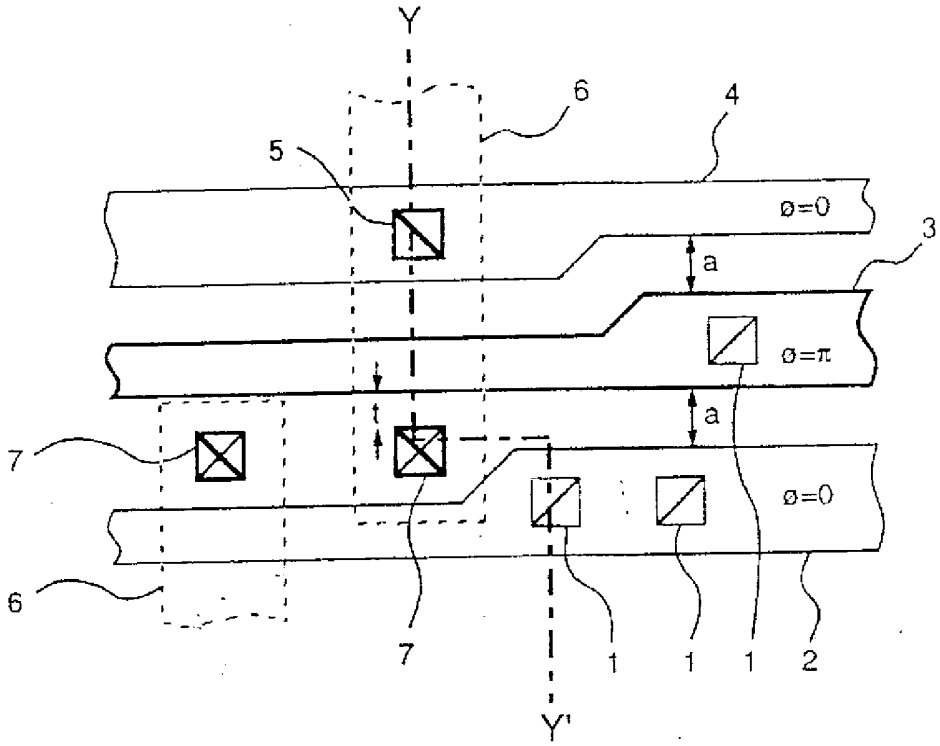

圖 1

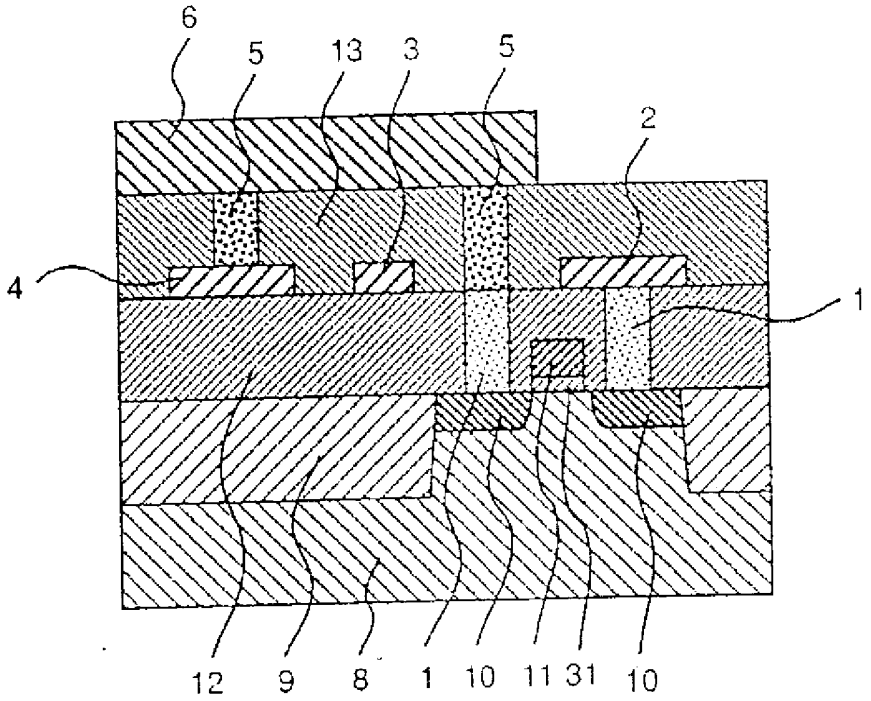

圖 2

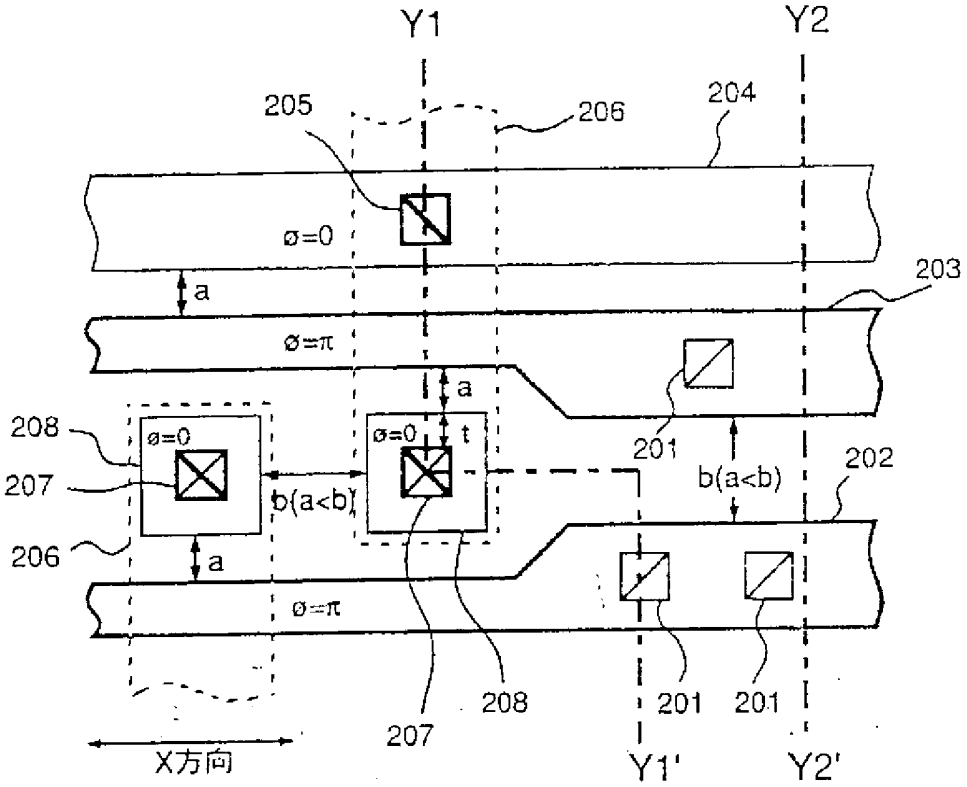
Y1
Y2
205
206
204
ø=0
203
a
ø=π
a
208
ø=0
ø=0
t
201
207
b(a<b)
b(a<b)
202
206
a
ø=π
208
201
201
207
X方向
Y1'
Y2'

圖 3

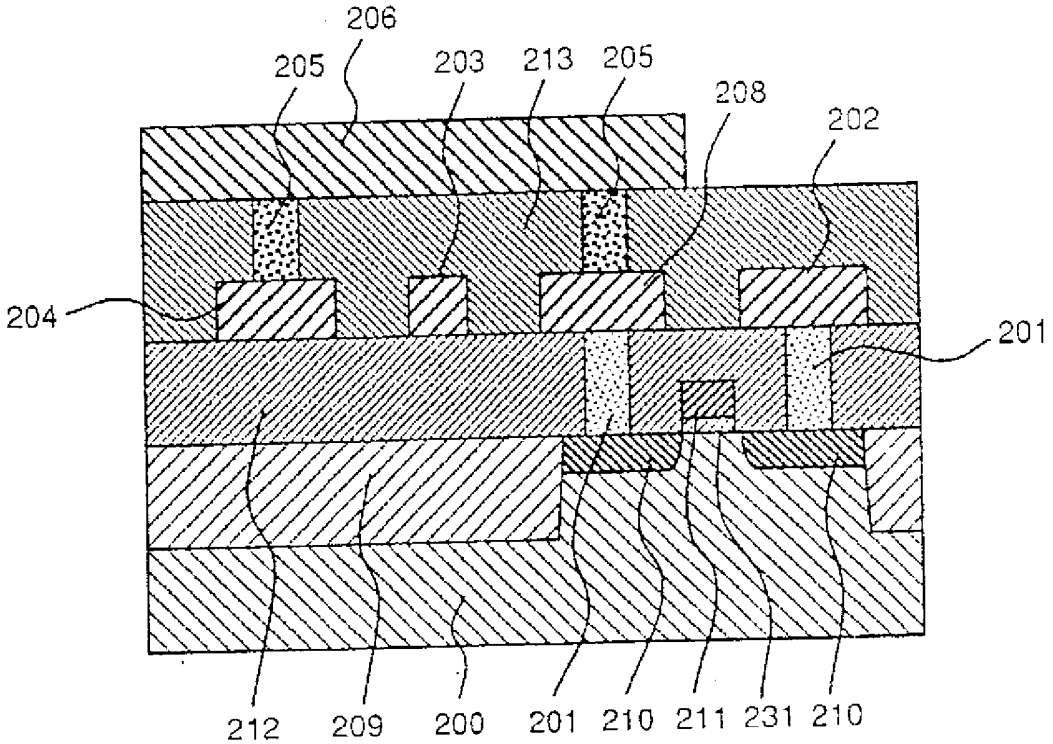
206
205
203
213
205
208
202
204
201
212
209
200
201
210
211
231
210

圖 4

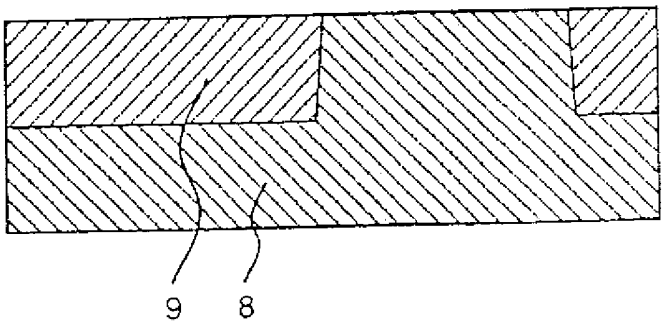
9
8

圖 5

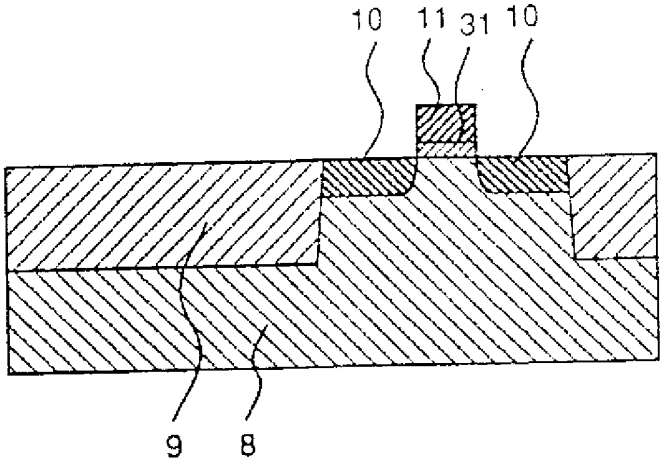

圖 6

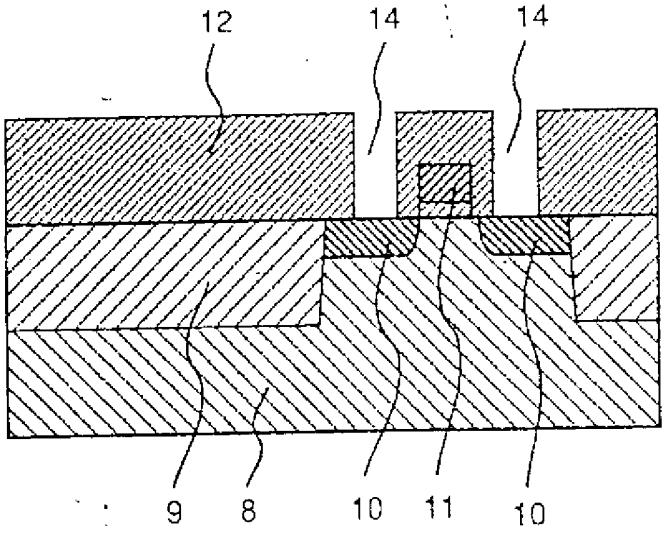

圖 7

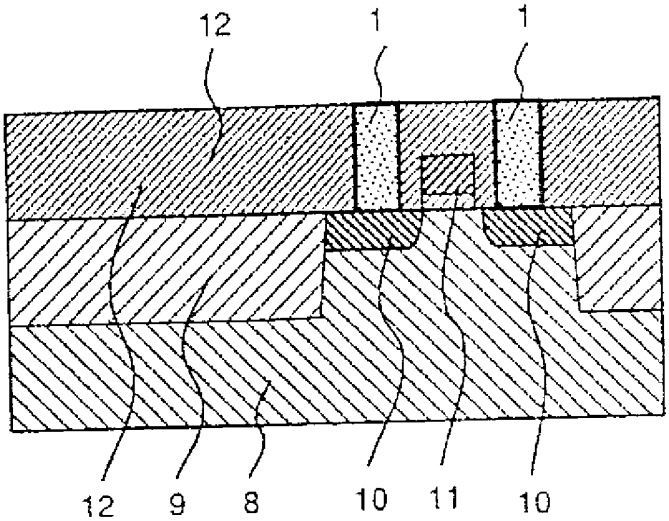

圖 8

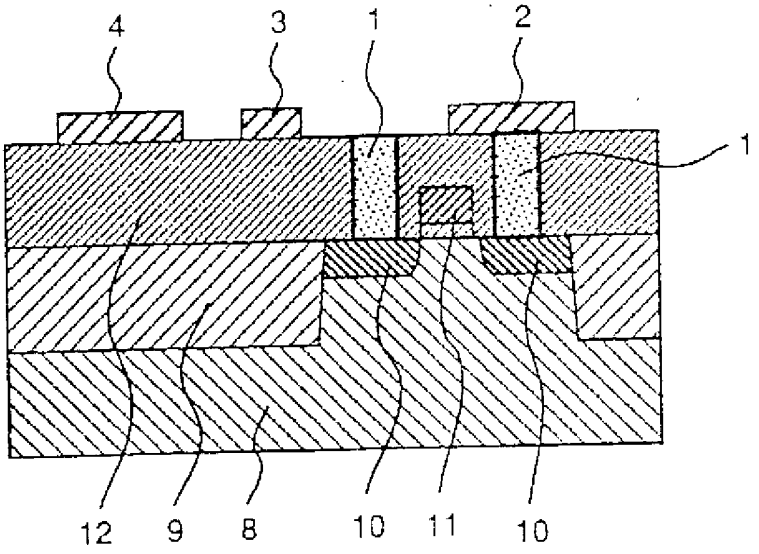

圖 9

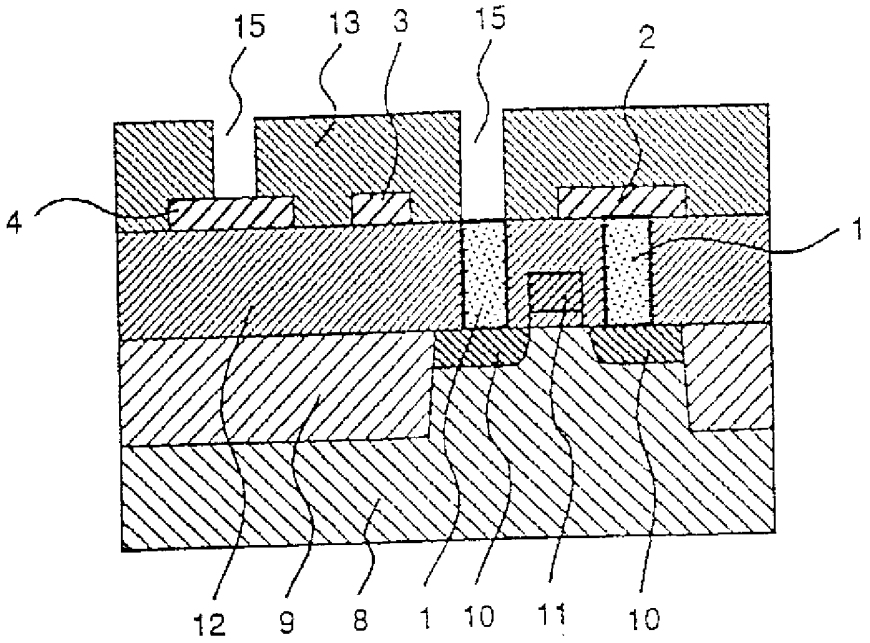

圖 10

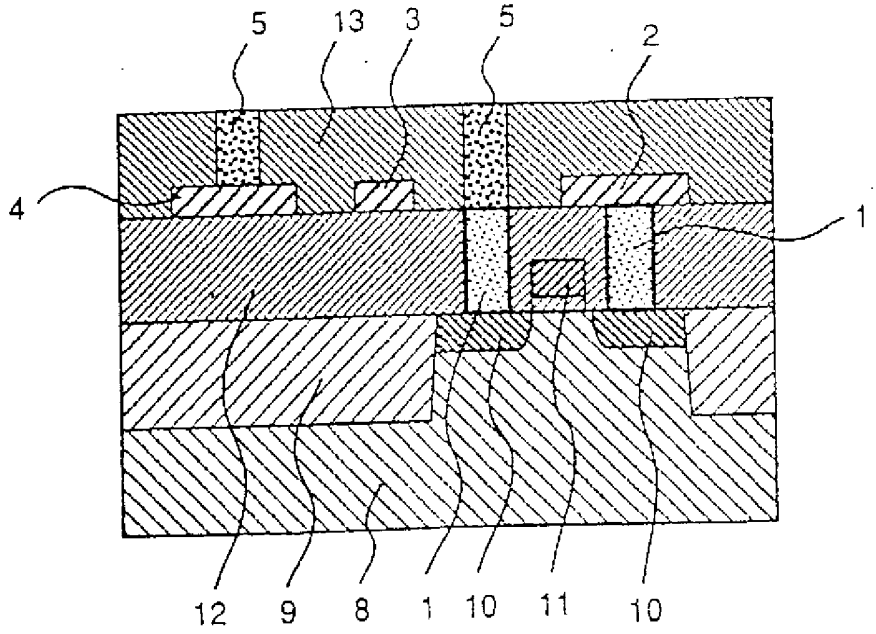

圖 11

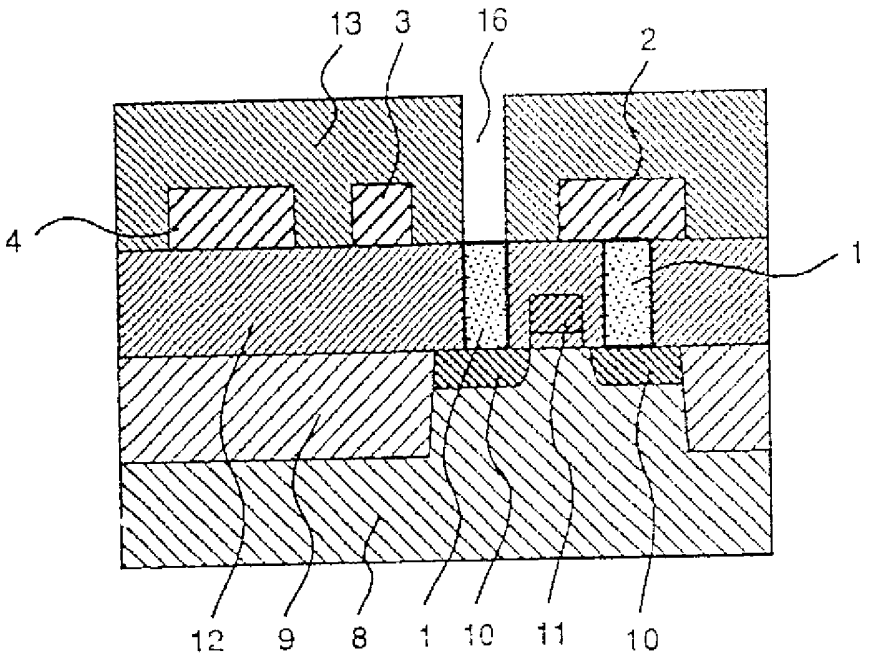

圖 12

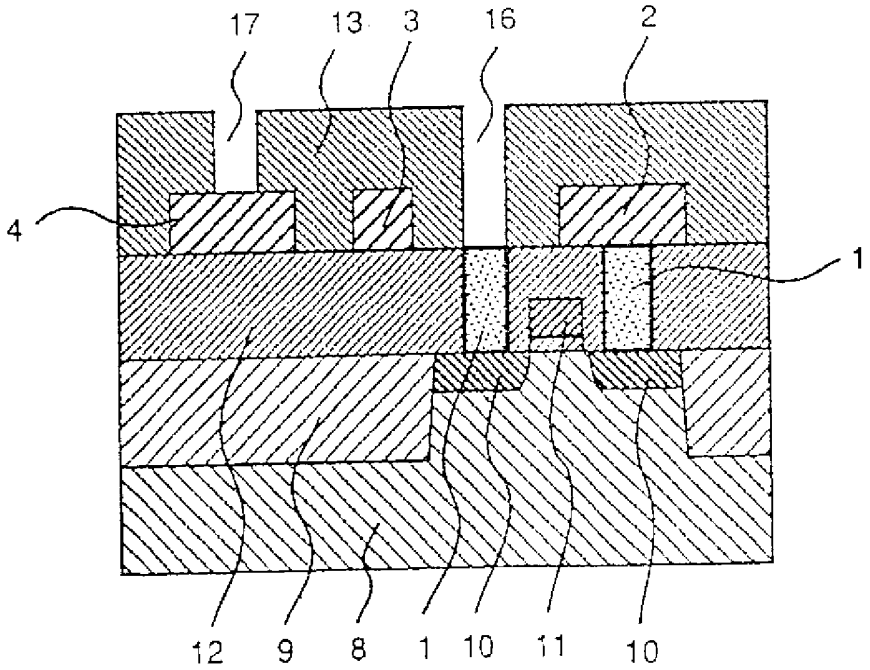

圖 13

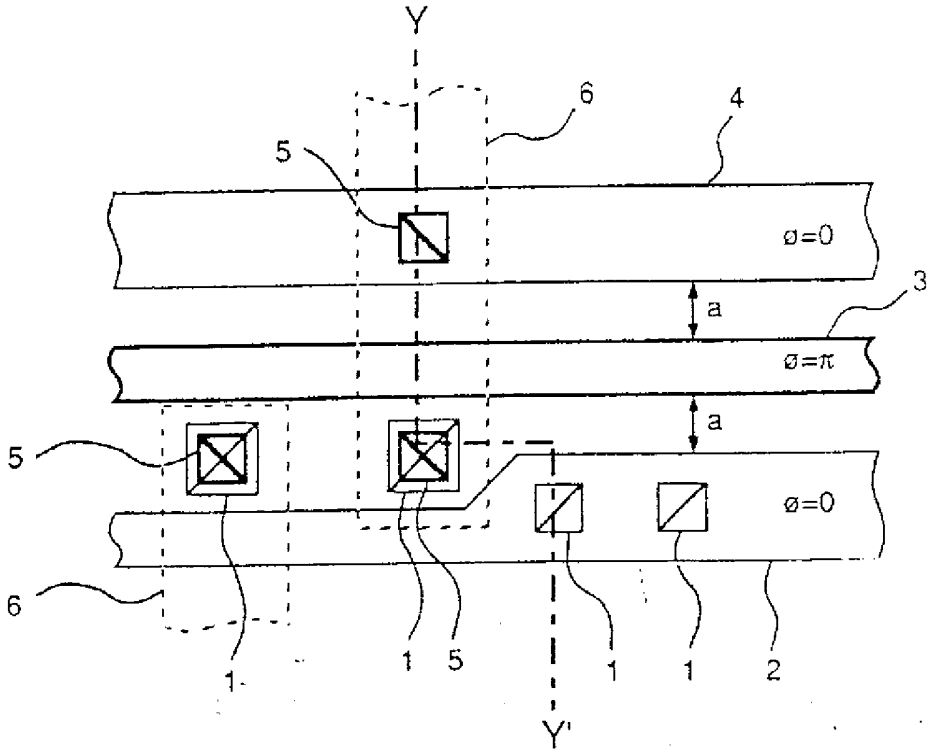

圖 14

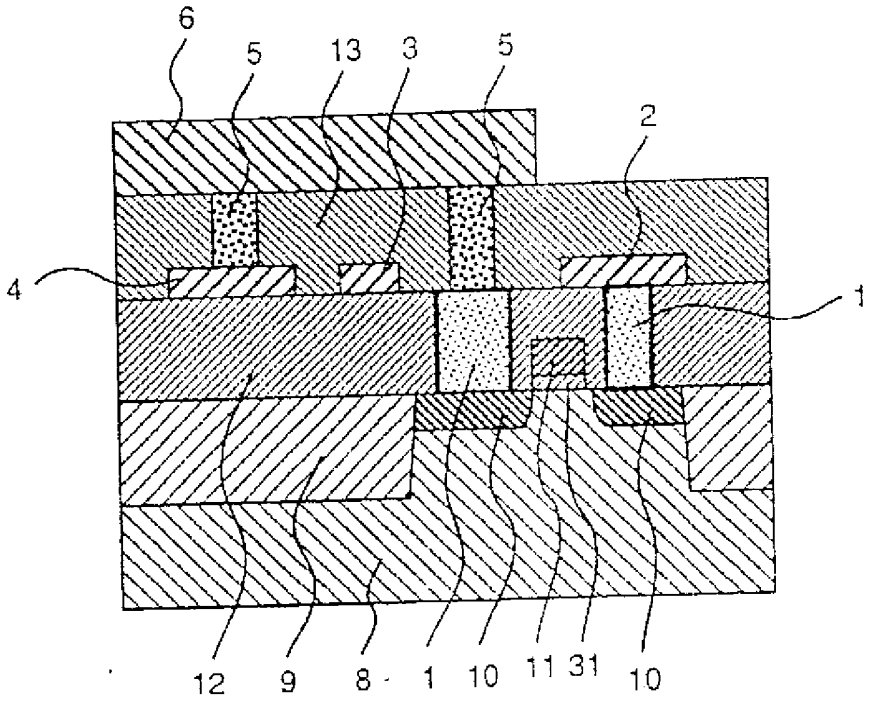
6
5
13
3
5
2
4
1
12
9
8
1
10
11
31
10

圖 15

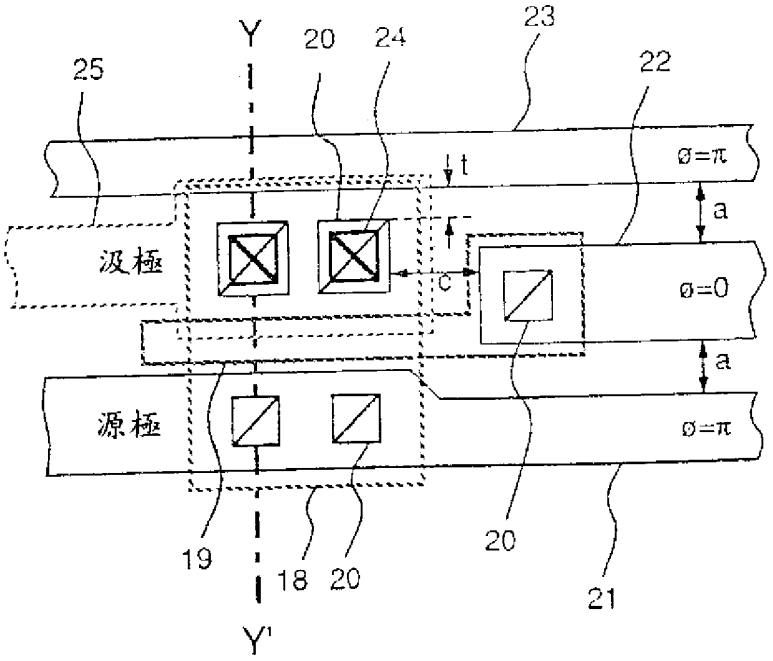
Y
20
24
23
25
22
t
ø=π
a
汲極
c
ø=0
a
源極
ø=π
19
18
20
20
21
Y'

圖 16

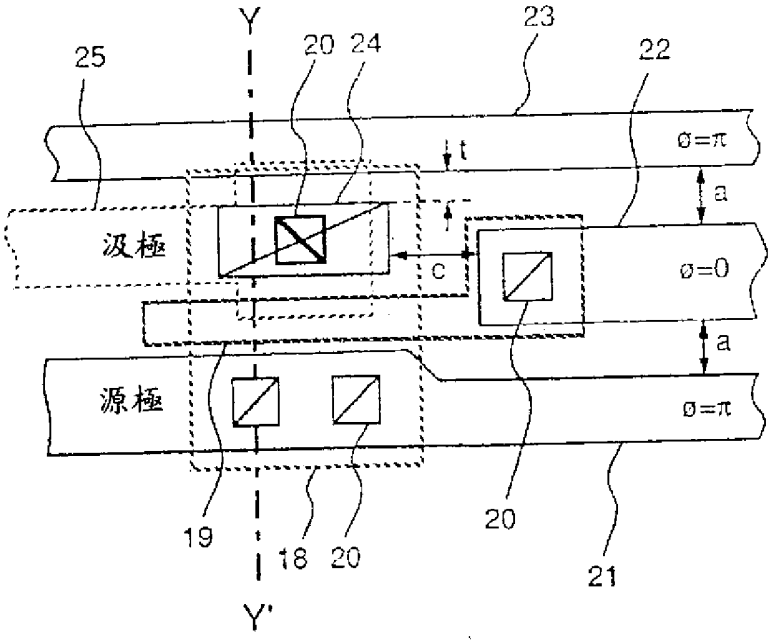
Y
25
20
24
23
22
ø=π
t
a
汲極
c
ø=0
a
源極
ø=π
19
18
20
20
21
Y'

圖 17

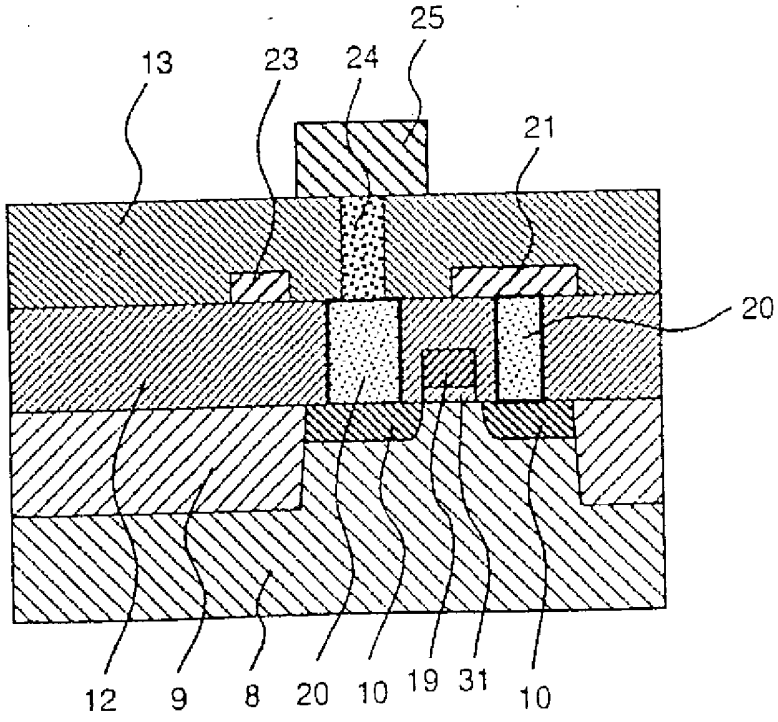
25
13
23
24
21
20
12
9
8
20
10
19
31
10

圖 18

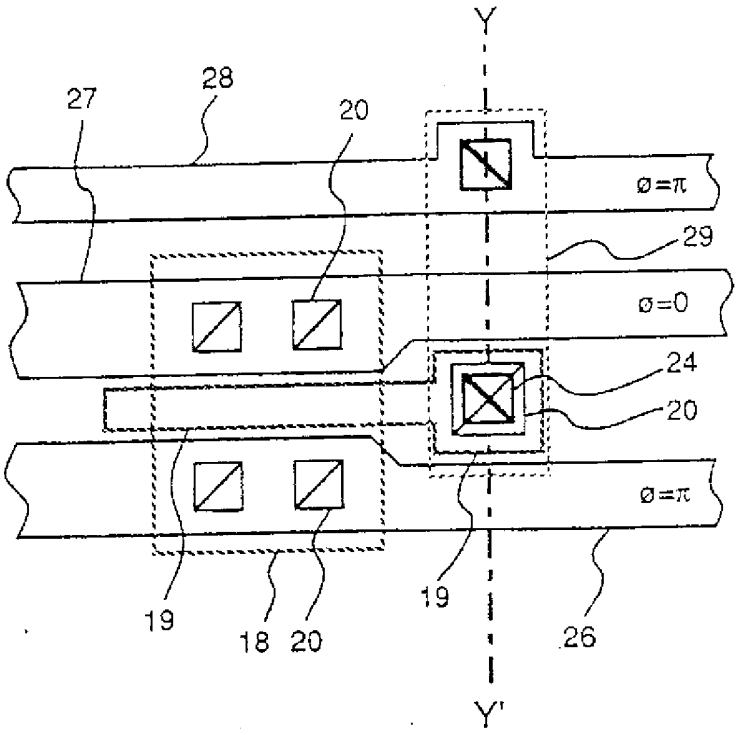

圖 19

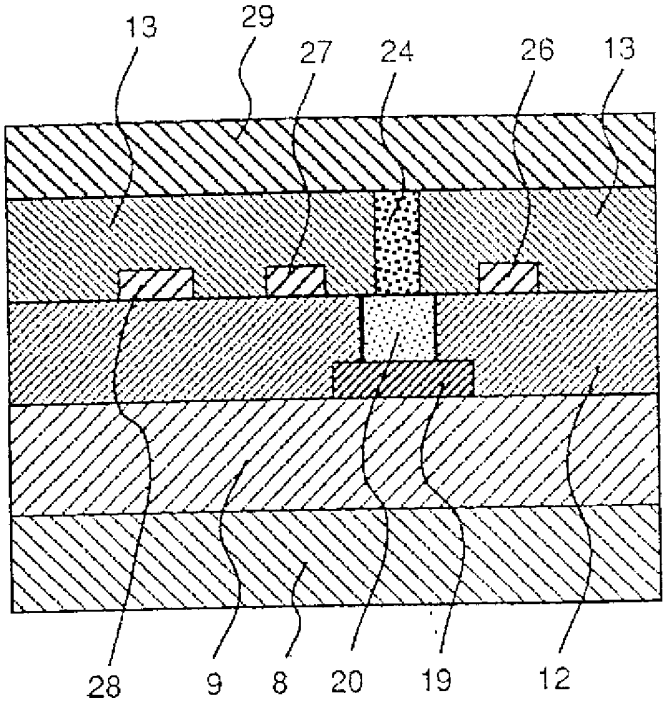

圖 20

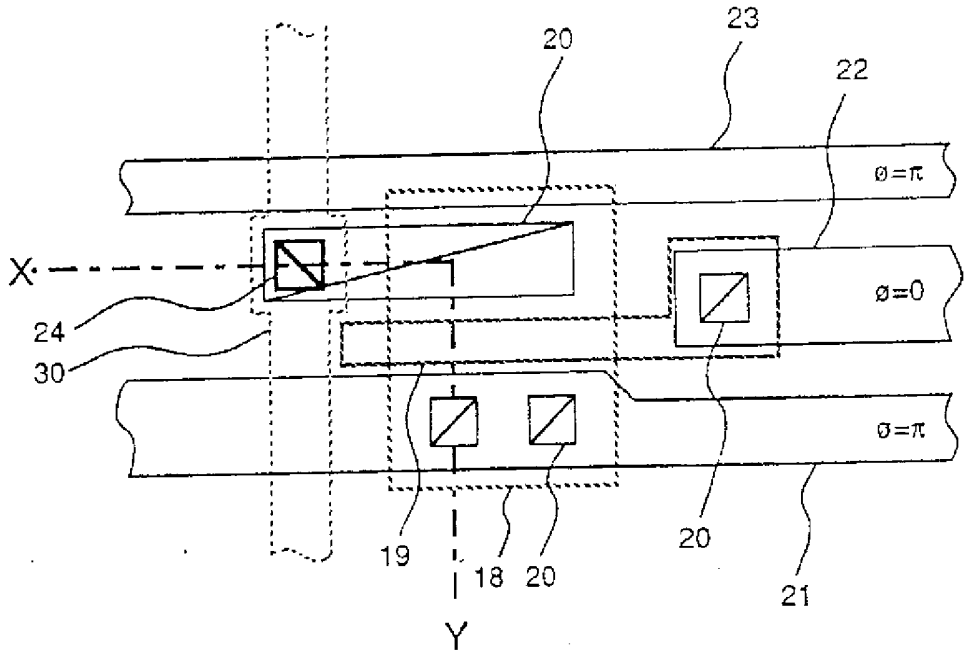

圖 21

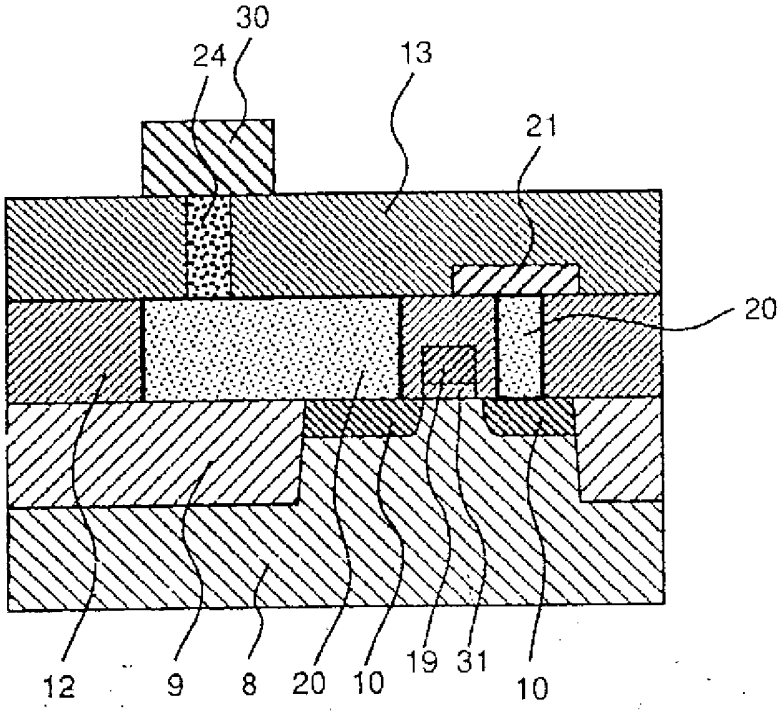

圖 22

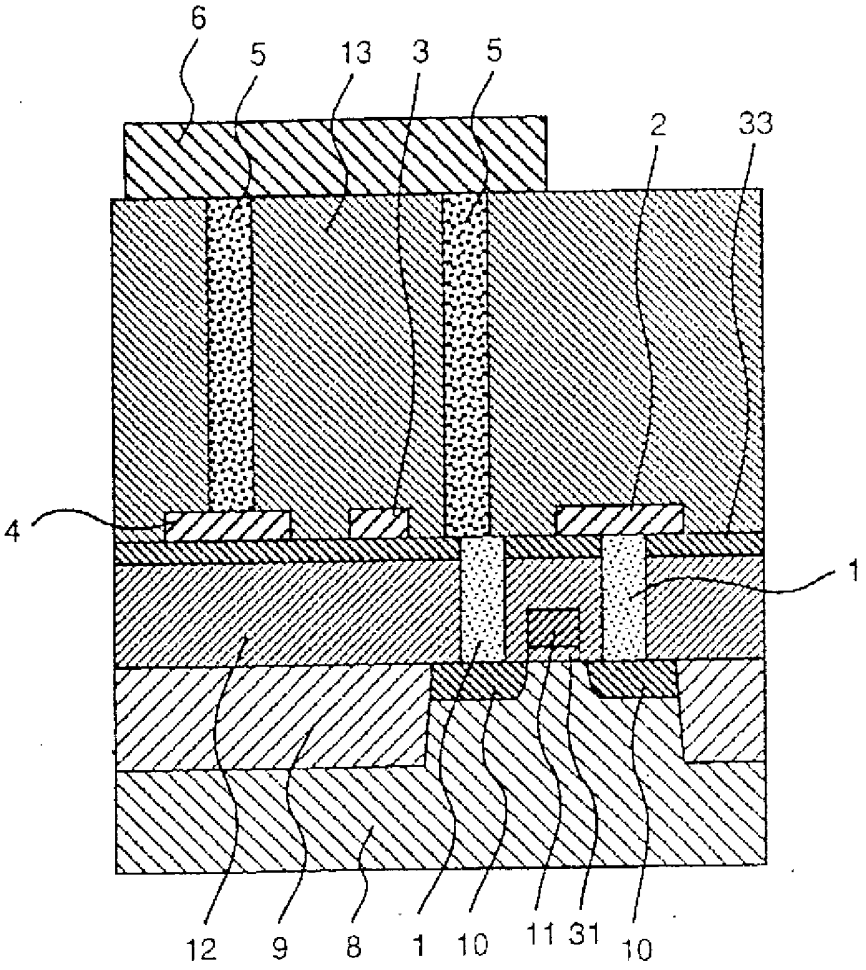

圖 23

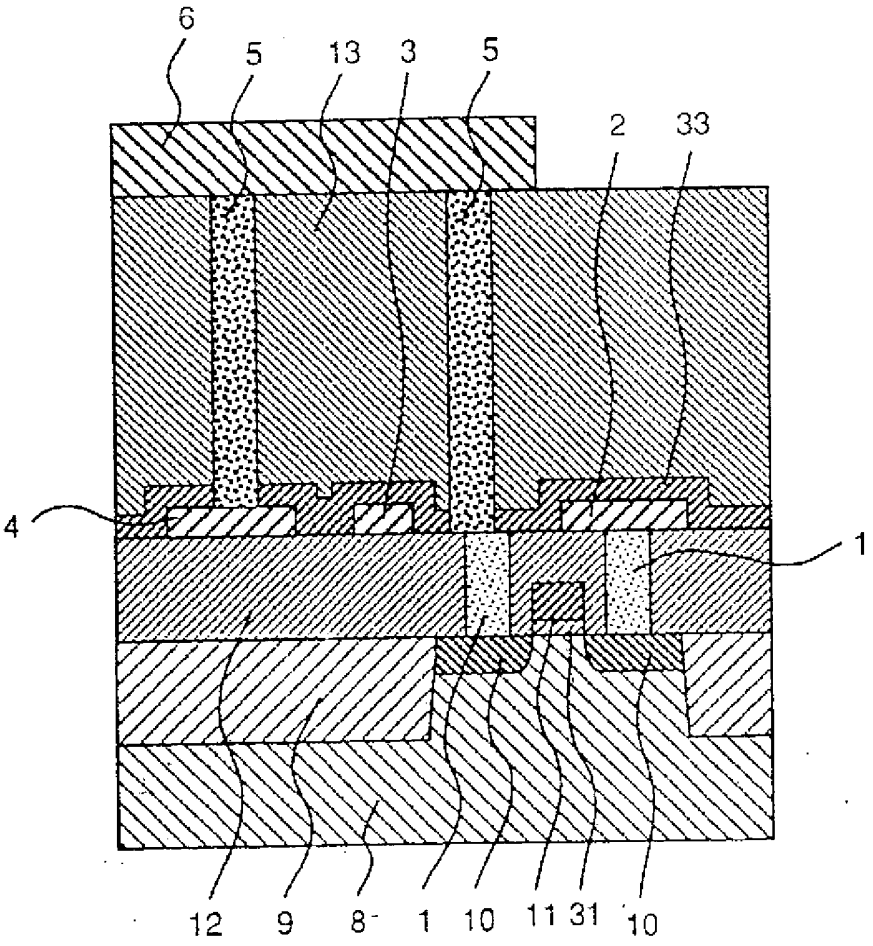

圖 24

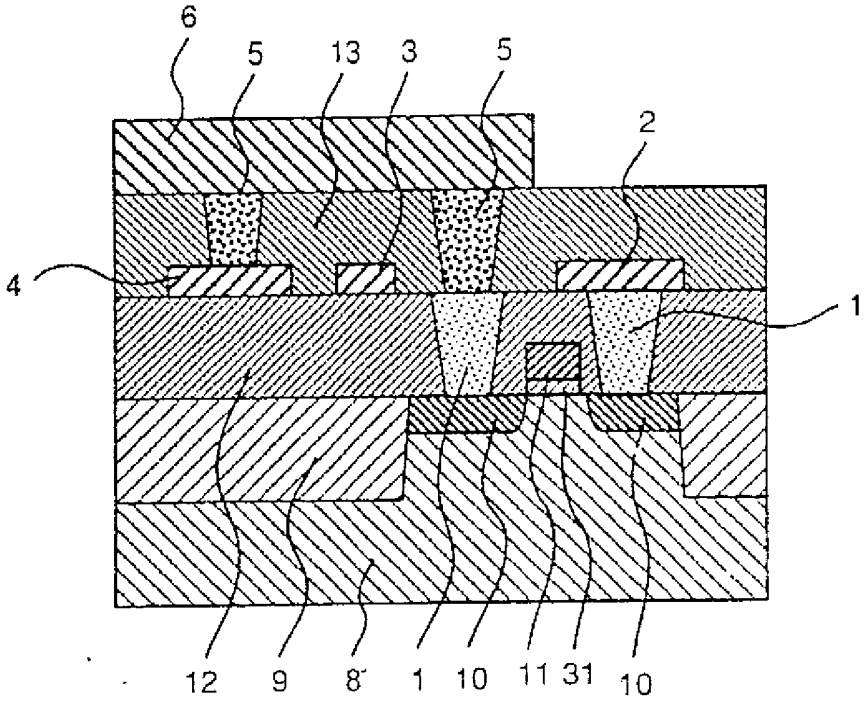

圖 25

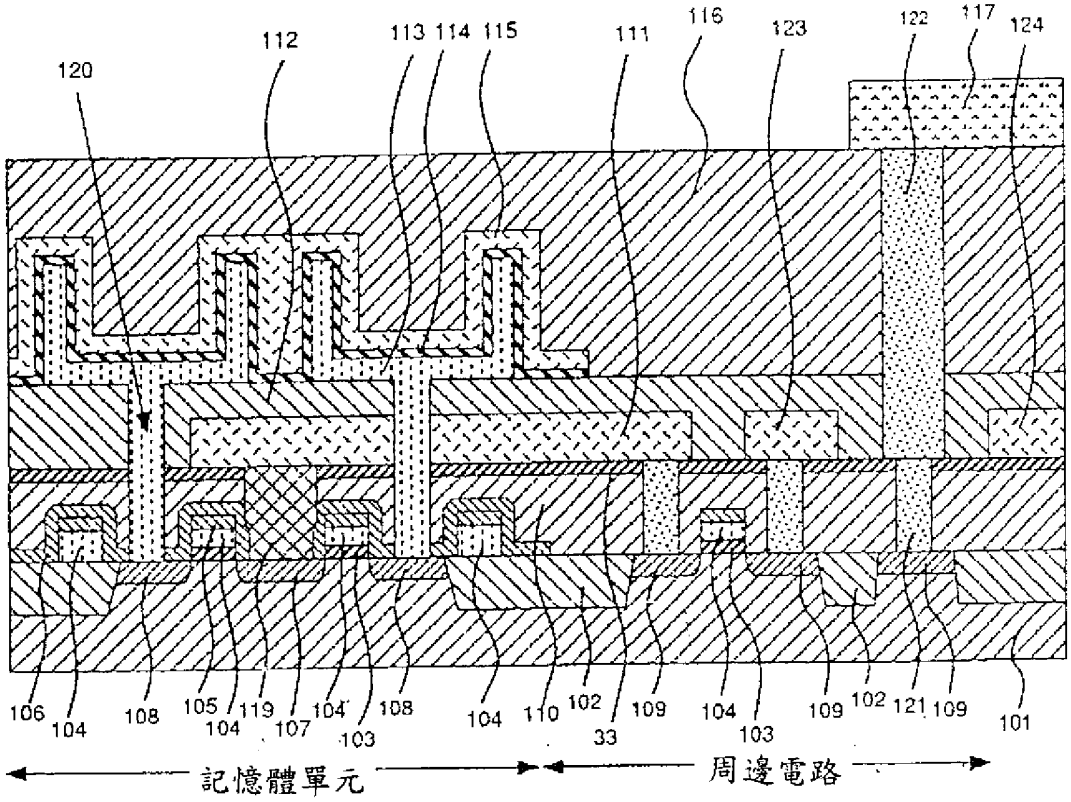
120
112
113
114
115
111
116
123
122
117
124
106
104
108
105
104
119
107
104
103
108
104
110
102
33
109
104
103
109
102
121
109
101
記憶體單元
周邊電路

圖 26

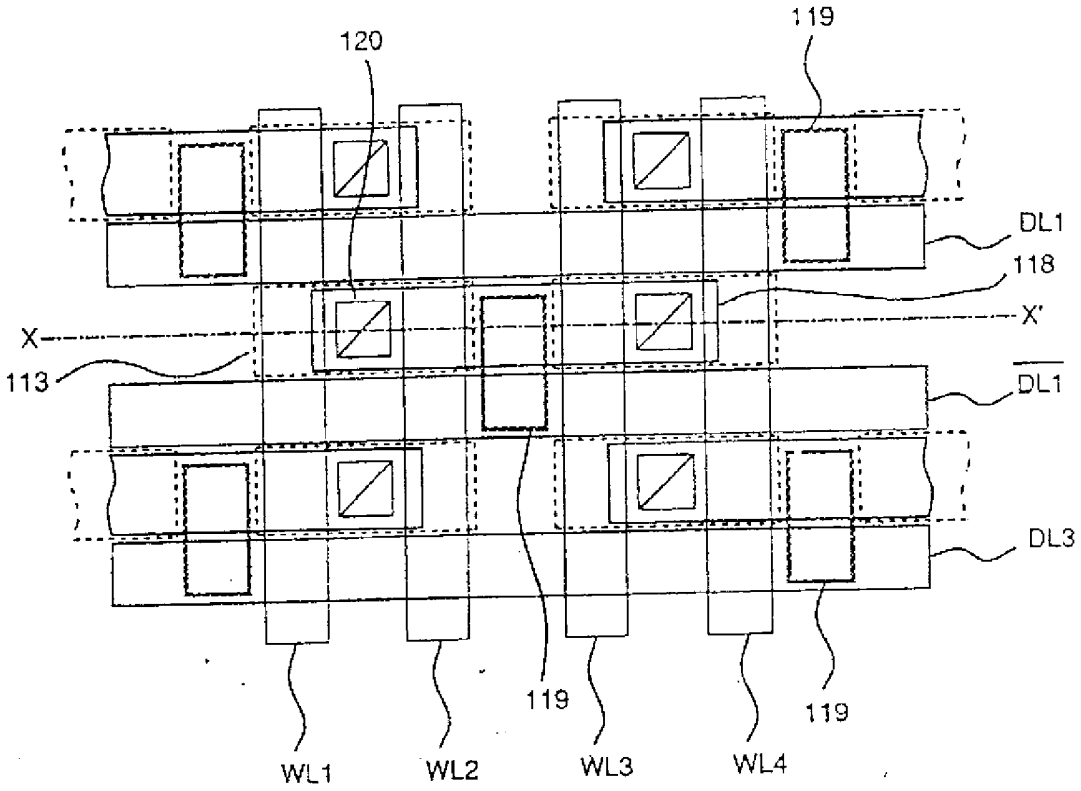

圖 27

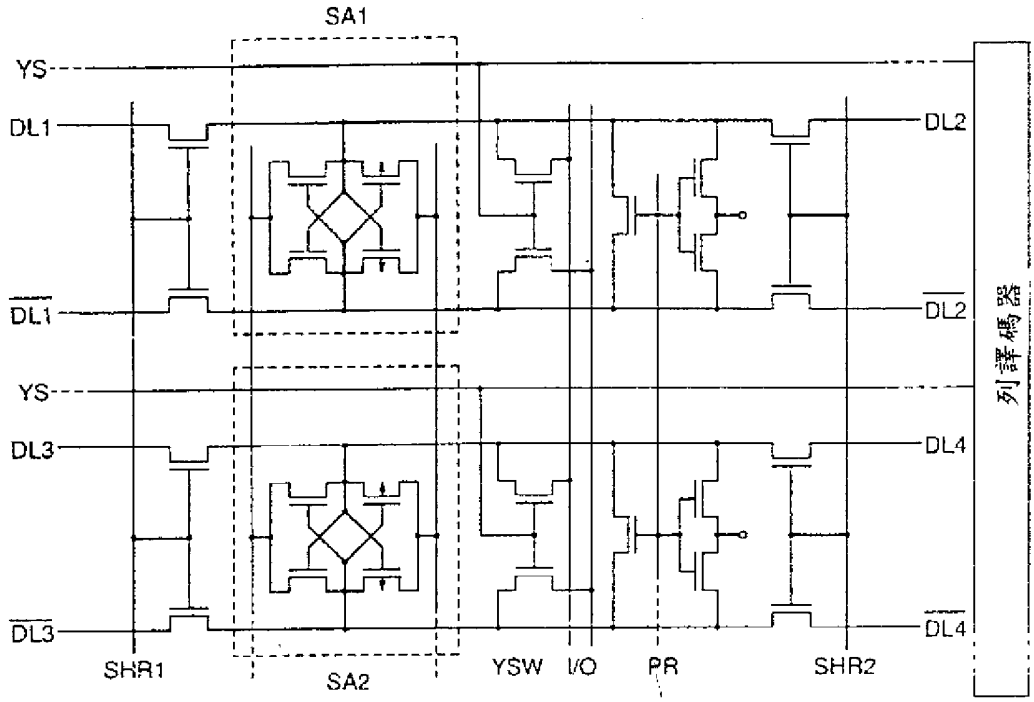
SA1
YS
DL1
DL2
DL1
DL2
YS
DL3
DL4
DL3
DL4
SHR1
SA2
YSW
I/O
PR
SHR2
列譯碼器

圖 28

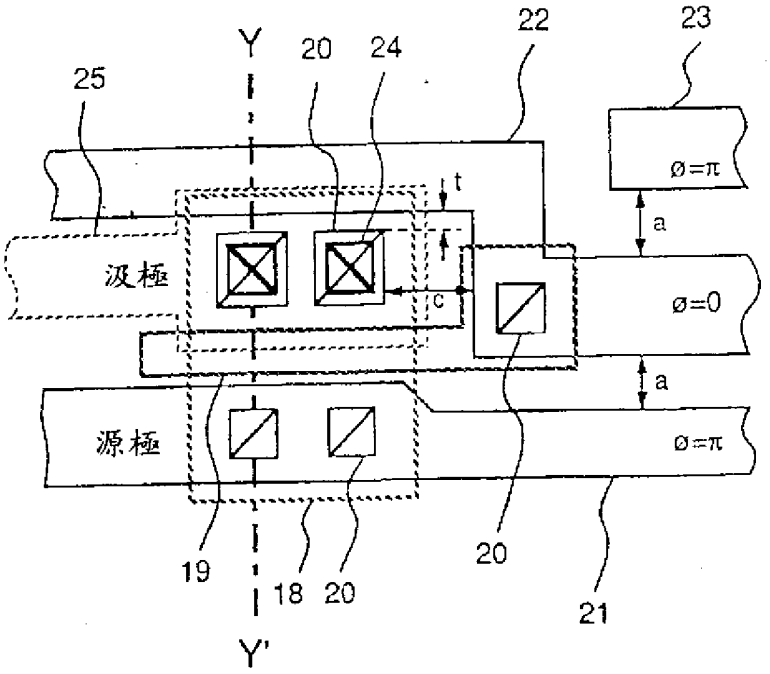
Y
20
24
22
23
25
t
ø=π
a
汲極
c
ø=0
a
源極
ø=π
19
18
20
20
21
Y'

圖 29

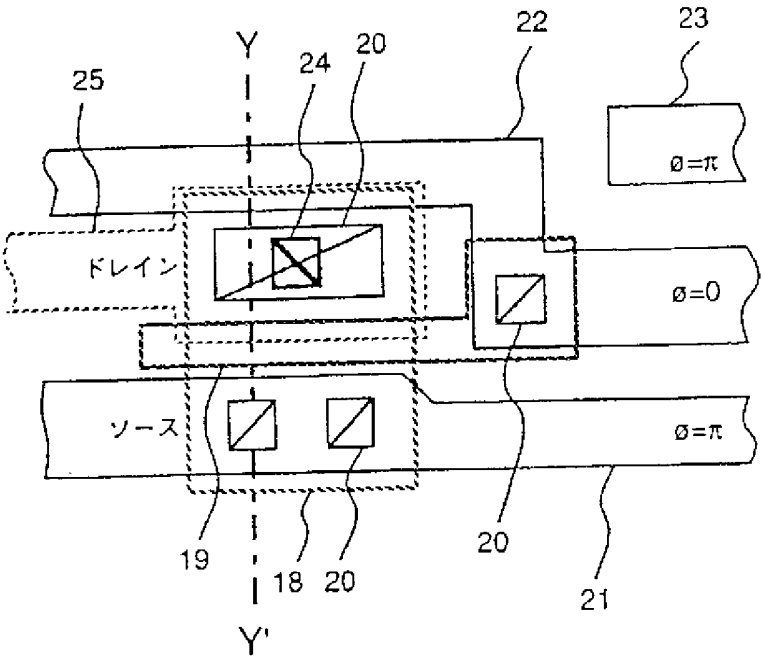

圖 30