

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4149637号
(P4149637)

(45) 発行日 平成20年9月10日(2008.9.10)

(24) 登録日 平成20年7月4日(2008.7.4)

(51) Int.Cl.

G 11 C 16/06 (2006.01)

F 1

G 11 C 17/00 632C
G 11 C 17/00 632A

請求項の数 6 (全 19 頁)

(21) 出願番号 特願2000-154983 (P2000-154983)
 (22) 出願日 平成12年5月25日 (2000.5.25)
 (65) 公開番号 特開2001-338493 (P2001-338493A)
 (43) 公開日 平成13年12月7日 (2001.12.7)
 審査請求日 平成17年2月14日 (2005.2.14)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (73) 特許権者 000221199
 東芝マイクロエレクトロニクス株式会社
 神奈川県川崎市川崎区駅前本町25番地1
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100092196
 弁理士 橋本 良郎
 (74) 代理人 100091351
 弁理士 河野 哲

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

電源電圧を昇圧して第1の電圧を出力する昇圧回路と、
 上記第1の電圧が供給され、この第1の電圧を用いて第1の電圧よりも値が低い少なくとも2つの電圧を出力ノードから時系列的に順次出力する第1の電圧出力回路と、
 上記第1の電圧のノードと上記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、

前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されてから所定期間が経過した後に短絡状態を解除し、

前記短絡回路が前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第1の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第1の電圧出力回路が活性化することを特徴とする半導体装置。

【請求項 2】

電源電圧を昇圧して第1の電圧を出力する昇圧回路と、
 上記第1の電圧が供給され、この第1の電圧を用いて第1の電圧よりも値が低い少なくとも2つの電圧を出力ノードから時系列的に順次出力する第1の電圧出力回路と、
 上記第1の電圧のノードと上記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、

10

20

前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されて前記第1の電圧が所定値に達した後に短絡状態を解除し、

前記短絡回路が前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第1の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第1の電圧出力回路が活性化することを特徴とする半導体装置。

【請求項3】

前記第1の電圧出力回路の非動作時に、前記第1の電圧出力回路の出力ノードに前記第1の電圧よりも低い値の第2の電圧を出力する第2の電圧出力回路をさらに具備したこと10を特徴とする請求項1または2記載の半導体装置。

【請求項4】

データを記憶するデータ消去可能なメモリセルと、

上記メモリセルのゲートに第1の電圧を供給し、ドレインに第2の電圧及び第3の電圧のいずれか一方を供給して、上記メモリセルのデータ書き込みを行う書き込み回路と、

上記メモリセルが形成されている半導体領域に第4の電圧を供給して、上記メモリセルのデータ消去を行う消去回路と、

電源電圧を昇圧して第5の電圧を出力する昇圧回路と、

上記第5の電圧が供給され、この第5の電圧を用いて第5の電圧よりも値が低い上記第1の電圧を出力ノードから出力する第1の電圧出力回路と、
20

前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、

前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されてから所定期間が経過した後に短絡状態を解除し、

前記短絡回路が前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第1の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第1の電圧出力回路が活性化することを特徴とする半導体記憶装置。

【請求項5】

30

データを記憶するデータ消去可能なメモリセルと、

上記メモリセルのゲートに第1の電圧を供給し、ドレインに第2の電圧及び第3の電圧のいずれか一方を供給して、上記メモリセルのデータ書き込みを行う書き込み回路と、

上記メモリセルが形成されている半導体領域に第4の電圧を供給して、上記メモリセルのデータ消去を行う消去回路と、

電源電圧を昇圧して第5の電圧を出力する昇圧回路と、

上記第5の電圧が供給され、この第5の電圧を用いて第5の電圧よりも値が低い上記第1の電圧を出力ノードから出力する第1の電圧出力回路と、

前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、

前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されて前記第5の電圧が所定値に達した後に短絡状態を解除し、
40

前記短絡回路が前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第1の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第1の電圧出力回路が活性化することを特徴とする半導体記憶装置。

【請求項6】

前記第1の電圧出力回路の非動作時に、前記第1の電圧出力回路の出力ノードに前記第1の電圧よりも低い値の第6の電圧を出力する第2の電圧出力回路をさらに具備したこと50

を特徴とする請求項 4 または 5 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電源電圧を昇圧する昇圧回路を備えた半導体装置に係り、特にメモリセルを有し、このメモリセルのデータ消去及び書き込みの際に使用される高電圧を昇圧回路で得るようにした半導体記憶装置に関する。

【0002】

【従来の技術】

半導体記憶装置の 1 つにフラッシュメモリがある。図 13 はこのフラッシュメモリにおける 1 つのメモリセルの素子断面構造を示している。図において、P 型半導体基板 (P - substrate) 71 内には N 型ウエル領域 (N - well) 72 が形成されている。さらにこの N 型ウエル領域 72 内には P 型ウエル領域 (P - well) 73 が形成されている。上記 P 型ウエル領域 73 内には、それぞれ n+ 型領域からなるメモリセルのソース、ドレイン領域 74、75 が互いに離間して形成されている。そして、このソース、ドレイン領域 74、75 相互間のチャネル領域上には、図示しない絶縁膜を介してフローティングゲート (floating gate) 76 が形成され、さらにこのフローティングゲート 76 上には、図示しない絶縁膜を介してコントロールゲート (control gate) 77 が形成されている。

【0003】

また、上記 P 型半導体基板 71 には p+ 型領域からなるコンタクト領域 78 が、N 型ウエル領域 72 には n+ 型領域からなるコンタクト領域 79 が、P 型ウエル領域 73 には p+ 型領域からなるコンタクト領域 80 がそれぞれ形成されている。

【0004】

動作時に、メモリセルのコントロールゲート 77 にはゲート電圧 Vg が、ドレイン領域 75 にはドレイン電圧 Vd が、ソース領域 74 にはソース電圧 Vs がそれぞれ供給される。また、コンタクト領域 79 及び 80 にはソース電圧 Vs と同じ電圧が、コンタクト領域 78 には 0V の接地電圧がそれぞれ供給される。

【0005】

上記メモリセルは、フローティングゲート 76 に蓄積される電子の量によってデータの “1” レベル、“0” レベルを記憶する。そして、記憶データのレベルに応じてコントロールゲート 77 からみたしきい値電圧が変わる。

【0006】

このようなメモリセルが複数設けられることによってメモリセルアレイが構成される。図 14 は NOR 型フラッシュメモリのメモリセルアレイの回路例を示している。複数のメモリセル MC が行列状に配置されており、同一行に配置されたメモリセル MC のコントロールゲートは、複数のワード線 WL0 ~ WLn のうち対応する 1 つのワード線に共通に接続されている。また、同一列に配置されたメモリセル MC のドレイン領域は、複数のビット BL0 ~ BLm のうち対応する 1 つのビット線に共通に接続されている。通常、メモリセルは複数のブロックに分割されており、同じブロック内のメモリセル MC のソース領域は複数のソース線 SLi のうち対応するブロックのソース線に共通に接続されている。

【0007】

図 15 は、動作時に、メモリセルのコントロールゲートに供給されるゲート電圧と、メモリセルのドレインに流れるドレイン電流との関係を示している。ここでは、フローティングゲートに蓄積される電子の量が比較的多い状態、すなわちメモリセルのしきい値電圧 Vt が高い状態を “0” データ (“0” データを記憶しているメモリセルを “0” cell と称する) とし、逆に比較的少ない状態、すなわちメモリセルのしきい値電圧 Vt が低い状態を “1” データ (“1” データを記憶しているメモリセルを “1” cell と称する) としている。

【0008】

データの読み出し、書き込み、消去時のバイアス条件を図 16 に示す。図 16 は、動作時に

10

20

30

40

50

メモリセルに対して供給される先の電圧 V_g 、 V_d 、 V_s の値の一例を示している。データの読み出し時には、 V_g 、 V_d 、 V_s はそれぞれ 5 V、1 V、0 V にされる。データの書き込み時には、 V_g 、 V_s はそれぞれ 9 V、0 V にされ、 V_d は“0”データを書込むメモリセルについては 5 V、そうでないメモリセル（元の“1”データのままにされるメモリセル）については 0 V にされる。さらに、消去時には、 V_g 、 V_s はそれ -7 V、10 V にされ、 V_d はフローティング状態にされる。

【0009】

データの読み出しへは、ドレイン領域に所定の電圧（本例では 1 V）を供給した状態でコントロールゲートにゲート電圧 V_{read} （本例では 5 V）を供給した時に、セル電流が流れる否かによって判定される。この判定は、図示しないセンスアンプにより、リファレンスセルに流れるリファレンス電流（ I_{ref} ）との比較により行われる。10

【0010】

消去は、P 型ウエル領域 73（図 13 に図示）を共有する複数のメモリセルで一括して行われる。この消去時には、ファウラ・ノルトハイム（F·N）トンネル現象によってフローティングゲート 76 から P 型ウエル領域 73 に電子が流れ、消去対象のメモリセルは全て“1”cell にされる。

【0011】

書き込みはメモリセル 1 個毎に行われる。“0”データを書込むメモリセルのビット線を 5 V にバイアスして、チャネルホットエレクトロン現象で発生した高エネルギーの電子をフローティングゲート 76 に注入する。元の“1”データのままとしたい“1”cell のビット線は 0 V にされる。これにより、非書き込みのメモリセルでは、フローティングゲート 76 に対する電子の注入が起きず、しきい電圧 V_t の変化は生じない。20

【0012】

また、フラッシュメモリでは、書き込み時及び消去時に、書き込みや消去の程度を確認するために書き込みベリファイ動作や消去ベリファイ動作が行われる。書き込みベリファイ動作は、コントロールゲート の電圧を、読み出し時の電圧 V_{read} （本例では 5 V）に比べて高い電圧 V_p （例えば 7 V）に設定して“0”読み動作を行う。そして、書き込み動作と書き込みベリファイ動作とを交互に繰り返して実行し、書き込み対象のメモリセルのデータが全て“0”になったら書き込み動作が終了する。

【0013】

消去時の場合には、コントロールゲート 77 の電圧を、読み出し時の電圧 V_{read} に比べて低い電圧 V_e （例えば 3.5 V）に設定して“1”読み動作を行う。そして、消去動作と消去ベリファイ動作とを交互に繰り返して実行し、消去対象のメモリセルのデータが全て“1”になったら消去動作が終了する。これにより、セル電流 I_{cell} が十分に確保される。30

【0014】

このようにメモリセルのコントロールゲートに供給される電圧は、動作モードに応じて、例えば 9 V、7 V、5 V、3.5 V というように様々な値に変化する。これらの電圧のうち 9 V、7 V、5 V は、外部から供給される電源電圧よりも高い電圧である。

【0015】

ところで、従来では、上記のような 9 V、7 V、5 V など、外部から供給される電源電圧よりも高い種々の電圧を生成するために、電源電圧を昇圧する昇圧回路を必要な数だけ設けるようにしてあり、これら複数の昇圧回路の出力をスイッチによって適宜選択し、メモリセルのコントロールゲートに供給するようにしている。40

【0016】

しかしながら、昇圧回路はキャパシタ等、チップ上で大きな面積を占める素子を必要とするために、複数の昇圧回路を設けるとチップ面積が大型化するという問題がある。さらに、昇圧回路における消費電流が比較的多いので、チップ全体の消費電流が多くなるという問題もある。

【0017】

10

20

30

40

50

【発明が解決しようとする課題】

上述したように、外部から供給される電源電圧よりも高い種々の電圧を必要とする従来の半導体装置では複数の昇圧回路を設けるようにしているために、集積化する際にチップ面積が大型化する、消費電流が多くなるという問題がある。

【0018】

この発明は上記のような事情を考慮してなされたものであり、その目的は、集積化する際にチップ面積が大きくならず、かつ消費電流も少ない半導体装置を提供することである。

【0019】

【課題を解決するための手段】

この発明の半導体装置は、電源電圧を昇圧して第1の電圧を出力する昇圧回路と、上記第1の電圧が供給され、この第1の電圧を用いて第1の電圧よりも値が低い少なくとも2つの電圧を出力ノードから時系列的に順次出力する第1の電圧出力回路と、上記第1の電圧のノードと上記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されてから所定期間が経過した後に短絡状態を解除し、前記短絡回路が前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第1の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第1の電圧出力回路が活性化することを特徴とする。10

この発明の半導体装置は、電源電圧を昇圧して第1の電圧を出力する昇圧回路と、上記第1の電圧が供給され、この第1の電圧を用いて第1の電圧よりも値が低い少なくとも2つの電圧を出力ノードから時系列的に順次出力する第1の電圧出力回路と、上記第1の電圧のノードと上記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されて前記第1の電圧が所定値に達した後に短絡状態を解除し、前記短絡回路が前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第1の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第1の電圧出力回路が活性化することを特徴とする。20

【0020】

この発明の半導体記憶装置は、データを記憶するデータ消去可能なメモリセルと、上記メモリセルのゲートに第1の電圧を供給し、ドレインに第2の電圧及び第3の電圧のいずれか一方を供給して、上記メモリセルのデータ書き込みを行う書き込み回路と、上記メモリセルが形成されている半導体領域に第4の電圧を供給して、上記メモリセルのデータ消去を行う消去回路と、電源電圧を昇圧して第5の電圧を出力する昇圧回路と、上記第5の電圧が供給され、この第5の電圧を用いて第5の電圧よりも値が低い上記第1の電圧を出力ノードから出力する第1の電圧出力回路と、前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されてから所定期間が経過した後に短絡状態を解除し、前記短絡回路が前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第1の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第1の電圧出力回路が活性化することを特徴とする。30

【0021】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態を詳細に説明する。

【0022】

図1は、この発明の第1の実施の形態による半導体装置の一部の回路構成を示すブロック図である。図1に示した回路は例えばフラッシュメモリに内蔵され、前記したように種々40

の動作モードの際にメモリセルのコントロールゲートに供給すべき種々の電圧を生成する電圧生成回路であり、昇圧回路（V_{pp} generator）11と、レギュレータ回路（regulator）12とから構成されている。

【0023】

昇圧回路11は、昇圧活性化信号V_{PP E}が活性化されると動作し、外部から供給される電源電圧を昇圧して電源電圧よりも高い値を有する電圧V_{pp}を出力する。この電圧V_{pp}はレギュレータ回路12に供給される。

【0024】

レギュレータ回路12は、上記電圧V_{pp}からそれよりも値が低い複数の電圧を電圧V_{reg}として時系列的に順次出力する。このレギュレータ回路12の動作は、レギュレータ活性化信号R_{E G E}、メモリセルが書き込み動作の時に活性化される書き込み時信号P_{R O G}、及びメモリセルが書き込みベリファイ動作の時に活性化されるベリファイ時信号V_{R F Y}に応じて制御される。10

【0025】

次に、図1の回路の動作の一例を図2のタイミングチャートを用いて説明する。なお、図2中の時刻t0以前では、電圧V_{pp}、V_{reg}は共に、図示しない他の昇圧回路の出力電圧である5Vの読み出し電圧に設定されているとする。

【0026】

時刻t0に昇圧活性化信号V_{PP E}が活性化されると、昇圧回路11が動作を開始し、外部から供給される電源電圧の昇圧が開始される。この後、電圧V_{pp}は上昇する。昇圧回路11の動作が安定すると、この電圧V_{pp}は規定値に達して安定する。電圧V_{pp}の規定値は、メモリセルで消去を行う際にソース領域に供給されるソース電圧V_sと同じ電圧であり、例えば10Vである。このときの10Vの電圧V_{pp}は、消去動作の際にソース領域に供給されるソース電圧V_sとして使用してもよい。20

【0027】

一方、時刻t0にレギュレータ活性化信号R_{E G E}が活性化され、かつこれと同時に書き込み時信号P_{R O G}が活性化される。これにより、レギュレータ回路12が動作し、電圧V_{reg}が電圧V_{pp}よりも低い値、例えば9Vに向かって上昇し、その後、9Vに達すると安定する。信号P_{R O G}が“H”レベルの期間に電圧V_{reg}として出力される9Vの電圧は、消去動作の際にメモリセルのコントロールゲートに供給される先のゲート電圧V_gとして使用される。30

【0028】

次に、時刻t1に書き込み時信号P_{R O G}が非活性化となり、ベリファイ時信号V_{R F Y}が活性化される。これにより、レギュレータ回路12の出力電圧V_{reg}は、先の9Vからそれよりも低い7Vに低下し始め、その後、7Vに達すると安定する。そして、信号V_{R F Y}が“H”レベルの期間に電圧V_{reg}として出力される7Vの電圧は、書き込みベリファイ動作の際にメモリセルのコントロールゲートに供給される先の電圧V_{p v}として使用される。

【0029】

次に時刻t2にベリファイ時信号V_{R F Y}が非活性になると、レギュレータ回路12の出力電圧V_{reg}は先の7Vから元の5Vに向かって低下し始める。また時刻t3に昇圧活性化信号V_{PP E}が非活性化されると、昇圧回路11の動作が停止し、電圧V_{pp}が元の5Vに向かって低下し始める。40

【0030】

このように図1の回路では、メモリセルの種々の動作モードの際にメモリセルのコントロールゲートに供給するための値の異なる電圧を、昇圧回路11から出力される電圧V_{pp}を用いて、レギュレータ回路12によって時系列的に順次生成するようにしたので、従来のように生成すべき電圧の数だけ昇圧回路を設ける必要がなくなる。これにより、集積化した際にチップに占める占有面積を小さくすることができ、また消費電流も少なくすることができます。50

【 0 0 3 1 】

図3は、図1中の昇圧回路11の具体的な回路構成を示している。この昇圧回路11は周知のものであり、発振器(oscillator)21、チャージポンプ回路(charge pump)22及び電圧検知回路(voltage detector)23によって構成されている。

【 0 0 3 2 】

発振器21は、NANDゲートNA1及び2個のインバータIV1、IV2からなる負帰還回路を有し、電圧検知回路23から出力される発振活性化信号OSCEに応じてこの負帰還回路の動作が制御され、負帰還回路の動作時に所定の周波数で発振する。

【 0 0 3 3 】

チャージポンプ回路22は、電源電圧Vccの供給ノードと電圧Vppの出力ノードとの間にソース・ドレイン間が直列に挿入された3個のIタイプ(intrinsic type: しきい値が0V近傍)のMOSトランジスタQI1～QI3と、トランジスタQI1とQI2との直列接続ノードと上記発振器21内のインバータIV2の出力ノードとの間に接続されたキャパシタC1と、トランジスタQI2とQI3との直列接続ノードと上記発振器21内のインバータIV1の出力ノードとの間に接続されたキャパシタC2とから構成されている。

10

【 0 0 3 4 】

そして、電源電圧Vccの供給ノードに最も近い位置に配置されているトランジスタQI1のゲートには電圧検知回路23から出力される発振活性化信号OSCEが供給され、他の2個のトランジスタQI2、QI3のゲートはそれぞれのソース、すなわちキャパシタC1またはC2の一端に接続されている。

20

【 0 0 3 5 】

電圧検知回路23は、昇圧活性化信号VPPが入力されるインバータIN3と、このインバータIN3の出力が入力されるインバータIN4と、PチャネルのMOSトランジスタQP1、QP2及びNチャネルのMOSトランジスタQN1、QN2からなり、上記インバータIN3、IN4の出力がNチャネルのMOSトランジスタQN1、QN2のゲートに入力されるレベルシフト回路24と、ゲートに上記レベルシフト回路24の出力が入力され、ソース・ドレイン間の一端が電圧Vppの出力ノードに接続されたPチャネルのMOSトランジスタQP3と、上記トランジスタQP3のソース・ドレイン間の他端と接地電圧の供給ノードとの間に直列接続された電圧分割用の2個の抵抗R1、R2と、上記抵抗R1、R2によって分割された分割電圧Vdivを基準電圧Vrefと比較して前記発振活性化信号OSCEを発生するコンパレータ25とから構成されている。

30

【 0 0 3 6 】

このような構成の昇圧回路において、昇圧活性化信号VPPが“H”レベルになると、電圧検知回路23内のインバータIV3の出力が“L”レベル、インバータIV4の出力が“H”レベルとなり、レベルシフト回路24の出力が“L”レベルになる。すると、PチャネルのMOSトランジスタQP3がオンし、電圧Vppが2個の抵抗R1、R2によって抵抗分割される。そして、この分割電圧Vdivがコンパレータ25により基準電圧Vrefと比較される。

40

【 0 0 3 7 】

昇圧回路11の動作直後では電圧Vppの値が低いので、 $V_{ref} > V_{div}$ の関係となり、コンパレータ25の出力である発振活性化信号OSCEは“H”レベルになる。この発振活性化信号OSCEが“H”レベルのときは、チャージポンプ回路22内のトランジスタQI1がオンし、かつチャージポンプ回路22内のトランジスタQI2、QI3のソースにはキャパシタC1、C2を介して発振器21における発振信号が供給されるので、Vppの出力ノードに対して正の電荷が順次転送され、これによりVppの電圧値が順次上昇していく。

【 0 0 3 8 】

そして、電圧Vppが規定値以上に上昇すると、 $V_{ref} < V_{div}$ の関係となり、発振

50

活性化信号O S C Eが“L”レベルになり、これにより発振器21の発振動作が停止し、チャージポンプ回路22における電荷の転送動作も停止する。

【0039】

この状態で電圧V_{pp}が規定値よりも低下すると、再び発振活性化信号O S C Eは“H”レベルになり、発振動作が再開され、チャージポンプ回路22における電荷の転送動作も再開される。このような動作は、昇圧活性化信号V_{PP}Eが“H”レベルにされている期間中繰り返して行われ、これにより電圧V_{pp}の出力ノードからは昇圧された電圧が出力される。

【0040】

図4は、図1中のレギュレータ回路12の具体的な回路構成を示している。このレギュレータ回路12は、レギュレータ活性化信号R E G Eによって活性化制御される2個のコンパレータ26、27と、ソースが電圧V_{pp}の供給ノードに接続され、ゲートがドレインに接続されたPチャネルのMOSトランジスタQ P 4と、ソースが電圧V_{pp}の供給ノードに接続され、ゲートが上記トランジスタQ P 4のゲートと共に接続され、ドレインが電圧V_{reg}の出力ノードに接続されて上記トランジスタQ P 4と共にカレントミラー回路を構成するPチャネルのMOSトランジスタQ P 5と、ドレインが上記トランジスタQ P 4のドレインに接続され、ソースが接地電圧のノードに接続され、ゲートに上記コンパレータ26の出力が供給されるNチャネルのMOSトランジスタQ N 3と、ドレインが上記トランジスタQ P 5のドレインに接続され、ソースが接地電圧のノードに接続され、ゲートに上記コンパレータ27の出力が供給されるNチャネルのMOSトランジスタQ N 4と、電圧V_{reg}の出力ノードと接地電圧のノードとの間に直列に挿入された電圧分割用の3個の抵抗R 3、R 4、R 5と、上記3個の抵抗R 3、R 4、R 5のうち接地電圧のノードに最も近い側に配置された抵抗R 5と接地電圧のノードとの間にソース・ドレイン間が挿入され、ゲートにベリファイ時信号V R F Yが供給されるNチャネルのMOSトランジスタQ N 5と、上記3個の抵抗R 3、R 4、R 5のうち抵抗R 4とR 5の直列接続ノードと接地電圧のノードとの間にソース・ドレイン間が挿入され、ゲートに書き込み時信号P R O Gが供給されるNチャネルのMOSトランジスタQ N 6とから構成されている。

【0041】

そして、上記一方のコンパレータ26の非反転入力端子(+)及び他方のコンパレータ27の反転入力端子(-)にはそれぞれ基準電圧V_{ref}が供給され、一方のコンパレータ26の反転入力端子(-)及び他方のコンパレータ27の非反転入力端子(+)には上記2個の抵抗R 3、R 4の直列接続ノードにおける分割電圧がそれぞれ供給される。上記両コンパレータ26、27は、レギュレータ活性化信号R E G Eが“H”レベルにされたときに動作し、それぞれの入力電圧を比較する。

【0042】

このような構成において、レギュレータ活性化信号R E G Eが“H”レベルにされ、書き込み時信号P R O Gが“H”レベルにされている図2中の時刻t0～t1の期間では、トランジスタQ N 6がオンし、電圧V_{reg}が2個の抵抗R 3、R 4によって分割され、このときの分割電圧がコンパレータ26、27に入力される。

【0043】

ここで、レギュレータ活性化信号R E G Eが“H”レベルにされた直後では電圧V_{reg}はほぼ0Vであり、この電圧を2個の抵抗R 3、R 4によって分割した分割電圧はV_{ref}よりも低いので、一方のコンパレータ26の出力は“H”レベル、他方のコンパレータ27の出力は“L”レベルとなる。これにより、トランジスタQ N 3がオンし、トランジスタQ N 4がオフ状態となり、トランジスタQ P 4及びトランジスタQ N 3を介して、図中に示す電流I 1が電圧V_{pp}のノードから接地電圧のノードに向かって流れ。この電流I 1が流れることにより、トランジスタQ P 5を介して、図中に示す電流I 2が電圧V_{pp}(規定値が10V)のノードから電圧V_{reg}のノードに向かって流れ、電圧V_{reg}のノードが充電される。この結果、前記図2に示すように電圧V_{reg}が上昇を開始する。そして、この電圧V_{reg}が規定値である9Vを超えると、抵抗R 3とR 4の直列ノ

10

20

30

40

50

ードにおける分割電圧の値が基準電圧 V_{ref} よりも高くなり、一方のコンパレータ 26 の出力は “H” レベルから “L” レベルに反転し、逆に他方のコンパレータ 27 の出力は “L” レベルから “H” レベルに反転する。これにより、今度はトランジスタ QN3 がオフ状態、トランジスタ QN4 がオン状態となり、先の電流 I1 は流れなくなり、電圧 V_{reg} のノードがトランジスタ QN4 を介して接地電圧のノードに向かって放電され、電圧 V_{reg} が低下を始める。

【0044】

このようにして、コンパレータ 26、27 により、抵抗 R3 と R4 の直列ノードにおける分割電圧と基準電圧 V_{ref} とが比較され、その比較結果に基づいて N チャネルの MOS トランジスタ QN3、QN4 がオン / オフ制御され、電圧 V_{reg} のノードが充放電されることによって電圧 V_{reg} が常に書き込み時の規定値 (9V) に一致するように制御される。

10

【0045】

次に、書き込み時信号 PROG が “L” レベルにされ、ベリファイ時信号 VRFY が “H” レベルにされている図 2 中の時刻 $t_1 \sim t_2$ の期間では、トランジスタ QN6 がオフし、トランジスタ QN5 がオンするので、電圧 V_{reg} が 3 個の抵抗 R3、R4、R5 によって分割され、書き込み時よりも抵抗分割比率が小さな分割電圧がコンパレータ 26、27 に入力される。この場合、電圧 V_{reg} が先の規定値である 9V よりも低い 7V に達した時に得られる上記分割電圧の値が、電圧 V_{reg} が 9V のときに得られる分割電圧の値と等しくなるように抵抗 R3、R4、R5 の各抵抗値が設定されている。

20

【0046】

従って、ベリファイ時には、コンパレータ 26、27 により、抵抗 R3 と R4 の直列ノードにおける分割電圧と基準電圧 V_{ref} とが比較され、その比較結果に基づいて N チャネルの MOS トランジスタ QN3、QN4 がオン / オフ制御され、電圧 V_{reg} のノードが充放電されることによって電圧 V_{reg} が常にベリファイ時の規定値 (7V) に一致するように制御される。

【0047】

図 5 は、図 4 におけるコンパレータ 26、27 の具体的な回路構成を示している。電源電圧 V_{cc} の供給ノードには P チャネルの MOS トランジスタ QP6 のソースが接続されている。このトランジスタ QP6 のドレインには 2 個の P チャネルの MOS トランジスタ QP7、QP8 の各ソースが接続されている。上記両トランジスタ QP7、QP8 のゲートは共通に接続され、さらにトランジスタ QP8 のドレインは上記ゲート共通接続ノードに接続されている。また、上記トランジスタ QP7 のドレインには N チャネルの MOS トランジスタ QN7 のドレインが接続されている。このトランジスタ QN7 のゲートは前記反転入力端子 (-) として使用される。上記トランジスタ QP8 のドレインには N チャネルの MOS トランジスタ QN8 のドレインが接続されている。このトランジスタ QN8 のゲートは前記非反転入力端子 (+) として使用される。上記両トランジスタ QN7、QN8 のソースは共通に接続され、このソース共通接続ノードと接地電圧のノードとの間には電流源 28 が接続されている。すなわち、トランジスタ QP6、QP7、QP8、QN7、QN8 及び電流源 28 は、カレントミラー負荷を有する差動増幅器を構成している。

30

【0048】

一方、レギュレータ活性化信号 REGE はインバータ 29 に入力され、このインバータ 29 の出力は前記 P チャネルの MOS トランジスタ QP6 のゲートに入力される。さらに、上記インバータ 29 の出力は、前記 P チャネルの MOS トランジスタ QP7 と N チャネルの MOS トランジスタ QN6 のドレイン共通接続ノードである差動増幅器の出力ノード OUT にソースが接続され、接地電圧のノードにドレインが接続された N チャネルの MOS トランジスタ QN9 のゲートに入力される。

40

【0049】

このような構成でなるコンパレータにおいて、レギュレータ活性化信号 REGE が “L” レベルにされているときはインバータ 29 の出力が “H” レベルとなり、P チャネルの M

50

O SトランジスタQ P 6がオフし、NチャネルのMOSトランジスタQ N 9がオンする。このとき、差動増幅器は動作せず、出力ノードO U TはトランジスタQ N 9を介して接地電圧のノードに接続されるので、出力ノードO U Tの信号は、反転入力端子(-)と非反転入力端子(+)に入力される電圧にかかわらずに“L”レベルになる。

【0050】

レギュレータ活性化信号R E G Eが“H”レベルになると、インバータ29の出力が“L”レベルとなり、PチャネルのMOSトランジスタQ P 6がオンし、差動増幅器は動作状態となり、反転入力端子(-)と非反転入力端子(+)に入力される電圧が比較される。このとき、反転入力端子(-)に入力される電圧に対し非反転入力端子(+)に入力される電圧の方が高い場合、NチャネルのMOSトランジスタQ N 8がオンし、出力ノードO U Tの信号は“H”レベルになる。上記とは逆に反転入力端子(-)に入力される電圧に対し非反転入力端子(+)に入力される電圧の方が低い場合、NチャネルのMOSトランジスタQ N 7がオンし、出力ノードO U Tの信号は“L”レベルになる。10

【0051】

ところで、図4に示すレギュレータ回路12では、書き込み動作の開始直後にトランジスタQ P 4及びQ N 3を直列に介して接地電圧のノードに流れる電流I 1の値が大きなものとなり、電圧V p pの立ち上がり、ひいては電圧V r e gの立ち上がりが遅くなることがある。

【0052】

そこで、このように電圧V p p、電圧V r e gの立ち上がりの遅れが問題となるような場合には、図6に示す第2の実施の形態の電圧生成回路のように、電圧V p pのノードと電圧V r e gのノードとの間に、両ノード間を短絡制御する短絡回路(Equalizer)13を接続すればよい。20

【0053】

上記短絡回路13は、短絡制御信号E Q L Eによって動作が制御され、信号E Q L Eが活性化(“H”レベル)されているときに電圧V p pのノードと電圧V r e gのノードとの間が短絡される。

【0054】

次に、図6の回路の動作の一例を図7のタイミングチャートを用いて説明する。なお、この場合にも、図7中の時刻t 0以前では、電圧V p p、V r e gは共に、図示しない他の昇圧回路の出力電圧である5Vの読み出し電圧に設定されているとする。30

【0055】

時刻t 0に昇圧活性化信号V P P Eが活性化されると、昇圧回路11が動作を開始し、電圧V p pが上昇を開始する。また、これと同時に短絡制御信号E Q L Eが活性化され、短絡回路13によって電圧V p pのノードと電圧V r e gのノードとの間が短絡され、電圧V r e gは電圧V p pと同様に上昇していく。

【0056】

次に、時刻t 1に短絡制御信号E Q L Eが“L”レベルになると、短絡回路13による短絡状態が解除される。この後、昇圧回路11の出力電圧V p pは規定値に達して安定する。電圧V p pの規定値は、メモリセルで消去を行う際にソース領域に供給されるソース電圧V sと同じ電圧であり、例えば10Vである。このときの10Vの電圧V r e gは、消去動作の際にソース領域に供給されるソース電圧V sとして使用してもよい。40

【0057】

電圧V r e gがある程度上昇した後の時刻t 2にレギュレータ活性化信号R E G Eが活性化される。なお、書き込み時信号P R O Gは昇圧活性化信号V P P Eの活性化と同時に活性化されている。信号R E G Eが活性化されることにより、レギュレータ回路12が動作し、電圧V r e gが電圧V p pよりも低い値、例えば9Vとなるように安定化される。

【0058】

次に、時刻t 3に書き込み時信号P R O Gが非活性化となり、ペリファイ時信号V R F Yが活性化される。これにより、レギュレータ回路12の出力電圧V r e gは9Vから7Vに50

低下し始め、その後、7Vに達すると安定する。

【0059】

次に時刻 t_4 にベリファイ時信号 V_{RFY} が非活性になると、レギュレータ回路 12 の出力電圧 V_{reg} は 7V から 5V に向かって低下する。また時刻 t_5 に昇圧活性化信号 V_{PPE} が非活性化されると、昇圧回路 11 の動作が停止し、電圧 V_{pp} が元の 5V に向かって低下する。

【0060】

図 8 は、図 6 中の短絡回路 13 の具体的な回路構成を示している。この短絡回路 13 は、短絡制御信号 E_{QLE} が入力されるインバータ I_{V5} と、このインバータ I_{V5} の出力が入力されるインバータ I_{V6} と、P チャネルの MOS トランジスタ Q_{P9}, Q_{P10} 及び N チャネルの MOS トランジスタ Q_{N10}, Q_{N11} からなり、上記インバータ I_{V5}, I_{V6} の出力が N チャネルの MOS トランジスタ Q_{N10}, Q_{N11} のゲートに入力されるレベルシフト回路 30 と、ゲートに上記レベルシフト回路 30 の出力が入力され、ソースが電圧 V_{pp} の出力ノードに、ドレインが電圧 V_{reg} の出力ノードにそれぞれ接続された P チャネルの MOS トランジスタ Q_{P11} とから構成されている。
10

【0061】

図 8 の短絡回路 13 において、短絡制御信号 E_{QLE} が “H” レベルのとき、インバータ I_{V5} の出力は “H” レベル、インバータ I_{V6} の出力は “L” レベルとなり、トランジスタ Q_{N10} がオフ、トランジスタ Q_{N11} がオンして、レベルシフト回路 30 の出力が “L” レベルになる。これによりトランジスタ Q_{P11} がオンして電圧 V_{pp} のノードと電圧 V_{reg} のノードとが短絡される。
20

【0062】

一方、短絡制御信号 E_{QLE} が “L” レベルのときは、インバータ I_{V5} の出力が “L” レベル、インバータ I_{V6} の出力が “H” レベルとなり、トランジスタ Q_{N10} がオン、トランジスタ Q_{N11} がオフして、レベルシフト回路 30 の出力が “H” レベル (V_{pp}) になる。これによりトランジスタ Q_{P11} はオフし、電圧 V_{pp} のノードと電圧 V_{reg} のノードとの間の短絡状態が解除される。

【0063】

このように図 6 の回路でも、図 1 の場合と同様に、メモリセルの種々の動作モードの際に、メモリセルのコントロールゲートに供給するための値の異なる電圧を、昇圧回路 11 から出力される電圧 V_{pp} を用いてレギュレータ回路 12 で時系列的に順次生成するようにしたので、図 1 の場合と同様の効果が得られる他に次のような効果が得られる。
30

【0064】

すなわち、昇圧回路 11 における昇圧動作の開始直後ではレギュレータ回路 12 を動作させず、その代わりに短絡回路 13 を動作させて電圧 V_{pp} のノードと電圧 V_{reg} のノードとを短絡させるようにしている。このため、電圧 V_{pp} の立ち上がり時に接地電圧のノードに流れ出ていた大きな電流 I_1 は流れず、電圧 V_{pp} の立ち上がり、ひいては電圧 V_{reg} の立ち上がりを早くすることができる。また、昇圧回路 11 における昇圧動作の開始直後に接地電圧のノードに流れ出ていた大きな電流は流れなくなるので、消費電流も図 1 の場合と比べて大幅に削減することができる。
40

【0065】

図 9 は、図 1 もしくは図 6 中のレギュレータ回路 12 の他の具体的回路構成を、レギュレータ活性化信号 R_{EGE} や短絡制御信号 E_{QLE} 等の制御信号を生成する制御信号生成回路などの回路と共に示している。

【0066】

図 9 に示すレギュレータ回路 12 が図 4 に示すものと異なる点は、コンパレータ 27 の活性化動作がレギュレータ活性化信号 R_{EGE} ではなく、後述する信号生成回路で生成される別の制御信号で制御される点である。

【0067】

31 は、昇圧活性化信号 V_{PPE} 、書き込み時信号 $PROG$ 及びベリファイ時信号 V_{RFY}

50

などから、レギュレータ活性化信号 R E G E 、短絡制御信号 E Q L Eなどを生成する制御信号生成回路である。この回路 3 1 は、基準電圧 V r e f とレギュレータ回路 1 2 内の抵抗 R 2 及び R 3 の直列接続ノードにおける分割電圧とを比較するコンパレータ 3 2 と、昇圧活性化信号 V P P E が入力されるインバータ 3 3 と、それぞれ一方の入力端子にコンパレータ 3 2 及びインバータ 3 3 の出力が入力され、他方の入力端子と出力端子とが交差接続されてラッチ回路 3 4 を構成する 2 個の NOR ゲート NOR 1 、 NOR 2 と、 NOR ゲート NOR 2 の出力とインバータ 3 3 の出力とが入力される NOR ゲート NOR 3 と、書き込み時信号 PROG 及びベリファイ時信号 V R F Y が入力される NOR ゲート NOR 4 と、 NOR ゲート NOR 4 の出力が入力されるインバータ 3 5 とから構成されている。

【 0 0 6 8 】

10

そして、上記 NOR ゲート NOR 2 からの出力はレギュレータ活性化信号 R E G E としてレギュレータ回路 1 2 内のコンパレータ 2 6 に入力され、 NOR ゲート NOR 3 からの出力は短絡制御信号 E Q L E として図 8 に示す短絡回路 3 0 に入力される。また、インバータ 3 5 からの出力は活性化信号としてレギュレータ回路 1 2 内のコンパレータ 2 7 に入力される。

【 0 0 6 9 】

3 6 は、昇圧回路 1 1 における昇圧動作の開始前及び昇圧動作の停止後に、電圧 V r e g のノード及び電圧 V p p のノードを昇圧された電圧、例えば 5 V に設定するための電圧設定回路である。この回路 3 6 は、制御信号生成回路 3 1 内のインバータ 3 5 の出力が入力されるインバータ I V 7 と、 P チャネルの MOS トランジスタ Q P 1 2 、 Q P 1 3 及び N チャネルの MOS トランジスタ Q N 1 2 、 Q N 1 3 からなり、上記インバータ 3 4 、 I V 7 の出力が N チャネルの MOS トランジスタ Q N 1 2 、 Q N 1 3 のゲートに入力されるレベルシフト回路 3 7 と、ゲートに上記レベルシフト回路 3 7 の出力が入力され、ソースが 5 V の電圧の供給ノードに、ドレインが電圧 V r e g の出力ノードにそれぞれ接続された P チャネルの MOS トランジスタ Q P 1 4 と、ソースが 5 V の電圧の供給ノードに、ドレインが電圧 V p p のノードにそれぞれ接続された P チャネルの MOS トランジスタ Q P 1 5 とから構成されている。

20

【 0 0 7 0 】

次に、図 9 に示す回路の動作の一例を図 1 0 のタイミングチャートを用いて説明する。まず、時刻 t 0 以前では書き込み時信号 PROG 及びベリファイ時信号 V R F Y が共に “ L ” レベルになっているので、信号生成回路 3 1 内の NOR ゲート NOR 4 の出力は “ H ” レベル、この NOR ゲート NOR 4 の出力が入力されるインバータ 3 5 の出力は “ L ” レベルとなる。さらにインバータ 3 5 の出力が入力される電圧設定回路 3 6 内のインバータ I V 7 の出力は “ H ” レベルとなる。このとき、電圧設定回路 3 6 内のレベルシフト回路 3 7 の N チャネルの MOS トランジスタ Q N 1 2 がオフ、 Q N 1 3 がオンとなり、レベルシフト回路 3 7 の出力は “ L ” レベルになる。これにより、このレベルシフト回路 3 7 の出力がゲートに入力される 2 個の P チャネルの MOS トランジスタ Q P 1 4 、 Q P 1 5 がオンし、電圧 V r e g のノード及び電圧 V p p のノードに 5 V の電圧が出力され、電圧 V r e g 及び電圧 V p p が共に 5 V に設定される。

30

【 0 0 7 1 】

40

時刻 t 0 に昇圧活性化信号 V P P E が活性化（ “ H ” レベル）されると、昇圧回路 1 1 が動作を開始し、電圧 V p p が上昇を開始する。また、信号 V P P E が “ H ” レベルになると、信号生成回路 3 1 内のインバータ 3 3 の出力が “ L ” レベルになる。ここで、予めラッチ回路 3 4 を構成する NOR ゲート NOR 2 の出力であるレギュレータ活性化信号 R E G E が “ L ” レベルになっているとすると、 NOR ゲート NOR 3 の出力である短絡制御信号 E Q L E は “ H ” レベルになる。この信号 E Q L E を受けて、先に説明したように図 8 の短絡回路 3 0 内のトランジスタ Q P 1 1 がオンし、電圧 V p p のノードと電圧 V r e g のノードとの間が短絡される。

【 0 0 7 2 】

また、時刻 t 0 に書き込み時信号 PROG が “ H ” レベルになると、信号生成回路 3 1 内の

50

NORゲートNOR4の出力が“L”レベルに反転し、インバータ35の出力が“H”レベルに反転し、電圧設定回路36内のレベルシフト回路37のNチャネルのMOSトランジスタQN12がオン、QN13がオフとなり、レベルシフト回路37の出力が“H”レベルに反転する。これにより、このレベルシフト回路37の出力がゲートに入力される2個のPチャネルのMOSトランジスタQ P14、Q P15がオフし、電圧V_{reg}のノード及び電圧V_{pp}のノードが5Vの電圧のノードから切り離される。従って、電圧V_{pp}及びV_{reg}は昇圧回路11の出力によって順次上昇していく。

【0073】

一方、昇圧回路11の出力電圧V_{pp}の上昇に伴ってレギュレータ回路12の出力電圧V_{reg}が上昇し、時刻t1において電圧V_{reg}が規定値(9V)に達し、先に述べたようにレギュレータ回路12内の2個の抵抗R3、R4による分割電圧が基準電圧V_{ref}を超えると、制御信号生成回路31内のコンパレータ32の出力が“H”レベルになり、これによりラッチ回路34内のNORゲートNOR2の出力であるレギュレータ活性化信号REGEが“L”レベルから“H”レベルに反転し、レギュレータ回路12内のコンパレータ26が活性化される。このとき、書き込み時信号PROGは“H”レベルであり、信号生成回路31内のNORゲートNOR4の出力は“L”レベル、インバータ35の出力は“H”レベルなので、レギュレータ回路12内のコンパレータ27も活性化されている。従って、この後は、前述のように、この2個のコンパレータ26、27の出力によってNチャネルのMOSトランジスタQN3、QN4がオン、オフ制御されることにより、電圧V_{reg}の安定化制御が行われる。

10

【0074】

また、レギュレータ活性化信号REGEが“H”レベルに反転すると、NORゲートNOR3の出力である短絡制御信号EQLEが“L”レベルになる。これにより、短絡回路13による短絡状態は解除される。

【0075】

次に、時刻t2に書き込み時信号PROGが“L”レベルになり、ベリファイ時信号VRFYが“H”レベルになる。このとき信号生成回路31内のインバータ35の出力は“H”レベルのまま変化しないので、レギュレータ回路12内のコンパレータ27は活性状態のままとなる。また、このとき、レギュレータ回路12ではNチャネルのMOSトランジスタQN6に代わってNチャネルのMOSトランジスタQN5がオンし、前述したように電圧V_{reg}の分割比率が変化する。この結果、前述したように電圧V_{reg}は9Vから7Vに低下し、その後は7Vに安定するように制御される。

20

【0076】

次に、時刻t3に昇圧活性化信号V_{PP}Eが非活性(“L”レベル)にされる。これにより、昇圧回路11が昇圧動作を停止する。また信号V_{PP}Eが“L”レベルになると、信号生成回路31内のインバータ33の出力が“H”レベルになり、ラッチ回路34を構成するNORゲートNOR2の出力であるレギュレータ活性化信号REGEが“L”レベルになり、レギュレータ回路12の動作が停止する。さらに、昇圧活性化信号V_{PP}Eの非活性化と同時にベリファイ時信号VRFYが“L”レベルになる。このとき、書き込み時信号PROGは既に“L”レベルになっているので、信号生成回路31内のNORゲートNOR4の出力は“H”レベル、インバータ35の出力は“L”レベルとなり、先に説明したように電圧設定回路36内の2個のPチャネルのMOSトランジスタQ P14、Q P15がオンし、電圧V_{reg}のノード及び電圧V_{pp}のノードに5Vの電圧が出力され、電圧V_{reg}及び電圧V_{pp}が再び共に5Vに設定されるようになる。

30

【0077】

このように図9に示した回路では、昇圧活性化信号V_{PP}Eの立ち上がりに同期して短絡制御信号EQLEが立ち上がり、V_{reg}が規定値である9Vに達した後に短絡制御信号EQLEが立ち下がり、かつレギュレータ活性化信号REGEが立ち上がるようしている。この結果、短絡制御信号EQLEが立ち下がった後から次にレギュレータ活性化信号REGEが立ち上がるまでの間の時間を実質的になくすことができ、これにより図7のタ

40

50

イミングチャートの場合と比較して、不要に長くタイミングを確保する必要がなくなり、最適なタイミングで動作させることができる。

【0078】

図11はこの発明の第3の実施の形態による電圧生成回路を示している。図11の電圧生成回路には、図6に示すものと同様に昇圧回路11と、レギュレータ回路12と、短絡回路13とが設けられていると共に、さらにスイッチ回路(Switch)14が設けられている。

【0079】

上記スイッチ回路14には昇圧回路11から出力される電圧Vppが供給され、スイッチ回路14は消去時に消去選択信号ERSEiに応じて電圧Vppを、前記図15中に示されるソース線SLiに選択的に出力する。10

【0080】

すなわち、この実施の形態による電圧生成回路では、昇圧回路11によって得られる10Vの電圧Vppを、メモリセルの消去時にソース線SLiに供給するためのソース電圧Vsとして使用するようにしたものである。なお、この場合、消去選択信号ERSEiの“H”レベルはVppである。

【0081】

図12はこの発明をフラッシュメモリに適用した場合のメモリ全体の構成を示すブロック図である。アドレスバッファ(Address buffer)41は、外部アドレスを受け、読み出しまだ書込みまたは消去するメモリセルに対応した内部アドレスを出力する。20
I/Oバッファ(I/O buffer)42は、読み出し時にセンスアンプ(sense amp)43でセンスされるメモリセルのデータを外部に出力し、書込み時には外部から供給される書込みデータを書込み回路(Program circuit)44に入力する。書込み回路44はカラムゲート回路(column gates)45を介して、メモリセルアレイ(Memory Cell Array)46内の対応するビット線に書込み電圧を供給する。

【0082】

コマンドレジスタ(Command register)47は書込みや消去コマンドなど、外部から入力されるコマンドを保持し、コントローラ(Controller)48はコマンドレジスタ47で保持されているコマンドを受けて、メモリ内の各回路を制御するための制御信号を発生する。30
ロウデコーダ(Row decoder)49はアドレスバッファ41から出力される内部アドレスを受け、メモリセルアレイ46内の対応するワード線を選択する。カラムデコーダ(Column decoder)50はアドレスバッファ41から出力される内部アドレスを受け、カラムゲート回路45内のカラムゲートを内部アドレスに応じて選択駆動する。これにより、メモリセルアレイ46内の選択ビット線が、カラムゲート回路45を介してセンスアンプ43に接続される。

【0083】

チャージポンプ回路(Charge pumps)51は、外部電源電圧を昇圧して書込み用の5Vの電圧、消去用の10V(Vpp)及び-7Vの電圧を発生する。チャージポンプ回路51で発生された5Vの電圧は書込み回路44に供給される。チャージポンプ回路51で発生された-7Vの電圧はメモリセルアレイ46に供給される。40

【0084】

また、チャージポンプ回路51で発生された10Vの電圧Vppはレギュレータ回路(Regulator)12に供給される。このレギュレータ回路12の機能については先に説明した通りなので、その説明は省略する。またチャージポンプ回路51とレギュレータ回路12との間には、先に説明した短絡回路(Equalizer)13が接続されている。この短絡回路(Equalizer)13の機能についても先に説明した通りなので、その説明は省略する。

【0085】

このような構成のフラッシュメモリでは、メモリセルの書き込み時や読み出し時にワード線、つまりメモリセルのコントロールゲートに供給するための種々の電圧Vregを、レギュレータ回路12を用いて、1つのチャージポンプ回路で得られる電圧から時系列的に順

1020304050

次出力するために、いくつものチャージポンプ回路を設ける必要がなくなる。この結果、チップ全体の面積の大型化を防ぐことができる。しかも、チャージポンプ回路には比較的大きな電流が流れ、消費電流が多いために、チャージポンプ回路の数を減らすことによって全体の消費電流を削減することができる。なお、電圧 V_{reg} はロウデコーダ 49 を経由してメモリセルアレイ 46 内のワード線、つまりメモリセルのコントロールゲートに供給される。

【0086】

【発明の効果】

以上説明したようにこの発明によれば、昇圧回路の出力を用いて電圧出力回路から値が異なるいくつかの電圧を時系列的に順次出力するようにしたので、昇圧回路の数を減らすことができ、これによって集積化する際にチップ面積が大きくならず、かつ消費電流も少ない半導体装置を提供することができる。

10

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る電圧生成回路のブロック図。

【図2】図1の回路の動作の一例を示すタイミングチャート。

【図3】図1中の昇圧回路11の具体的な回路構成を示す図。

【図4】図1中のレギュレータ回路12の具体的な回路構成を示す図。

【図5】図4におけるコンパレータ26、27の具体的な回路構成を示す図。

【図6】第2の実施の形態に係る電圧生成回路のブロック図。

20

【図7】図6の回路の動作の一例を示すタイミングチャート。

【図8】図6中の短絡回路13の具体的な回路構成を示す図。

【図9】図1もしくは図6中のレギュレータ回路12の他の具体的な回路構成を制御信号生成回路などの他の回路と共に示す回路図。

【図10】図9に示す回路の動作の一例を示すタイミングチャート。

【図11】この発明の第3の実施の形態による電圧生成回路のブロック図。

【図12】この発明をフラッシュメモリに適用した場合のメモリ全体の構成を示すブロック図。

【図13】フラッシュメモリにおける1つのメモリセルの素子断面構造を示す図。

【図14】NOR型フラッシュメモリのメモリセルアレイの回路例を示す図。

【図15】メモリセルのコントロールゲートに供給されるゲート電圧とメモリセルのドレインに流れるドレイン電流との関係を示す特性図。

30

【図16】動作時にメモリセルに対して供給される電圧 V_g 、 V_d 、 V_s の値の一例を示す図。

【符号の説明】

11…昇圧回路 ($V_{pp\ generator}$)、

12…レギュレータ回路 (regulator)、

13…短絡回路 (Equalizer)、

14…スイッチ回路 (Switch)、

21…発振器 (oscillator)、

22…チャージポンプ回路 (charge pump)、

40

23…電圧検知回路 (voltage detector)、

24…レベルシフト回路、

25、26、27、32…コンパレータ、

28…電流源、

29、33、35…インバータ、

30…レベルシフト回路、

31…制御信号生成回路、

34…ラッチ回路、

36…電圧設定回路、

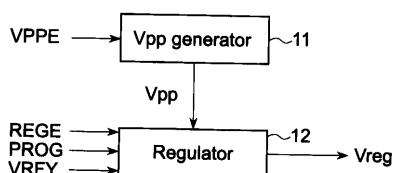
37…レベルシフト回路、

50

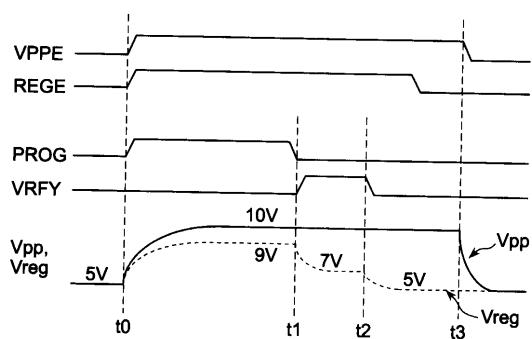
4 1 ... アドレスバッファ (Address buffer)、
 4 2 ... I / O バッファ (I / O buffer)、
 4 3 ... センスアンプ (sense amp)、
 4 4 ... 書込み回路 (Program circuit)、
 4 5 ... カラムゲート回路 (column gates)、
 4 6 ... メモリセルアレイ (Memory Cell Array)、
 4 7 ... コマンドレジスタ (Command register)、
 4 8 ... コントローラ (Controller)、
 4 9 ... ロウデコーダ (Row decoder)、
 5 0 ... カラムデコーダ (Column decoder)、
 5 1 ... チャージポンプ回路 (Charge pumps)、
 IV1 ~ IV7 ... インバータ、
 QI1 ~ QI3 ... IタイプのMOSトランジスタ、
 C1、C2 ... キャパシタ、
 QP1 ~ QP15 ... PチャネルのMOSトランジスタ、
 QN1 ~ QN13 ... NチャネルのMOSトランジスタ、
 R1 ~ R5 ... 抵抗、
 NOR1 ~ NOR4 ... NORゲート、
 NA1 ... NANDゲート。

10

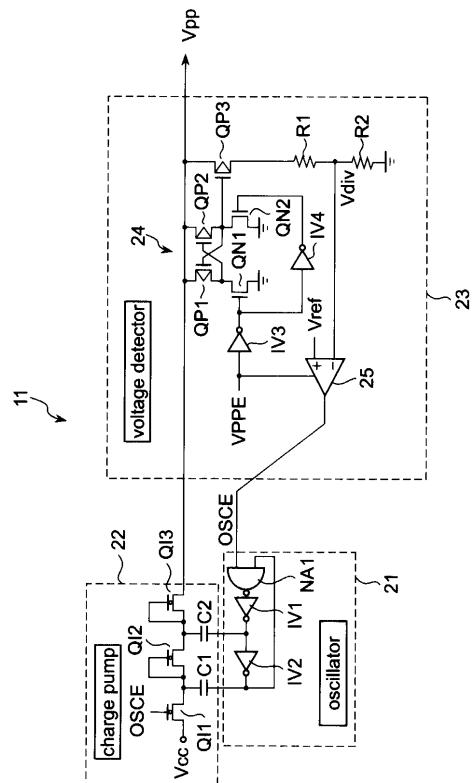
【図1】



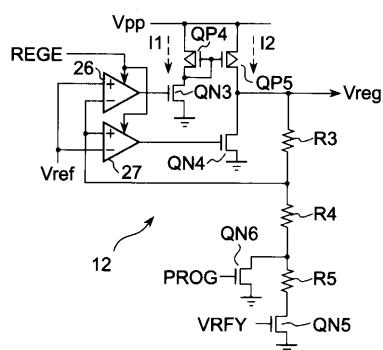
【図2】



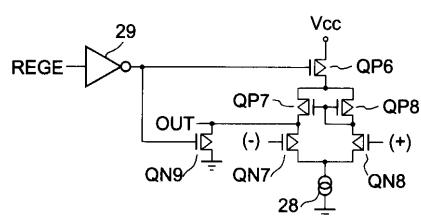
【図3】



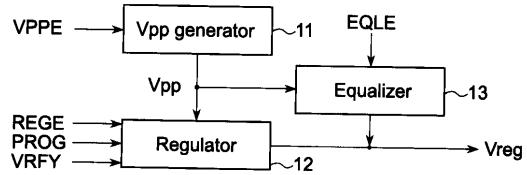
【図4】



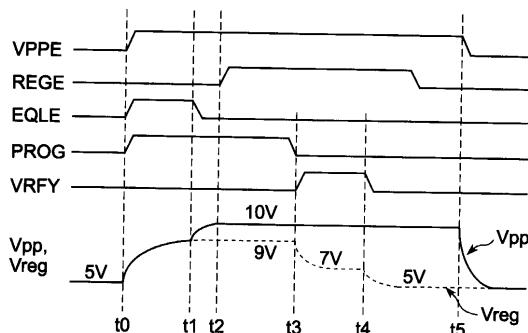
【図5】



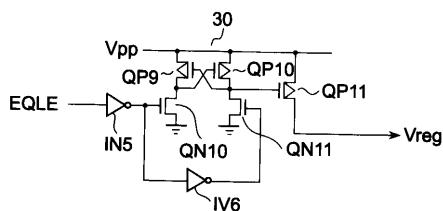
【図6】



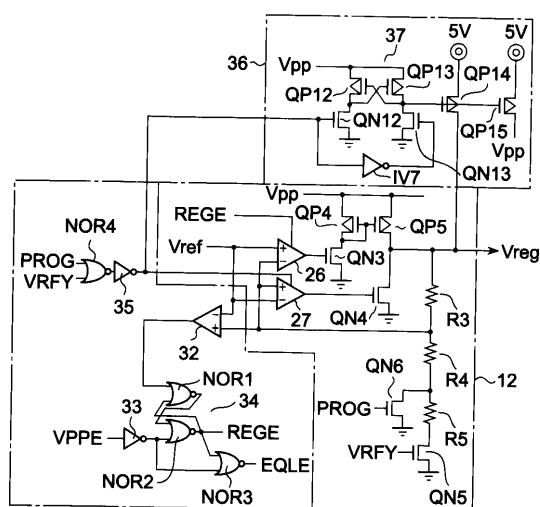
【図7】



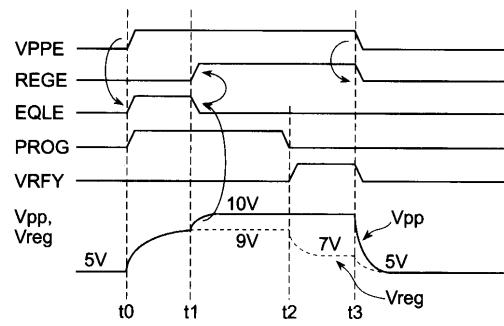
【図8】



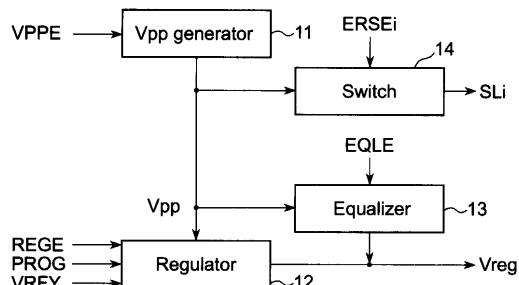
【図9】



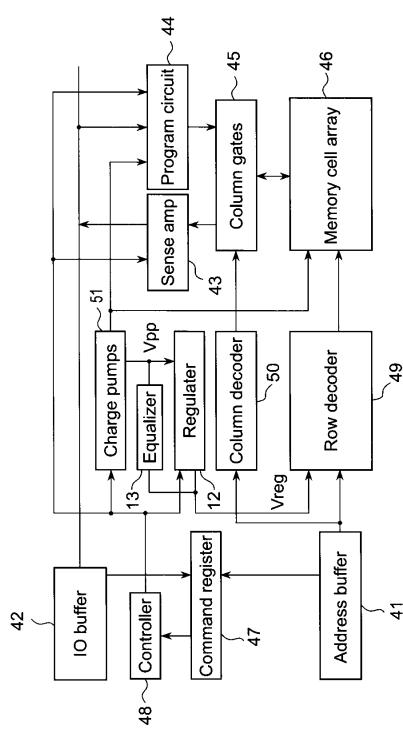
【図10】



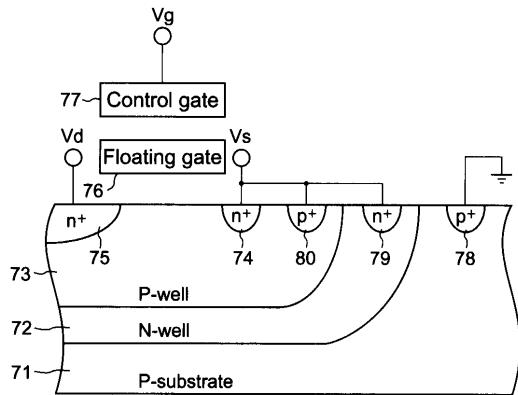
【図11】



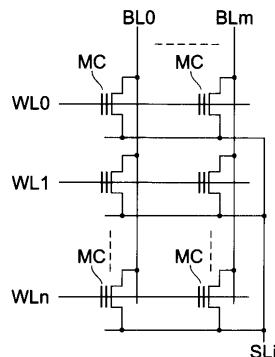
【図12】



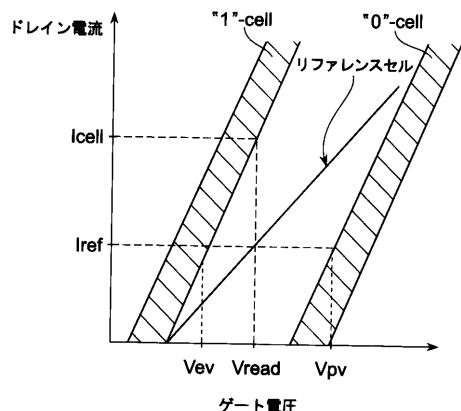
【図13】



【図14】



【図15】



【図16】

	読み出し	プログラム	消去
V_g	5V	9V	-7V
V_d	1V	5V ("1") 0V ("0")	フローティング
V_s	0V	0V	10V

フロントページの続き

(74)代理人 100088683

弁理士 中村 誠

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 丹沢 徹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 宮葉 武史

神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

(72)発明者 渥美 滋

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 高野 芳徳

(56)参考文献 特開平10-241385 (JP, A)

特開平10-011987 (JP, A)

特開平10-241387 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00