

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4149637号
(P4149637)

(45) 発行日 平成20年9月10日 (2008. 9. 10)

(24) 登録日 平成20年7月4日 (2008. 7. 4)

(51) Int. Cl.

F I

G 1 1 C 16/06 (2006. 01)

G 1 1 C 17/00 6 3 2 C

G 1 1 C 17/00 6 3 2 A

請求項の数 6 (全 19 頁)

(21) 出願番号 特願2000-154983 (P2000-154983)
 (22) 出願日 平成12年5月25日 (2000. 5. 25)
 (65) 公開番号 特開2001-338493 (P2001-338493A)
 (43) 公開日 平成13年12月7日 (2001. 12. 7)
 審査請求日 平成17年2月14日 (2005. 2. 14)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (73) 特許権者 000221199
 東芝マイクロエレクトロニクス株式会社
 神奈川県川崎市川崎区駅前本町25番地1
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100092196
 弁理士 橋本 良郎
 (74) 代理人 100091351
 弁理士 河野 哲

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

電源電圧を昇圧して第1の電圧を出力する昇圧回路と、

上記第1の電圧が供給され、この第1の電圧を用いて第1の電圧よりも値が低い少なくとも2つの電圧を出力ノードから時系列的に順次出力する第1の電圧出力回路と、

上記第1の電圧のノードと上記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、

前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されてから所定期間が経過した後に短絡状態を解除し、

前記短絡回路が前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第1の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第1の電圧出力回路が活性化することを特徴とする半導体装置。

【請求項2】

電源電圧を昇圧して第1の電圧を出力する昇圧回路と、

上記第1の電圧が供給され、この第1の電圧を用いて第1の電圧よりも値が低い少なくとも2つの電圧を出力ノードから時系列的に順次出力する第1の電圧出力回路と、

上記第1の電圧のノードと上記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、

10

20

前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第 1 の電圧のノードと前記第 1 の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されて前記第 1 の電圧が所定値に達した後に短絡状態を解除し、

前記短絡回路が前記第 1 の電圧のノードと前記第 1 の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第 1 の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第 1 の電圧出力回路が活性化することを特徴とする半導体装置。

【請求項 3】

前記第 1 の電圧出力回路の非動作時に、前記第 1 の電圧出力回路の出力ノードに前記第 1 の電圧よりも低い値の第 2 の電圧を出力する第 2 の電圧出力回路をさらに具備したことを特徴とする請求項 1 または 2 記載の半導体装置。

10

【請求項 4】

データを記憶するデータ消去可能なメモリセルと、

上記メモリセルのゲートに第 1 の電圧を供給し、ドレインに第 2 の電圧及び第 3 の電圧のいずれか一方を供給して、上記メモリセルのデータ書込みを行う書込み回路と、

上記メモリセルが形成されている半導体領域に第 4 の電圧を供給して、上記メモリセルのデータ消去を行う消去回路と、

電源電圧を昇圧して第 5 の電圧を出力する昇圧回路と、

上記第 5 の電圧が供給され、この第 5 の電圧を用いて第 5 の電圧よりも値が低い上記第 1 の電圧を出力ノードから出力する第 1 の電圧出力回路と、

20

前記第 5 の電圧のノードと前記第 1 の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、

前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第 5 の電圧のノードと前記第 1 の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されてから所定期間が経過した後に短絡状態を解除し、

前記短絡回路が前記第 5 の電圧のノードと前記第 1 の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第 1 の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第 1 の電圧出力回路が活性化することを特徴とする半導体記憶装置。

【請求項 5】

30

データを記憶するデータ消去可能なメモリセルと、

上記メモリセルのゲートに第 1 の電圧を供給し、ドレインに第 2 の電圧及び第 3 の電圧のいずれか一方を供給して、上記メモリセルのデータ書込みを行う書込み回路と、

上記メモリセルが形成されている半導体領域に第 4 の電圧を供給して、上記メモリセルのデータ消去を行う消去回路と、

電源電圧を昇圧して第 5 の電圧を出力する昇圧回路と、

上記第 5 の電圧が供給され、この第 5 の電圧を用いて第 5 の電圧よりも値が低い上記第 1 の電圧を出力ノードから出力する第 1 の電圧出力回路と、

前記第 5 の電圧のノードと前記第 1 の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、

40

前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第 5 の電圧のノードと前記第 1 の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されて前記第 5 の電圧が所定値に達した後に短絡状態を解除し、

前記短絡回路が前記第 5 の電圧のノードと前記第 1 の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第 1 の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第 1 の電圧出力回路が活性化することを特徴とする半導体記憶装置。

【請求項 6】

前記第 1 の電圧出力回路の非動作時に、前記第 1 の電圧出力回路の出力ノードに前記第 1 の電圧よりも低い値の第 6 の電圧を出力する第 2 の電圧出力回路をさらに具備したことを

50

を特徴とする請求項 4 または 5 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電源電圧を昇圧する昇圧回路を備えた半導体装置に係り、特にメモリセルを有し、このメモリセルのデータ消去及び書込みの際に使用される高電圧を昇圧回路で得るようにした半導体記憶装置に関する。

【0002】

【従来の技術】

半導体記憶装置の 1 つにフラッシュメモリがある。図 1 3 はこのフラッシュメモリにおける 1 つのメモリセルの素子断面構造を示している。図において、P 型半導体基板 (P - substrate) 7 1 内には N 型ウエル領域 (N - well) 7 2 が形成されている。さらにこの N 型ウエル領域 7 2 内には P 型ウエル領域 (P - well) 7 3 が形成されている。上記 P 型ウエル領域 7 3 内には、それぞれ n + 型領域からなるメモリセルのソース、ドレイン領域 7 4、7 5 が互いに離間して形成されている。そして、このソース、ドレイン領域 7 4、7 5 相互間のチャネル領域上には、図示しない絶縁膜を介してフローティングゲート (floating gate) 7 6 が形成され、さらにこのフローティングゲート 7 6 上には、図示しない絶縁膜を介してコントロールゲート (control gate) 7 7 が形成されている。

【0003】

また、上記 P 型半導体基板 7 1 には p + 型領域からなるコンタクト領域 7 8 が、N 型ウエル領域 7 2 には n + 型領域からなるコンタクト領域 7 9 が、P 型ウエル領域 7 3 には p + 型領域からなるコンタクト領域 8 0 がそれぞれ形成されている。

【0004】

動作時に、メモリセルのコントロールゲート 7 7 にはゲート電圧 V_g が、ドレイン領域 7 5 にはドレイン電圧 V_d が、ソース領域 7 4 にはソース電圧 V_s がそれぞれ供給される。また、コンタクト領域 7 9 及び 8 0 にはソース電圧 V_s と同じ電圧が、コンタクト領域 7 8 には 0 V の接地電圧がそれぞれ供給される。

【0005】

上記メモリセルは、フローティングゲート 7 6 に蓄積される電子の量によってデータの “1” レベル、“0” レベルを記憶する。そして、記憶データのレベルに応じてコントロールゲート 7 7 からみたしきい値電圧が変わる。

【0006】

このようなメモリセルが複数設けられることによってメモリセルアレイが構成される。図 1 4 は NOR 型フラッシュメモリのメモリセルアレイの回路例を示している。複数のメモリセル MC が行列状に配置されており、同一行に配置されたメモリセル MC のコントロールゲートは、複数のワード線 $WL_0 \sim WL_n$ のうち対応する 1 つのワード線に共通に接続されている。また、同一列に配置されたメモリセル MC のドレイン領域は、複数のビット $BL_0 \sim BL_m$ のうち対応する 1 つのビット線に共通に接続されている。通常、メモリセルは複数のブロックに分割されており、同じブロック内のメモリセル MC のソース領域は複数のソース線 SL_i のうち対応するブロックのソース線に共通に接続されている。

【0007】

図 1 5 は、動作時に、メモリセルのコントロールゲートに供給されるゲート電圧と、メモリセルのドレインに流れるドレイン電流との関係を示している。ここでは、フローティングゲートに蓄積される電子の量が比較的多い状態、すなわちメモリセルのしきい値電圧 V_t が高い状態を “0” データ (“0” データを記憶しているメモリセルを “0” cell と称する) とし、逆に比較的に少ない状態、すなわちメモリセルのしきい値電圧 V_t が低い状態を “1” データ (“1” データを記憶しているメモリセルを “1” cell と称する) としている。

【0008】

データの読み出し、書込み、消去時のバイアス条件を図 1 6 に示す。図 1 6 は、動作時に

10

20

30

40

50

メモリセルに対して供給される先の電圧 V_g 、 V_d 、 V_s の値の一例を示している。データの読み出し時には、 V_g 、 V_d 、 V_s はそれぞれ 5 V、1 V、0 V にされる。データの書込み時には、 V_g 、 V_s はそれぞれ 9 V、0 V にされ、 V_d は “ 0 ” データを書込むメモリセルについては 5 V、そうでないメモリセル（元の “ 1 ” データのままにされるメモリセル）については 0 V にされる。さらに、消去時には、 V_g 、 V_s はそれぞれ - 7 V、10 V にされ、 V_d はフローティング状態にされる。

【 0 0 0 9 】

データの読み出しは、ドレイン領域に所定の電圧（本例では 1 V）を供給した状態でコントロールゲートにゲート電圧 V_{read} （本例では 5 V）を供給した時に、セル電流が流れる否かによって判定される。この判定は、図示しないセンスアンプにより、リファレンスセルに流れるリファレンス電流（ I_{ref} ）との比較により行われる。

10

【 0 0 1 0 】

消去は、P 型ウエル領域 7 3（図 1 3 に図示）を共有する複数のメモリセルで一括して行われる。この消去時には、ファウラ・ノルトハイム（F・N）トンネル現象によってフローティングゲート 7 6 から P 型ウエル領域 7 3 に電子が流れ、消去対象のメモリセルは全て “ 1 ” cell にされる。

【 0 0 1 1 】

書込みはメモリセル 1 個毎に行われる。“ 0 ” データを書込むメモリセルのビット線を 5 V にバイアスして、チャネルホットエレクトロン現象で発生した高エネルギーの電子をフローティングゲート 7 6 に注入する。元の “ 1 ” データのままとしたい “ 1 ” cell のビット線は 0 V にされる。これにより、非書込みのメモリセルでは、フローティングゲート 7 6 に対する電子の注入が起きず、しきい電圧 V_t の変化は生じない。

20

【 0 0 1 2 】

また、フラッシュメモリでは、書込み時及び消去時に、書込みや消去の程度を確認するために書込みベリファイ動作や消去ベリファイ動作が行われる。書込みベリファイ動作は、コントロールゲートの電圧を、読み出し時の電圧 V_{read} （本例では 5 V）に比べて高い電圧 V_{pv} （例えば 7 V）に設定して “ 0 ” 読み動作を行う。そして、書込み動作と書込みベリファイ動作とを交互に繰り返して実行し、書込み対象のメモリセルのデータが全て “ 0 ” になったら書込み動作が終了する。

【 0 0 1 3 】

消去時の場合には、コントロールゲート 7 7 の電圧を、読み出し時の電圧 V_{read} に比べて低い電圧 V_{ev} （例えば 3 . 5 V）に設定して “ 1 ” 読み動作を行う。そして、消去動作と消去ベリファイ動作とを交互に繰り返して実行し、消去対象のメモリセルのデータが全て “ 1 ” になったら消去動作が終了する。これにより、セル電流 I_{cell} が十分に確保される。

30

【 0 0 1 4 】

このようにメモリセルのコントロールゲートに供給される電圧は、動作モードに応じて、例えば 9 V、7 V、5 V、3 . 5 V というように様々な値に変化する。これらの電圧のうち 9 V、7 V、5 V は、外部から供給される電源電圧よりも高い電圧である。

【 0 0 1 5 】

ところで、従来では、上記のような 9 V、7 V、5 V など、外部から供給される電源電圧よりも高い種々の電圧を生成するために、電源電圧を昇圧する昇圧回路を必要な数だけ設けるようにしており、これら複数の昇圧回路の出力をスイッチによって適宜選択し、メモリセルのコントロールゲートに供給するようにしている。

40

【 0 0 1 6 】

しかしながら、昇圧回路はキャパシタ等、チップ上で大きな面積を占める素子を必要とするために、複数の昇圧回路を設けるとチップ面積が大型化するという問題がある。さらに、昇圧回路における消費電流が比較的多いので、チップ全体の消費電流が多くなるという問題もある。

【 0 0 1 7 】

50

【発明が解決しようとする課題】

上述したように、外部から供給される電源電圧よりも高い種々の電圧を必要とする従来の半導体装置では複数の昇圧回路を設けるようにしているために、集積化する際にチップ面積が大型化する、消費電流が多くなるという問題がある。

【0018】

この発明は上記のような事情を考慮してなされたものであり、その目的は、集積化する際にチップ面積が大きくなり、かつ消費電流も少ない半導体装置を提供することである。

【0019】**【課題を解決するための手段】**

この発明の半導体装置は、電源電圧を昇圧して第1の電圧を出力する昇圧回路と、上記第1の電圧が供給され、この第1の電圧を用いて第1の電圧よりも値が低い少なくとも2つの電圧を出力ノードから時系列的に順次出力する第1の電圧出力回路と、上記第1の電圧のノードと上記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されてから所定期間が経過した後に短絡状態を解除し、前記短絡回路が前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第1の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第1の電圧出力回路が活性化することを特徴とする。

この発明の半導体装置は、電源電圧を昇圧して第1の電圧を出力する昇圧回路と、上記第1の電圧が供給され、この第1の電圧を用いて第1の電圧よりも値が低い少なくとも2つの電圧を出力ノードから時系列的に順次出力する第1の電圧出力回路と、上記第1の電圧のノードと上記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されて前記第1の電圧が所定値に達した後に短絡状態を解除し、前記短絡回路が前記第1の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第1の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第1の電圧出力回路が活性化することを特徴とする。

【0020】

この発明の半導体記憶装置は、データを記憶するデータ消去可能なメモリセルと、上記メモリセルのゲートに第1の電圧を供給し、ドレインに第2の電圧及び第3の電圧のいずれか一方を供給して、上記メモリセルのデータ書込みを行う書込み回路と、上記メモリセルが形成されている半導体領域に第4の電圧を供給して、上記メモリセルのデータ消去を行う消去回路と、電源電圧を昇圧して第5の電圧を出力する昇圧回路と、上記第5の電圧が供給され、この第5の電圧を用いて第5の電圧よりも値が低い上記第1の電圧を出力ノードから出力する第1の電圧出力回路と、前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間を短絡する短絡回路とを具備し、前記短絡回路は、前記昇圧回路で昇圧動作が開始されるのに伴って前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を開始し、昇圧動作が開始されてから所定期間が経過した後に短絡状態を解除し、前記短絡回路が前記第5の電圧のノードと前記第1の電圧出力回路の出力ノードとの間の短絡を行っている期間は、前記第1の電圧出力回路は非活性化し、前記短絡回路が前記短絡状態を解除した後に、前記第1の電圧出力回路が活性化することを特徴とする。

【0021】**【発明の実施の形態】**

以下、図面を参照してこの発明の実施の形態を詳細に説明する。

【0022】

図1は、この発明の第1の実施の形態による半導体装置の一部の回路構成を示すブロック図である。図1に示した回路は例えばフラッシュメモリに内蔵され、前記したように種々

10

20

30

40

50

の動作モードの際にメモリセルのコントロールゲートに供給すべき種々の電圧を生成する電圧生成回路であり、昇圧回路（V p p generator）11と、レギュレータ回路（regulator）12とから構成されている。

【0023】

昇圧回路11は、昇圧活性化信号V P P Eが活性化されると動作し、外部から供給される電源電圧を昇圧して電源電圧よりも高い値を有する電圧V p pを出力する。この電圧V p pはレギュレータ回路12に供給される。

【0024】

レギュレータ回路12は、上記電圧V p pからそれよりも値が低い複数の電圧を電圧V r e gとして時系列的に順次出力する。このレギュレータ回路12の動作は、レギュレータ活性化信号R E G E、メモリセルが書込み動作の時に活性化される書込み時信号P R O G、及びメモリセルが書込みベリファイ動作の時に活性化されるベリファイ時信号V R F Yに応じて制御される。

10

【0025】

次に、図1の回路の動作の一例を図2のタイミングチャートを用いて説明する。なお、図2中の時刻t0以前では、電圧V p p、V r e gは共に、図示しない他の昇圧回路の出力電圧である5Vの読み出し電圧に設定されているとする。

【0026】

時刻t0に昇圧活性化信号V P P Eが活性化されると、昇圧回路11が動作を開始し、外部から供給される電源電圧の昇圧が開始される。この後、電圧V p pは上昇する。昇圧回路11の動作が安定すると、この電圧V p pは規定値に達して安定する。電圧V p pの規定値は、メモリセルで消去を行う際にソース領域に供給されるソース電圧V sと同じ電圧であり、例えば10Vである。このときの10Vの電圧V p pは、消去動作の際にソース領域に供給されるソース電圧V sとして使用してもよい。

20

【0027】

一方、時刻t0にレギュレータ活性化信号R E G Eが活性化され、かつこれと同時に書込み時信号P R O Gが活性化される。これにより、レギュレータ回路12が動作し、電圧V r e gが電圧V p pよりも低い値、例えば9Vに向かって上昇し、その後、9Vに達すると安定する。信号P R O Gが“H”レベルの期間に電圧V r e gとして出力される9Vの電圧は、消去動作の際にメモリセルのコントロールゲートに供給される先のゲート電圧V gとして使用される。

30

【0028】

次に、時刻t1に書込み時信号P R O Gが非活性化となり、ベリファイ時信号V R F Yが活性化される。これにより、レギュレータ回路12の出力電圧V r e gは、先の9Vからそれよりも低い7Vに低下し始め、その後、7Vに達すると安定する。そして、信号V R F Yが“H”レベルの期間に電圧V r e gとして出力される7Vの電圧は、書込みベリファイ動作の際にメモリセルのコントロールゲートに供給される先の電圧V p vとして使用される。

【0029】

次に時刻t2にベリファイ時信号V R F Yが非活性になると、レギュレータ回路12の出力電圧V r e gは先の7Vから元の5Vに向かって低下し始める。また時刻t3に昇圧活性化信号V P P Eが非活性化されると、昇圧回路11の動作が停止し、電圧V p pが元の5Vに向かって低下し始める。

40

【0030】

このように図1の回路では、メモリセルの種々の動作モードの際にメモリセルのコントロールゲートに供給するための値の異なる電圧を、昇圧回路11から出力される電圧V p pを用いて、レギュレータ回路12によって時系列的に順次生成するようにしたので、従来のように生成すべき電圧の数だけ昇圧回路を設ける必要がなくなる。これにより、集積化の際にチップに占める占有面積を小さくすることができ、また消費電流も少なくすることができる。

50

【 0 0 3 1 】

図 3 は、図 1 中の昇圧回路 1 1 の具体的な回路構成を示している。この昇圧回路 1 1 は周知のものであり、発振器 (oscillator) 2 1、チャージポンプ回路 (charge pump) 2 2 及び電圧検知回路 (voltage detector) 2 3 によって構成されている。

【 0 0 3 2 】

発振器 2 1 は、N A N D ゲート N A 1 及び 2 個のインバータ I V 1、I V 2 からなる負帰還回路を有し、電圧検知回路 2 3 から出力される発振活性化信号 O S C E に応じてこの負帰還回路の動作が制御され、負帰還回路の動作時に所定の周波数で発振する。

【 0 0 3 3 】

チャージポンプ回路 2 2 は、電源電圧 V_{cc} の供給ノードと電圧 V_{pp} の出力ノードとの間にソース・ドレイン間が直列に挿入された 3 個の I タイプ (intrinsic type : しきい値が 0 V 近傍) の M O S トランジスタ $Q_{I1} \sim Q_{I3}$ と、トランジスタ Q_{I1} と Q_{I2} との直列接続ノードと上記発振器 2 1 内のインバータ I V 2 の出力ノードとの間に接続されたキャパシタ C 1 と、トランジスタ Q_{I2} と Q_{I3} との直列接続ノードと上記発振器 2 1 内のインバータ I V 1 の出力ノードとの間に接続されたキャパシタ C 2 とから構成されている。

10

【 0 0 3 4 】

そして、電源電圧 V_{cc} の供給ノードに最も近い位置に配置されているトランジスタ Q_{I1} のゲートには電圧検知回路 2 3 から出力される発振活性化信号 O S C E が供給され、他の 2 個のトランジスタ Q_{I2} 、 Q_{I3} のゲートはそれぞれのソース、すなわちキャパシタ C 1 または C 2 の一端に接続されている。

20

【 0 0 3 5 】

電圧検知回路 2 3 は、昇圧活性化信号 V_{PPE} が入力されるインバータ I N 3 と、このインバータ I N 3 の出力が入力されるインバータ I N 4 と、P チャンネルの M O S トランジスタ Q_{P1} 、 Q_{P2} 及び N チャンネルの M O S トランジスタ Q_{N1} 、 Q_{N2} からなり、上記インバータ I N 3、I N 4 の出力が N チャンネルの M O S トランジスタ Q_{N1} 、 Q_{N2} のゲートに入力されるレベルシフト回路 2 4 と、ゲートに上記レベルシフト回路 2 4 の出力が入力され、ソース・ドレイン間の一端が電圧 V_{pp} の出力ノードに接続された P チャンネルの M O S トランジスタ Q_{P3} と、上記トランジスタ Q_{P3} のソース・ドレイン間他端と接地電圧の供給ノードとの間に直列接続された電圧分割用の 2 個の抵抗 R 1、R 2 と、上記抵抗 R 1、R 2 によって分割された分割電圧 V_{div} を基準電圧 V_{ref} と比較して前記発振活性化信号 O S C E を発生するコンパレータ 2 5 とから構成されている。

30

【 0 0 3 6 】

このような構成の昇圧回路において、昇圧活性化信号 V_{PPE} が “ H ” レベルになると、電圧検知回路 2 3 内のインバータ I V 3 の出力が “ L ” レベル、インバータ I V 4 の出力が “ H ” レベルとなり、レベルシフト回路 2 4 の出力が “ L ” レベルになる。すると、P チャンネルの M O S トランジスタ Q_{P3} がオンし、電圧 V_{pp} が 2 個の抵抗 R 1、R 2 によって抵抗分割される。そして、この分割電圧 V_{div} がコンパレータ 2 5 により基準電圧 V_{ref} と比較される。

【 0 0 3 7 】

昇圧回路 1 1 の動作直後では電圧 V_{pp} の値が低いので、 $V_{ref} > V_{div}$ の関係となり、コンパレータ 2 5 の出力である発振活性化信号 O S C E は “ H ” レベルになる。この発振活性化信号 O S C E が “ H ” レベルのとき、発振器 2 1 は所定の周波数で発振する。また、信号 O S C E が “ H ” レベルのときは、チャージポンプ回路 2 2 内のトランジスタ Q_{I1} がオンし、かつチャージポンプ回路 2 2 内のトランジスタ Q_{I2} 、 Q_{I3} のソースにはキャパシタ C 1、C 2 を介して発振器 2 1 における発振信号が供給されるので、 V_{pp} の出力ノードに対して正の電荷が順次転送され、これにより V_{pp} の電圧値が順次上昇していく。

40

【 0 0 3 8 】

そして、電圧 V_{pp} が規定値以上に上昇すると、 $V_{ref} < V_{div}$ の関係となり、発振

50

活性化信号 $OSCE$ が “ L ” レベルになり、これにより発振器 21 の発振動作が停止し、チャージポンプ回路 22 における電荷の転送動作も停止する。

【 0039 】

この状態で電圧 V_{pp} が規定値よりも低下すると、再び発振活性化信号 $OSCE$ は “ H ” レベルになり、発振動作が再開され、チャージポンプ回路 22 における電荷の転送動作も再開される。このような動作は、昇圧活性化信号 VPE が “ H ” レベルにされている期間中繰り返して行われ、これにより電圧 V_{pp} の出力ノードからは昇圧された電圧が出力される。

【 0040 】

図 4 は、図 1 中のレギュレータ回路 12 の具体的な回路構成を示している。このレギュレータ回路 12 は、レギュレータ活性化信号 REG によって活性化制御される 2 個のコンパレータ 26、27 と、ソースが電圧 V_{pp} の供給ノードに接続され、ゲートがドレインに接続された P チャンネルの MOS トランジスタ $QP4$ と、ソースが電圧 V_{pp} の供給ノードに接続され、ゲートが上記トランジスタ $QP4$ のゲートと共通接続され、ドレインが電圧 V_{reg} の出力ノードに接続されて上記トランジスタ $QP4$ と共にカレントミラー回路を構成する P チャンネルの MOS トランジスタ $QP5$ と、ドレインが上記トランジスタ $QP4$ のドレインに接続され、ソースが接地電圧のノードに接続され、ゲートに上記コンパレータ 26 の出力が供給される N チャンネルの MOS トランジスタ $QN3$ と、ドレインが上記トランジスタ $QP5$ のドレインに接続され、ソースが接地電圧のノードに接続され、ゲートに上記コンパレータ 27 の出力が供給される N チャンネルの MOS トランジスタ $QN4$ と、電圧 V_{reg} の出力ノードと接地電圧のノードとの間に直列に挿入された電圧分割用の 3 個の抵抗 $R3$ 、 $R4$ 、 $R5$ と、上記 3 個の抵抗 $R3$ 、 $R4$ 、 $R5$ のうち接地電圧のノードに最も近い側に配置された抵抗 $R5$ と接地電圧のノードとの間にソース・ドレイン間が挿入され、ゲートにベリファイ時信号 VFY が供給される N チャンネルの MOS トランジスタ $QN5$ と、上記 3 個の抵抗 $R3$ 、 $R4$ 、 $R5$ のうち抵抗 $R4$ と $R5$ の直列接続ノードと接地電圧のノードとの間にソース・ドレイン間が挿入され、ゲートに書込み時信号 $PROG$ が供給される N チャンネルの MOS トランジスタ $QN6$ とから構成されている。

【 0041 】

そして、上記一方のコンパレータ 26 の非反転入力端子 (+) 及び他方のコンパレータ 27 の反転入力端子 (-) にはそれぞれ基準電圧 V_{ref} が供給され、一方のコンパレータ 26 の反転入力端子 (-) 及び他方のコンパレータ 27 の非反転入力端子 (+) には上記 2 個の抵抗 $R3$ 、 $R4$ の直列接続ノードにおける分割電圧がそれぞれ供給される。上記両コンパレータ 26、27 は、レギュレータ活性化信号 REG が “ H ” レベルにされたときに動作し、それぞれの入力電圧を比較する。

【 0042 】

このような構成において、レギュレータ活性化信号 REG が “ H ” レベルにされ、書込み時信号 $PROG$ が “ H ” レベルにされている図 2 中の時刻 $t0 \sim t1$ の期間では、トランジスタ $QN6$ がオンし、電圧 V_{reg} が 2 個の抵抗 $R3$ 、 $R4$ によって分割され、このときの分割電圧がコンパレータ 26、27 に入力される。

【 0043 】

ここで、レギュレータ活性化信号 REG が “ H ” レベルにされた直後では電圧 V_{reg} はほぼ 0 V であり、この電圧を 2 個の抵抗 $R3$ 、 $R4$ によって分割した分割電圧は V_{ref} よりも低いので、一方のコンパレータ 26 の出力は “ H ” レベル、他方のコンパレータ 27 の出力は “ L ” レベルとなる。これにより、トランジスタ $QN3$ がオンし、トランジスタ $QN4$ がオフ状態となり、トランジスタ $QP4$ 及びトランジスタ $QN3$ を介して、図中に示す電流 $I1$ が電圧 V_{pp} のノードから接地電圧のノードに向かって流れる。この電流 $I1$ が流れることにより、トランジスタ $QP5$ を介して、図中に示す電流 $I2$ が電圧 V_{pp} (規定値が 10 V) のノードから電圧 V_{reg} のノードに向かって流れ、電圧 V_{reg} のノードが充電される。この結果、前記図 2 に示すように電圧 V_{reg} が上昇を開始する。そして、この電圧 V_{reg} が規定値である 9 V を超えると、抵抗 $R3$ と $R4$ の直列ノ

10

20

30

40

50

ードにおける分割電圧の値が基準電圧 V_{ref} よりも高くなり、一方のコンパレータ 26 の出力は “H” レベルから “L” レベルに反転し、逆に他方のコンパレータ 27 の出力は “L” レベルから “H” レベルに反転する。これにより、今度はトランジスタ Q_{N3} がオフ状態、トランジスタ Q_{N4} がオン状態となり、先の電流 I_1 は流れなくなり、電圧 V_{reg} のノードがトランジスタ Q_{N4} を介して接地電圧のノードに向かって放電され、電圧 V_{reg} が低下を始める。

【0044】

このようにして、コンパレータ 26、27 により、抵抗 R_3 と R_4 の直列ノードにおける分割電圧と基準電圧 V_{ref} とが比較され、その比較結果に基づいて N チャンルの MOS トランジスタ Q_{N3} 、 Q_{N4} がオン/オフ制御され、電圧 V_{reg} のノードが充放電されることによって電圧 V_{reg} が常に書込み時の規定値 (9V) に一致するように制御される。

10

【0045】

次に、書込み時信号 $PROG$ が “L” レベルにされ、ベリファイ時信号 $VRFY$ が “H” レベルにされている図 2 中の時刻 $t_1 \sim t_2$ の期間では、トランジスタ Q_{N6} がオフし、トランジスタ Q_{N5} がオンするので、電圧 V_{reg} が 3 個の抵抗 R_3 、 R_4 、 R_5 によって分割され、書込み時よりも抵抗分割比率が小さな分割電圧がコンパレータ 26、27 に入力される。この場合、電圧 V_{reg} が先の規定値である 9V よりも低い 7V に達した時に得られる上記分割電圧の値が、電圧 V_{reg} が 9V のときに得られる分割電圧の値と等しくなるように抵抗 R_3 、 R_4 、 R_5 の各抵抗値が設定されている。

20

【0046】

従って、ベリファイ時には、コンパレータ 26、27 により、抵抗 R_3 と R_4 の直列ノードにおける分割電圧と基準電圧 V_{ref} とが比較され、その比較結果に基づいて N チャンルの MOS トランジスタ Q_{N3} 、 Q_{N4} がオン/オフ制御され、電圧 V_{reg} のノードが充放電されることによって電圧 V_{reg} が常にベリファイ時の規定値 (7V) に一致するように制御される。

【0047】

図 5 は、図 4 におけるコンパレータ 26、27 の具体的な回路構成を示している。電源電圧 V_{cc} の供給ノードには P チャンルの MOS トランジスタ Q_{P6} のソースが接続されている。このトランジスタ Q_{P6} のドレインには 2 個の P チャンルの MOS トランジスタ Q_{P7} 、 Q_{P8} の各ソースが接続されている。上記両トランジスタ Q_{P7} 、 Q_{P8} のゲートは共通に接続され、さらにトランジスタ Q_{P8} のドレインは上記ゲート共通接続ノードに接続されている。また、上記トランジスタ Q_{P7} のドレインには N チャンルの MOS トランジスタ Q_{N7} のドレインが接続されている。このトランジスタ Q_{N7} のゲートは前記反転入力端子 (-) として使用される。上記トランジスタ Q_{P8} のドレインには N チャンルの MOS トランジスタ Q_{N8} のドレインが接続されている。このトランジスタ Q_{N8} のゲートは前記非反転入力端子 (+) として使用される。上記両トランジスタ Q_{N7} 、 Q_{N8} のソースは共通に接続され、このソース共通接続ノードと接地電圧のノードとの間には電流源 28 が接続されている。すなわち、トランジスタ Q_{P6} 、 Q_{P7} 、 Q_{P8} 、 Q_{N7} 、 Q_{N8} 及び電流源 28 は、カレントミラー負荷を有する差動増幅器を構成している。

30

40

【0048】

一方、レギュレータ活性化信号 $REG E$ はインバータ 29 に入力され、このインバータ 29 の出力は前記 P チャンルの MOS トランジスタ Q_{P6} のゲートに入力される。さらに、上記インバータ 29 の出力は、前記 P チャンルの MOS トランジスタ Q_{P7} と N チャンルの MOS トランジスタ Q_{N6} のドレイン共通接続ノードである差動増幅器の出力ノード OUT にソースが接続され、接地電圧のノードにドレインが接続された N チャンルの MOS トランジスタ Q_{N9} のゲートに入力される。

【0049】

このような構成でなるコンパレータにおいて、レギュレータ活性化信号 $REG E$ が “L” レベルにされているときはインバータ 29 の出力が “H” レベルとなり、P チャンルの M

50

ＯＳトランジスタＱＰ６がオフし、ＮチャネルのＭＯＳトランジスタＱＮ９がオンする。このとき、差動増幅器は動作せず、出力ノードＯＵＴはトランジスタＱＮ９を介して接地電圧のノードに接続されるので、出力ノードＯＵＴの信号は、反転入力端子（－）と非反転入力端子（＋）に入力される電圧にかかわらずに“Ｌ”レベルになる。

【００５０】

レギュレータ活性化信号ＲＥＧＥが“Ｈ”レベルになると、インバータ２９の出力が“Ｌ”レベルとなり、ＰチャネルのＭＯＳトランジスタＱＰ６がオンし、差動増幅器は動作状態となり、反転入力端子（－）と非反転入力端子（＋）に入力される電圧が比較される。このとき、反転入力端子（－）に入力される電圧に対し非反転入力端子（＋）に入力される電圧の方が高い場合、ＮチャネルのＭＯＳトランジスタＱＮ８がオンし、出力ノードＯ
10
ＵＴの信号は“Ｈ”レベルになる。上記とは逆に反転入力端子（－）に入力される電圧に対し非反転入力端子（＋）に入力される電圧の方が低い場合、ＮチャネルのＭＯＳトランジスタＱＮ７がオンし、出力ノードＯＵＴの信号は“Ｌ”レベルになる。

【００５１】

ところで、図４に示すレギュレータ回路１２では、書込み動作の開始直後にトランジスタＱＰ４及びＱＮ３を直列に介して接地電圧のノードに流れる電流Ｉ１の値が大きなものとなり、電圧Ｖ_{pp}の立ち上がり、ひいては電圧Ｖ_{reg}の立ち上がりが遅くなることがある。

【００５２】

そこで、このように電圧Ｖ_{pp}、電圧Ｖ_{reg}の立ち上がりの遅れが問題となるような場合
20
には、図６に示す第２の実施の形態の電圧生成回路のように、電圧Ｖ_{pp}のノードと電圧Ｖ_{reg}のノードとの間に、両ノード間を短絡制御する短絡回路（Equalizer）１３を接続すればよい。

【００５３】

上記短絡回路１３は、短絡制御信号ＥＱＬＥによって動作が制御され、信号ＥＱＬＥが活性化（“Ｈ”レベル）されているときに電圧Ｖ_{pp}のノードと電圧Ｖ_{reg}のノードとの間が短絡される。

【００５４】

次に、図６の回路の動作の一例を図７のタイミングチャートを用いて説明する。なお、この場合にも、図７中の時刻ｔ０以前では、電圧Ｖ_{pp}、Ｖ_{reg}は共に、図示しない他の
30
昇圧回路の出力電圧である５Ｖの読み出し電圧に設定されているとする。

【００５５】

時刻ｔ０に昇圧活性化信号ＶＰＰＥが活性化されると、昇圧回路１１が動作を開始し、電圧Ｖ_{pp}が上昇を開始する。また、これと同時に短絡制御信号ＥＱＬＥが活性化され、短絡回路１３によって電圧Ｖ_{pp}のノードと電圧Ｖ_{reg}のノードとの間が短絡され、電圧
Ｖ_{reg}は電圧Ｖ_{pp}と同様に上昇していく。

【００５６】

次に、時刻ｔ１に短絡制御信号ＥＱＬＥが“Ｌ”レベルになると、短絡回路１３による短絡状態が解除される。この後、昇圧回路１１の出力電圧Ｖ_{pp}は規定値に達して安定する。電圧Ｖ_{pp}の規定値は、メモリセルで消去を行う際にソース領域に供給されるソース電
40
圧Ｖ_sと同じ電圧であり、例えば１０Ｖである。このときの１０Ｖの電圧Ｖ_{reg}は、消去動作の際にソース領域に供給されるソース電圧Ｖ_sとして使用してもよい。

【００５７】

電圧Ｖ_{reg}がある程度上昇した後の時刻ｔ２にレギュレータ活性化信号ＲＥＧＥが活性化される。なお、書込み時信号ＰＲＯＧは昇圧活性化信号ＶＰＰＥの活性化と同時に活性化されている。信号ＲＥＧＥが活性化されることにより、レギュレータ回路１２が動作し、電圧
Ｖ_{reg}が電圧Ｖ_{pp}よりも低い値、例えば９Ｖとなるように安定化される。

【００５８】

次に、時刻ｔ３に書込み時信号ＰＲＯＧが非活性化となり、ベリファイ時信号ＶＲＦＹが活性化される。これにより、レギュレータ回路１２の出力電圧Ｖ_{reg}は９Ｖから７Ｖに
50

低下し始め、その後、7 Vに達すると安定する。

【0059】

次に時刻 t_4 にベリファイ時信号 $VRFY$ が非活性になると、レギュレータ回路 12 の出力電圧 $Vreg$ は 7 V から 5 V に向かって低下する。また時刻 t_5 に昇圧活性化信号 $VPPPE$ が非活性化されると、昇圧回路 11 の動作が停止し、電圧 Vpp が元の 5 V に向かって低下する。

【0060】

図 8 は、図 6 中の短絡回路 13 の具体的な回路構成を示している。この短絡回路 13 は、短絡制御信号 $EQLE$ が入力されるインバータ $IV5$ と、このインバータ $IV5$ の出力が入力されるインバータ $IV6$ と、PチャネルのMOSトランジスタ $QP9$ 、 $QP10$ 及び NチャネルのMOSトランジスタ $QN10$ 、 $QN11$ からなり、上記インバータ $IV5$ 、 $IV6$ の出力がNチャネルのMOSトランジスタ $QN10$ 、 $QN11$ のゲートに入力されるレベルシフト回路 30 と、ゲートに上記レベルシフト回路 30 の出力が入力され、ソースが電圧 Vpp の出力ノードに、ドレインが電圧 $Vreg$ の出力ノードにそれぞれ接続されたPチャネルのMOSトランジスタ $QP11$ とから構成されている。

【0061】

図 8 の短絡回路 13 において、短絡制御信号 $EQLE$ が “H” レベルのとき、インバータ $IV5$ の出力は “H” レベル、インバータ $IV6$ の出力は “L” レベルとなり、トランジスタ $QN10$ がオフ、トランジスタ $QN11$ がオンして、レベルシフト回路 30 の出力が “L” レベルになる。これによりトランジスタ $QP11$ がオンして電圧 Vpp のノードと電圧 $Vreg$ のノードとが短絡される。

【0062】

一方、短絡制御信号 $EQLE$ が “L” レベルのときは、インバータ $IV5$ の出力が “L” レベル、インバータ $IV6$ の出力が “H” レベルとなり、トランジスタ $QN10$ がオン、トランジスタ $QN11$ がオフして、レベルシフト回路 30 の出力が “H” レベル (Vpp) になる。これによりトランジスタ $QP11$ はオフし、電圧 Vpp のノードと電圧 $Vreg$ のノードとの間の短絡状態が解除される。

【0063】

このように図 6 の回路でも、図 1 の場合と同様に、メモリセルの種々の動作モードの際に、メモリセルのコントロールゲートに供給するための値の異なる電圧を、昇圧回路 11 から出力される電圧 Vpp を用いてレギュレータ回路 12 で時系列的に順次生成するようにしたので、図 1 の場合と同様の効果が得られる他に次のような効果が得られる。

【0064】

すなわち、昇圧回路 11 における昇圧動作の開始直後ではレギュレータ回路 12 を動作させず、その代わりに短絡回路 13 を動作させて電圧 Vpp のノードと電圧 $Vreg$ のノードとを短絡させるようにしている。このため、電圧 Vpp の立ち上がり時に接地電圧のノードに流れ出ていた大きな電流 I_1 は流れず、電圧 Vpp の立ち上がり、ひいては電圧 $Vreg$ の立ち上がりを早くすることができる。また、昇圧回路 11 における昇圧動作の開始直後に接地電圧のノードに流れ出ていた大きな電流は流れなくなるので、消費電流も図 1 の場合と比べて大幅に削減することができる。

【0065】

図 9 は、図 1 もしくは図 6 中のレギュレータ回路 12 の他の具体的回路構成を、レギュレータ活性化信号 $REG E$ や短絡制御信号 $EQLE$ 等の制御信号を生成する制御信号生成回路などの回路と共に示している。

【0066】

図 9 に示すレギュレータ回路 12 が図 4 に示すものと異なる点は、コンパレータ 27 の活性化動作がレギュレータ活性化信号 $REG E$ ではなく、後述する信号生成回路で生成される別の制御信号で制御される点である。

【0067】

31 は、昇圧活性化信号 $VPPPE$ 、書込み時信号 $PROG$ 及びベリファイ時信号 $VRFY$

などから、レギュレータ活性化信号 R E G E、短絡制御信号 E Q L Eなどを生成する制御信号生成回路である。この回路 3 1 は、基準電圧 V r e f とレギュレータ回路 1 2 内の抵抗 R 2 及び R 3 の直列接続ノードにおける分割電圧とを比較するコンパレータ 3 2 と、昇圧活性化信号 V P P E が入力されるインバータ 3 3 と、それぞれ一方の入力端子にコンパレータ 3 2 及びインバータ 3 3 の出力が入力され、他方の入力端子と出力端子とが交差接続されてラッチ回路 3 4 を構成する 2 個の N O R ゲート N O R 1、N O R 2 と、N O R ゲート N O R 2 の出力とインバータ 3 3 の出力とが入力される N O R ゲート N O R 3 と、書込み時信号 P R O G 及びベリファイ時信号 V R F Y が入力される N O R ゲート N O R 4 と、N O R ゲート N O R 4 の出力が入力されるインバータ 3 5 とから構成されている。

【 0 0 6 8 】

10

そして、上記 N O R ゲート N O R 2 からの出力はレギュレータ活性化信号 R E G E としてレギュレータ回路 1 2 内のコンパレータ 2 6 に入力され、N O R ゲート N O R 3 からの出力は短絡制御信号 E Q L E として図 8 に示す短絡回路 3 0 に入力される。また、インバータ 3 5 からの出力は活性化信号としてレギュレータ回路 1 2 内のコンパレータ 2 7 に入力される。

【 0 0 6 9 】

3 6 は、昇圧回路 1 1 における昇圧動作の開始前及び昇圧動作の停止後に、電圧 V r e g のノード及び電圧 V p p のノードを昇圧された電圧、例えば 5 V に設定するための電圧設定回路である。この回路 3 6 は、制御信号生成回路 3 1 内のインバータ 3 5 の出力が入力されるインバータ I V 7 と、P チャンネルの M O S トランジスタ Q P 1 2、Q P 1 3 及び N チャンネルの M O S トランジスタ Q N 1 2、Q N 1 3 からなり、上記インバータ 3 4、I V 7 の出力が N チャンネルの M O S トランジスタ Q N 1 2、Q N 1 3 のゲートに入力されるレベルシフト回路 3 7 と、ゲートに上記レベルシフト回路 3 7 の出力が入力され、ソースが 5 V の電圧の供給ノードに、ドレインが電圧 V r e g の出力ノードにそれぞれ接続された P チャンネルの M O S トランジスタ Q P 1 4 と、ソースが 5 V の電圧の供給ノードに、ドレインが電圧 V p p のノードにそれぞれ接続された P チャンネルの M O S トランジスタ Q P 1 5 とから構成されている。

20

【 0 0 7 0 】

次に、図 9 に示す回路の動作の一例を図 1 0 のタイミングチャートを用いて説明する。まず、時刻 t 0 以前では書込み時信号 P R O G 及びベリファイ時信号 V R F Y が共に “ L ” レベルになっているので、信号生成回路 3 1 内の N O R ゲート N O R 4 の出力は “ H ” レベル、この N O R ゲート N O R 4 の出力が入力されるインバータ 3 5 の出力は “ L ” レベルとなる。さらにインバータ 3 5 の出力が入力される電圧設定回路 3 6 内のインバータ I V 7 の出力は “ H ” レベルとなる。このとき、電圧設定回路 3 6 内のレベルシフト回路 3 7 の N チャンネルの M O S トランジスタ Q N 1 2 がオフ、Q N 1 3 がオンとなり、レベルシフト回路 3 7 の出力は “ L ” レベルになる。これにより、このレベルシフト回路 3 7 の出力がゲートに入力される 2 個の P チャンネルの M O S トランジスタ Q P 1 4、Q P 1 5 がオンし、電圧 V r e g のノード及び電圧 V p p のノードに 5 V の電圧が出力され、電圧 V r e g 及び電圧 V p p が共に 5 V に設定される。

30

【 0 0 7 1 】

40

時刻 t 0 に昇圧活性化信号 V P P E が活性化 (“ H ” レベル) されると、昇圧回路 1 1 が動作を開始し、電圧 V p p が上昇を開始する。また、信号 V P P E が “ H ” レベルになると、信号生成回路 3 1 内のインバータ 3 3 の出力が “ L ” レベルになる。ここで、予めラッチ回路 3 4 を構成する N O R ゲート N O R 2 の出力であるレギュレータ活性化信号 R E G E が “ L ” レベルになっているとすると、N O R ゲート N O R 3 の出力である短絡制御信号 E Q L E は “ H ” レベルになる。この信号 E Q L E を受けて、先に説明したように図 8 の短絡回路 3 0 内のトランジスタ Q P 1 1 がオンし、電圧 V p p のノードと電圧 V r e g のノードとの間が短絡される。

【 0 0 7 2 】

また、時刻 t 0 に書込み時信号 P R O G が “ H ” レベルになると、信号生成回路 3 1 内の

50

NORゲートNOR4の出力が“L”レベルに反転し、インバータ35の出力が“H”レベルに反転し、電圧設定回路36内のレベルシフト回路37のNチャンネルのMOSトランジスタQN12がオン、QN13がオフとなり、レベルシフト回路37の出力が“H”レベルに反転する。これにより、このレベルシフト回路37の出力がゲートに入力される2個のPチャンネルのMOSトランジスタQP14、QP15がオフし、電圧Vregのノード及び電圧Vppのノードが5Vの電圧のノードから切り離される。従って、電圧Vpp及びVregは昇圧回路11の出力によって順次上昇していく。

【0073】

一方、昇圧回路11の出力電圧Vppの上昇に伴ってレギュレータ回路12の出力電圧Vregが上昇し、時刻t1において電圧Vregが規定値(9V)に達し、先に述べたようにレギュレータ回路12内の2個の抵抗R3、R4による分割電圧が基準電圧Vrefを超えると、制御信号生成回路31内のコンパレータ32の出力が“H”レベルになり、これによりラッチ回路34内のNORゲートNOR2の出力であるレギュレータ活性化信号REGGEが“L”レベルから“H”レベルに反転し、レギュレータ回路12内のコンパレータ26が活性化される。このとき、書込み時信号PROGは“H”レベルであり、信号生成回路31内のNORゲートNOR4の出力は“L”レベル、インバータ35の出力は“H”レベルなので、レギュレータ回路12内のコンパレータ27も活性化されている。従って、この後は、前述のように、この2個のコンパレータ26、27の出力によってNチャンネルのMOSトランジスタQN3、QN4がオン、オフ制御されることにより、電圧Vregの安定化制御が行われる。

【0074】

また、レギュレータ活性化信号REGGEが“H”レベルに反転すると、NORゲートNOR3の出力である短絡制御信号EQLEが“L”レベルになる。これにより、短絡回路13による短絡状態は解除される。

【0075】

次に、時刻t2に書込み時信号PROGが“L”レベルになり、ベリファイ時信号VRFYが“H”レベルになる。このとき信号生成回路31内のインバータ35の出力は“H”レベルのまま変化しないので、レギュレータ回路12内のコンパレータ27は活性状態のままとなる。また、このとき、レギュレータ回路12ではNチャンネルのMOSトランジスタQN6に代わってNチャンネルのMOSトランジスタQN5がオンし、前述したように電圧Vregの分割比率が変化する。この結果、前述したように電圧Vregは9Vから7Vに低下し、その後は7Vに安定するように制御される。

【0076】

次に、時刻t3に昇圧活性化信号VPPPEが非活性(“L”レベル)にされる。これにより、昇圧回路11が昇圧動作を停止する。また信号VPPPEが“L”レベルになると、信号生成回路31内のインバータ33の出力が“H”レベルになり、ラッチ回路34を構成するNORゲートNOR2の出力であるレギュレータ活性化信号REGGEが“L”レベルになり、レギュレータ回路12の動作が停止する。さらに、昇圧活性化信号VPPPEの非活性化と同時にベリファイ時信号VRFYが“L”レベルになる。このとき、書込み時信号PROGは既に“L”レベルになっているので、信号生成回路31内のNORゲートNOR4の出力は“H”レベル、インバータ35の出力は“L”レベルとなり、先に説明したように電圧設定回路36内の2個のPチャンネルのMOSトランジスタQP14、QP15がオンし、電圧Vregのノード及び電圧Vppのノードに5Vの電圧が出力され、電圧Vreg及び電圧Vppが再び共に5Vに設定されるようになる。

【0077】

このように図9に示した回路では、昇圧活性化信号VPPPEの立ち上がり同期して短絡制御信号EQLEが立ち上がり、Vregが規定値である9Vに達した後に短絡制御信号EQLEが立ち下がり、かつレギュレータ活性化信号REGGEが立ち上がるようにしている。この結果、短絡制御信号EQLEが立ち下がった後から次にレギュレータ活性化信号REGGEが立ち上がるまでの間の時間を実質的になくすことができ、これにより図7のタ

10

20

30

40

50

イミングチャートの場合と比較して、不要に長くタイミングを確保する必要がなくなり、最適なタイミングで動作させることができる。

【 0 0 7 8 】

図 1 1 はこの発明の第 3 の実施の形態による電圧生成回路を示している。図 1 1 の電圧生成回路には、図 6 に示すものと同様に昇圧回路 1 1 と、レギュレータ回路 1 2 と、短絡回路 1 3 とが設けられていると共に、さらにスイッチ回路 (Switch) 1 4 が設けられている。

【 0 0 7 9 】

上記スイッチ回路 1 4 には昇圧回路 1 1 から出力される電圧 V_{pp} が供給され、スイッチ回路 1 4 は消去時に消去選択信号 $ERSE_i$ に応じて電圧 V_{pp} を、前記図 1 5 中に示されるソース線 SL_i に選択的に出力する。

10

【 0 0 8 0 】

すなわち、この実施の形態による電圧生成回路では、昇圧回路 1 1 によって得られる 10 V の電圧 V_{pp} を、メモリセルの消去時にソース線 SL_i に供給するためのソース電圧 V_s として使用するようにしたものである。なお、この場合、消去選択信号 $ERSE_i$ の “H” レベルは V_{pp} である。

【 0 0 8 1 】

図 1 2 はこの発明をフラッシュメモリに適用した場合のメモリ全体の構成を示すブロック図である。アドレスバッファ (Address buffer) 4 1 は、外部アドレスを受け、読み出しまたは書込みまたは消去するメモリセルに対応した内部アドレスを出力する。I/O バッファ (I/O buffer) 4 2 は、読み出し時にセンスアンプ (sense amp) 4 3 でセンスされるメモリセルのデータを外部に出力し、書込み時には外部から供給される書込みデータを書込み回路 (Program circuit) 4 4 に入力する。書込み回路 4 4 はカラムゲート回路 (column gates) 4 5 を介して、メモリセルアレイ (Memory Cell Array) 4 6 内の対応するビット線に書込み電圧を供給する。

20

【 0 0 8 2 】

コマンドレジスタ (Command register) 4 7 は書込みや消去コマンドなど、外部から入力されるコマンドを保持し、コントローラ (Controller) 4 8 はコマンドレジスタ 4 7 で保持されているコマンドを受けて、メモリ内の各回路を制御するための制御信号を発生する。ロウデコーダ (Row decoder) 4 9 はアドレスバッファ 4 1 から出力される内部アドレスを受け、メモリセルアレイ 4 6 内の対応するワード線を選択する。カラムデコーダ (Column decoder) 5 0 はアドレスバッファ 4 1 から出力される内部アドレスを受け、カラムゲート回路 4 5 内のカラムゲートを内部アドレスに応じて選択駆動する。これにより、メモリセルアレイ 4 6 内の選択ビット線が、カラムゲート回路 4 5 を介してセンスアンプ 4 3 に接続される。

30

【 0 0 8 3 】

チャージポンプ回路 (Charge pumps) 5 1 は、外部電源電圧を昇圧して書込み用の 5 V の電圧、消去用の 10 V (V_{pp}) 及び -7 V の電圧を発生する。チャージポンプ回路 5 1 で発生された 5 V の電圧は書込み回路 4 4 に供給される。チャージポンプ回路 5 1 で発生された -7 V の電圧はメモリセルアレイ 4 6 に供給される。

40

【 0 0 8 4 】

また、チャージポンプ回路 5 1 で発生された 10 V の電圧 V_{pp} はレギュレータ回路 (Regulator) 1 2 に供給される。このレギュレータ回路 1 2 の機能については先に説明した通りなので、その説明は省略する。またチャージポンプ回路 5 1 とレギュレータ回路 1 2 との間には、先に説明した短絡回路 (Equalizer) 1 3 が接続されている。この短絡回路 (Equalizer) 1 3 の機能についても先に説明した通りなので、その説明は省略する。

【 0 0 8 5 】

このような構成のフラッシュメモリでは、メモリセルの書込み時や読み出し時にワード線、つまりメモリセルのコントロールゲートに供給するための種々の電圧 V_{reg} を、レギュレータ回路 1 2 を用いて、1 つのチャージポンプ回路で得られる電圧から時系列的に順

50

次出力するために、いくつかのチャージポンプ回路を設ける必要がなくなる。この結果、チップ全体の面積の大型化を防ぐことができる。しかも、チャージポンプ回路には比較的大きな電流が流れ、消費電流が多いために、チャージポンプ回路の数を減らすことによって全体の消費電流を削減することができる。なお、電圧 V_{reg} はロウデコード 49 を經由してメモリセルアレイ 46 内のワード線、つまりメモリセルのコントロールゲートに供給される。

【0086】

【発明の効果】

以上説明したようにこの発明によれば、昇圧回路の出力を用いて電圧出力回路から値が異なるいくつかの電圧を時系列的に順次出力するようにしたので、昇圧回路の数を減らすことができ、これによって集積化する際にチップ面積が大きくなり、かつ消費電流も少ない半導体装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る電圧生成回路のブロック図。

【図2】 図1の回路の動作の一例を示すタイミングチャート。

【図3】図1中の昇圧回路11の具体的な回路構成を示す図。

【図4】図1中のレギュレータ回路12の具体的な回路構成を示す図。

【図5】図4におけるコンパレータ26、27の具体的な回路構成を示す図。

【図6】第2の実施の形態に係る電圧生成回路のブロック図。

【図7】図6の回路の動作の一例を示すタイミングチャート。

【図8】図6中の短絡回路13の具体的な回路構成を示す図。

【図9】図1もしくは図6中のレギュレータ回路12の他の具体的回路構成を制御信号生成回路などの他の回路と共に示す回路図。

【図10】図9に示す回路の動作の一例を示すタイミングチャート。

【図11】この発明の第3の実施の形態による電圧生成回路のブロック図。

【図12】この発明をフラッシュメモリに適用した場合のメモリ全体の構成を示すブロック図。

【図13】フラッシュメモリにおける1つのメモリセルの素子断面構造を示す図。

【図14】NOR型フラッシュメモリのメモリセルアレイの回路例を示す図。

【図15】メモリセルのコントロールゲートに供給されるゲート電圧とメモリセルのドレインに流れるドレイン電流との関係を示す特性図。

【図16】動作時にメモリセルに対して供給される電圧 V_g 、 V_d 、 V_s の値の一例を示す図。

【符号の説明】

11...昇圧回路 (Vpp generator)、

12...レギュレータ回路 (regulator)、

13...短絡回路 (Equalizer)、

14...スイッチ回路 (Switch)、

21...発振器 (oscillator)、

22...チャージポンプ回路 (charge pump)、

23...電圧検知回路 (voltage detector)、

24...レベルシフト回路、

25、26、27、32...コンパレータ、

28...電流源、

29、33、35...インバータ、

30...レベルシフト回路、

31...制御信号生成回路、

34...ラッチ回路、

36...電圧設定回路、

37...レベルシフト回路、

10

20

30

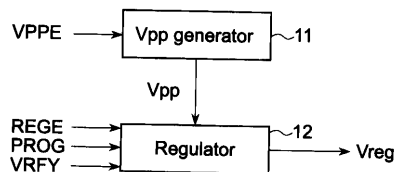
40

50

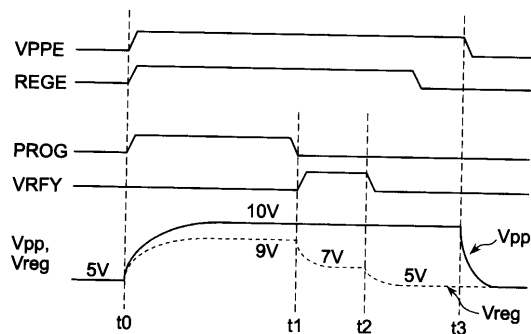
4 1 ... アドレスバッファ (Address buffer)、
 4 2 ... I / O バッファ (I / O buffer)、
 4 3 ... センスアンプ (sense amp)、
 4 4 ... 書込み回路 (Program circuit)、
 4 5 ... カラムゲート回路 (column gates)、
 4 6 ... メモリセルアレイ (Memory Cell Array)、
 4 7 ... コマンドレジスタ (Command register)、
 4 8 ... コントローラ (Controller)、
 4 9 ... ロウデコーダ (Row decoder)、
 5 0 ... カラムデコーダ (Column decoder)、
 5 1 ... チャージポンプ回路 (Charge pumps)、
 I V 1 ~ I V 7 ... インバータ、
 Q I 1 ~ Q I 3 ... I タイプの MOS トランジスタ、
 C 1、C 2 ... キャパシタ、
 Q P 1 ~ Q P 1 5 ... P チャネルの MOS トランジスタ、
 Q N 1 ~ Q N 1 3 ... N チャネルの MOS トランジスタ、
 R 1 ~ R 5 ... 抵抗、
 N O R 1 ~ N O R 4 ... N O R ゲート、
 N A 1 ... N A N D ゲート。

10

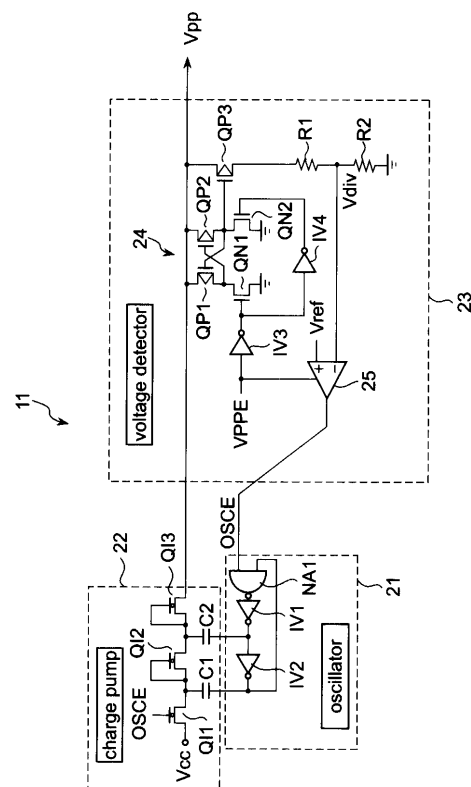
【図 1】



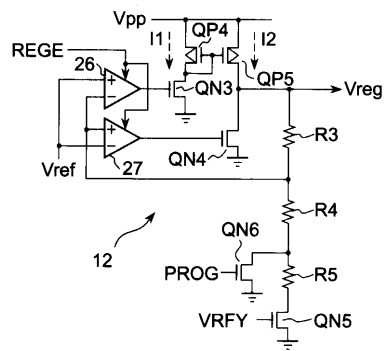
【図 2】



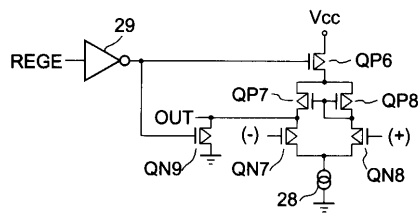
【図 3】



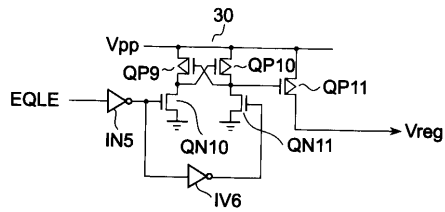
【図 4】



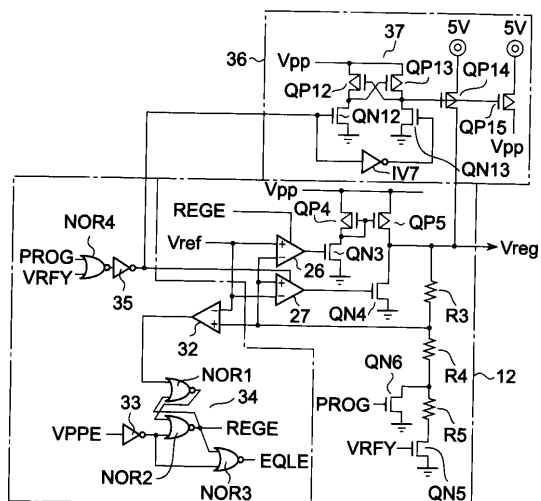
【図 5】



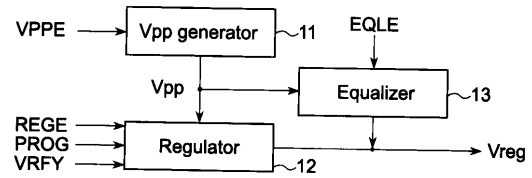
【図 8】



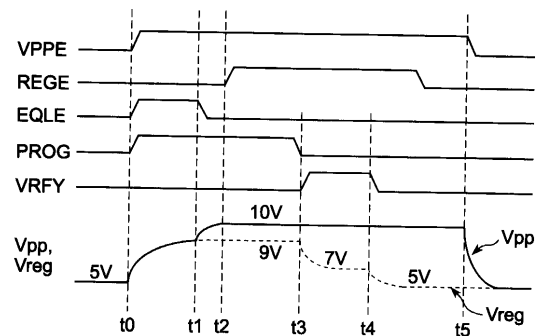
【図 9】



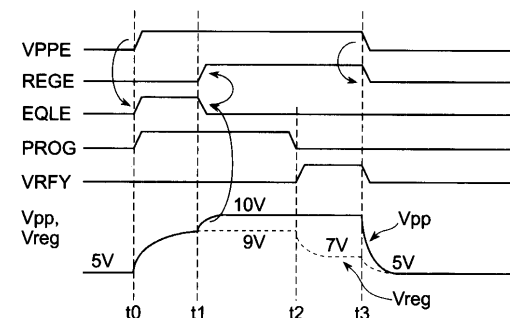
【図 6】



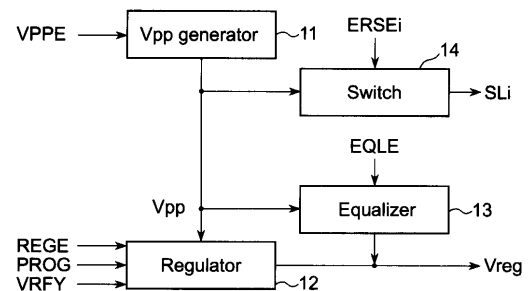
【図 7】



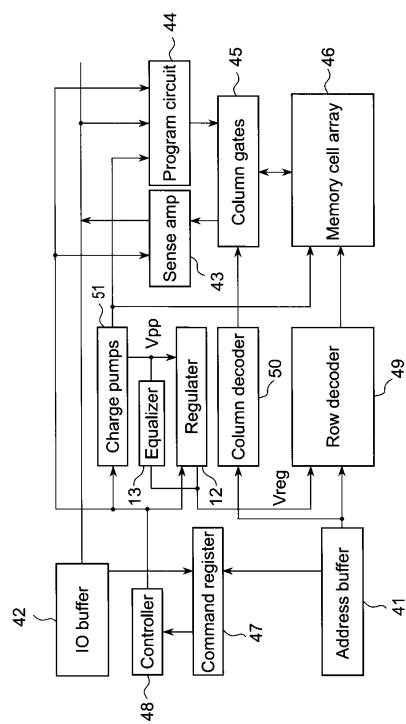
【図 10】



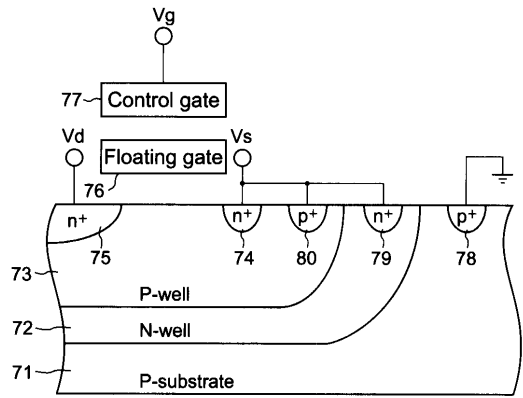
【図 11】



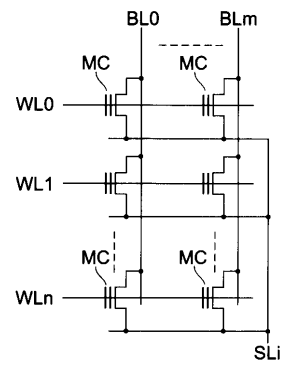
【 図 1 2 】



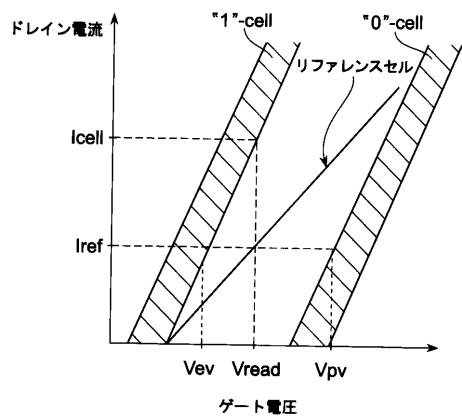
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



【 図 1 6 】

	読み出し	プログラム	消去
Vg	5V	9V	-7V
Vd	1V	5V ("1") 0V ("0")	フローティング
Vs	0V	0V	10V

フロントページの続き

(74)代理人 100088683

弁理士 中村 誠

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 丹沢 徹

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 宮葉 武史

神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

(72)発明者 渥美 滋

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 高野 芳徳

(56)参考文献 特開平 1 0 - 2 4 1 3 8 5 (J P , A)

特開平 1 0 - 0 1 1 9 8 7 (J P , A)

特開平 1 0 - 2 4 1 3 8 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G11C 16/00